



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년12월09일  
(11) 등록번호 10-0873077  
(24) 등록일자 2008년12월03일

(51) Int. Cl.  
H04B 3/50 (2006.01) H03H 11/16 (2006.01)  
G09G 3/20 (2006.01) G09G 5/04 (2006.01)  
(21) 출원번호 10-2007-0035005  
(22) 출원일자 2007년04월10일  
심사청구일자 2007년04월10일  
(65) 공개번호 10-2008-0091925  
(43) 공개일자 2008년10월15일  
(56) 선행기술조사문헌  
KR1020030069783 A\*  
KR1020060030680 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성모바일디스플레이주식회사  
경기 수원시 영통구 신동 575  
(72) 발명자  
김석기  
서울시 강남구 도곡1동 삼성 타워 팰리스 2차 F동 505호  
조영권  
서울시 노원구 상계2동 한일유엔아이 104-1001  
김성하  
서울시 종로구 송월동 32-14  
(74) 대리인  
신영무

전체 청구항 수 : 총 13 항

심사관 : 손현용

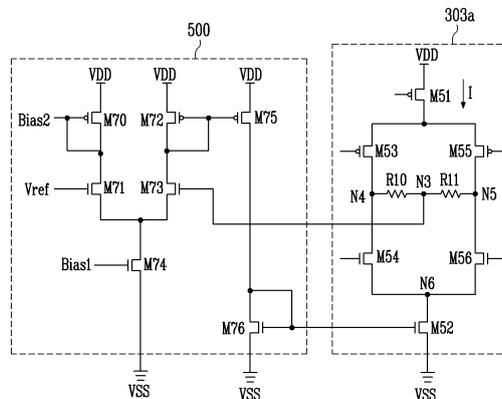
**(54) 인터페이스 시스템 및 이를 이용한 평판 표시장치**

**(57) 요약**

본 발명은 전자과 간섭을 최소화할 수 있도록 한 인터페이스 시스템에 관한 것이다.

본 발명의 인터페이스 시스템은 외부로부터 다수의 비트를 가지는 제 1데이터 및 제 2데이터를 공급받고, 공급받은 제 1데이터 및 제 2데이터의 비트를 순차적으로 출력하기 위한 직렬 변환부와; 상기 직렬 변환부로부터 공급되는 2비트를 3비트로 변환하기 위한 디코더와, 상기 3비트에 대응하여 전류들의 흐름을 제어하기 위한 구동부와, 상기 전류들의 전류흐름에 대응하여 전압이 인가되는 송신저항을 포함하는 송신회로와; 상기 송신저항에 인가되는 전압을 공급받는 수신저항과, 상기 수신저항의 양측단에 인가되는 전압을 증폭하기 위한 앰프들과, 상기 앰프들로부터 공급되는 전압을 비교하면서 상기 3비트를 복원하기 위한 비교부들과, 상기 3비트를 이용하여 상기 2비트를 복원하기 위한 엔코더를 포함하는 수신회로와; 상기 수신회로로부터 공급되는 상기 2비트를 순차적으로 저장하면서 상기 제 1데이터 및 제 2데이터를 복원하기 위한 직렬 변환부와; 상기 송신회로를 제어하기 위한 안정화회로들을 구비하며; 상기 구동부는 상기 3비트의 서로 다른 비트를 입력받고, 입력받은 비트에 대응하여 상기 송신저항으로 공급되는 전류의 흐름을 제어하기 위한 3개의 구동회로를 구비하고, 상기 구동회로들 각각은 제 1전압과 접속되며 제 1전압으로부터 일정전류가 흐르도록 채널폭이 제어되는 제 1트랜지스터와; 제 2전압과 접속되는 제 2트랜지스터와; 상기 제 1트랜지스터 및 제 2트랜지스터 사이에 위치되는 제 3트랜지스터 및 제 4트랜지스터와; 상기 제 3트랜지스터 및 제 4트랜지스터와 병렬로 접속되는 제 5트랜지스터 및 제 6트랜지스터를 구비한다.

**대표도** - 도15



**특허청구의 범위**

**청구항 1**

외부로부터 다수의 비트를 가지는 제 1데이터 및 제 2데이터를 공급받고, 공급받은 제 1데이터 및 제 2데이터의 비트를 순차적으로 출력하기 위한 직렬 변환부와;

상기 직렬 변환부로부터 공급되는 2비트를 3비트로 변환하기 위한 디코더와,

상기 3비트에 대응하여 전류들의 흐름을 제어하기 위한 구동부와, 상기 전류들의 전류흐름에 대응하여 전압이 인가되는 송신저항을 포함하는 송신회로와;

상기 송신저항에 인가되는 전압을 공급받는 수신저항과, 상기 수신저항의 양측단에 인가되는 전압을 증폭하기 위한 앰프들과, 상기 앰프들로부터 공급되는 전압을 비교하면서 상기 3비트를 복원하기 위한 비교부들과, 상기 3비트를 이용하여 상기 2비트를 복원하기 위한 엔코더를 포함하는 수신회로와;

상기 수신회로로부터 공급되는 상기 2비트를 순차적으로 저장하면서 상기 제 1데이터 및 제 2데이터를 복원하기 위한 직렬 변환부와;

상기 송신회로를 제어하기 위한 안정화회로들을 구비하며;

상기 구동부는 상기 3비트의 서로 다른 비트를 입력받고, 입력받은 비트에 대응하여 상기 송신저항으로 공급되는 전류의 흐름을 제어하기 위한 3개의 구동회로를 구비하고, 상기 구동회로들 각각은

제 1전압과 접속되며 제 1전압으로부터 일정전류가 흐르도록 채널폭이 제어되는 제 1트랜지스터와;

제 2전압과 접속되는 제 2트랜지스터와;

상기 제 1트랜지스터 및 제 2트랜지스터 사이에 위치되는 제 3트랜지스터 및 제 4트랜지스터와;

상기 제 3트랜지스터 및 제 4트랜지스터와 병렬로 접속되는 제 5트랜지스터 및 제 6트랜지스터를 구비하는 것을 특징으로 하는 인터페이스 시스템.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제 1항에 있어서,

상기 제 1전압은 상기 제 2전압 보다 높은 전압값으로 설정되는 것을 특징으로 하는 인터페이스 시스템.

**청구항 5**

제 1항에 있어서,

상기 제 3트랜지스터 및 제 4트랜지스터는 상기 3비트 중 특정비트에 의하여 턴-온 및 턴-오프가 제어되고,

상기 제 5트랜지스터 및 제 6트랜지스터는 상기 특정 비트의 반전 비트에 의하여 턴-온 및 턴-오프가 제어되는 것을 특징으로 하는 인터페이스 시스템.

**청구항 6**

제 5항에 있어서,

상기 제 3트랜지스터 및 제 5트랜지스터는 피모스(PMOS)로 형성되고, 제 4트랜지스터 및 제 6트랜지스터는 엔모스(NMOS)로 형성되는 것을 특징으로 하는 인터페이스 시스템.

**청구항 7**

제 1항에 있어서,

상기 제 3트랜지스터 및 제 4트랜지스터 사이의 제 1노드와 상기 제 5트랜지스터 및 제 6트랜지스터 사이의 제 2노드를 포함하며, 상기 제 1노드와 제 2노드 사이에 위치되는 제 1저항 및 제 2저항을 구비하는 것을 특징으로 하는 인터페이스 시스템.

**청구항 8**

제 7항에 있어서,

상기 제 1저항 및 제 2저항은 동일한 저항값으로 설정되는 것을 특징으로 하는 인터페이스 시스템.

**청구항 9**

제 7항에 있어서,

상기 안정화회로는 상기 구동회로들 각각마다 설치되며, 상기 제 1저항 및 제 2저항 사이의 제 3노드에 인가되는 전압값에 대응하여 상기 제 2트랜지스터의 게이트전극과 소오스전극의 전압을 제어하는 것을 특징으로 하는 인터페이스 시스템.

**청구항 10**

제 9항에 있어서,

상기 안정화회로 각각은

상기 제 2전압과 접속되는 제 11트랜지스터와,

상기 제 1전압과 상기 제 11트랜지스터 사이에 위치되는 제 7트랜지스터 및 제 8트랜지스터와,

상기 제 7트랜지스터 및 제 8트랜지스터와 병렬로 접속되는 제 9트랜지스터 및 제 10트랜지스터와,

상기 제 2전압과 접속되며, 상기 제 9트랜지스터와 커런트 미러로 접속되는 제 12트랜지스터와,

상기 제 12트랜지스터와 상기 제 2전압 사이에 접속되며, 게이트전극이 상기 제 2트랜지스터의 게이트전극과 접속되는 제 13트랜지스터를 구비하는 것을 특징으로 하는 인터페이스 시스템.

**청구항 11**

제 10항에 있어서,

상기 제 11트랜지스터는 외부로부터 공급되는 제 1바이어스 전압에 대응되는 전류가 흐르도록 채널폭이 설정되고,

상기 제 8트랜지스터는 외부로부터 공급되는 기준전압에 대응하여 상기 제 11트랜지스터로 공급되는 전류를 제어하는 것을 특징으로 하는 인터페이스 시스템.

**청구항 12**

제 11항에 있어서,

상기 제 10트랜지스터의 게이트전극은 상기 제 3노드에 접속되며, 상기 제 10트랜지스터는 상기 제 3노드로부터 공급되는 전압에 대응하여 상기 제 11트랜지스터로 공급되는 전류를 제어하는 것을 특징으로 하는 인터페이스 시스템.

**청구항 13**

제 12항에 있어서,

상기 제 13트랜지스터는 다이오드 형태로 접속되어 상기 제 12트랜지스터로부터 공급되는 전류를 상기 제 2전압으로 공급하는 것을 특징으로 하는 인터페이스 시스템.

**청구항 14**

제 10항에 있어서,

상기 제 7트랜지스터, 제 9트랜지스터 및 제 12트랜지스터는 피모스(PMOS)로 형성되고, 상기 제 8트랜지스터, 제 10트랜지스터, 제 11트랜지스터 및 제 13트랜지스터는 엔모스(NMOS)로 형성되는 것을 특징으로 하는 인터페이스 시스템.

**청구항 15**

외부 시스템으로부터 데이터들을 공급받는 타이밍 제어부와;

상기 타이밍 제어부로부터 공급되는 데이터들을 이용하여 데이터신호들을 생성하고, 생성된 데이터신호들을 데이터선들로 공급하기 위한 데이터 구동부와;

주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와;

상기 주사선들 및 데이터선들의 교차부에 위치되며, 상기 데이터신호에 대응되는 휘도의 빛을 생성하기 위한 화소들과;

상기 외부 시스템과 상기 타이밍 제어부 사이에 데이터를 전송하기 위하여 상기 제 1항, 제 4항 내지 제 14항 중 어느 한 항에 기재된 인터페이스 시스템을 구비하는 것을 특징으로 하는 평판 표시장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <28> 본 발명은 인터페이스 시스템 및 이를 이용한 평판 표시장치에 관한 것으로, 특히 전자파 간섭(Electro Magnetic Interference : EMI)을 최소화할 수 있도록 한 인터페이스 시스템 및 이를 이용한 평판 표시장치에 관한 것이다.
- <29> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광 표시장치(Organic Light Emitting Display) 등이 있다.
- <30> 이와 같은 평판 표시장치는 외부의 시스템으로부터 내부의 데이터 구동부로 데이터를 전송하기 위하여 인터페이스 시스템을 사용한다. 인터페이스 시스템은 외부 시스템에 설치되는 송신부와 패널 등에 설치되는 수신부로 나누어진다. 송신부는 외부 시스템으로부터 데이터를 입력받고, 입력받은 데이터를 수신부로 전달한다. 수신부는 송신부로부터 전달된 데이터를 데이터 구동부로 전송한다.
- <31> 그러면, 데이터 구동부는 자신에게 공급된 데이터에 대응하는 데이터신호를 생성하고, 생성된 데이터신호를 데이터선들로 공급한다.
- <32> 하지만, 이와 같은 종래의 인터페이스 시스템은 송신부와 수신부 사이에 1비씩 데이터를 전송하기 때문에 높은 주파수의 클럭이 필요하다는 단점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <33> 따라서, 본 발명의 목적은 전자파 간섭(EMI)을 최소화할 수 있도록 한 인터페이스 시스템 및 이를 이용한 평판 표시장치에 관한 것이다.

**발명의 구성 및 작용**

- <34> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 의한 인터페이스 시스템은 외부로부터 다수의 비트를 가지는 제 1데이터 및 제 2데이터를 공급받고, 공급받은 제 1데이터 및 제 2데이터의 비트를 순차적으로 출력하기 위한 직렬 변환부와; 상기 직렬 변환부로부터 공급되는 2비트를 3비트로 변환하기 위한 디코더와, 상기 3비트에 대응하여 전류들의 흐름을 제어하기 위한 구동부와, 상기 전류들의 전류흐름에 대응하여 전압이 인가되는 송신저항

을 포함하는 송신회로와; 상기 송신저항에 인가되는 전압을 공급받는 수신저항과, 상기 수신저항의 양측단에 인가되는 전압을 증폭하기 위한 앰프들과, 상기 앰프들로부터 공급되는 전압을 비교하면서 상기 3비트를 복원하기 위한 비교부들과, 상기 3비트를 이용하여 상기 2비트를 복원하기 위한 엔코더를 포함하는 수신회로와; 상기 수신회로로부터 공급되는 상기 2비트를 순차적으로 저장하면서 상기 제 1데이터 및 제 2데이터를 복원하기 위한 직렬 변환부와; 상기 송신회로를 제어하기 위한 안정화회로들을 구비하며; 상기 구동부는 상기 3비트의 서로 다른 비트를 입력받고, 입력받은 비트에 대응하여 상기 송신저항으로 공급되는 전류의 흐름을 제어하기 위한 3개의 구동회로를 구비하고, 상기 구동회로들 각각은 제 1전압과 접속되며 제 1전압으로부터 일정전류가 흐르도록 채널폭이 제어되는 제 1트랜지스터와; 제 2전압과 접속되는 제 2트랜지스터와; 상기 제 1트랜지스터 및 제 2트랜지스터 사이에 위치되는 제 3트랜지스터 및 제 4트랜지스터와; 상기 제 3트랜지스터 및 제 4트랜지스터와 병렬로 접속되는 제 5트랜지스터 및 제 6트랜지스터를 구비한다.

<35> 바람직하게, 상기 제 3트랜지스터 및 제 4트랜지스터 사이의 제 1노드와 상기 제 5트랜지스터 및 제 6트랜지스터 사이의 제 2노드를 포함하며, 상기 제 1노드와 제 2노드 사이에 위치되는 제 1저항 및 제 2저항을 구비한다. 상기 안정화회로 각각은 상기 제 2전압과 접속되는 제 11트랜지스터와, 상기 제 1전압과 상기 제 11트랜지스터 사이에 위치되는 제 7트랜지스터 및 제 8트랜지스터와, 상기 제 7트랜지스터 및 제 8트랜지스터와 병렬로 접속되는 제 9트랜지스터 및 제 10트랜지스터와, 상기 제 2전압과 접속되며, 상기 제 9트랜지스터와 커런트 미러로 접속되는 제 12트랜지스터와, 상기 제 12트랜지스터와 상기 제 2전압 사이에 접속되며, 게이트전극이 상기 제 2트랜지스터의 게이트전극과 접속되는 제 13트랜지스터를 구비한다.

<36> 본 발명의 실시예에 의한 평판 표시장치는 외부 시스템으로부터 데이터들을 공급받는 타이밍 제어부와; 상기 타이밍 제어부로부터 공급되는 데이터들을 이용하여 데이터신호들을 생성하고, 생성된 데이터신호들을 데이터선들로 공급하기 위한 데이터 구동부와; 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와; 상기 주사선들 및 데이터선들의 교차부에 위치되며, 상기 데이터신호에 대응되는 휘도의 빛을 생성하기 위한 화소들과; 상기 외부 시스템과 상기 타이밍 제어부 사이에 데이터를 전송하기 위하여 상기 제 1항, 제 4 내지 제 14항 중 어느 한 항에 기재된 인터페이스 시스템을 구비한다.

<37> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 1 내지 도 15를 참조하여 상세히 설명하면 다음과 같다.

<38> 도 1은 본 발명의 평판 표시장치를 나타내는 도면이다.

<39> 도 1을 참조하면, 본 발명의 평판 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)와, 타이밍 제어부(150)로 데이터(Data)를 공급하기 위한 시스템(160)을 구비한다.

<40> 주사 구동부(110)는 타이밍 제어부(150)로부터 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동부(110)는 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.

<41> 데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동제어신호(DCS) 및 데이터(Data)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동부(120)는 데이터신호를 생성하고, 생성된 데이터신호를 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급한다.

<42> 타이밍 제어부(150)는 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 시스템(160)으로부터 데이터(Data)를 공급받고, 공급받은 데이터(Data)를 데이터 구동부(120)로 전달한다.

<43> 시스템(160)은 표시하고자 하는 영상에 대응하는 데이터(Data)를 타이밍 제어부(150)로 공급한다. 일반적으로 데이터(Data)는 다수의 비트로 이루어진다. 시스템(160)은 데이터(Data)를 2비트씩 타이밍 제어부(150)로 전송한다. 이와 같이 2비트씩 데이터(Data)가 전송되면 전자파 간섭(EMI)이 최소화될 수 있다.

<44> 화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 화소들(140)을 구비한다. 화소들(140)은 주사신호가 공급될 때 선택되어 데이터신호를 공급받는다. 데이터신호를 공급받은 화소들(140)은 데이터신호에 대응되는 휘도의 빛을 외부로 공급하고, 이에 따라 화소부(130)에서 소정 휘도의 영상을 표시

된다.

- <45> 도 2는 본 발명의 실시예에 의한 인터페이스 시스템을 나타내는 도면이다. 도 2에서는 송신부(200)는 시스템(160)에 포함되며 수신부(210)는 타이밍 제어부(150)에 포함된다.
- <46> 도 2를 참조하면, 본 발명의 실시예에 의한 인터페이스 시스템은 송신부(200)와, 송신부(200)로부터 2비트씩 정보를 전달받는 수신부(210)를 구비한다.
- <47> 송신부(200)는 병렬로 공급되는 데이터(Data)를 직렬로 변환하기 위한 직렬 변환부(202)와, 직렬 변환부(202)로부터 공급되는 2비트의 정보를 수신회로(212)로 전달하기 위한 송신회로(204)를 구비한다.
- <48> 직렬 변환부(202)는 2개의 데이터(Data)를 공급받고, 공급받은 2개의 데이터(Data)를 직렬 형태로 변환한다. 이를 위해, 직렬 변환부(202)는 2개의 직렬 변환기(203)(Serializer)를 구비한다. 직렬 변환기(203) 각각은 도 3과 같이 서로 다른 데이터(Data1, Data2)를 공급받고, 공급받은 데이터(Data1, Data2)의 비트를 순차적으로 출력함으로써 데이터(Data1, Data2)를 직렬로 출력하게 된다.
- <49> 송신회로(204)는 직렬 변환부(202)로부터 공급되는 2비트에 대응하여 송신회로(204) 내부에 포함되는 송신저항(미도시)으로 공급되는 전류의 방향을 제어한다. 그러면, 송신저항에 인가되는 전압은 직렬 변환부(202)로부터 공급되는 2비트에 대응하여 결정되고, 이 송신저항 양단의 전압이 수신회로(212)로 전달된다. 한편, 송신저항에 인가되는 전압은 2비트에 대응하여 4개의 전압레벨을 갖는다.
- <50> 수신회로(212)는 송신회로(204)로부터 인가되는 전압을 이용하여 2비트의 정보를 복원하고, 복원된 2비트의 정보를 직병렬 변환부(214)로 공급한다. 이를 위해, 수신회로(212)의 내부에는 송신저항으로부터 공급되는 전압을 인가받기 위한 수신저항을 구비한다.
- <51> 직병렬 변환부(214)는 수신회로(212)로부터 공급받는 비트를 순차적으로 저장함으로써 데이터(Data)를 복원하고, 복원된 데이터(Data)를 병렬 형태로 출력한다. 이를 위해, 직병렬 변환부(214)는 도 4와 같이 2개의 직병렬 변환기(215)(Deserializer)를 구비한다. 직병렬 변환기(215) 각각은 수신회로(212)로부터 각각 1비트씩(총 2비트) 공급받고, 공급받은 1비트를 임시 저장하면서 데이터(Data1, Data2)를 복원한다. 그리고, 복원된 데이터(Data1, Data2)를 병렬 형태로 데이터 구동부(120)로 전달한다.
- <52> 도 5는 도 2에 도시된 직렬 변환기를 나타내는 회로도이다.
- <53> 도 5를 참조하면, 데이터(Data)의 서로 다른 비트를 입력받는 제 1트랜지스터들(M1, M2, ..., M22)과, 반전된 비트를 입력받는 제 2트랜지스터들(/M1, /M2, ..., /M22)을 구비한다.
- <54> 제 1트랜지스터들(M1, M2, ...M22)은 제 1전압(VDD)과 제 2전압(VSS) 사이에 위치되어 데이터(Data)의 서로 다른 비트를 공급받는다. 예를 들어, M1트랜지스터(M1)는 데이터(Data)의 D0비트를 공급받고, M22트랜지스터(M22)는 데이터(Data)의 D21비트를 공급받는다. 이와 같은 제 1트랜지스터들(M1, M2, ..., M22)은 제어신호들(C, /C)에 의하여 서로 다른 시점에 턴-온될 수 있도록 제어된다. 예를 들어, 제어신호들(C, /C)은 M1트랜지스터(M1)로부터 M22트랜지스터(M22)까지 순차적으로 턴-온될 수 있도록 공급된다. 일례로, 제어신호들(C)은 도 6과 같이 일부기간 중첩되도록 공급될 수 있다. 한편, 제어신호들(C, /C)이 공급될 때 실질적으로 제 1트랜지스터들(M1, M2, ..., M22)의 턴-온 및 턴-오프 여부는 데이터(Data)의 비트에 의하여 결정된다.
- <55> 제 2트랜지스터들(/M1, /M2, ..., /M22)은 제 1전압(VDD)과 제 2전압(VSS) 사이에 위치되어 데이터(Data)의 서로 다른 반전 비트를 공급받는다. 예를 들어, /M1트랜지스터(/M1)은 데이터(Data)의 /D0비트를 공급받고, /M22트랜지스터(/M22)는 데이터(Data)의 /D21비트를 공급받는다. 여기서, 반전비트는 데이터의 각 비트를 반전한 비트를 의미한다. 예를 들어, D0의 비트값이 "1"로 설정될 때 D0의 반전비트 /D0의 비트값은 "0"으로 설정된다.
- <56> 이와 같은 제 2트랜지스터들(/M1, /M2, ..., /M22)은 제어신호들(C, /C)에 의하여 서로 다른 시점에 턴-온될 수 있도록 제어된다. 예를 들어, 제어신호들(C, /C)은 /M1트랜지스터(/M1)로부터 /M22트랜지스터(/M22)까지 순차적으로 턴-온될 수 있도록 공급된다. 여기서, 데이터(Data)에서 동일 가중치를 가지는 반전 및 비반전 비트를 공급받는 제 1 및 제 2트랜지스터들(M1, ..., M22, /M1, ..., /M22)은 동일 시점에 턴-온될 수 있는 여건으로 설정된다. 예를 들어, 동일 가중치를 가지는 반전 비트 및 비반전 비트를 공급받는 M1트랜지스터(M1) 및 /M1트랜지스터(/M1)가 동일 시점에 턴-온될 수 있는 여건으로 설정되도록 제어신호들(C, /C)이 공급된다.
- <57> 동작과정을 설명하면, 먼저 제어신호들(C, /C)에 의하여 M1트랜지스터 및 /M1트랜지스터가 턴-온될 수 있는 조건으로 설정된다. 여기서, 데이터(Data)의 D0비트 및 /D0비트에 의하여 M1트랜지스터 및 /M1트랜지스터의 턴-

온 및 턴-오프가 제어된다. 예를 들어, D0비트가 "1"로 설정된다면 M1트랜지스터(M1)가 턴-온되어 제 1출력단자(out1)로 "0"의 값이 출력되고, /M1트랜지스터(/M1)가 턴-오프되고 제 2출력단자(out2)로 "1"의 값이 출력된다. 이와 같은 과정을 거치면서 병렬로 공급되는 데이터(Data)가 직렬 형태로 변환되어 제 1출력단자(out1) 및 제 2출력단자(out2)로 공급된다.

<58> 한편, 직렬 변환기는 M30 트랜지스터(M30), M31 트랜지스터(M31) 및 M32 트랜지스터(M32)를 더 구비한다. M31 트랜지스터(M31)는 M30 트랜지스터(M30)와 제 1트랜지스터들(M1, ..., M22) 사이에 위치되며, 게이트전극으로 기저전원(GND)을 공급받아 턴-온 상태를 유지한다. M32 트랜지스터(M32)는 M30 트랜지스터(M30)와 제 2트랜지스터들(/M1, ..., /M22) 사이에 위치되며, 게이트전극으로 기저전원(GND)을 공급받아 턴-온 상태를 유지한다. M30 트랜지스터(M30)는 M31 트랜지스터(M31)와 M32 트랜지스터(M32)의 공통노드와 제 1전압(VDD) 사이에 위치되며, 게이트전극으로 기저전원(GND)을 공급받아 턴-온 상태를 유지한다.

<59> 도 7은 도 2에 도시된 송신회로(204)를 나타내는 블록도이다.

<60> 도 7을 참조하면, 본 발명의 실시예에 의한 송신회로(204)는 직렬 변환부(202)로부터 공급되는 2비트를 3비트로 변환하기 위한 디코더(300)와, 디코더(300)로부터 공급되는 3비트에 대응하여 소정 전압을 송신저항(Tx)에 인가하기 위한 구동부(302)를 구비한다.

<61> 디코더(300)는 직렬 변환부(202)로부터 공급되는 2비트를 3비트로 변환한다. 다시 말하여, 디코더(300)는 구동부(302)에서 4가지 전압레벨로 나뉘는 전압이 생성될 수 있도록 2비트를 3비트로 변환한다. 실제로, 디코더(300)는 표 1과 같이 2비트를 3비트로 변환한다.

**표 1**

<62>

2비트	3비트
00	000
01	001
10	011
11	111

<63> 표 1을 참조하면, 디코더(300)는 직렬 변환부(202)로부터 "00"의 2비트가 입력될 때 "000"의 3비트를 생성하여 구동부(302)로 전송하고, "01"의 2비트가 입력될 때 "001"의 3비트를 생성하여 구동부(302)로 전송한다. 또한, 디코더(300)는 직렬 변환부(202)로부터 "10"의 2비트가 입력될 때 "011"의 3비트를 생성하여 구동부(302)로 전송하고, "11"의 2비트가 입력될 때 "111"의 3비트를 생성하여 구동부(302)로 전송한다.

<64> 구동부(302)는 디코더(300)로부터 공급되는 3비트의 비트값에 대응하여 4가지 전압레벨 중 어느 하나가 송신저항(Tx)에 인가될 수 있도록 송신저항(Tx)으로 공급되는 전류의 방향을 제어한다.

<65> 도 8은 도 7에 도시된 구동부의 구성을 상세히 나타내는 회로도이다.

<66> 도 8을 참조하면, 본 발명의 실시예에 의한 구동부(302)는 구동회로들(303a, 303b, 303c)을 구비한다.

<67> 구동회로들(303a, 303b, 303c) 각각은 디코더(300)로부터 공급되는 3비트 중 어느 하나의 비트를 공급받고, 공급받은 비트에 대응하여 구동된다. 이를 위하여, 구동회로들(303a, 303b, 303c) 각각은 제 1전압(VDD)과 접속되며, 제 1전압(VDD)으로부터 일정전류(I)가 흐르도록 채널폭이 제어되는 제 1트랜지스터(M51)와, 제 2전원(VSS)과 접속되며, 일정전류(I)가 흐르도록 채널폭이 제어되는 제 2트랜지스터(M52)와, 제 1트랜지스터(M51) 및 제 2트랜지스터(M52) 사이에 위치되는 제 3트랜지스터(M53) 및 제 4트랜지스터(M54)와, 제 3트랜지스터(M53) 및 제 4트랜지스터(M54)와 병렬로 접속되는 제 5트랜지스터(M55) 및 제 6트랜지스터(M56)를 구비한다.

<68> 제 1트랜지스터(M51) 및 제 2트랜지스터(M52)는 제 1전압(VDD)으로부터 제 2전원(VSS)으로 일정전류(I)가 흐르도록 제어한다. 이를 위해, 제 1전원(VDD)의 전압값은 제 2전원(VSS)의 전압값보다 높은 전압값으로 설정된다. 그리고, 제 1트랜지스터(M51)는 피모스(PMOS)로 형성되고, 제 2트랜지스터(M52)는 엔모스(NMOS)로 형성된다.

<69> 제 3트랜지스터(M53) 및 제 4트랜지스터(M54)는 자신에게 공급되는 특정비트(D)에 대응하여 턴-온 또는 턴-오프된다. 여기서, 제 3트랜지스터(M53)는 피모스(PMOS)로 형성되고, 제 4트랜지스터(M54)는 엔모스(NMOS)로 형성된다. 따라서, 제 3트랜지스터(M53) 및 제 4트랜지스터(M54)는 서로 교번적으로 턴-온 및 턴-오프 된다.

<70> 제 5트랜지스터(M54) 및 제 6트랜지스터(M56)는 자신에게 공급되는 특정 반전비트(/D)에 대응하여 턴-온 또는

턴-오프된다. 여기서, 제 5트랜지스터(M55)는 피모스(PMOS)로 형성되고, 제 6트랜지스터(M56)는 엔모스(NMOS)로 형성된다. 따라서, 제 5트랜지스터(M54) 및 제 6트랜지스터(M56)는 서로 교번적으로 턴-온 및 턴-오프된다.

<71> 이와 같은 구동회로들(303a, 303b, 303c)의 동작과정을 표 2를 참조하여 상세히 설명하기로 한다.

**표 2**

<72>

3bit	전류 방향	송신저항 인가전압
000	↑ ↑ ↑ (-6mA)	-600mV
001	↑ ↑ ↓ (-2mA)	-200mV
011	↑ ↓ ↓ (2mA)	200mV
111	↓ ↓ ↓ (6mA)	600mV

<73> 표 2에서는 설명의 편의성을 위하여 일정전류(I)는 2mA로 설정한다. 그리고, 2mA의 전류가 공급될 때 송신저항(Tx)에 인가되는 전압은 200mV로 설정한다.

<74> 표 2를 참조하면, 전류방향은 3비트에 대응하여 송신저항(Tx)으로 흐르는 전류의 방향을 나타낸다. 그리고, 송신저항 인가전압은 전류의 흐름에 대응하여 송신저항(Tx)에 인가되는 전압값을 나타낸다.

<75> 각각의 구동회로들(303a, 303b, 303c)로 "0"의 비트가 입력되는 경우 제 3트랜지스터(M53) 및 제 6트랜지스터(M56) 트랜지스터가 턴-온된다. 제 3트랜지스터(M53) 및 제 6트랜지스터(M56)가 턴-온되면 일정전류(I)는 제 3트랜지스터(M3), 제 1노드(N1), 송신저항(Tx), 제 2노드(N2)를 경유하여 제 6트랜지스터(M56)로 공급된다. 즉, "0"의 비트가 입력되는 경우 송신저항(Tx)으로 흐르는 전류의 방향은 제 1노드(N1)에서 제 2노드(N2)(즉, 표 2에 기재된 "↑")로 설정된다.

<76> 또한, 각각의 구동회로들(303a, 303b, 303c)로 "1"의 비트가 입력되는 경우 제 4트랜지스터(M54) 및 제 5트랜지스터(M55)가 턴-온된다. 제 4트랜지스터(M54) 및 제 5트랜지스터(M55)가 턴-온되면 일정전류(I)는 제 5트랜지스터(M55), 제 2노드(N2), 송신저항(Tx), 제 1노드(N1)를 경유하여 제 4트랜지스터(M54)로 공급된다. 즉, "1"의 비트가 입력되는 경우 송신저항(Tx)으로 흐르는 전류의 방향은 제 2노드(N2)에서 제 1노드(N1)(즉, 표 2에 기재된 "↓")로 설정된다.

<77> 동작과정을 설명하면, "000"의 3비트가 입력되는 경우 구동회로들(303a, 303b, 303c) 각각은 제 1노드(N1)에서 송신저항(Tx)을 경유하여 제 2노드(N2)로 전류를 공급한다. 따라서, 송신저항(Tx)으로는 표 2와 같이 전류(-6mA) 및 이에 대응하는 전압(-600mV)이 인가된다.

<78> "001"의 3비트가 입력되는 경우 제 2 및 제 3구동회로(303b, 303c)는 제 1노드(N1)에서 송신저항(Tx)을 경유하여 제 2노드(N2)로 전류를 공급하고, 제 1구동회로(303a)는 제 2노드(N2)에서 송신저항(Tx)을 경유하여 제 1노드(N1)로 전류를 공급한다. 따라서, 송신저항(Tx)으로는 표 2와 같이 전류(-2mA) 및 이에 대응하는 전압(-200mV)이 인가된다.

<79> "011"의 3비트가 입력되는 경우 제 3구동회로(303c)는 제 1노드(N1)에서 송신저항(Tx)을 경유하여 제 2노드(N2)로 전류를 공급하고, 제 1 및 제 2구동회로(303a, 303b)는 제 2노드(N2)에서 송신저항(Tx)을 경유하여 제 1노드(N1)로 전류를 공급한다. 따라서, 송신저항(Tx)으로는 표 2와 같이 전류(2mA) 및 이에 대응하는 전압(200mV)이 인가된다.

<80> "111"의 3비트가 입력되는 경우 구동회로들(303a, 303b, 303c)은 제 2노드(N2)에서 송신저항(Tx)을 경유하여 제 1노드(N1)로 전류를 공급한다. 따라서, 송신저항(Tx)으로는 표 2와 같이 전류(6mA) 및 이에 대응하는 전압(600mV)이 인가된다.

<81> 즉, 본 발명의 구동부(302)는 디코더(300)로부터 공급되는 3비트에 대응하여 4가지 전압레벨이 송신저항(Tx)에 인가되도록 하고, 이 송신저항(Tx)에 인가되는 전압을 수신회로(212)로 전달한다. 여기서, 송신회로(204)와 수신회로(212) 사이에 위치되는 2개의 송/수신라인에 의하여 송신저항(Tx)의 전압이 수신회로(212)로 전달된다

<82> 도 9는 전류의 방향에 대응하여 제 1노드 및 제 2노드에 인가되는 전압을 나타내는 시물레이션 도면이다.

<83> 도 9를 참조하면, 송신저항(Tx)의 제 1노드(N1) 및 제 2노드(N2)에 인가되는 전압은 디코더(300)로부터 공급되는 3비트에 대응하여 4가지 전압레벨을 갖도록 설정된다. 여기서, 디코더(300)로부터 공급되는 3비트는 데이터

(Data)의 2비트 정보에 의하여 생성되기 때문에 송신저항(Tx)에 인가되는 전압정보에는 데이터(Data)의 2비트 정보가 포함된다.

- <84> 도 10은 도 2에 도시된 수신회로를 나타내는 도면이다.
- <85> 도 10을 참조하면, 본 발명의 실시예에 의한 수신회로(212)는 송/수신라인 사이에 접속되는 수신저항(Rx)과, 수신저항(Rx) 사이에 인가되는 전압을 증폭하기 위한 앰프들(400a, 400b, 400c)과, 앰프들(400a, 400b, 400c) 각각에 접속되는 비교부(402a, 402b, 402c)와, 비교부들(402a, 402b, 402c)로부터 공급되는 비트를 이용하여 데이터(Data)의 2비트를 복원하기 위한 엔코더(404)를 구비한다.
- <86> 수신저항(Rx)에는 도 9와 같이 송신저항(Tx)에 인가되는 전압이 인가된다. 이와 같은 수신저항(Rx)은 송신저항(Tx)과의 임프던스를 매칭하기 위하여 사용된다.
- <87> 제 1앰프(400a)는 수신저항(Rx)의 제 1노드(N1)의 전압을 제 2노드(N2)의 전압보다 상대적으로 높게 증폭한다.
- <88> 제 2앰프(400b)는 수신저항(Rx)의 제 1노드(N1) 및 제 2노드(N2)의 전압을 동일하게 증폭한다.
- <89> 제 3앰프(400c)는 수신저항(Rx)의 제 2노드(N2)의 전압을 제 1노드(N1)의 전압보다 상대적으로 높게 증폭한다.
- <90> 제 1비교부(402a)는 제 1앰프(400a)로부터 공급되는 전압을 이용하여 "1" 또는 "0"의 비트를 생성하고, 생성된 비트를 엔코더(404)로 공급한다. 여기서, 제 1비교부(402a)는 제 1앰프(400a)로부터 공급되는 전압 중 제 1노드(N1)의 전압이 제 2노드(N2)의 전압보다 높을 때 "0"의 비트를 생성하고, 그 외의 경우에 "1"의 비트를 생성한다.
- <91> 제 2비교부(402b)는 제 2앰프(400b)로부터 공급되는 전압을 이용하여 "1" 또는 "0"의 비트를 생성하고, 생성된 비트를 엔코더(404)로 공급한다. 여기서, 제 2비교부(402b)는 제 2앰프(400b)로부터 공급되는 전압 중 제 1노드(N1)의 전압이 제 2노드(N2)의 전압보다 높을 때 "0"의 비트를 생성하고, 그 외의 경우에 "1"의 비트를 생성한다.
- <92> 제 3비교부(402c)는 제 3앰프(400c)로부터 공급되는 전압을 이용하여 "1" 또는 "0"의 비트를 생성하고, 생성된 비트를 엔코더(404)로 공급한다. 여기서, 제 3비교부(402c)는 제 3앰프(400c)로부터 공급되는 전압 중 제 1노드(N1)의 전압이 제 2노드(N2)의 전압보다 높을 때 "0"의 비트를 생성하고, 그 외의 경우에 "1"의 비트를 생성한다.
- <93> 엔코더(404)는 비교부들(402a, 402b, 402c)로부터 공급되는 3비트를 이용하여 2비트를 생성한다. 여기서, 엔코더(404)는 표 1과 같이 3비트를 2비트로 변환한다. 다시 말하여, 엔코더(404)는 "000"의 3비트가 입력될 때 "00"의 2비트를 생성하고, "001"의 3비트가 입력될 때 "01"의 2비트를 생성한다. 그리고, 엔코더(404)는 "011"의 3비트가 입력될 때 "10"의 2비트를 생성하고, "111"의 3비트가 입력될 때 "11"의 2비트를 생성한다.
- <94> 도 11은 본 발명의 수신회로의 동작과정을 나타내는 시뮬레이션 파형도이다.
- <95> 도 11을 참조하면, 먼저 수신저항(Rx)에는 데이터(Data)의 2비트에 대응하는 소정 전압이 인가된다. 여기서, 설명의 편의성을 위하여 수신저항(Rx)에는 "11", "10", "01" 및 "00"의 비트에 대응하는 전압값이 순차적으로 입력된다고 가정하기로 한다.
- <96> 앰프들(400a, 400b, 400c)은 수신저항(Rx)에 공급되는 전압값을 증폭하여 비교부들(402a)로 공급한다. 여기서, 제 1앰프(400a)는 제 1노드(N1)의 전압을 제 2노드(N2)의 전압보다 상대적으로 높게 증폭한다. 실제로, 제 1앰프(400a)는 수신저항(Rx)에 "10"비트에 대응되는 전압이 인가되는 경우 제 1노드(N1)의 전압이 제 2노드(N2)의 전압보다 높은 전압값을 갖도록 제 1노드(N1)의 전압을 증폭한다.
- <97> 그리고, 제 3앰프(400c)는 제 2노드(N2)의 전압을 제 1노드(N1)의 전압보다 상대적으로 높게 증폭한다. 실제로, 제 3앰프(400c)는 수신저항(Rx)에 "01"비트에 대응되는 전압이 인가되는 경우 제 2노드(N2)의 전압이 제 1노드(N1)의 전압보다 높은 전압값을 갖도록 제 2노드(N2)의 전압을 증폭한다.
- <98> 비교부들(402a, 402b, 402c)은 앰프들(402a, 402b, 402c)로부터 공급되는 전압을 이용하여 "1" 또는 "0"의 비트를 생성한다. 실제로, 비교부들(402a, 402b, 402c)은 제 1노드(N1)의 전압이 제 2노드(N2)의 전압보다 높을 때 "0"의 비트를 생성하고, 그 외의 경우에 "1"의 비트를 생성한다.
- <99> 그러면, 수신저항(Rx)에 "11"비트에 대응되는 전압이 인가되는 경우 "11"의 비트가 생성되어 엔코더(404)로 공급되고, "10"비트에 대응되는 전압이 인가되는 경우 "011"의 비트가 생성되어 엔코더(404)로 공급된다. 또한,

수신저항(Rx)에 "01"의 비트가 인가되는 경우 "001"의 비트가 생성되어 엔코더(404)로 공급되고, "00"비트에 대응되는 전압이 인가되는 경우 "000"의 비트가 생성되어 엔코더(404)로 공급된다.

- <100> 엔코더(404)는 자신에게 공급되는 3비트에 대응하여 표 1과 같이 2비트를 생성한다. 즉, 본 발명에서는 송신회로(204)와 수신회로(212) 사이에서 한번에 2비트씩의 정보를 전송하고, 이 정보를 엔코더(404)에서 안정적으로 복원하게 된다.
- <101> 도 12는 도 10에 도시된 앰프들을 개략적으로 나타내는 도면이다.
- <102> 도 12를 참조하면, 본 발명의 실시예에 의한 앰프들(400a, 400b, 400c) 각각은 제 1전압(VDD)과 기저전원(GND) 사이에 접속되는 제 1저항(R1) 및 제 1트랜지스터(M61)와, 제 1저항(R1) 및 제 1트랜지스터(M61)와 병렬로 접속되는 제 2저항(R2) 및 제 2트랜지스터(M62)와, 제 1트랜지스터(M61) 및 제 2트랜지스터(M62)의 공통노드와 기저전원(GND) 사이에 접속되는 제 3트랜지스터(M63)를 구비한다.
- <103> 제 1트랜지스터(M61)의 게이트전극은 수신저항(Rx)의 제 2노드(N2)에 인가되는 전압을 공급받는다. 제 2트랜지스터(M62)의 게이트전극은 수신저항(Rx)의 제 1노드(N1)에 인가되는 전압을 공급받는다. 제 3트랜지스터(M63)는 외부로부터 공급되는 전압에 대응하여 소정 전류가 흐를 수 있도록 제어한다.
- <104> 제 2앰프(400b)를 참조하여 동작과정을 설명하면, 제 1트랜지스터(M61) 및 제 2트랜지스터(M62)는 자신에 공급되는 전압에 의하여 제 3트랜지스터(M63)로 흐르는 전류를 공급한다.
- <105> 이때, 제 1트랜지스터(M61) 및 제 2트랜지스터(M62) 각각은 자신의 게이트전극에 인가되는 전압에 대응하여 채널 폭이 제한되고, 즉 소정의 저항으로 동작하게 된다. 이 경우, 제 1트랜지스터(M61)와 제 1저항(R1)의 사이에 인가되는 전압이 증폭된 제 1노드(N1)의 전압으로 출력되고, 제 2트랜지스터(M62)와 제 2저항(R2)의 사이에 인가되는 전압이 증폭된 제 2노드(N2)의 전압으로 출력된다.
- <106> 한편, 제 1앰프(400a) 및 제 3앰프(400c)는 제 1저항(R1)과 제 1트랜지스터(M61)의 공통단자와 기저전원(GND) 사이에 접속되는 제 5트랜지스터(M5)와, 제 2저항(R2)과 제 2트랜지스터(M62)의 공통단자와 기저전원(GND) 사이에 접속되는 제 4트랜지스터(M4)를 더 구비한다.
- <107> 제 1앰프(400a)에 포함되는 제 5트랜지스터(M65)는 항상 턴-오프 상태를 유지한다. 제 5트랜지스터(M65)는 더미 트랜지스터로 생략될 수도 있다. 제 1앰프(400a)에 포함되는 제 4트랜지스터(M64)는 외부로부터 공급되는 기준전압(Vref)에 의하여 소정전류가 흐르도록 턴-온된다. 이와 같이 제 4트랜지스터(M64)가 소정전류가 흐르도록 턴-온되면 제 1앰프(400a)는 제 1노드(N1)의 전압을 제 2노드(N2)의 전압보다 상대적으로 높게 증폭한다.
- <108> 제 3앰프(400c)에 포함되는 제 4트랜지스터(M64)는 항상 턴-오프 상태를 유지한다. 제 4트랜지스터(M64)는 더미 트랜지스터로 생략될 수도 있다. 제 3앰프(400c)에 포함되는 제 5트랜지스터(M65)는 외부로부터 공급되는 기준전압(Vref)에 의하여 소정전류가 흐르도록 턴-온된다. 이와 같이 제 5트랜지스터(M65)가 소정전류가 흐르도록 턴-온되면 제 3앰프(400c)는 제 2노드(N1)의 전압을 제 1노드(N1)의 전압보다 상대적으로 높게 증폭한다.
- <109> 도 13은 도 2에 도시된 직병렬 변환부를 나타내는 도면이다.
- <110> 도 13을 참조하면, 본 발명의 직병렬 변환부는 2개의 직병렬 변환기(215)를 구비한다.
- <111> 직병렬 변환기(215) 각각은 엔코더(404)로부터 공급되는 1비트를 순차적으로 저장하기 위한 제 1플립플롭들(215a)과, 제 1플립플롭들(215a)에 저장된 데이터를 공급받아 동시에 출력하기 위한 제 2플립플롭들(215b)을 구비한다.
- <112> 직병렬 변환기(215) 각각은 엔코더(404)로부터 공급되는 2비트 중 서로 다른 비트를 공급받는다. 여기서, 엔코더(404)로부터 공급되는 1비트는 제 1플립플롭들(215a)에 순차적으로 저장된다. 이를 위해, 제 1플립플롭들(215a)은 k(k는 자연수)비트의 데이터(Data)에 대응하여 k개의 디(D) 플립플롭들로 구성된다.
- <113> 제 2플립플롭들(215b)은 제 1플립플롭들(215a)에 데이터(Data)의 모든 비트가 저장된 후 제 1플립플롭들(215a)에 저장된 비트를 공급받고, 공급받은 비트를 데이터(Data)로써 동시에 출력한다. 이를 위해, 제 2플립플롭들(215b)은 k개의 디(D) 플립플롭들로 구성된다. 한편, 제 2플립플롭들(215b)로 공급되는 제 2클럭신호(CLK2)는 제 1플립플롭들(215a)로 공급되는 제 1클럭신호(CLK1) 보다 넓은 폭을 갖도록 설정된다.
- <114> 상술한 본 발명의 인터페이스에서는 송신회로(204)와 수신회로(212) 사이에서 한번에 2비트씩의 정보를 전송하기 때문에 클럭의 주파수를 낮출 수 있는 장점이 있다. 다시 말하여, 종래에는 한번에 1비트씩의 정보를 전송하

기 위하여 높은 클럭이 필요하지만 본 발명에서는 한번에 2비트의 정보를 전송하기 때문에 종래보다 낮은 클럭의 주파를 낮출 수 있고, 이에 따라 전자파 간섭을 최소화할 수 있다.

- <115> 한편, 본 발명에서는 송신부(200)에 PLL(Phase Locked Loop)가 추가되고, 수신부(210)에 CDR(Clock Data Recovery)이 추가될 수 있다. PLL은 기준클럭(미도시)을 공급받고, 공급받은 기준클럭을 이용하여 직렬 변환부(202)로 클럭을 공급한다. CDR은 기준클럭을 공급받고, 공급받은 기준클럭을 이용하여 직렬 변환부(214)로 클럭을 공급한다.
- <116> 도 14는 본 발명의 실시예에 의한 송신저항 및/또는 수신저항을 나타내는 도면이다.
- <117> 도 14를 참조하면, 본 발명의 실시예에 의한 송신저항 및 수신저항 중 적어도 하나는 송/수신라인의 제 1노드(N1)와 제 2노드(N2) 사이에 위치되는 메인저항(Rm)과, 제 1노드(N1)와 제 2노드(N2) 사이에 위치되는 보조저항들(Rs)과, 보조저항들(Rs) 각각과 접속되도록 위치되어 보조저항(Rs)과 송/수신라인을 전기적 접속을 제어하기 위한 스위치(SW)를 구비한다.
- <118> 본 발명에서는 앞서 설명한 바와 같이 송신저항 및 수신저항에 인가되는 4가지 레벨의 전압을 이용하여 2비트의 정보를 전송한다. 따라서, 2비트의 정보가 정확히 전달되기 위해서는 송신저항 및 수신저항의 원하는 설계치의 저항값으로 설정되어야 한다. 하지만, 일반적으로 공정의 편차에 의하여 송신저항 및 수신저항이 원하는 설계치의 저항값으로 정확히 설계되기 곤란하다.
- <119> 따라서, 본 발명에서는 보조저항(Rs)들 및 이와 접속되는 스위치들(SW)을 이용하여 제 1노드(N1)와 제 2노드(N2) 사이의 저항값을 원하는 값으로 맞춰준다. 다시 말하여, 스위치들(SW)의 턴-온 및 턴-오프를 제어하면서 송신저항 및 수신저항 중 적어도 하나의 저항을 원하는 설계치의 저항값으로 맞춰준다.
- <120> 한편, 본 발명에서 구동회로들(303a, 303b, 303c)은 송신저항(Tx)으로 원하는 전류를 안정적으로 공급해야 한다. 다시 말하여, 구동회로들(303a, 303b, 303c)에서 송신저항(Tx)으로 원하지 않는 전류를 공급하게 되면 본 발명의 인터페이스 시스템이 불안정하게 구동될 수 있다. 따라서, 본 발명에서는 구동회로들(303a, 303b, 303c)이 안정적으로 구동될 수 있도록 구동회로들(303a, 303b, 303c) 각각에 안정화회로를 추가적으로 설치한다.
- <121> 도 15는 본 발명의 실시예에 의한 안정화회로를 나타내는 회로도이다. 도 15에서는 설명의 편의성을 위하여 제 1구동회로(303a)와 접속된 안정화회로를 도시하기로 한다. 도 15에서 제 1전압(VDD)은 제 2전압(VSS)보다 높은 전압값으로 설정된다. 예를 들어, 제 2전압(VSS)은 기저전원(GND)로 설정될 수 있다. 그리고, 안정화회로에서 제 7, 제 9 및 제 12트랜지스터(M70, M72, M75)는 PMOS로 형성되고, 나머지 트랜지스터들(M71, M73, M74, M76)은 NMOS로 형성된다.
- <122> 도 15를 참조하면, 본 발명의 실시예에 의한 안정화회로(500)는 제 1전압(VDD)과 제 2전압(VSS) 사이에 위치되는 제 7트랜지스터(M70) 및 제 8트랜지스터(M71)와, 제 7트랜지스터(M70) 및 제 8트랜지스터(M71)와 병렬로 접속되는 제 9트랜지스터(M72) 및 제 10트랜지스터(M73)와, 제 8트랜지스터(M71) 및 제 10트랜지스터(M73)의 공통단자와 제 2전압(VSS) 사이에 위치되는 제 11트랜지스터(M74)와, 제 9트랜지스터(M72)와 전류 미러 형태로 접속되는 제 12트랜지스터(M75)와, 제 12트랜지스터(M75)와 제 2전압(VSS) 사이에 접속되는 제 13트랜지스터(M76)를 구비한다.
- <123> 제 7트랜지스터(M70)의 제 1전극은 제 1전압(VDD)과 접속되고 제 2전극은 자신의 게이트전극과 제 8트랜지스터(M71)의 제 2전극에 접속된다. 그리고, 제 7트랜지스터(M70)의 게이트전극은 제 2바이어스(Bias2) 전압을 공급받는다. 여기서, 제 7트랜지스터(M70)가 다이오드 형태로 접속되기 때문에 제 2바이어스(Bias2) 전압은 제거될 수도 있다.
- <124> 한편, 제 1전극은 소오스전극 및 드레인전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되면 제 2전극은 드레인전극으로 설정된다.
- <125> 제 8트랜지스터(M71)의 제 2전극은 제 7트랜지스터(M70)의 제 2전극에 접속되고, 제 1전극은 제 11트랜지스터(M74)의 제 2전극에 접속된다. 그리고, 제 8트랜지스터(M71)의 게이트전극은 기준전압(Vref)을 공급받는다. 이와 같은 제 8트랜지스터(M71)는 기준전압(Vref)에 대응하는 전류를 제 11트랜지스터(M74)로 공급한다.
- <126> 제 9트랜지스터(M72)의 제 1전극은 제 1전압(VDD)과 접속되고 제 2전극은 자신의 게이트전극과 제 10트랜지스터(M73)의 제 2전극에 접속된다. 그리고, 제 9트랜지스터(M72)의 게이트전극은 제 12트랜지스터(M75)의 게이트전극에 접속된다. 즉, 제 9트랜지스터(M72)는 다이오드 형태로 접속됨과 동시에 제 12트랜지스터(M75)와 전류 미

러로 접속된다.

- <127> 제 10트랜지스터(M73)의 제 2전극은 제 9트랜지스터(M72)의 제 2전극에 접속되고, 제 1전극은 제 11트랜지스터(M74)의 제 2전극에 접속된다. 그리고, 제 10트랜지스터(M73)의 게이트전극은 구동회로(303a)에 접속된다. 이와 같은 제 10트랜지스터(M73)는 구동회로(303a)로부터 공급되는 전압에 대응하여 제 9트랜지스터(M72)로부터 제 11트랜지스터(M74)로 흐르는 전류량을 제어한다.
- <128> 제 11트랜지스터(M74)의 제 2전극은 제 8 및 제 10트랜지스터(M71, M73)의 제 1전극에 접속되고, 제 1전극은 제 2전압(VSS)에 접속된다. 그리고, 제 11트랜지스터(M74)의 게이트전극은 제 1바이어스(Bias1)을 공급받는다. 이와 같은 제 11트랜지스터(M74)는 제 1바이어스(Bias1) 전압에 대응하여 제 2전압(VSS)으로 흐르는 전류량을 제어한다.
- <129> 제 12트랜지스터(M75)의 제 1전극은 제 1전압(VDD)에 접속되고, 제 2전극은 제 13트랜지스터(M76)의 제 2전극 및 게이트전극에 접속된다. 그리고, 제 12트랜지스터(M75)의 게이트전극은 제 9트랜지스터(M72)의 게이트전극과 접속된다. 이와 같은 제 12트랜지스터(M75)는 제 9트랜지스터(M72)와 전류 미러로 접속된다. 따라서, 제 12트랜지스터(M75)는 제 9트랜지스터(M72)에서 흐르는 전류량에 대응하는 전류를 제 13트랜지스터(M76)로 공급한다.
- <130> 제 13트랜지스터(M76)의 제 2전극 및 게이트전극은 제 12트랜지스터(M75)의 제 2전극에 접속되고, 제 1전극은 제 2전압(VSS)에 접속된다. 그리고, 제 13트랜지스터(M76)의 게이트전극은 제 2트랜지스터(M52)의 게이트전극과 접속된다. 이와 같은 제 13트랜지스터(M76)는 다이오드 형태로 접속되어 제 12트랜지스터(M75)로부터 공급되는 전류를 제 2전극(VSS)으로 공급한다.
- <131> 한편, 구동회로(303a)에서 제 3트랜지스터(M53) 및 제 4트랜지스터(M54) 사이의 제 4노드(N4)와 제 5트랜지스터(M55) 및 제 6트랜지스터(M56) 사이의 제 5노드 사이에는 제 10저항(R10) 및 제 11저항(R11)이 설치된다. 그리고, 제 10저항(R10) 및 제 11저항(R11) 사이의 제 3노드(N3)가 제 10트랜지스터(M73)의 게이트전극과 접속된다. 여기서, 제 10저항(R10) 및 제 11저항(R11)은 동일한 저항값으로 설정된다.
- <132> 동작과정을 상세히 설명하면, 먼저 구동회로(303a)가 비정상적으로 구동될 때 제 3노드(N3)에 인가되는 전압이 설계치의 전압에서 상승 또는 하강된다.
- <133> 예를 들어, 제 3노드(N3)의 전압이 설계치의 전압보다 하강되면 제 10트랜지스터(M73)에서 흐르는 전류가 감소된다. 제 10트랜지스터(M73)에서 흐르는 전류가 감소되면 제 9트랜지스터(M72) 및 제 9트랜지스터(M72)와 전류 미러로 접속되는 제 12트랜지스터(M75)에서 흐르는 전류가 감소된다. 따라서, 제 12트랜지스터(M75)로부터 전류를 공급받는 제 13트랜지스터(M76)로 흐르는 전류량도 감소된다.
- <134> 제 13트랜지스터(M76)로 흐르는 전류량이 감소되면 제 13트랜지스터(M76)의 제 1전극(소오스전극)과 게이트전극 사이의 전압이 감소된다. 그러면, 제 2트랜지스터(M52)의 제 1전극과 게이트전극 사이의 전압도 감소되고, 이에 따라 제 6노드(N6)의 전압이 상승된다.
- <135> 제 6노드(N6)의 전압이 상승되면 제 4트랜지스터(M54)의 제 1전극과 게이트전극 사이의 전압이 감소된다. 그러면, 제 4노드(N4)의 전압이 상승된다. 이와 같이 제 4노드(N4)의 전압이 상승되면 제 3노드(N3)의 전압이 상승된다. 즉, 안정화회로(500)는 제 3노드(N3)의 전압이 하강하는 경우 제 3노드(N3)의 전압을 상승시켜 구동회로(303a)가 안정적으로 구동되도록 한다.
- <136> 한편, 제 3노드(N3)의 전압이 설계치의 전압보다 상승되면 제 10트랜지스터(M73)에서 흐르는 전류가 증가된다. 제 10트랜지스터(M73)에서 흐르는 전류가 증가되면 제 9트랜지스터(M72) 및 제 12트랜지스터(M75)에서 흐르는 전류가 증가된다. 따라서, 제 12트랜지스터(M75)로부터 전류를 공급받는 제 13트랜지스터(M76)로 흐르는 전류량도 증가된다.
- <137> 제 13트랜지스터(M76)로 흐르는 전류량이 증가되면 제 13트랜지스터(M76)의 제 1전극과 게이트전극 사이의 전압이 증가된다. 제 13트랜지스터(M76)의 제 1전극과 게이트전극 사이의 전압이 증가되면 제 6노드(N6)의 전압이 감소된다.
- <138> 제 6노드(N6)의 전압이 감소되면 제 4트랜지스터(M54)의 제 1전극과 게이트전극 사이의 전압이 상승된다. 그러면, 제 4노드(N4)의 전압이 감소된다. 이와 같이 제 4노드(N4)의 전압이 감소되면 제 3노드(N3)의 전압이 하강된다. 즉, 안정화회로(500)는 제 3노드(N3)의 전압이 상승하는 경우 제 3노드(N3)의 전압을 하강시켜 구동회로



<26> 400a, 400b, 400c : 애플

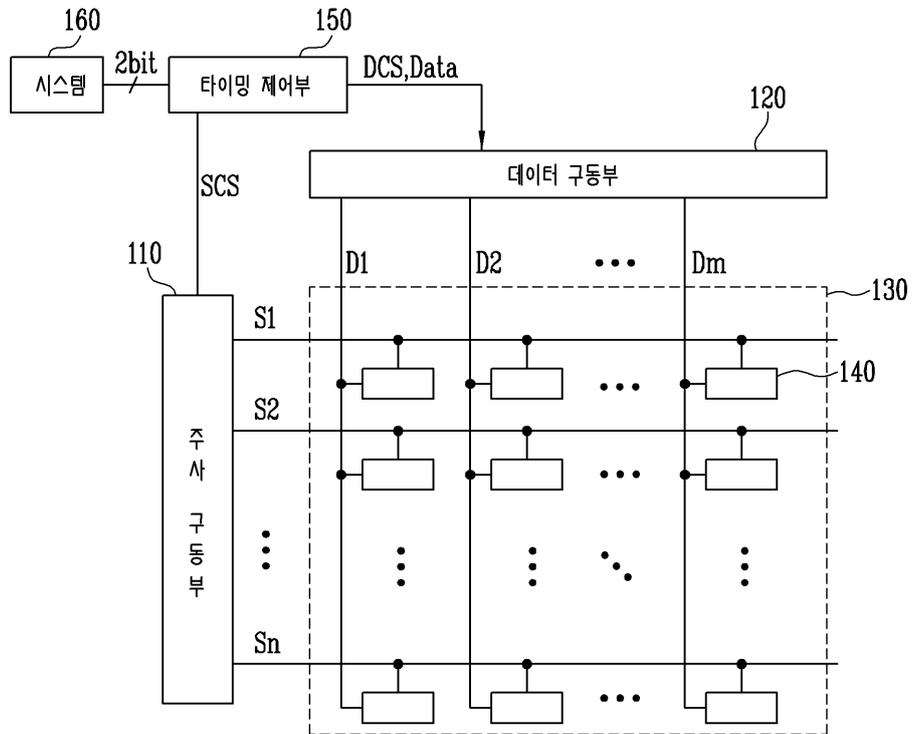
402a, 402b, 402c : 비교부

<27> 404 : 엔코더

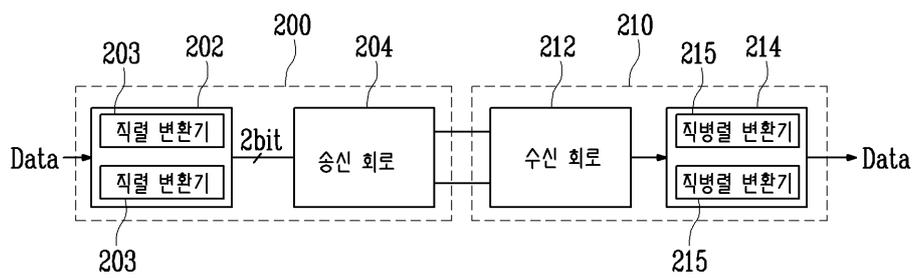
500 : 안정화회로

도면

도면1

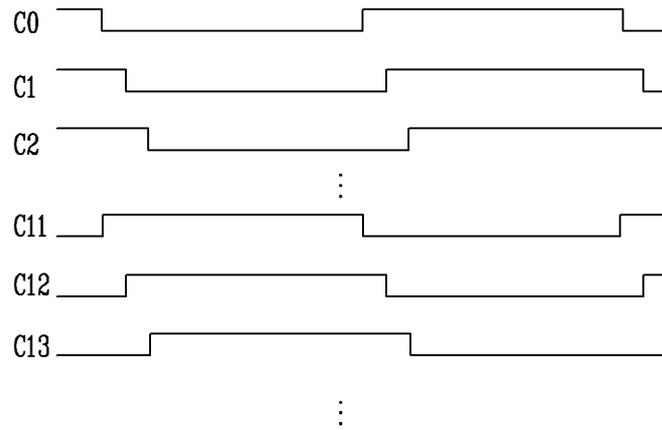


도면2

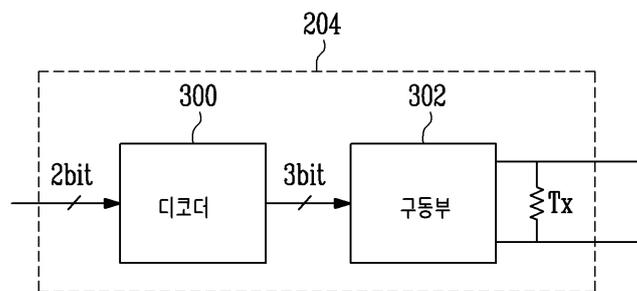




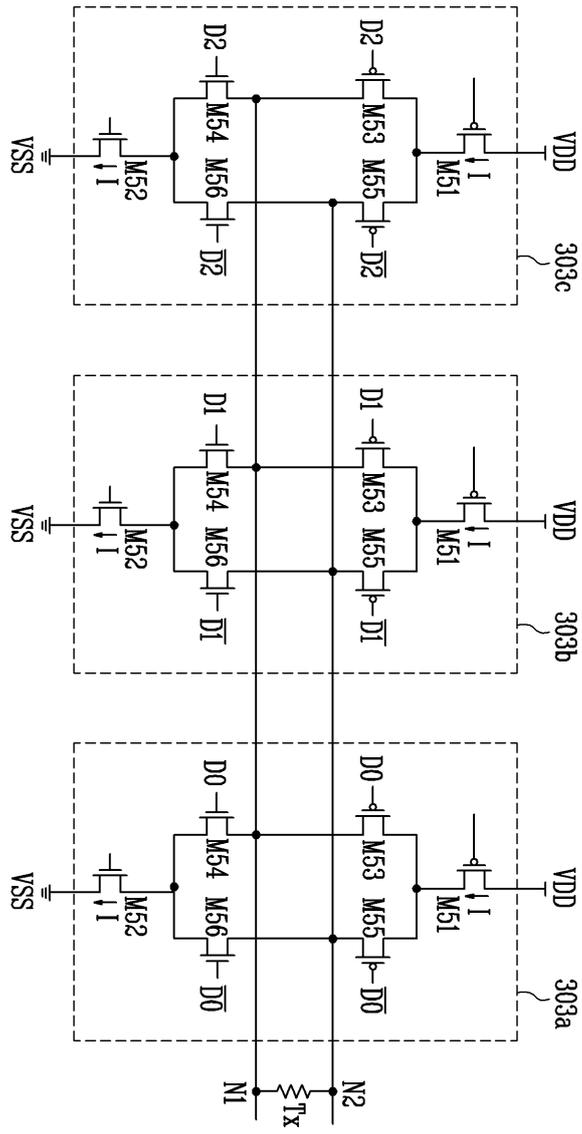
도면6



도면7



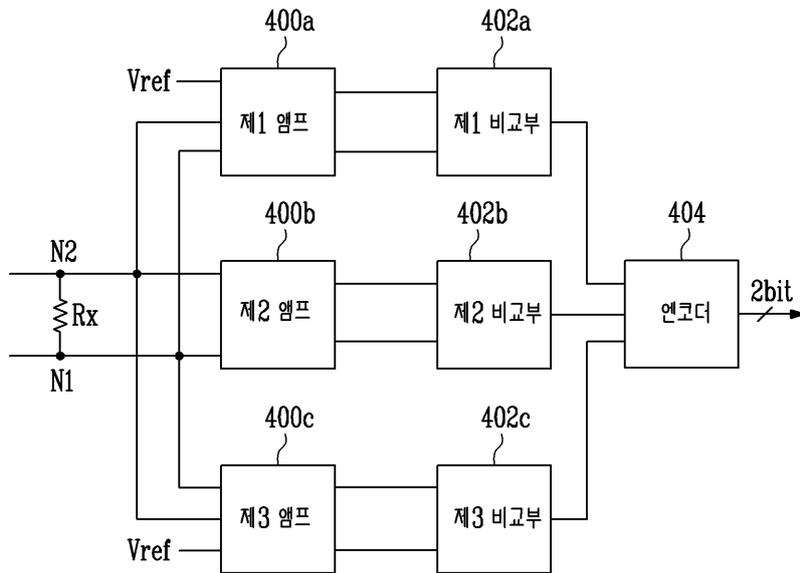
도면8



도면9

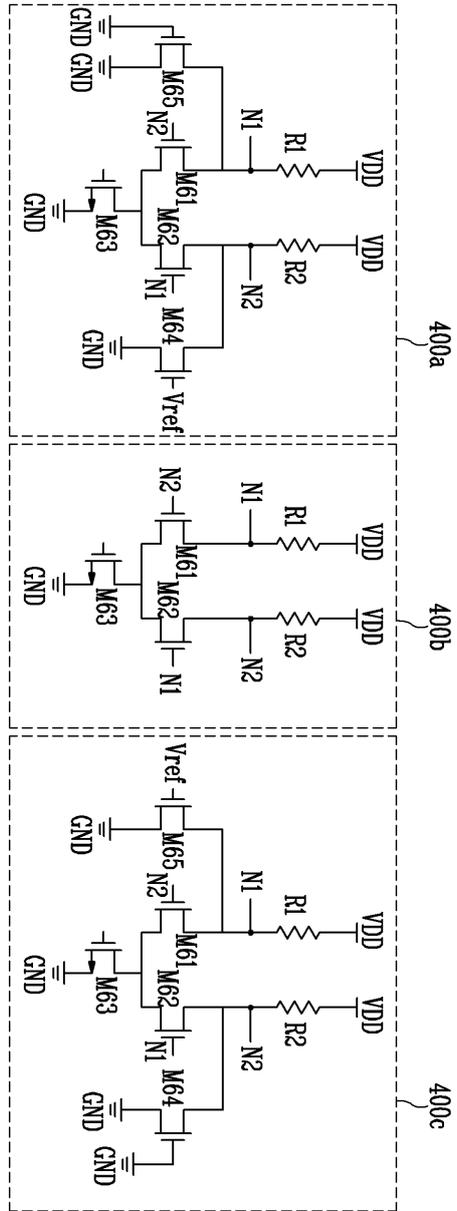


도면10

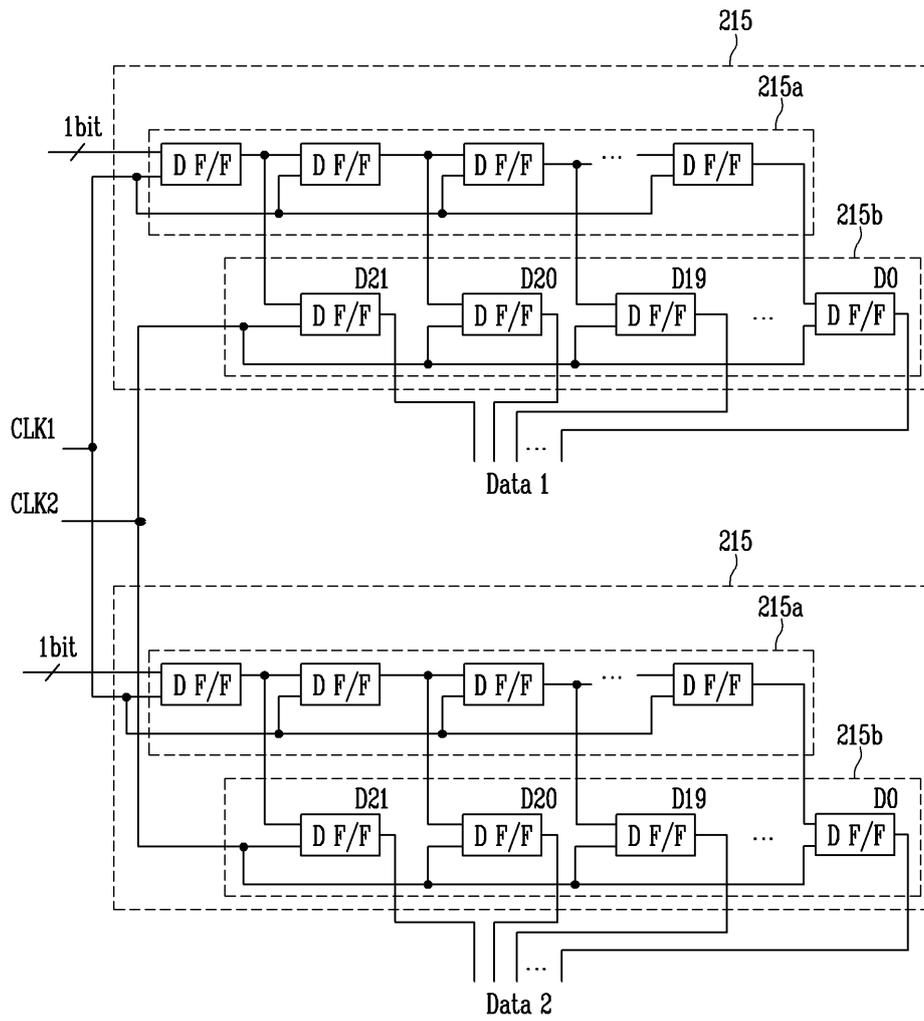




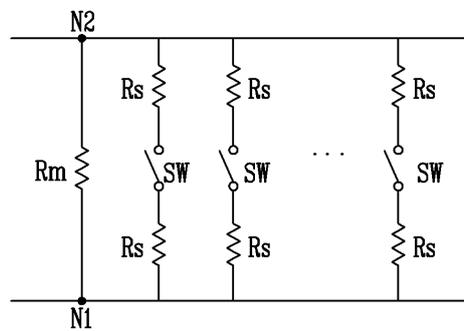
도면12



도면13



도면14



도면15

