

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-88328

(P2009-88328A)

(43) 公開日 平成21年4月23日(2009.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 3 K 19/00 I O 1 F	5 J 0 5 6
HO 3 K 19/0175 (2006.01)	HO 1 L 27/04 D	

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願2007-257433 (P2007-257433)
 (22) 出願日 平成19年10月1日 (2007. 10. 1)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100146178
 弁理士 浜田 満広
 (72) 発明者 古川 宏幸
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 5F038 AZ06 BB06 BE09 BH03 BH19
 CA02 CD02 CD04 CD13 DF01
 EZ20
 5J056 AA04 BB34 BB35 EE04 FF08
 GG09 KK02

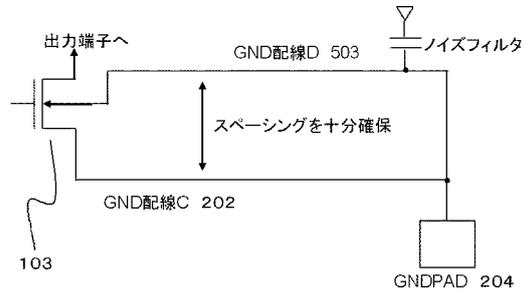
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 出力バッファのスイッチングノイズによる誤動作を防止した半導体集積回路を提供する。

【解決手段】 出力バッファトランジスタ103のソース電極と、上記出力バッファトランジスタが形成されるウェルには、同じ電源204から電圧が供給されるが配線経路を分離して別配線で電源を供給する。出力バッファトランジスタ103のスイッチングによって、ソース電極の電位が変動してもウェルの電位変動が抑えられる。特に、おなじウェルに形成された出力バッファトランジスタ以外のトランジスタや、半導体基板を経由して電氣的に接続された他のウェルに形成されたトランジスタへのノイズの影響を防ぐことができる。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

半導体基板と、前記半導体基板に形成されたウェルと、前記ウェル内に形成された複数の出力バッファトランジスタと、前記複数の出力バッファトランジスタにそれぞれ対応して設けられた複数のウェルタップと、前記複数の出力バッファのソース電極に共通に接続された第 1 の電源配線と、前記第 1 の電源配線とは配線経路の異なる別の電源配線であって前記複数のウェルタップに共通に接続された第 2 の電源配線とを備え、前記第 1 及び第 2 の電源配線は、同一の電源に接続されることを特徴とする半導体集積回路。

【請求項 2】

前記半導体基板の上には、前記出力バッファトランジスタ以外のトランジスタが形成され、そのトランジスタの少なくとも一部は、前記出力バッファトランジスタが形成されたウェルと同一のウェルまたは、前記出力バッファトランジスタが形成されたウェルと前記半導体基板を介して電氣的に接続された別なウェルに形成されたことを特徴とする請求項 1 記載の半導体集積回路。

10

【請求項 3】

前記半導体基板と前記ウェルとは同一導電型であることを特徴とする請求項 1 または 2 記載の半導体集積回路。

【請求項 4】

前記半導体基板の上に設けられた内部コア領域をさらに備え、前記第 1 の電源配線、第 2 の電源配線は、それぞれ前記内部コア領域を囲んで周回するように配線されていることを特徴とする請求項 1 ないし 3 いずれか 1 項記載の半導体集積回路。

20

【請求項 5】

前記第 1 の電源配線と前記第 2 の電源配線は、相互インダクタンス及びカップリング容量が十分小さくなるように離間して配線されていることを特徴とする請求項 1 ないし 4 いずれか 1 項記載の半導体集積回路。

【請求項 6】

前記第 2 の電源配線に接続されたノイズフィルタを有する請求項 1 ないし 5 いずれか 1 項記載の半導体集積回路。

【請求項 7】

前記第 1 の電源配線が接続される第 1 の電源パッドと、前記第 2 の電源配線が接続される第 2 の電源パッドとが前記半導体基板上に形成され、前記第 1 の電源パッドと第 2 の電源パッドとは前記半導体基板の外で接続されていることを特徴とする請求項 1 ないし 6 いずれか 1 項記載の半導体集積回路。

30

【請求項 8】

前記第 1 の電源配線と第 2 の電源配線が共通に接続された電源パッドを備え、前記第 1 の電源配線、第 2 の電源配線は、前記電源パッドから枝分かれをした配線であることを特徴とする請求項 1 ないし 6 いずれか 1 項記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

複数の出力バッファを有する半導体集積回路に関する。特に半導体基板の上にウェルを設け、その上にさらに出力バッファを設けた半導体集積回路において、出力バッファのスイッチングによるウェル電位の変動による悪影響を防ぐようにした半導体集積回路に関する。

40

【背景技術】

【0002】

マイクロプロセッサやデジタル信号処理用システム L S I において、近年、高集積化による 1 チップに搭載される機能の拡張、及び動作速度の高速化等の技術の進展には目覚しいものがある。しかし、その高集積化、動作速度の高速化に伴って、高速デジタル L S I の設計において電源ノイズによる誤動作が問題になって来ている。

50

【 0 0 0 3 】

すなわち、ムーアの法則により比例縮小により集積度を高めるに従って、MOSトランジスタのゲート酸化膜も薄くなり、それに伴ってLSI内部の電源電圧は低くなっている。この低電源電圧化はノイズマージンを減らし電源ノイズの影響を受けやすくする。また、高速化のためには、出力バッファには大きな電流を流す必要がある。この大電流を流せば流すほど電源ノイズは大きくなる。また、誤動作にまで至らない場合であっても、電源ノイズによりジッタ等のAC特性が悪化し、高速動作の妨げになる。

【 0 0 0 4 】

このような電源ノイズに対する誤動作を防ぐため、特許文献1には、出力バッファトランジスタの電源パッドと、出力バッファトランジスタ以外の内部回路の電源パッドとを別々に設けることにより出力バッファトランジスタのスイッチングノイズによる内部回路の誤動作を防止する半導体集積回路が記載されている。

10

【 0 0 0 5 】

【特許文献1】特開昭63-234623号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかし、発明者が検討したところによると、出力バッファと内部回路の電源を分離しただけでは、出力バッファトランジスタのスイッチングノイズがウェルや半導体基板を介して内部回路に影響を与え内部回路の誤動作を生じる可能性があることがわかった。

20

【 0 0 0 7 】

この理由について図1～図4を用いて説明する。図1は、出力バッファ回路208の回路図である。内部コア105は、VDD1電源とGND A電源に接続され、出力バッファ回路208に制御信号108を出力する。プリバッファ101はその制御信号108を受けてPチャンネルMOSバッファトランジスタ102のオンオフを制御する制御信号106、NチャンネルMOSバッファトランジスタ103のオンオフを制御する制御信号107を出力する。プリバッファ回路101はVDD2電源とGND B電源に接続される。PチャンネルMOSバッファトランジスタ102のソースはVDD3電源に接続され、NチャンネルMOSバッファトランジスタ103のソースはGND C電源に接続される。また、PチャンネルMOSバッファトランジスタ102のドレインと、NチャンネルMOSバッファトランジスタ103のドレインは共通接続されて入出力パッド104へ接続される。NチャンネルMOSバッファトランジスタ103及びPチャンネルMOSバッファトランジスタ102には、駆動能力の高いサイズの大きなトランジスタが用いられる。また、入出力パッド104には、出力バッファ回路208の他に図示しない入力バッファが接続され、入出力パッド104から入力した信号が内部コア105に伝えられる。

30

【 0 0 0 8 】

次に、図2は、半導体集積回路1チップ全体のGND電源概略配線図である。出力バッファ回路208は、半導体チップ201の外周部に配置され、出力バッファ回路208の出力は半導体チップ201のさらに外周に設けられた入出力パッド104に接続される。GND電源は、GNDパッド204から供給され、1チップの外周部を周回するGND配線C(202)によって出力バッファ回路208の出力バッファに電源が供給される。また、GNDパッド204は、出力バッファ回路208のプリバッファへのGND電源配線となるGND配線B(206)にも接続される。GND配線B(206)は、GND配線C(202)と同様に1チップの外周部を周回して配線されるが、GND配線C(202)より内側に配線される。さらに、内部コア領域209が出力バッファ回路208の内側に設けられ、内部コア領域209には、GND配線A(207)がマトリクス状に縦横に配線されている。なお、ここでは、GND配線A(207)、GND配線B(206)、GND配線C(202)には、いずれもGNDパッド204から電源が供給されているが、特許文献1に記載されているように、GND配線A(207)及びGND配線B(206)と、GND配線C(202)とで別々にGNDパッドを設け、チップ内のGND電源配線をGND配線A(207)及びGND配線B(206)と、GND配線

40

50

C(202)とで完全に分離してもよい。また、図2では、記載が煩雑になるのを避けるため、出力バッファ回路208と入出力パッド104を代表して1つ図示するか、実際には、1チップの外周部に複数の出力バッファ回路208と入出力パッド104が敷き詰められて配置され、共通のGND配線B(206)と、GND配線C(202)からそれぞれ電源が供給される。

【0009】

次に、出力バッファ回路208は、図3に示す出力バッファ回路概略配置図のように配置される。半導体チップ201の最外周部に入出力パッド104が配置され、その内側に出力バッファ、そのさらに内側にプリバッファ、さらに内側に内部コアが配置される。出力バッファ、プリバッファ、内部コアには、それぞれ、Pチャンネルトランジスタ形成領域と、Nチャンネルトランジスタ形成領域が設けられる。

10

【0010】

図4は、出力バッファ回路208のGND電源配線図である。図4に示すようにGND配線C(202)は、出力バッファ領域に設けられたNchソースドレイン領域にコンタクトを介して接続される。このNchソースドレイン領域は、NチャンネルMOSバッファトランジスタ103のソースとなる。NチャンネルMOSバッファトランジスタ103のドレインは入出力パッド104に接続されるが、図4では図示を省略している。また、GND配線C(202)は、NチャンネルMOSバッファトランジスタ103を囲むように設けられたP+TAP401にコンタクトを介して接続される。P+TAP401に囲まれる領域はPウェル302であり、Pウェル302には、コンタクト、P+TAP401を介してGND配線C(202)からGND電源が供給される。

20

【0011】

また、プリバッファ領域に設けられたGND配線B(206)はプリバッファ101のNチャンネルMOSトランジスタのソース電源にコンタクトを介して接続される。なお、GND配線B(206)はプリバッファ領域に設けられたPウェルのP+TAPにも接続されるが図4では、図示を省略している。

【0012】

さらに、GND配線A(207)は内部コア領域のNチャンネルMOSトランジスタのソース電源とP+TAP(図示省略)に、それぞれコンタクトを介して接続される。なお、GND配線A(207)とGND配線B(206)は配線によって直接接続されている。

30

【0013】

図5は、図3のように配置された出力バッファ回路208の断面図である。1チップ201は、P型基板P-subの上に出力バッファ、プリバッファ、内部コアのそれぞれNチャンネルトランジスタ形成領域となるPウェルと、Pチャンネルトランジスタ形成領域となるNウェルが形成されている。また、NチャンネルMOSバッファトランジスタ103のソースとPウェル302のP+TAPには、GND配線C(202)が接続され、プリバッファのNチャンネルMOSトランジスタが形成されるPウェル304には、GND配線B(206)が接続され、内部コアのNチャンネルMOSトランジスタが形成されるPウェル306には、GND配線A(207)が接続される。また、GND配線B(206)とGND配線A(207)とは直接配線で接続されている。

40

【0014】

ここで、NチャンネルMOSバッファトランジスタ103の駆動能力が大きく、かつ、出力が入出力パッド104に直接接続されているので負荷容量が大きくなる。従って、NチャンネルMOSバッファトランジスタ103のオンオフのスイッチングに伴って、GND配線C(202)には大きな電流が流れ、GND配線C(202)もインピーダンスがゼロではないため、NチャンネルMOSバッファトランジスタ103のソースには、大きな電圧変動が生じる。さらに、GND配線C(202)は、Pウェル302への電源供給配線も兼ねているので、NチャンネルMOSバッファトランジスタ103のソースはPウェル302と直結しており、NチャンネルMOSバッファトランジスタ103のオンオフのスイッチングに伴

50

ってPウェル302にも大きな電圧変動が伝わる。

【0015】

さらに、NチャンネルMOSバッファトランジスタ103が形成されるPウェル302と、プリバッファのNチャンネルMOSトランジスタが形成されるPウェル304と、内部コアのNチャンネルMOSトランジスタが形成されるPウェル306とは、P型半導体基板301を介して電氣的につながっている。従って、NチャンネルMOSバッファトランジスタ103のオンオフに伴って生じたGND配線C(202)の電源ノイズがPウェル302、P型半導体基板301を介してプリバッファ領域のPウェル304、内部コア領域のPウェル306にも伝わってしまう。GND配線C(202)、Pウェル302、P型半導体基板301を介してPウェル304、306に伝わった電源ノイズが、プリバッファまたは、内部コアの誤動作または、特性の劣化をもたらすことになる。

10

【課題を解決するための手段】

【0016】

本発明の半導体集積回路は、ウェル上に設けられた出力トランジスタのソース電極へ接続される第1の電源配線と、このウェルのウェルタップへ接続される第2の電源配線を配線経路の異なる別な配線にする。

【発明の効果】

【0017】

本発明によれば、出力バッファのソース電極へ接続される電源配線と、出力バッファのウェルへ接続される配線を別な配線から供給するようにしたので、出力バッファのオンオフによるスイッチングノイズが電源配線やウェル、基板を介して出力バッファ以外の回路に伝わることを防ぐことができる。従って、電源ノイズによる誤動作や電氣的特性への悪影響を防ぐことができる。

20

【発明を実施するための最良の形態】

【0018】

次に、発明を実施するための好ましい形態について説明する。本発明においては、出力バッファを形成したウェルのウェルタップへの電源配線と、出力バッファ自体への電源配線を分離し、別なルートで電源を供給する。また、同一電源系の出力バッファが複数ある場合には、ウェルタップへの電源配線と、出力バッファ自体への電源配線とを複数の出力バッファで共通にすれば、電源配線の数を不必要に増やしチップ面積の増大させることなく、電源のノイズが出力バッファ以外の回路に伝わるのを防ぐことができる。特に、基板を介して他のウェルと電氣的に繋がっているウェルに対してウェルタップへの電源配線と、出力バッファ自体への電源配線を分離すると効果が大きい。すなわち、P型基板を用いる場合には、Nチャンネル出力バッファを形成するPウェルへのウェルタップへの電源配線と、Nチャンネルバッファトランジスタへの電源配線を分離すると効果が大きい。さらに、Pチャンネルバッファトランジスタであっても、出力バッファトランジスタを設けるウェルと同一のウェルの中に出力バッファトランジスタ以外の回路を設ける場合には、出力バッファトランジスタのスイッチングノイズが共通のウェルを介して出力バッファトランジスタ以外のトランジスタのノイズとなることを防ぐことができる。なお、複数の出力トランジスタを共通の1つのウェル内に設ける場合でも、出力トランジスタ毎にそれぞれ別なウェルに設ける場合であっても出力トランジスタのソースとウェル電位を供給する電源配線を分離することにより同様な効果を得ることができる。

30

40

【実施例】

【0019】

次に、図6は、本発明の一実施例の半導体集積回路1チップ全体のGND電源概略配線図である。説明が冗長になるのを避けるため、図6において、従来例図2と同一部分については、同一の符号をつけ、説明を省略する。出力バッファ回路508は、出力バッファへのGND電源配線の接続を除いて従来例出力バッファ回路208と同一である。この実施例では、GND電源パッド204の他にGND電源パッド505が設けられている。また、GND電源パッド204からの電源配線は、外周部のみに配線され、内部コア領域20

50

9等へは配線されていない。GND電源パッド505はGND配線D(503)に接続され、GND配線C(202)の内側で、かつ、GND配線B(206)外側に配線され、外周部を周回して配線されている。さらに、内部コア領域へのGND配線A(207)、プリバッファ領域へのGND配線B(206)は、いずれもGND電源パッド505に接続され、GND電源パッド505から電源が供給される。

【0020】

図7は、一実施例における出力バッファ回路508の断面図である。従来例の断面図図5とは、NチャンネルMOSバッファトランジスタ103が形成されるPウェル302のウェルトップに、GND配線D(503)からウェル電位が供給されている点が異なっている。他の構成は、図4と同一である。

10

【0021】

次に図8に、出力バッファ回路508のGND電源配線図を示す。図8に示すようにGND配線C(202)は、Nchソースドレイン領域にコンタクトを介して接続される。GND配線C(202)に接続されたNchソースドレイン領域は、NチャンネルMOSバッファトランジスタ103のソースとなる。図8では、NチャンネルMOSバッファトランジスタ103のドレインは入出力パッド104に接続されるが、ここでは図示を省略している。また、GND配線D(503)は、NチャンネルMOSバッファトランジスタ103を囲むように設けられたP+TAP401にコンタクトを介して接続される。P+TAP401の内側はPウェル302であり、コンタクト、P+TAP401を介してGND配線D(503)からGND電源が供給される。また、GND配線B(206)はプリバッファ101のNチャンネルMOSトランジスタのソース電源とP+TAP(図示省略)に、GND配線A(207)は内部コア領域のNチャンネルMOSトランジスタのソース電源とP+TAP(図示省略)に、それぞれコンタクトを介してGND電源を供給する。なお、GND配線A(207)とGND配線B(206)は直接配線によって接続されている。

20

【0022】

従来例図4では、P+TAP401とNチャンネルMOSバッファトランジスタ103のソースとで共通なGND配線C(202)からGND電源を供給していたのに対して、この図8に示す実施例では、P+TAP401には、GND配線C(202)とは別なGND配線D(503)からGND電源を供給する点で異なっている。GND配線C(202)からGND配線D(503)を分離することにより、出力バッファのオンオフによる電源ノイズが電源配線を介してPウェル302に伝わることを防いでいる。

30

【0023】

次に、図9は、この実施例におけるGND電源配線の接続図である。上述したようにNチャンネルMOSバッファトランジスタ103のソースはGND配線C(202)を介してGND電源パッド204に、NチャンネルMOSバッファトランジスタ103のバックゲートは、GND配線D(503)を介してGND電源パッド505に接続される。このGND電源パッド204とGND電源パッド505は半導体チップ501の外部で共通の電源に接続され、同じ電圧が供給される。また、GND配線C(202)とGND配線D(503)は相互インダクタンスを持たないように、また、配線間のカップリング容量が小さくなるようにできるだけ離間して配線される。NチャンネルMOSバッファトランジスタ103のオンオフのスイッチングによって生ずるGND配線C(202)の電位や電流の変動がGND配線D(503)の電位の変動となってPウェルやP基板の電源変動を生じないようにするためである。

40

【0024】

次に、図10は、図9と異なる別な実施例のGND電源配線の接続図である。図10では、図9と異なり、GND配線C(202)とGND配線D(503)でGND電源パッドを分けておらず、共用している。ただし、GND配線C(202)とGND配線D(503)は相互インダクタンスを持たないように、また配線間のカップリング容量が差小くなるように十分離間して配線され、GND配線D(503)には、ノイズフィルタとして容量をVDD電源との間に設けている。GND配線D(503)は、ウェル電位の供給

50

に用いられる配線であり、大電流を流す必要がないので、配線抵抗は比較的大きく、この配線抵抗と容量によってGND配線D(503)の電源変動が抑制される。この容量は、例えば外周部や内部コアの空き領域にゲート容量によるデカップリングセルを設けることにより実現できる。

【0025】

次に、図11は、図8と別な実施例のGND電源配線図である。図11では、P+TAP401の電源をGND配線B(206)から取っている。この図11の実施例ではGND配線D(503)をチップの外周部に引き回す必要がない。

【0026】

以上、好適な実施例について説明したが、本発明は、これらの実施例を様々に変更して実施できることはいうまでもない。たとえば、上記実施例では、P型の半導体基板上のPウェルの中に設けたNチャンネルバッファのソース電極への配線とPウェルへの配線を分離する場合について説明したが、N型の半導体基板上のNウェルの中に設けたPチャンネルバッファのソース電極への配線とNウェルへの配線を分離する場合について適用できる。

10

【図面の簡単な説明】

【0027】

【図1】出力バッファ回路の回路図である。

【図2】従来の半導体集積回路1チップ全体のGND電源概略配線図である。

【図3】従来の出力バッファ回路概略配置図である。

20

【図4】従来の出力バッファ回路のGND電源配線図である。

【図5】従来の出力バッファ回路部の断面図である。

【図6】本発明の一実施例における半導体集積回路1チップ全体のGND電源概略配線図である。

【図7】本発明の一実施例における出力バッファ回路部の断面図である。

【図8】本発明の一実施例における出力バッファ回路部のGND電源配線図である。

【図9】本発明の一実施例におけるGND電源配線の接続図である。

【図10】本発明の別な実施例におけるGND電源配線の接続図である。

【図11】本発明の別な実施例における出力バッファ回路部のGND電源配線図である。

30

【符号の説明】

【0028】

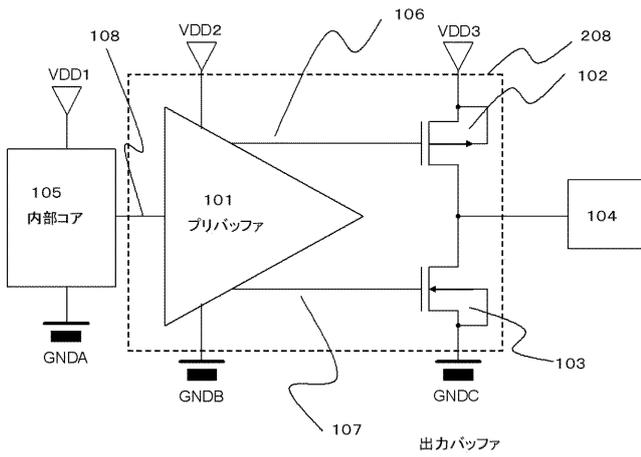
- 101 プリバッファ
- 102 PチャンネルMOSバッファトランジスタ
- 103 NチャンネルMOSバッファトランジスタ
- 104 入出力パッド
- 105 内部コア
- 106、107 制御信号
- 201 半導体チップ
- 202 GND配線C
- 204 GNDパッド
- 206 GND配線B
- 207 GND配線A
- 208 出力バッファ回路
- 209 内部コア領域
- 301 P型半導体基板
- 302、304、306 Pウェル
- 401 P+TAP
- 501 半導体チップ
- 503 GND配線D
- 505 GND電源パッド

40

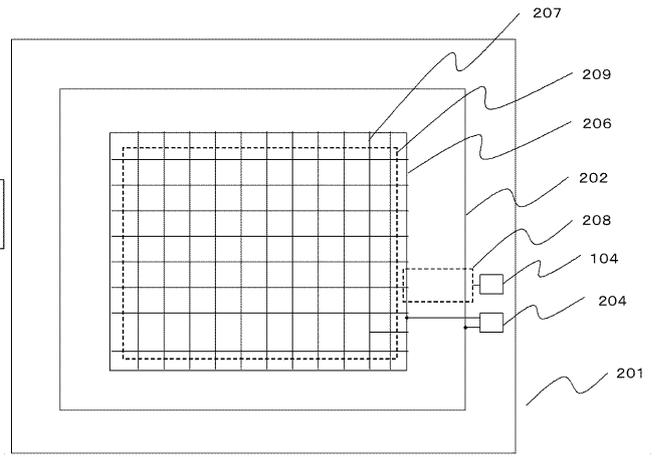
50

508 出力バッファ回路

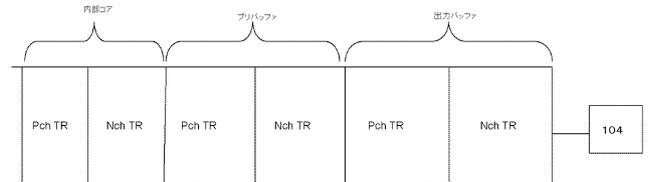
【図1】



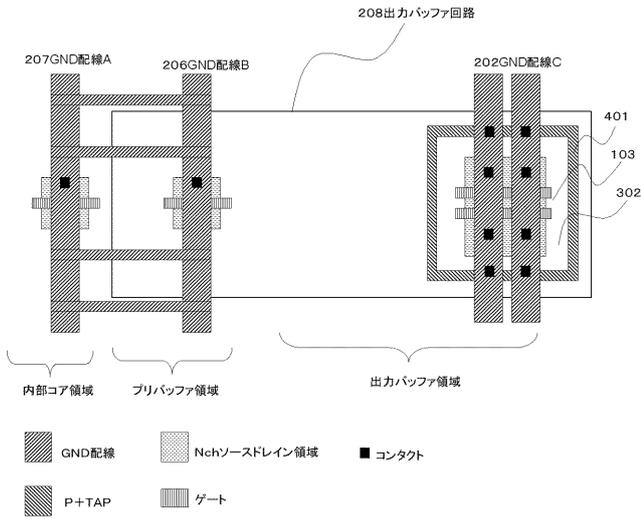
【図2】



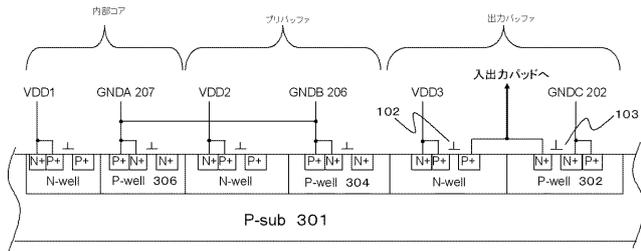
【図3】



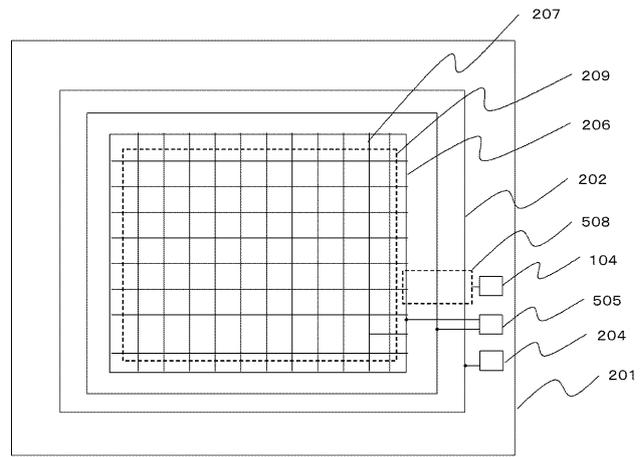
【 図 4 】



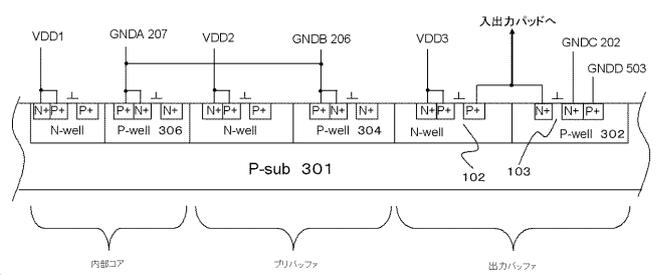
【 図 5 】



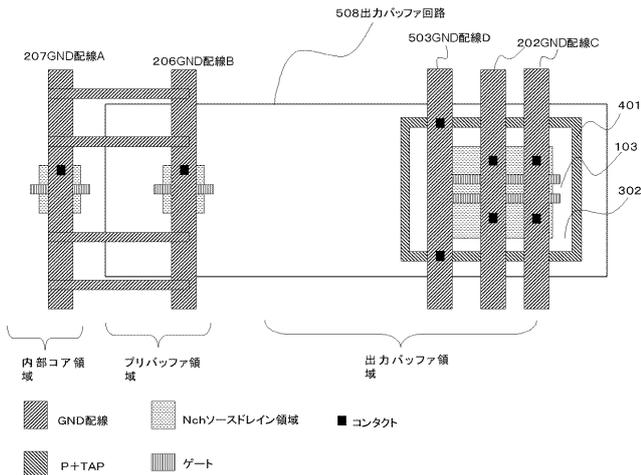
【 図 6 】



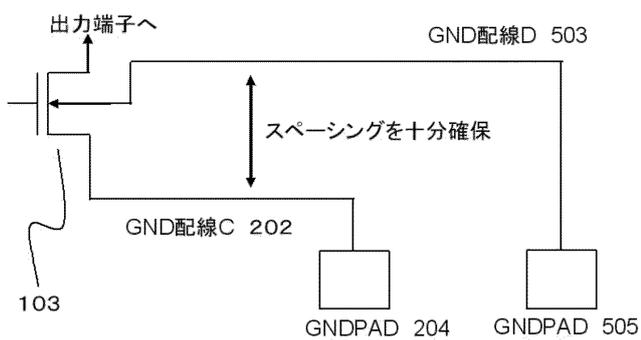
【 図 7 】



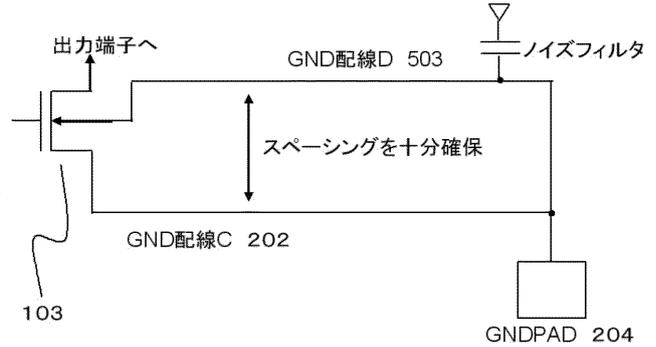
【 図 8 】



【 図 9 】



【 図 10 】



【 図 11 】

