



(10) **DE 10 2008 064 686 B4** 2014.04.10

(12) **Patentschrift**

(21) Aktenzeichen: **10 2008 064 686.5**  
 (22) Anmeldetag: **21.05.2008**  
 (43) Offenlegungstag: **27.11.2008**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **10.04.2014**

(51) Int Cl.: **H01L 29/739** (2006.01)  
**H01L 29/78** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2007-139509 25.05.2007 JP**

(62) Teilung aus:  
**10 2008 024 467.8**

(73) Patentinhaber:  
**Mitsubishi Electric Corp., Tokyo, JP**

(74) Vertreter:  
**PRÜFER & PARTNER GbR, 81479, München, DE**

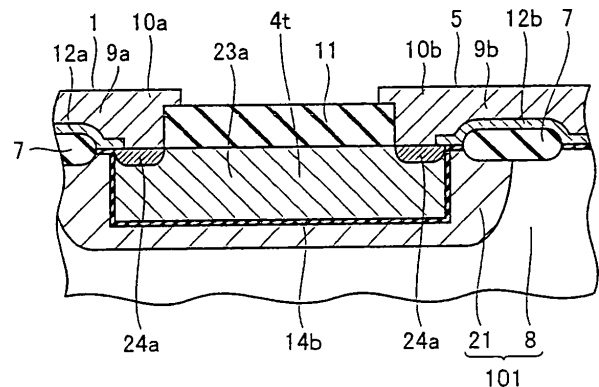
(72) Erfinder:  
**Kusunoki, Shigeru, Tokyo, JP; Mochizuki, Koichi, Tokyo, JP; Kawakami, Minoru, Tokyo, JP**

(56) Ermittelter Stand der Technik:

DE	101 23 818	B4
DE	103 61 714	A1
DE	199 60 563	A1
DE	10 2004 022 455	A1
US	2002 / 0 050 603	A1
US	2002 / 0 088 991	A1
US	2008 / 0 079 081	A1
US	5 115 369	A
JP	2002-083 964	A
JP	2003-197 914	A
JP	2001-044 435	A
JP	2004-281 918	A

(54) Bezeichnung: **Halbleitervorrichtung**

(57) Hauptanspruch: Halbleitervorrichtung mit:  
 einem Halbleitersubstrat (101);  
 einem Isolierfilm (14b), der zumindest einen Teil des Halbleitersubstrats (101) abdeckt;  
 einem Halbleiterelement (EL), das eine Elektrode hat; und  
 einem Widerstandselement (4t), das an dem Isolierfilm (14b) angeordnet ist und mit der Elektrode elektrisch verbunden ist, um einen Widerstand für einen durch die Elektrode hindurch strömenden Strom zu bilden, wobei  
 das Widerstandselement (4t) eine leicht dotierte Halbleiterlage (23a) aufweist, so dass in Abhängigkeit von einer Potentialdifferenz zwischen dem Halbleitersubstrat (101) und dem Widerstandselement (4t) eine Verarmungsschicht und eine Inversionsschicht in der leicht dotierten Halbleiterlage (23a) erzeugt werden können.



**Beschreibung**

## HINTERGRUND DER ERFINDUNG

## Gebiet der Erfindung

**[0001]** Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung und insbesondere auf eine Halbleitervorrichtung mit einem Kanalbereich, der durch einen Teil eines Halbleitersubstrates gebildet ist, und einer Elektrode.

Beschreibung des zugehörigen Stands der Technik

**[0002]** Als Halbleitervorrichtungen sind Leistungshalbleiterchips wie zum Beispiel ein IGBT (Insulated-Gate-Bipolar-Transistor) und ein Leistungs-MOS-FET (Metal-Oxid-Semiconductor-Field-Effekt-Transistor) vorhanden. Gates von diesen Halbleiterchips haben hauptsächlich eine ebene Gatestruktur oder eine Grabengatestruktur.

**[0003]** Im Stand der Technik besteht das Gate der Grabengatestruktur zum Beispiel aus polykristallinem Silizium. In den letzten Jahren wurden derartige Verfahren vorgeschlagen, die ein Metall mit einem hohen Schmelzpunkt verwenden, um einen Widerstand des Grabengates abzusenken. Zum Beispiel gemäß der Japanischen Patentanmeldung JP-2001-044435 A sind eine polykristalline Siliziumlage (d. h. eine Pufferlage) sowie ein Metall mit einem hohen Schmelzpunkt in einem Graben der Grabengatestruktur angeordnet.

**[0004]** Ein Widerstandselement, das als ein Gatewiderstand bezeichnet wird, kann mit dem Gate verbunden werden. Auch wenn der Gatewiderstand hinsichtlich des Halbleiterchips mit einer herkömmlichen Struktur außen angeordnet ist, wurde in den letzten Jahren vorgeschlagen, den Gatewiderstand im Inneren des Halbleiterchips anzuordnen.

**[0005]** Zum Beispiel hat die Japanische Patentanmeldung JP-2002-083964 A einen Gatewiderstand (innerer Gatewiderstand) vorgeschlagen, der im Inneren eines Halbleiterchips angeordnet ist. Gemäß dieser Offenlegungsschrift stabilisiert der innere Gatewiderstand, der zum Beispiel aus polykristallinem Silizium besteht, einen Schaltbetrieb der Halbleiterelemente, die parallel angeschlossen sind.

**[0006]** Zum Beispiel hat die Japanische Patentanmeldung JP-2003-197914 A eine Halbleitervorrichtung offenbart, bei der ein innerer Gatewiderstand, der zum Beispiel aus polykristallinem Silizium besteht, unter einem Gateanschluss angeordnet ist, d. h. in einem freiliegenden Abschnitt einer Verbindungselektrode außerhalb des Gates, wobei dazwischen ein Zwischenlagenisolierrfilm ist. Gemäß dieser Offenlegungsschrift sorgt diese Struktur für ei-

ne Halbleitervorrichtung, die eine Fläche eines aktiven Bereiches eines Halbleitersubstrates nicht reduziert, sie hat einen inneren Gatewiderstand mit einer großen Fläche und sie kann eine Stromdichte eines Übergangstrompulses unterdrücken.

**[0007]** Die vorstehend genannte Halbleitervorrichtung mit dem äußeren Gatewiderstand leidet an einem Problem einer erhöhten Anzahl der Bauteile. Außerdem ändert sich wahrscheinlich ein Potenzial einer Verbindung zwischen dem Gatewiderstand und dem Halbleiterchip aufgrund von äußeren Störgrößen, und diese Potenzialänderung beeinträchtigt direkt das Gate in dem Halbleiterchip ohne Einwirkung eines Gatewiderstands. Dies führt zu einem Problem, dass die Halbleitervorrichtung wahrscheinlich eine Fehlfunktion hat oder oszilliert.

**[0008]** Wenn zum Beispiel einige hundert bis zehntausend Gates in einem IGBT mit Strömen versorgt werden, strömt ein hoher Strom durch einen Gatewiderstand. In diesem Fall muß ein Strompfad des Gatewiderstands eine große Querschnittsfläche aufweisen, um die Zuverlässigkeit zu gewährleisten. Bei der Halbleitervorrichtung der japanischen Patentanmeldung JP-2002-083964 A, die vorstehend beschrieben ist, ist es erforderlich, die Breite oder eine Dicke des inneren Gatewiderstands zu vergrößern. Jedoch führt eine Vergrößerung der Dicke zu einem Problem, dass eine lange Zeit zum Ablagern eines Films erforderlich ist, der den inneren Gatewiderstand ausbildet, und dass eine Verarbeitung oder Bearbeitung des so abgelagerten Filmes schwierig ist. Außerdem führt eine Vergrößerung der Breite zu einem Problem, dass Flächen des inneren Gatewiderstands und daher der Halbleiterchip vergrößert werden.

**[0009]** Gemäß dem inneren Gatewiderstand der japanischen Patentanmeldung JP-2003-197914 A, die vorstehend beschrieben ist, kann eine Fläche des Halbleiterchips reduziert werden, da sich der Gateanschluss und der innere Gatewiderstand miteinander überlappen, aber die Fläche kann höchstens nur durch eine Fläche des Gateanschlusses reduziert werden.

**[0010]** DE 199 60 563 A1 beschreibt eine Halbleiterstruktur mit einem Substrat, einer Mehrzahl darin vorgesehener Gräben und einer Leiterbahn, die derart in die Gräben gefaltet ist, dass ihre Länge innerhalb eines Grabens zumindest die doppelte Grabentiefe beträgt.

**[0011]** DE 103 61 714 A1 beschreibt ein Halbleiterbauelement, bei welchem zwischen einem Gate-Anschluss und einem Source-Anschluss ein Steuerwiderstandselement vorgesehen ist, das einen Ohmschen Widerstand aufweist, der mit steigender Betriebstemperatur monoton fallend ist.

**[0012]** US 5 115 369 A beschreibt einen Leistungs-transistor, dessen Steuerelektrode mit einem Polysilizium-JFET verbunden ist. Bei dem Leistungstransistor handelt es sich um einen MOSFET, dessen Steueranschluss mit der Source des JFET verbunden ist, so dass ein Drain-Anschluss des JFET als Eingang fungiert. Mittels des JFET wird ein Widerstand realisiert, der im Normalbetrieb klein ist, jedoch beim Auftreten eines Avalanche-Durchbruchs ansteigt.

**[0013]** JP 2004-281918 A beschreibt eine Halbleitervorrichtung, in der ein Widerstand mit einem stabilen Widerstandswert realisiert ist. Hierzu wird ein Widerstand in einem Graben ausgebildet.

**[0014]** DE 10 2004 022 455 A1 beschreibt einen IGBT, bei dem in einem Teil eines zwischen den Graben-Steuerelektroden liegenden Bereichs auf der Emitterseite eine Halbleiterregion ausgebildet ist, welche über zwei Dioden mit der Emittierelektrode verbunden ist. Im abgeschalteten Zustand des IGBT sind die Dioden leitend, wodurch Ladungsträger mit hoher Geschwindigkeit aus dem Bauelement abgeleitet werden.

**[0015]** US 2002/0050603 A beschreibt eine Halbleitervorrichtung, in der eine Zenerdiode zwischen einem Kollektor und ein Gate eines Transistors geschaltet ist, wobei die Zenerdiode in das Transistorelement integriert ist und mit einer Glasschicht bedeckt ist.

**[0016]** US 2002/0088991 A1 beschreibt ebenfalls eine Zenerdiode, die eine Einheitszelle in einer Leistungshalbleitervorrichtung umgibt.

**[0017]** DE 101 23 818 B4 beschreibt eine Anordnung mit Schutzfunktion für ein Halbleiterbauelement, bei der ein MOS-Transistor mit seiner Gateelektrode mit einem floatenden Gebiet elektrisch verbunden ist oder aus dem floatenden Gebiet besteht.

#### KURZFASSUNG DER ERFINDUNG

**[0018]** Es ist die Aufgabe der Erfindung, eine Halbleitervorrichtung mit einem Widerstandselement vorzusehen, die eine kleine Anschlussfläche aufweist und einen großen Strom mit hoher Zuverlässigkeit durchlassen kann.

**[0019]** Die Aufgabe wird gelöst durch eine Halbleitervorrichtung nach Anspruch 1, 5, 9, 10, 11, 12 und 17. Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

**[0020]** Weitere Merkmale und Vorteile der vorliegenden Erfindung werden aus der folgenden, detaillierten Beschreibung der vorliegenden Erfindung im Zusammenhang mit den beigefügten Zeichnungen ersichtlich.

#### KURZBESCHREIBUNG DER ZEICHNUNGEN

**[0021]** Fig. 1A–Fig. 1C zeigen ausschnittartige Schnitte, die schematisch eine Halbleitervorrichtung gemäß einem ersten Erläuterungsbeispiel zeigen.

**[0022]** Fig. 2 zeigt eine schematische Draufsicht einer Struktur der Halbleitervorrichtung gemäß des ersten Erläuterungsbeispiels.

**[0023]** Fig. 3 zeigt eine ausschnittartige Draufsicht, die schematisch einen Abschnitt zeigt, der durch III in der Fig. 2 angegeben ist.

**[0024]** Fig. 4 entspricht der Fig. 3, außer dass ein Gateanschluss, eine Gatehauptzwischenverbindung und ein Emitteranschluss (Emittierelektrode) in der Fig. 3 nicht gezeigt sind.

**[0025]** Fig. 5 entspricht der Fig. 4, außer dass ein Zwischenlagenisolierfilm in der Fig. 4 nicht gezeigt ist.

**[0026]** Fig. 6 entspricht der Fig. 5, außer dass polykristalline Siliziumlagen an einer Seite eines Gateanschlusses und einer Seite einer Hauptzwischenverbindung in der Fig. 5 nicht gezeigt sind.

**[0027]** Fig. 7 entspricht der Fig. 6, außer dass ein Teil eines Gateoxidfilms und ein Teil eines Isolierfilms in der Fig. 6 nicht gezeigt sind.

**[0028]** Fig. 8 zeigt schematisch eine Ersatzschaltung in einem Zustand, bei dem die Halbleitervorrichtung des ersten Erläuterungsbeispiels an einer Leiterplatte angeordnet ist.

**[0029]** Fig. 9 stellt schematisch einen Verbindungszustand zwischen einem Gateanschluss der Halbleitervorrichtung und einem Anschluss der Leiterplatte bei dem ersten Erläuterungsbeispiel dar.

**[0030]** Fig. 10 zeigt eine schematische Draufsicht einer Struktur eines Widerstandselementes in einer Abwandlung der Halbleitervorrichtung des ersten Erläuterungsbeispiels.

**[0031]** Fig. 11–Fig. 15 zeigen ausschnittartige Draufsichten, die schematisch Strukturen von Widerstandselementen in Abwandlungen der Halbleitervorrichtung des ersten Erläuterungsbeispiels zeigen.

**[0032]** Fig. 16 zeigt eine schematische Draufsicht einer Struktur einer Halbleitervorrichtung bei einem ersten Vergleichsbeispiel.

**[0033]** Fig. 17 stellt schematisch einen Verbindungszustand zwischen einem Gateanschluss der Halbleitervorrichtung und einem Anschluss einer Leiterplatte bei dem ersten Vergleichsbeispiel dar.

**[0034]** Fig. 18 zeigt eine Ersatzschaltung der Halbleitervorrichtung, die an der Leiterplatte bei dem ersten Vergleichsbeispiel angeordnet ist.

**[0035]** Fig. 19 zeigt eine schematische, ausschnittartige Draufsicht einer Halbleitervorrichtung bei einem zweiten Vergleichsbeispiel. Die in der Fig. 19 gezeigte Fläche entspricht jener, die in der Fig. 5 gezeigt ist. Ein Gateanschluss, eine Gatehauptzwischenverbindung, ein Emitteranschluss und ein Zwischenlagenisolierfilm sind ähnlich wie in der Fig. 5 nicht gezeigt.

**[0036]** Fig. 20 zeigt einen schematischen Querschnitt entlang einer Linie XX-XX in der Fig. 19.

**[0037]** Fig. 21 zeigt eine schematische, ausschnittartige Draufsicht einer Struktur einer Halbleitervorrichtung gemäß eines zweiten Erläuterungsbeispiels. Die in der Fig. 21 gezeigte Fläche entspricht jener, die in der Fig. 6 gezeigt ist. Ein Gateanschluss, eine Gatehauptzwischenverbindung, ein Emitteranschluss, ein Zwischenlagenisolierfilm und polykristalline Siliziumlagen an einer Seite des Gateanschlusses und an einer Seite der Hauptzwischenverbindung sind, ähnlich wie in der Fig. 6, nicht gezeigt.

**[0038]** Fig. 22–Fig. 24 zeigen schematische Querschnitte entlang Linien XXII-XXII, XXIII-XXIII und XXIV-XXIV in der Fig. 21.

**[0039]** Fig. 25 und Fig. 26 zeigen ausschnittartige Draufsichten, die schematisch Strukturen von Widerständen zeigen, die jeweils einen eingebetteten Metallabschnitt aufweisen, bei einer ersten und einer zweiten Abwandlung der Halbleitervorrichtung des zweiten Erläuterungsbeispiels.

**[0040]** Fig. 27A, Fig. 28A, Fig. 29A, Fig. 30A, Fig. 31A und Fig. 32A zeigen schematische Querschnitte eines ersten bis sechsten Schrittes bei einem Verfahren zum Herstellen der Halbleitervorrichtung gemäß dem zweiten Erläuterungsbeispiel entlang einer Linie XXXIIA-XXXIIA in der Fig. 21.

**[0041]** Fig. 27B, Fig. 28B, Fig. 29B, Fig. 30B, Fig. 31B und Fig. 32B zeigen schematische Querschnitte des ersten bis sechsten Schrittes bei dem Verfahren zum Herstellen der Halbleitervorrichtung gemäß dem zweiten Erläuterungsbeispiel entlang einer Linie XXXIIB-XXXIIB in der Fig. 21.

**[0042]** Fig. 33A, Fig. 34A, Fig. 35A, Fig. 36A, Fig. 37A und Fig. 38A zeigen ausschnittartige Querschnitte, die schematisch einen ersten bis sechsten Schritt bei einem Verfahren zum Herstellen einer Halbleitervorrichtung eines dritten Vergleichsbeispiels zeigen, und sie zeigen insbesondere eine Struktur nahe einem ebenen, inneren Gatewider-

stand in einem Bereich entsprechend jenem, der entlang der Linie XX-XX in der Fig. 19 verläuft.

**[0043]** Fig. 33B, Fig. 34B, Fig. 35B, Fig. 36B, Fig. 37B und Fig. 38B zeigen ausschnittartige Querschnitte, die schematisch den ersten bis sechsten Schritt bei dem Verfahren zum Herstellen der Halbleitervorrichtung des dritten Vergleichsbeispiels zeigen, und insbesondere zeigen sie eine Struktur in einem Bereich entsprechend jenem, der entlang der Linie XXXIIB-XXXIIB in der Fig. 21 verläuft.

**[0044]** Fig. 39 zeigt einen ausschnittartigen Querschnitt, der schematisch eine Struktur nahe einem Widerstandselement einer Halbleitervorrichtung gemäß einem ersten Ausführungsbeispiel der Erfindung zeigt.

**[0045]** Fig. 40–Fig. 42 zeigen ausschnittartige Querschnitte, die schematisch Strukturen nahe den Widerstandselementen bei den Halbleitervorrichtungen der ersten bis dritten Abwandlung des ersten Ausführungsbeispiels der Erfindung zeigen.

**[0046]** Fig. 43–Fig. 45 stellen Betriebe des Widerstandselementes bei der Halbleitervorrichtung gemäß dem ersten Ausführungsbeispiel der Erfindung dar.

**[0047]** Fig. 46 zeigt einen ausschnittartigen Querschnitt, der schematisch eine Struktur nahe einem Widerstandselement einer Halbleitervorrichtung gemäß einem zweiten Ausführungsbeispiel der Erfindung zeigt.

**[0048]** Fig. 47–Fig. 49 zeigen ausschnittartige Querschnitte, die schematisch Strukturen des Widerstandselementes bei der ersten bis dritten Abwandlung der Halbleitervorrichtung des zweiten Ausführungsbeispiels der Erfindung zeigen.

**[0049]** Fig. 50 zeigt eine schematische Draufsicht einer Struktur eines Widerstandselementes einer Halbleitervorrichtung gemäß einem vierten Ausführungsbeispiel der Erfindung.

**[0050]** Fig. 51 zeigt eine schematische Draufsicht einer Struktur eines Widerstandselementes einer Halbleitervorrichtung gemäß einer Abwandlung des vierten Ausführungsbeispiels der Erfindung.

**[0051]** Fig. 52–Fig. 55 zeigen ausschnittartige Querschnitte, die schematisch Strukturen nahe Widerstandselementen von Halbleitervorrichtungen gemäß einem siebten bis achten Ausführungsbeispiel der Erfindung zeigen.

**[0052]** Fig. 56A zeigt einen ausschnittartigen Querschnitt, der schematisch eine Struktur nahe einem

Widerstandselement einer Halbleitervorrichtung gemäß einem dritten Erläuterungsbeispiel zeigt.

**[0053] Fig. 56B** zeigt einen ausschnittartigen Querschnitt, der schematische eine Struktur nahe einem Widerstandselement einer Halbleitervorrichtung gemäß einer Abwandlung des dritten Erläuterungsbeispiels zeigt.

**[0054] Fig. 57A** zeigt eine Ersatzschaltung des Widerstandselementes bei der Halbleitervorrichtung gemäß dem dritten Erläuterungsbeispiel.

**[0055] Fig. 57B** zeigt eine Ersatzschaltung des Widerstandselementes der Halbleitervorrichtung gemäß der Abwandlung des dritten Erläuterungsbeispiels.

**[0056] Fig. 58A** stellt Spannungs/Strom-Charakteristika dar, die im Falle von ( $R_2 < RR_1 \ll R_0$ ) durch die Widerstandselemente der Halbleitervorrichtungen gemäß dem dritten Erläuterungsbeispiel und dessen Abwandlung gezeigt werden.

**[0057] Fig. 58B** stellt Spannungs/Strom-Charakteristika dar, die im Falle von ( $R_1 > R_2 \gg R_0$ ) durch die Widerstandselemente der Halbleitervorrichtungen gemäß dem dritten Erläuterungsbeispiel und dessen Abwandlung gezeigt werden.

**[0058] Fig. 59** und **Fig. 60** zeigen ausschnittartige Querschnitte, die schematische Strukturen nahe Widerstandselementen von Halbleitervorrichtungen gemäß einem vierten Erläuterungsbeispiel sowie einem neunten Ausführungsbeispiel der Erfindung zeigen.

**[0059] Fig. 61A** und **Fig. 61B** zeigen schematische Draufsichten von Strukturen von Widerstandselementen von Halbleitervorrichtungen gemäß Abwandlungen des vierten Erläuterungsbeispiels sowie des neunten Ausführungsbeispiels der Erfindung.

**[0060] Fig. 62** zeigt eine schematische Draufsicht einer Struktur einer Halbleitervorrichtung gemäß einem fünften Erläuterungsbeispiel.

**[0061] Fig. 63** zeigt eine ausschnittartige Draufsicht, die schematische einen Abschnitt zeigt, der durch LXIII in der **Fig. 62** angegeben ist.

**[0062] Fig. 64** zeigt eine ausschnittartige Draufsicht, die schematische ein ebenes Layout nahe einem Widerstandselement einer Halbleitervorrichtung gemäß einem zehnten Ausführungsbeispiel der Erfindung zusammen mit Pfeilen zeigt, die schematische Stromflußrichtungen angeben.

**[0063] Fig. 65** zeigt eine ausschnittartige Draufsicht, die schematische ein ebenes Layout nahe einem Widerstandselement einer Halbleitervorrichtung gemäß

einer Abwandlung des zehnten Ausführungsbeispiels der Erfindung zusammen mit Pfeilen zeigt, die schematische Stromflußrichtungen angeben.

**[0064] Fig. 66** zeigt einen schematischen Querschnitt einer Struktur einer Fühlerelektrode der Halbleitervorrichtung gemäß dem zehnten Ausführungsbeispiel der Erfindung.

**[0065] Fig. 67** zeigt schematisch und ausschnittartig eine perspektivische Ansicht eines Schnitts einer Struktur nahe einer Gatehauptzwischenverbindung einer Halbleitervorrichtung gemäß einem elften Ausführungsbeispiel der Erfindung.

**[0066] Fig. 68** zeigt einen ausschnittartigen Querschnitt, der schematische eine Struktur nahe einer Gatehauptzwischenverbindung einer Halbleitervorrichtung gemäß einer ersten Abwandlung des elften Ausführungsbeispiels der Erfindung zeigt.

**[0067] Fig. 69** zeigt einen ausschnittartigen Querschnitt, der schematische eine Struktur nahe einer Gatehauptzwischenverbindung einer Halbleitervorrichtung gemäß einer zweiten Abwandlung des elften Ausführungsbeispiels der Erfindung zeigt.

#### BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSBEISPIELE

**[0068]** Ausführungsbeispiele der Erfindung werden unter Bezugnahme auf die Zeichnungen beschrieben.

#### [Erstes Erläuterungsbeispiel]

**[0069]** Zunächst wird eine schematische Struktur einer Halbleitervorrichtung eines ersten Erläuterungsbeispiels beschrieben.

**[0070]** Unter Bezugnahme auf die **Fig. 1A** bis **Fig. 1C** ist ein IGBT-Chip von diesem Erläuterungsbeispiel eine Leistungshalbleitervorrichtung, und er hat ein IGBT-Element EL, das ein Grabengate-Halbleiterelement ist, und einen Innengatewiderstand **4t**, der ein Widerstandselement ist.

**[0071]** Unter Bezugnahme auf die **Fig. 1A** und **Fig. 1B** ist ein Graben-Innengatewiderstand **4t** in einem ersten Graben T1 ausgebildet, der an einem Halbleitersubstrat **101** mit einem dazwischen liegenden Isolierfilm **14b** ausgebildet ist. Dadurch ist der Graben-Innengatewiderstand **4t** so konfiguriert, dass eine Schnittfläche von seinem Strompfad beim Vergrößern der Tiefe des ersten Grabens T1 vergrößert wird.

**[0072]** Unter Bezugnahme auf die **Fig. 1A** und **Fig. 1C** hat ein IGBT-Element EL einen Kanalbereich, der durch einen Teil des Halbleitersubstrates

**101** ausgebildet ist. Das IGBT-Element EL hat eine große Anzahl an Gateelektroden **13** zum Steuern des Kanalbereiches. Die Gateelektroden **13** haben zum Beispiel eine Anzahl von einigen Hundert bis einigen Zehntausend.

**[0073]** Unter Bezugnahme auf die **Fig. 1A** und **Fig. 1C** und **Fig. 2** sind die Gateelektroden **13** der jeweiligen Zellen des IGBT-Elementes EL durch eine Gatehauptzwischenverbindung **5** elektrisch miteinander verbunden. Die Gatehauptzwischenverbindung **5** ist mit einem Randabschnitt eines Gateanschlusses **1** über den Graben-Innengatewiderstand **4t** elektrisch verbunden.

**[0074]** Dadurch ist der IGBT-Chip so konfiguriert, dass er eine Eingabe, die für den Gateanschluss **1** vorgesehen ist, zu jeder Gateelektrode **13** des IGBT-Elementes EL über den Graben-Innengatewiderstand **4t** überträgt. Somit ist der Graben-Innengatewiderstand **4t** mit der Gateelektrode **13** derart elektrisch verbunden, dass der Graben-Innengatewiderstand **4t** einen Widerstand (Gatewiderstand) für einen Strom bildet, der durch die Gateelektrode **13** hindurch strömt. Dieser Gatewiderstand hat hauptsächlich Funktionen zum Verzögern eines Potentials, das zu der Gateelektrode **13** übertragen wird, und zum Einstellen eines Anstiegs eines Stroms/einer Spannung zur Zeit des Schaltens des IGBT-Elements EL.

**[0075]** Die Gatehauptzwischenverbindung **5** hat eine polykristalline Siliziumlage **12b**, die aus n-leitendem, polykristallinem Silizium besteht, das ein Gate-material ist, das stark mit Fremdatomen dotiert ist. Die Gatehauptzwischenverbindung **5** hat eine Hauptzwischenverbindungsmetallage **10b** zum Reduzieren eines Widerstands der Zwischenverbindung. In einem Kontaktloch **9b** an einer Seite der Hauptzwischenverbindung sind die polykristalline Siliziumlage **12b** und die Hauptzwischenverbindungsmetallage **10b** miteinander in Kontakt, und sie sind elektrisch miteinander verbunden.

**[0076]** Spezifische Strukturen der Halbleitervorrichtung des Erläuterungsbeispiels werden nun beschrieben.

**[0077]** Unter erneuter Bezugnahme auf die **Fig. 1A** hat der IGBT-Chip ein Halbleitersubstrat **101** als eine Basis. Der IGBT-Chip hat das IGBT-Element EL einschließlich eines Teils des Halbleitersubstrates **101**. Der IGBT-Chip hat den Isolierfilm **14b**, den Graben-Innengatewiderstand **4t**, einen Feldoxidfilm **7**, polykristalline Siliziumlagen **12a** und **12b**, einen Zwischenlagenisolierfilm **11**, eine Gateanschlussmetallage **10a** und die Hauptzwischenverbindungsmetallage **10b**.

**[0078]** Der Feldoxidfilm **7** isoliert das Halbleitersubstrat **101** von den polykristallinen Siliziumlagen **12a**

und **12b**, und er ist zum Beispiel durch ein LOCOS-Verfahren (Local Oxidation of Silicon) ausgebildet. Die Gateanschlussmetallage **10a** und die Hauptzwischenverbindungsmetallage **10b** bestehen zum Beispiel aus einem leitenden Material mit einem geringen Widerstand, wie zum Beispiel eine Aluminiumlegierung.

**[0079]** Unter hauptsächlichlicher Bezugnahme auf die **Fig. 1A**, **Fig. 1B** und **Fig. 7** hat das Halbleitersubstrat **101** den ersten Graben T1, der eine Innenfläche aufweist, die durch den Isolierfilm **14b** abgedeckt ist. Somit deckt der Isolierfilm **14b** den Boden und Seitenflächen des ersten Grabens T1 ab. Der Isolierfilm **14b** isoliert elektrisch das Halbleitersubstrat **101** von dem Graben-Innengatewiderstand **4t**, der in dem ersten Graben T1 angeordnet ist.

**[0080]** Zum Beispiel hat der erste Graben T1 eine Tiefe (eine Längsgröße in der **Fig. 1A**) von ungefähr 10 µm und eine Breite (eine seitliche Größe in der **Fig. 1B**) von ungefähr 1,2 µm, und er ist so konfiguriert, dass sich viele der ersten Gräben T1 parallel mit einer Teilung von 2,5 µm erstrecken, wie dies in der **Fig. 7** gezeigt ist. Der Isolierfilm **14b** hat eine Filmdicke, die im Vergleich mit den Größen des ersten Grabens T1 klein ist, und sie ist zum Beispiel in einem Bereich von einigen 10 µm bis 200 µm.

**[0081]** Da keine komplizierte Struktur zwischen benachbarten Graben-Innengatewiderständen **4t** vorhanden ist, kann die Teilung der Gräben (erste Gräben T1) für die Graben-Innengatewiderstände **4t** kleiner sein als die Teilung der Gräben (zweite Gräben T2) für die Gateelektroden **13**. Somit kann die Teilung der ersten Gräben T1 klein sein, und sie ist zum Beispiel ungefähr gleich 2,5 µm.

**[0082]** Der Graben-Innengatewiderstand **4t** besteht aus einem Material, das als ein elektrischer Widerstand verwendet wird, es besteht zum Beispiel aus n-leitendem, polykristallinem Silizium, das mit  $1 \times 10^{19}$  cm<sup>3</sup> oder höher stark dotiert ist. Der Graben-Innengatewiderstand **4t** hat eine Breite, die zum Beispiel gleich einer Breite W1 (**Fig. 6**) der Gateelektrode **13** ist, und er hat eine Funktion zum Ausüben eines Widerstands für einen Strom, der in einer Längsrichtung (d. h. in der seitlichen Richtung in der **Fig. 6**) strömt. Der Graben-Innengatewiderstand **4t** hat eine Tiefe (d. h. eine Größe in der Längsrichtung in den **Fig. 1A** und **Fig. 1B**) zum Beispiel in einem Bereich von 5 µm bis 20 µm.

**[0083]** Der Graben-Innengatewiderstand **4t** hat einen Widerstandswert, der von der Größe des Grabens abhängt, der mit dem Graben-Innengatewiderstand **4t** gefüllt ist, und er hängt außerdem von einer Dotierungskonzentration des n-leitenden, polykristallinen Siliziums ab, das den Graben füllt. Dieser Widerstandswert liegt in einem Bereich zum Beispiel

von einigen hundert Ohm bis einigen Kilo Ohm pro 1 mm Länge des Graben-Innengatewiderstands **4t**.

**[0084]** Ein Graben-Innengatewiderstand **4t** hat eine Wahrscheinlichkeit, dass ein Strom in einem Bereich von einigen zehn bis einigen hundert Milliampere hindurch tritt. Ein Graben-Innengatewiderstand **4t** hat einen Widerstandswert von 1 k $\Omega$  pro 1 mm Länge, und er hat eine Wahrscheinlichkeit, dass ein Strom bis zu 200 mA hindurch tritt. Der Widerstand von 8  $\Omega$ , der den Strom von bis zu 5 A durch läßt, kann dadurch erreicht werden, dass fünfundzwanzig Graben-Innengatewiderstände **4t** verbunden werden, die parallel jeweils eine Länge von 200  $\mu$ m aufweisen.

**[0085]** Unter Bezugnahme auf die **Fig. 1A** und **Fig. 1B** ist der Graben-Innengatewiderstand **4t**, der den ersten Graben T1 füllt, mit dem Zwischenlagenisoliervfilm **11** abgedeckt, der sich an einer Öffnungsseite des ersten Grabens T1 befindet. Der Zwischenlagenisoliervfilm **11** ist mit einem Kontaktloch **9a** an der Seite des Gateanschlusses und mit einem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung versehen.

**[0086]** In dem Kontaktloch **9a** an der Seite des Gateanschlusses ist die Gateanschlussmetallage **10a** mit dem Graben-Innengatewiderstand **4t** über die polykristalline Siliziumlage **12a** verbunden. In dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung ist die Hauptzwischenverbindungsmetallage **10b** mit dem Graben-Innengatewiderstand **4t** über die polykristalline Siliziumlage **12b** verbunden.

**[0087]** Unter Bezugnahme auf die **Fig. 1A** und **Fig. 3** hat die Gateanschlussmetallage **10a** eine obere Seite mit einer Funktion als ein Gateanschluss **1**. Insbesondere ist die obere Seite der Gateanschlussmetallage **10a** so konfiguriert, dass sie eine Verbindung zu einer äußeren Zwischenverbindung durch eine Drahtverbindung oder dergleichen ermöglicht. Die Hauptzwischenverbindungsmetallage **10b** bildet zusammen mit der polykristallinen Siliziumlage **12b** die Gatehauptzwischenverbindung **5**.

**[0088]** Unter Bezugnahme auf die **Fig. 1A** ist in dem Bereich, in dem das IGBT-Element EL ausgebildet ist, der IGBT-Chip mit dem Halbleitersubstrat **101**, einem Gateisoliervfilm **14a**, der Gateelektrode **13**, der polykristallinen Siliziumlage **12b**, dem Zwischenlagenisoliervfilm **11** und einem Emitteranschluss **18** vorgesehen.

**[0089]** Unter Bezugnahme auf die **Fig. 2** hat in einem Bereich, in dem der Emitteranschluss **18** ausgebildet ist, das IGBT-Element EL eine Struktur, die zum Beispiel aus einigen hundert bis einigen zehntausend Zellen ausgebildet ist. Jedes IGBT-Element EL hat eine Gateelektrode **13**.

**[0090]** Unter Bezugnahme auf die **Fig. 1A**, **Fig. 1A** und **Fig. 7** hat das Halbleitersubstrat **101** einen n-leitenden Emitterbereich **15**, einen stark dotierten p-leitenden Bereich **16**, einen p-leitenden Kanalbereich **17**, einen leicht dotierten n-leitenden Driftbereich **8**, einen n-leitenden Pufferbereich **20** und einen p-leitenden Kollektorbereich **19**.

**[0091]** Das Halbleitersubstrat **101** hat einen zweiten Graben T2 mit einer Innenfläche, die durch den Gateisoliervfilm **14a** abgedeckt ist. Somit deckt der Gateisoliervfilm **14a** den Boden und Seitenflächen des zweiten Grabens T2 ab. Der Gateisoliervfilm **14a** isoliert elektrisch die Gateelektrode **13**, die in dem zweiten Graben T2 angeordnet ist, von dem Halbleitersubstrat **101**.

**[0092]** Zum Beispiel hat der zweite Graben T2 eine Tiefe (eine Größe in der Längsrichtung in der **Fig. 1A**) von ungefähr 10  $\mu$ m und eine Breite (eine seitliche Größe in der **Fig. 1C**) von ungefähr 1,2  $\mu$ m, und er ist so konfiguriert, dass die vielen zweiten Gräben T2 sich parallel mit einer Teilung von 5,0  $\mu$ m erstrecken, wie dies in der **Fig. 7** gezeigt ist. Der Gateisoliervfilm **14a** hat eine Filmdicke, die verglichen mit den Größen des zweiten Grabens T2 klein ist, und sie ist zum Beispiel in einem Bereich von einigen Mikrometern bis 200 Mikrometern. Die Gateelektrode **13** besteht zum Beispiel aus n-leitendem, polykristallinem Silizium, das mit  $1 \times 10^{19}/\text{cm}^3$  oder mehr stark dotiert ist.

**[0093]** Unter Bezugnahme auf die **Fig. 1A**, **Fig. 1A** und **Fig. 5** ist die Gateelektrode **13** mit der polykristallinen Siliziumlage **12b** in Kontakt. Dadurch ist die Gateelektrode **13** mit der Gatehauptzwischenverbindung **5** verbunden.

**[0094]** Unter Bezugnahme auf die **Fig. 1A** und **Fig. 1C** ist die Gateelektrode **13**, die den zweiten Graben T2 füllt, mit dem Zwischenlagenisoliervfilm **11** an der Öffnungsseite des zweiten Grabens T2 abgedeckt.

**[0095]** Unter Bezugnahme auf die **Fig. 3** und **Fig. 4** ist der Zwischenlagenisoliervfilm **11** mit einem Emitterkontaktloch **9d** (d. h. ein Kontaktloch für einen Emitter) versehen, durch das der Emitteranschluss (Emitterelektrode) **18** mit dem n-leitenden Emitterbereich **15**, dem stark dotierten, p-leitenden Bereich **16** und dem p-leitenden Kanalbereich **17** verbunden ist.

**[0096]** Bei der vorstehend beschriebenen Struktur, wie sie in der **Fig. 1A** gezeigt ist, hat das Kontaktloch **9a** an der Seite des Gateanschlusses vorzugsweise einen Bereich, der sich mit einer Fläche des Graben-Innengatewiderstands **4t** an der Öffnungsseite des ersten Grabens T1 überlappt. Somit hat der Zwischenlagenisoliervfilm **11** ein Kontaktloch **9aD** an der Seite des Gateanschlusses, das einen Teil des Kontaktloches **9a** an der Seite des Gateanschlusses bil-

det und sich an der Öffnungsseite des ersten Grabens T1 des Graben-Innengatewiderstands **4t** befindet.

**[0097]** Das Kontaktloch **9b** an der Seite der Hauptzwischenverbindung hat einen Bereich, der sich mit einer Fläche des Graben-Innengatewiderstands **4t** an der Öffnungsseite des ersten Grabens T1 überlappt. Somit hat der Zwischenlagenisolierfilm **11** ein Kontaktloch **9bD** an der Seite der Hauptzwischenverbindung, das einen Teil des Kontaktlochs **9b** an der Seite der Hauptzwischenverbindung bildet und sich an der Öffnungsseite des ersten Grabens T1 des Graben-Innengatewiderstands **4t** befindet.

**[0098]** Wie dies in den **Fig. 1A** und **Fig. 2** gezeigt ist, isoliert der Zwischenlagenisolierfilm **11** den Gateanschluss **1** von der Gatehauptzwischenverbindung **5**, und ein Strompfad zwischen dem Gateanschluss **1** und der Gateelektrode **13** wird im wesentlichen nur durch einen Strompfad gebildet, der sich durch den Graben-Innengatewiderstand **4t** erstreckt. Der so gebildete Strompfad hat weder einen Strompfad, der durch eine Störkapazität oder durch eine Störinduktivität verursacht wird, noch einen kleinen Strompfad, der durch einen Isolator fließt.

**[0099]** Wie dies in den **Fig. 1A** bis **Fig. 1C** und **Fig. 7** gezeigt ist, hat das Halbleitersubstrat **101** einen p-leitenden Bereich **21**, der mit dem Isolierfilm in Kontakt ist und eine Leitfähigkeit aufweist, die entgegengesetzt zu jener des leicht dotierten n-leitenden Driftbereiches **8** des IGBT-Elementes EL ist. Insbesondere ist der p-leitende Bereich **21** mit Fremdatomen dotiert, um eine Leitfähigkeit zu erreichen, die entgegengesetzt zu jener des leicht dotierten n-leitenden Driftbereiches **8** ist, und die Konzentration dieser Fremdatome ist höher als jene der Fremdatome, mit denen der p-leitende Kanalbereich **17** des IGBT-Elementes EL dotiert ist, um die Leitfähigkeit zu erreichen, die entgegengesetzt zu jener des leicht dotierten n-leitenden Driftbereiches **8** ist.

**[0100]** Das Potenzial des p-leitenden Bereiches **21** wird so gesteuert, dass in dem p-leitenden Bereich **21** keine Inversionslage gebildet werden kann. Für diese Steuerung wird der p-leitende Bereich **21** zum Beispiel mit dem n-leitenden Emitterbereich **15** des IGBT-Elementes EL elektrisch verbunden.

**[0101]** Ein Verfahren zum Verwenden des IGBT-Chips gemäß dem Erläuterungsbeispiel wird nun beschrieben.

**[0102]** Unter Bezugnahme auf die **Fig. 8** und **Fig. 9** ist eine Schaltung **100** des IGBT-Chips zum Beispiel in einer Schaltung **200** einer Leiterplatte für den Gebrauch eingebaut. Die Leiterplatte hat einen äußeren Emitteranschluss **3e**, einen äußeren Gateanschluss **3g** und einen äußeren Kollektoranschluss **3c**, die aus

einem leitenden Material mit einem niedrigen Widerstand wie zum Beispiel Gold bestehen.

**[0103]** Der Gateanschluss **1** des IGBT-Chips ist mit dem äußeren Gateanschluss **3g** der Leiterplatte über einen Draht **2a** verbunden, der aus Aluminium oder Gold besteht. Der Emitterbereich **15** (**Fig. 1C**) und p-leitende Kollektorbereich **19** (**Fig. 1A**) des IGBT-Chips sind mit dem äußeren Emitteranschluss **3e** bzw. dem äußeren Kollektoranschluss **3c** elektrisch verbunden. Ein Potenzial  $V_g$  wird auf den äußeren Gateanschluss **3g** extern aufgebracht.

**[0104]** In der **Fig. 8** stellen Symbole von Kapazitäten und Spulen Störkapazitäten und Störinduktivitäten des IGBT-Chips dar. Pfeile in der **Fig. 8** stellen Pfade dar, die die Abgaben von dem Kollektor und dem Emitter des IGBT-Elementes EL zu der Gateelektrode über die Störkapazitäten und Störinduktivitäten zurück führen.

**[0105]** Die Halbleitervorrichtung von diesem Erläuterungsbeispiel kann durch ein Verfahren hergestellt werden, das im wesentlichen gleich dem Verfahren für eine Halbleitervorrichtung eines zweiten Erläuterungsbeispiels ist, das später beschrieben wird, außer, dass ein Teil des Verfahrens bei dem ersten Erläuterungsbeispiel vereinfacht ist.

**[0106]** Eine Abwandlung der Struktur des Graben-Innengatewiderstands **4t** bei diesem Erläuterungsbeispiel wird nun beschrieben.

**[0107]** Unter Bezugnahme auf die **Fig. 10** hat der Graben-Innengatewiderstand **4t** einen Abschnitt, der gegenüber dem Kontaktloch **9a** an der Seite des Gateanschlusses ist, und dieser Abschnitt hat eine Breite WE1, die größer ist als die Breite W1, die gleich einer minimalen Breite eines Abschnittes gegenüber dem Zwischenlagenisolierfilm **11** ist. Außerdem hat der Graben-Innengatewiderstand **4t** einen Abschnitt gegenüber dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung, und dieser Abschnitt hat eine Breite WE1, die größer ist als die Breite W1, d. h. die minimale Breite des Abschnittes gegenüber dem Zwischenlagenisolierfilm **11**.

**[0108]** Bei dieser Abwandlung kann der Graben-Innengatewiderstand **4t** eine andere Form haben, als sie in der **Fig. 10** gezeigt ist, und zum Beispiel kann sie wahlweise Formen gemäß den **Fig. 11** bis **Fig. 15** haben. Auch wenn die **Fig. 11** bis **Fig. 15** Strukturen des Graben-Innengatewiderstands **4t** nahe einem Abschnitt gegenüber dem Kontaktloch **9a** an der Seite des Gateanschlusses zeigen, kann der Abschnitt gegenüber dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung im wesentlichen die gleiche Struktur haben.



[0109] Ein erstes Vergleichsbeispiel wird nun beschrieben.

[0110] Zuerst wird eine Struktur einer Halbleitervorrichtung von diesem Vergleichsbeispiel beschrieben. Unter Bezugnahme auf die Fig. 16 hat ein IGBT-Chip, der die Halbleitervorrichtung von diesem Vergleichsbeispiel ist, einen Gateanschluss **1C** und eine Gatehauptzwischenverbindung **5**, die miteinander integriert sind. Da der Gateanschluss **1C** und die Gatehauptzwischenverbindung **5** miteinander integriert sind, ist zwischen ihnen kein Widerstandselement vorhanden, das als ein Gatewiderstand dient.

[0111] Unter Bezugnahme auf die Fig. 17 wird ein äußerer Gatewiderstand **4e** als ein Teil oder als eine unabhängige Komponente des IGBT-Chips vorbereitet, und er wird mit dem äußeren Gateanschluss **3g** verbunden. Der äußere Gateanschluss **3g** wird extern mit einem Potenzial  $V_g$  über den äußeren Gatewiderstand **4e** versorgt, um das Potenzial der Gateelektrode zu steuern.

[0112] Unter Bezugnahme auf die Fig. 18 stellen Symbole von Kapazitäten und Spulen Störkapazitäten und Störinduktivitäten in einer Schaltung **100C** des IGBT-Chips dar. Pfeile in der Fig. 18 stellen Pfade dar, die die Abgaben von dem Kollektor und dem Emitter des IGBT-Elementes EL zu der Gateelektrode über die Störkapazitäten und Störinduktivitäten zurück führen.

[0113] Der äußere Gatewiderstand **4e** ist nicht zwischen der Gateelektrode des IGBT-Elementes EL und dem äußeren Gateanschluss **3g** angeordnet. Somit ist kein äußerer Gatewiderstand **4e** an den Pfaden vorhanden, die die Abgaben von dem Kollektor und dem Emitter des IGBT-Elementes EL zu der Gateelektrode zurück führen.

[0114] Wenn daher das Potenzial des äußeren Gateanschlusses **3g** aufgrund von äußeren Störgrößen geändert wird, wird diese Änderung des Potentials direkt zu der Gateelektrode des IGBT-Elementes EL über die Störinduktivitäten übertragen. Folglich beeinträchtigen die Störgrößen wahrscheinlich die Gateelektrode.

[0115] Wenn die vorstehend beschriebene Änderung zu der Gateelektrode des IGBT-Elementes EL zurück kehrt, das als ein Verstärker arbeitet, und zwar über die Pfade, die durch die Pfeile in der Figur angegeben sind, erhöht sich ein Wert  $Q$ , der durch die folgende Gleichung dargestellt wird.

$$Q = \sqrt{\frac{C}{L}} \cdot \frac{1}{R}$$

[0116] Daher treten wahrscheinlich Schwingungen in einer Gate/Emitter-Spannung  $V_{ge}$ , einer Kollektor/Emitter-Spannung  $V_{ce}$ , einem Kollektorstrom  $I_c$  und dergleichen auf. In der vorstehend genannten Formel gibt  $L$  eine Störinduktivität an,  $C$  gibt eine Störkapazität an und  $R$  gibt einen Gatewiderstand an.

[0117] Dann wird ein zweites Vergleichsbeispiel beschrieben.

[0118] Unter Bezugnahme auf die Fig. 19 und Fig. 20 hat der IGBT-Chip, der die Halbleitervorrichtung von diesem Vergleichsbeispiel ist, einen ebenen Innengatewiderstand **4p**, der sich zwischen dem Gateanschluss **1** und der Gatehauptzwischenverbindung befindet, und er dient als ein Gatewiderstand. Der ebene Innengatewiderstand **4p** ist ein Widerstandselement einer ebenen Bauart, die an einem Feldoxidfilm **7** angeordnet ist, und er hat eine Fläche, die parallel zu der Substratfläche des Halbleitersubstrats **101** ist. Der ebene Innengatewiderstand **4p** wird dadurch ausgebildet, dass ein polykristalliner Siliziumfilm mit einem Muster ausgebildet wird, der eine Filmdicke von zum Beispiel ungefähr einigen hundert Nanometern hat.

[0119] Wenn Ströme den einigen hundert bis zehntausend Gateelektroden **13** des IGBT-Elementes EL zugeführt werden, muß der ebene Innengatewiderstand **4p** zuverlässig einem großen Strom standhalten. Daher ist die Schnittfläche des Strompfades vergrößert, um einen übermäßigen Anstieg der Stromdichte zu verhindern. Zum Vergrößern der Schnittfläche ist es erforderlich, die Filmdicke (d. h. eine Größe in der Längsrichtung in der Fig. 20) des ebenen Innengatewiderstands **4p** zu vergrößern oder die Breite (d. h. eine Größe in der Längsrichtung in der Fig. 19) davon zu vergrößern.

[0120] Zum Vergrößern der Filmdicke ist eine lange Prozeßzeit zur Filmbildung erforderlich. Zum Beispiel sind einige Stunden zum Ablagern des polykristallinen Siliziums mit einer Dicke von einigen hundert Nanometern erforderlich, d. h. der Dicke des ebenen Innengatewiderstands **4p**, die üblicherweise verwendet wird. Zum Vergrößern der Filmdicke auf einige Mikrometer ist die Ablagerungszeit von einigen zehn Stunden erforderlich, und dies erhöht die Herstellungskosten. Wenn der polykristalline Siliziumfilm vergrößert wird, wird es schwierig, eine Fokustiefe bei einem Photogravurprozeß zur Musterbildung und zum Beseitigen von Resten in einem Schritt (d. h. ein Abschnitt mit einem unterschiedlichen Niveau) bei einem Ätzprozeß zu gewährleisten.

[0121] Wenn der ebene Innengatewiderstand **4p** eine große Breite hat, nimmt der ebene Innengatewiderstand **4p** eine große Fläche der Substratfläche des Halbleitersubstrat **101** ein, was zu einem Konflikt

mit einer Forderung zur Reduzierung der Größe der Halbleitervorrichtung führt.

**[0122]** Unter Bezugnahme auf die **Fig. 20** hat der Feldoxidfilm **7**, der unter dem ebenen Innengatewiderstand **4p** angeordnet ist, üblicherweise eine Dicke von ungefähr 1 µm oder mehr. Da der Feldoxidfilm **7** eine niedrige thermische Leitfähigkeit hat, da er ein Oxidfilm ist, wird somit eine Filmdicke mit einer kleinen thermischen Leitfähigkeit unter dem ebenen Innengatewiderstand **4p** ausgebildet. Diese Struktur verhindert eine Wärmeabstrahlung von dem ebenen Innengatewiderstand **4p**, und eine Temperatur des ebenen Innengatewiderstands **4p** wird angehoben, so dass sich der Widerstandswert wahrscheinlich aufgrund einer Temperaturabhängigkeit ändert.

**[0123]** Gemäß dem Erläuterungsbeispiel ist die Gateelektrode **13** des IGBT-Elementes EL mit dem Graben-Innengatewiderstand **4t** elektrische verbunden. Dadurch kann der Graben-Innengatewiderstand **4t** als ein Gatewiderstand der Gateelektrode **13** dienen.

**[0124]** Wie dies in den **Fig. 1A** und **Fig. 1B** gezeigt ist, ist der Graben-Innengatewiderstand **4t** in einem ersten Graben T1 angeordnet. Durch Vergrößern der Tiefe des ersten Grabens T1 ist es daher möglich, die Größe in der Tiefenrichtung des Graben-Innengatewiderstands **4t** zu vergrößern. Daher ist es möglich, die Stromdichte des Graben-Innengatewiderstands **4t** zu reduzieren, während eine kleine Anschlussfläche (eine Fläche in der **Fig. 6**) des Graben-Innengatewiderstands **4t** an der Substratfläche des Halbleitersubstrats **101** aufrecht erhalten wird, und die Zuverlässigkeit des Graben-Innengatewiderstands **4t** kann erhöht werden.

**[0125]** Wie dies in der **Fig. 8** gezeigt ist, ist der Gateanschluss **1** mit der Gateelektrode **13** über den Graben-Innengatewiderstand **4t** verbunden. Daher werden die Änderungen des Potentials, die durch Störgrößen verursacht werden, die auf den Gateanschluss **1** und den äußeren Gateanschluss **3g** aufgebracht werden, der mit dem Gateanschluss **1** verbunden ist, durch den Graben-Innengatewiderstand **4t** unterdrückt, wenn derartige Potenzialänderungen zu der Gateelektrode **13** übertragen werden.

**[0126]** Vorzugsweise ist ein Strompfad zwischen dem Gateanschluss **1** und der Gateelektrode **13** im wesentlichen nur durch einen Strompfad gebildet, der sich durch den Graben-Innengatewiderstand **4t** hindurch erstreckt. Daher ist kein Strompfad vorhanden, der den Graben-Innengatewiderstand **4t** umgeht, und es ist möglich, ein Absenken des wesentlichen Gatewiderstands und einen Fehler des IGBT-Chips aufgrund eines derartigen umgehenden Strompfades zu verhindern.

**[0127]** Wie dies in der **Fig. 1A** gezeigt ist, hat der Zwischenlagenisolierfilm **11** ein Kontaktloch **9aD** an der Seite des Gateanschlusses an der Öffnungsseite des ersten Grabens T1 des Graben-Innengatewiderstands **4t**. Diese Struktur gewährleistet einen breiten elektrischen Pfad zwischen dem Gateanschluss **1** und dem Graben-Innengatewiderstand **4t**, und sie kann eine Verschlechterung der Zuverlässigkeit aufgrund einer Stromkonzentration verhindern.

**[0128]** Wie dies in der **Fig. 1A** gezeigt ist, hat der Zwischenlagenisolierfilm **11** ein Kontaktloch **9bD** an der Seite der Hauptzwischenverbindung, das sich an der Öffnungsseite des ersten Grabens T1 und an der Öffnungsseite des ersten Grabens T1 des Graben-Innengatewiderstands **4t** befindet. Dies gewährleistet einen breiten elektrischen Pfad zwischen der Gatehauptzwischenverbindung **5** und dem Graben-Innengatewiderstand **4t**, und es kann eine Verschlechterung der Zuverlässigkeit aufgrund einer Stromkonzentration verhindern.

**[0129]** Wie dies in den **Fig. 1A** und **Fig. 1C** gezeigt ist, kann die Gateelektrode **13** eine Grabengatestruktur haben, da die Gateelektrode **13** in dem zweiten Graben T2 angeordnet ist. Da der zweite Graben T2 gleichzeitig mit dem ersten Graben T1 ausgebildet werden kann, können die Prozeßkosten zum Bilden der Grabengates reduziert werden.

**[0130]** Wie dies in den **Fig. 1A** und **Fig. 1B** gezeigt ist, hat das Halbleitersubstrat **101** einen p-leitenden Bereich **21** mit einer Leitfähigkeit, die entgegengesetzt zu jener des leicht dotierten, n-leitenden Driftbereiches **8** des IGBT-Elementes EL ist. Diese Struktur kann eine Verschlechterung von Durchschlageigenschaften zwischen dem Kollektor und dem Emitter des IGBT-Elementes EL verhindern.

**[0131]** Vorzugsweise ist der p-leitende Bereich **21** mit Fremdatomen dotiert, um die Leitfähigkeit zu erreichen, die entgegengesetzt zu der Leitfähigkeit des leicht dotierten n-leitenden Driftbereiches **8** ist, und die Konzentration von diesem Fremdatomen ist höher als jene der Fremdatome, mit denen der p-leitende Kanalbereich **17** des IGBT-Elementes EL dotiert ist, um die Leitfähigkeit zu erreichen, die entgegengesetzt zu der Leitfähigkeit des leicht dotierten, n-leitenden Driftbereiches **8** ist. Dadurch kann der p-leitende Kanalbereich **17** zu der n-Leitfähigkeit invertiert werden, ohne dass der p-leitende Bereich **21** zu der n-Leitfähigkeit invertiert wird. Im Gegensatz zu dem zweiten Vergleichsbeispiel, bei dem der Feldoxidfilm **7** mit einer relativ großen Dicke von ungefähr 1 µm bis 2 µm zwischen dem Gatewiderstand und dem p-leitenden Bereich **21** vorhanden ist, ist nur der dünne Isolierfilm **14b** mit ungefähr einigen zehn Mikrometern bis 200 Mikrometer zwischen dem Gatewiderstand und dem p-leitenden Bereich **21** bei diesem Erläuterungsbeispiel vorhanden, und diese Struktur be-

wirkt relativ einfach die Umwandlung der Leitfähigkeit des p-leitenden Bereichs **21**. Daher kann die vorstehend beschriebene Festlegung der Konzentrationen der Fremdatome einen größeren Effekt erreichen.

**[0132]** Das Potenzial des p-leitenden Bereichs **21** wird gesteuert, um eine Bildung der Inversionslage in dem p-leitenden Bereich **21** zu verhindern. Für diese Steuerung wird der p-leitende Bereich **21** zum Beispiel mit dem n-leitenden Emitterbereich **15** des IGBT-Elementes EL elektrisch verbunden. Diese Struktur kann eine Verschlechterung von Auswahleigenschaften zwischen dem Kollektor und dem Emitter des IGBT-Elementes EL verhindern.

[Zweites Erläuterungsbeispiel]

**[0133]** Zuerst wird eine Struktur eines IGBT-Chips beschrieben, der eine Halbleitervorrichtung eines zweiten Erläuterungsbeispiels ist.

**[0134]** Unter Bezugnahme auf die Fig. 21 bis Fig. 24 hat der IGBT-Chip von diesem Erläuterungsbeispiel einen Metallabschnitt **22**. Der Metallabschnitt **22** hat Metallabschnitte **22b1** und **22b2**, die im Inneren des ersten Grabens T1 angeordnet sind, und einen Metallabschnitt **22a**, der im Inneren des zweiten Grabens T2 angeordnet ist. Ein Material des Metallabschnitts **22** hat einen kleineren Widerstand als ein Halbleitermaterial wie zum Beispiel stark dotiertes, n-leitendes polykristallines Silizium. Das Material der Metallabschnitte **22** ist zum Beispiel ein Metall mit einem hohen Schmelzpunkt wie zum Beispiel Wolfram, Titan, Platin oder Kupfer.

**[0135]** Unter Bezugnahme auf die Fig. 24 hat die Gateelektrode **13** eine polykristalline Siliziumlage **12g** und einen Metallabschnitt **22a**, der einen Raum im Inneren der polykristallinen Siliziumlage **12g** füllt.

**[0136]** Unter Bezugnahme auf die Fig. 22 und Fig. 23 hat der Graben-Innengatewiderstand **4t** einen eingebetteten Metallabschnitt **22b1** in einem Abschnitt gegenüber dem Kontaktloch **9aD** an der Seite des Gateanschlusses. Außerdem hat der Graben-Innengatewiderstand **4t** einen eingebetteten Metallabschnitt **22b2** in einem Abschnitt gegenüber dem Kontaktloch **9bD** an der Seite der Hauptzwischenverbindung.

**[0137]** Der Abschnitt des Graben-Innengatewiderstands **4t** außer den eingebetteten Metallabschnitten **22b1** und **22b2** ist aus einer polykristallinen Siliziumlage **12r** ausgebildet. Die eingebetteten Metallabschnitte **22b1** und **22b2** sind über die polykristalline Siliziumlage **12r** elektrisch miteinander verbunden.

**[0138]** Hauptsächlich unter Bezugnahme auf die Fig. 21 befindet sich der Zwischenlagenisoliertfilm **11** (Fig. 23 und Fig. 24), der an dem Graben-Innengate-

widerstand **4t** angeordnet ist, zwischen dem Kontaktloch **9a** an der Seite des Gateanschlusses und dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung, was durch gestrichelte Linien dargestellt ist. Der Abschnitt des Graben-Innengatewiderstands **4t** gegenüber dem Zwischenlagenisoliertfilm **11** hat eine minimale Breite W2. Die Fig. 21 zeigt anhand eines Beispiels eine Struktur, bei der der Abschnitt des Graben-Innengatewiderstands **4t** gegenüber dem Zwischenlagenisoliertfilm **11** eine konstante Breite W2 hat.

**[0139]** Der Graben-Innengatewiderstand **4t** hat einen Abschnitt, der dem Kontaktloch **9a** an der Seite des Gateanschlusses gegenüber liegt, und dieser Abschnitt hat eine Breite WE1, die größer ist als die Breite W2. Dieser Abschnitt mit der großen Breite WE1 hat eine Länge WE2, die größer ist als die Breite W2.

**[0140]** Unter Bezugnahme auf die Fig. 22 befindet sich der Abschnitt mit der Breite W2 unter dem Zwischenlagenisoliertfilm **11**, und er ist aus der polykristallinen Siliziumlage **12r** ausgebildet. Der Abschnitt mit der Breite WE1 beinhaltet den Metallabschnitt **22b1** mit einem geringeren Widerstand als die polykristalline Siliziumlage **12r**.

**[0141]** Der Graben-Innengatewiderstand **4t** hat einen Abschnitt, der dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung gegenüber liegt, und dieser Abschnitt hat eine Breite WE1, die größer ist als die Breite W2. Dieser Abschnitt mit der großen Breite WE1 hat eine Länge WE2, die größer ist als die Breite W2.

**[0142]** Unter Bezugnahme auf die Fig. 23 hat der Abschnitt mit der Breite WE1 den Metallabschnitt **22b2**, der einen geringeren Widerstand als die polykristalline Siliziumlage **12r** hat.

**[0143]** Unter Bezugnahme auf die Fig. 21 hat die Gateelektrode **13** die maximale Breite (d. h. die Größe in der Längsrichtung in der Fig. 21), die gleich der Breite W1 ist. Diese Breite W1 ist größer als die Breite W2. Die Fig. 21 zeigt anhand eines Beispiels eine Struktur, bei der die Gateelektrode **13** eine konstante Breite W1 hat.

**[0144]** Unter Bezugnahme auf die Fig. 24 hat der Abschnitt der Gateelektrode **13** mit der Breite W1 den Metallabschnitt **22a** mit einem geringeren Widerstand als die polykristalline Siliziumlage **12g**.

**[0145]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem ersten Erläuterungsbeispiel. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0146]** Eine Abwandlung der Struktur des Graben-Innengatewiderstands **4t** gemäß diesem Erläuterungsbeispiel wird nun beschrieben.

**[0147]** Die **Fig. 25** und **Fig. 26** zeigen ausschnittartige Draufsichten, die schematisch eine erste und eine zweite Abwandlung der Halbleitervorrichtung des zweiten Erläuterungsbeispiels zeigen, und insbesondere zeigen sie Strukturen der Widerstandselemente mit den darin eingebetteten Metallabschnitten. Gestrichelte Linien in den **Fig. 25** und **Fig. 26** stellen ungefähre Positionsbeziehungen des Widerstandselementes hinsichtlich des Feldoxidfilms, des Kontaktloches an der Seite des Gateanschlusses und des Zwischenlagenisolierfilms dar.

**[0148]** Unter Bezugnahme auf die **Fig. 25** hat der Graben-Innengatewiderstand **4t** bei der ersten Abwandlung einen Abschnitt, der gegenüber dem Kontaktloch **9a** an der Seite des Gateanschlusses liegt, und dieser Abschnitt hat eine Breite WE1, die größer ist als die Breite W2. Der Abschnitt mit der Breite WE1 hat einen Abschnitt mit einer Länge WE2, die größer ist als die Breite W2. Der Abschnitt mit der Breite WE1 des Graben-Innengatewiderstands **4t** hat einen eingebetteten Metallabschnitt **22b1**.

**[0149]** Unter Bezugnahme auf die **Fig. 26** hat der Graben-Innengatewiderstand **4t** bei der zweiten Abwandlung viele Abschnitte, die dem Kontaktloch **9a** an der Seite des Gateanschlusses gegenüber liegen, und die jeweils eine Breite WE1 haben, die größer ist als die Breite W2. Jeder Abschnitt mit der Breite WE1 hat einen Abschnitt mit einer Länge WE2, die größer ist als die Breite W2. Jeder Abschnitt mit der Breite WE1 des Graben-Innengatewiderstands **4t** hat einen eingebetteten Metallabschnitt **22b1**.

**[0150]** Die erste und die zweite Abwandlung wurden im Zusammenhang mit den Strukturen beschrieben, bei denen ein Teil des Metallabschnitts **22** in dem Abschnitt eingebettet ist, der dem Kontaktloch **9a** an der Seite des Gateanschlusses gegenüber liegt. Der Abschnitt gegenüber dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung kann im wesentlichen die gleiche Struktur haben, wie sie vorstehend beschrieben ist.

**[0151]** Ein Verfahren zum Herstellen der Halbleitervorrichtung von diesem Erläuterungsbeispiel wird nun beschrieben.

**[0152]** Unter Bezugnahme auf die **Fig. 27A** und **Fig. 27B** wird ein Zwischenlagenisolierfilm **11a**, der aus einem Siliziumoxidfilm oder dergleichen besteht, an dem Halbleitersubstrat **101** abgelagert. Der Zwischenlagenisolierfilm **11a** wird einen Teil des Zwischenlagenisolierfilms **11** bilden.

**[0153]** Der Zwischenlagenisolierfilm **11a** ist als ein Muster durch das Photogravurverfahren ausgebildet. Der gemusterte Zwischenlagenisolierfilm **11a** wird als eine Maske verwendet, und ein Ätzen wird an dem Halbleitersubstrat **101** bewirkt, um den ersten und den zweiten Graben T1 und T2 auszubilden. Die Zwischenlagenisolierfilme **14b** und **14a** werden durch Oxidation, Ablagerung und dergleichen an den inneren Flächen des ersten bzw. zweiten Grabens T1 und T2 ausgebildet.

**[0154]** Dadurch wird der erste Graben T1 mit der Breite W2 ausgebildet, der durch den Isolierfilm **14b** abgedeckt ist. Außerdem wird der zweite Graben T2 mit der Breite W1 ausgebildet, der durch den Gateisolierfilm **14a** abgedeckt ist.

**[0155]** Hauptsächlich unter Bezugnahme auf die **Fig. 28A** und **Fig. 28B** wird eine polykristalline Siliziumlage **12**, die stark mit Fremdatomen dotiert ist, an dem Halbleitersubstrat **101** abgelagert. Die abgelagerte polykristalline Siliziumlage **12** füllt vollständig einen Abschnitt mit der Breite W2 (**Fig. 27A**) des ersten Grabens T1. Der Abschnitt mit der Breite WE1 des ersten Grabens T1 (d. h. ein Abschnitt gegenüber dem Kontaktloch **9aD** an der Seite des Gateanschlusses in der **Fig. 22**) wird nur teilweise gefüllt. Wie dies in der **Fig. 28B** gezeigt ist, wird der zweite Graben T2 nur teilweise gefüllt.

**[0156]** Unter Bezugnahme auf die **Fig. 29A** und **Fig. 29B** wird der Metallabschnitt **22**, der aus einem Metall mit einem hohen Schmelzpunkt oder dergleichen besteht, an der polykristallinen Siliziumlage **12** an dem Halbleitersubstrat **101** abgelagert. Dies füllt vollständig einen partiellen Raum, der in dem Abschnitt mit der Breite WE1 des ersten Grabens T1 verbleibt (d. h. in dem Abschnitt gegenüber dem Kontaktloch **9aD** an der Seite des Gateanschlusses in der **Fig. 22**).

**[0157]** Außerdem wird der zweite Graben T2 vollständig gefüllt, wie dies in der **Fig. 29B** gezeigt ist.

**[0158]** Dann werden der Metallabschnitt **22** und die polykristalline Siliziumlage **12** nacheinander zurück geätzt.

**[0159]** Unter Bezugnahme auf die **Fig. 30A** und **Fig. 30B** legt die vorstehend beschriebene Rückätzung den Zwischenlagenisolierfilm **11a** frei.

**[0160]** Unter Bezugnahme auf die **Fig. 31A** und **Fig. 31B** wird ein Zwischenlagenisolierfilm **11b** an dem Halbleitersubstrat **101** ausgebildet. Zum Beispiel wird bei einem Verfahren für diese Ausbildung ein BPSG-Film (Boron-Phospho-Silicate-Glass) abgelagert, und er wird einer Wärmebehandlung ausgesetzt, um die Oberfläche des Isolierfilms abzuflachen.

Der Zwischenlagenisolierfilm **11b** wird einen Teil des Zwischenlagenisolierfilms **11** bilden.

**[0161]** Unter Bezugnahme auf die **Fig. 32A** und **Fig. 32B** werden die Zwischenlagenisolierfilme **11a** und **11b** wahlweise beseitigt, um das Emitterkontaktloch **9d**, das Kontaktloch **9a** an der Seite des Gateanschlusses (**Fig. 21**) und das Kontaktloch **9b** an der Seite der Hauptzwischenverbindung (**Fig. 21**) auszubilden.

**[0162]** Dann wird ein Metallfilm, der aus einem Elektrodenmaterial wie zum Beispiel Aluminium oder eine Zusammensetzung davon besteht, abgelagert und als Muster ausgebildet, um den Emitteranschluss **18**, die Gateanschlussmetallage **10a** (**Fig. 22**) und die Hauptzwischenverbindungsmetallage **10b** (**Fig. 23** und **Fig. 24**) auszubilden.

**[0163]** Durch die vorstehend beschriebene Verarbeitung wird der IGBT-Chip ausgebildet, der die Halbleitervorrichtung des Erläuterungsbeispiels ist.

**[0164]** Der Schritt zum Ausbilden des n-leitenden Emitterbereiches **15**, des stark dotierten, p-leitenden Bereiches **16**, des p-leitenden Kanalbereiches **17** und dergleichen an dem Halbleitersubstrat **101** kann entweder vor oder nach dem Schritt zum Ausbilden des ersten und des zweiten Grabens T1 und T2 ausgeführt werden.

**[0165]** Dann wird ein Verfahren zum Herstellen der Halbleitervorrichtung des dritten Vergleichsbeispiels beschrieben. Die Struktur von diesem Vergleichsbeispiel unterscheidet sich von dem zweiten Vergleichsbeispiel darin, dass der Metallabschnitt **22** hinzugefügt wird.

**[0166]** Unter Bezugnahme auf die **Fig. 33A** und **Fig. 33B** werden Schritte durchgeführt, die ähnlich den Schritten zum Ausbilden der Strukturen in den **Fig. 29A** und **Fig. 29B** sind, aber der erste Graben T1 wird im Gegensatz zu diesem Erläuterungsbeispiel nicht ausgebildet. Wie dies in der **Fig. 33A** gezeigt ist, wird folglich ein ebener Innengatewiderstand **4p** entlang einer ebenen Substratfläche des Halbleitersubstrats **101** anstelle des Graben-Innengatewiderstands **4t** von diesem Erläuterungsbeispiel ausgebildet.

**[0167]** Unter Bezugnahme auf die **Fig. 34A** und **Fig. 34B** wird ein Photolack **31a** auf das Halbleitersubstrat **101** aufgebracht. Wie dies in der **Fig. 34A** gezeigt ist, wird der Photolack **31a** durch das Photogravurverfahren gemustert. Dadurch wird der Metallabschnitt **22** teilweise an dem ebenen Innengatewiderstand **4p** freigelegt.

**[0168]** Unter Bezugnahme auf die **Fig. 35A** und **Fig. 35B** wird ein Ätzen an einem Abschnitt des Me-

tallabschnitts **22** bewirkt, der nicht durch den Photolack **31a** abgedeckt ist. Dies teilt den Metallabschnitt **22** in viele Bereiche, wie dies in der **Fig. 35A** gezeigt ist. Danach wird der Photolack **31a** beseitigt.

**[0169]** Hauptsächlich unter Bezugnahme auf die **Fig. 36A** und **Fig. 36B** wird der Photolack **31b** auf das Halbleitersubstrat **101** aufgebracht. Der Photolack **31b** wird durch das Photogravurverfahren so gemustert, dass der Photolack **31b** einen Bereich abdeckt, in dem der ebene Innengatewiderstand **4p** ausgebildet wird, und er legt einen Abschnitt nahe der Gateelektrode **13** frei. Ein Rückätzen wird nachfolgend an dem Metallabschnitt **22** und der polykristallinen Siliziumlage **12** (**Fig. 35B**) bewirkt, um den Zwischenlagenisolierfilm **11a** in jenem Bereich freizulegen, der durch den Photolack **31b** nicht maskiert ist. Danach wird der Photolack **31b** beseitigt.

**[0170]** Unter Bezugnahme auf die **Fig. 37A** und **Fig. 37B** wird der Zwischenlagenisolierfilm **11b** an dem Halbleitersubstrat **101** ausgebildet. Zum Beispiel wird bei einem Verfahren zu dieser Ausbildung ein BPSG-Film (Boron-Phospho-Silicate-Glass) abgelagert und einer Wärmebehandlung ausgesetzt, um die Oberfläche des Isolierfilms abzuflachen.

**[0171]** Unter Bezugnahme auf die **Fig. 38A** und **Fig. 38B** werden wahlweise die Zwischenlagenisolierfilme **11a** und **11b** geätzt. Dadurch werden Kontaktlöcher wie zum Beispiel das Emitterkontaktloch **9d** ausgebildet. Dann werden der Emitteranschluss **18**, die Gateanschlussmetallage **10a** und die Hauptzwischenverbindungsmetallage **10b** ausgebildet.

**[0172]** Durch die vorstehend genannten Schritte wird die Halbleitervorrichtung von diesem Vergleichsbeispiel ausgebildet. Das Verfahren zum Herstellen der Halbleitervorrichtung von diesem Vergleichsbeispiel erfordert die Schritte, die in den **Fig. 34A** und **Fig. 34B** sowie in den **Fig. 35A** und **Fig. 35B** gezeigt sind, um den Metallabschnitt **22** zu ätzen, der mit dem Photolack **31a** maskiert ist, und somit erfordert es komplizierte Schritte.

**[0173]** Des weiteren ändert sich bei dem Ätzprozeß zum Beseitigen des Metallabschnitts **22** die Filmdicke des ebenen Innengatewiderstands **4p** aufgrund von Änderungen beim Überätzen. Dies führt zu Änderungen des Widerstandswerts des ebenen Innengatewiderstands **4p**, der als der Gatewiderstand dient.

**[0174]** Bei diesem Erläuterungsbeispiel hat der Abschnitt des Graben-Innengatewiderstands **4t** mit der Breite WE1 (**Fig. 21**) den Metallabschnitt **22b1** in der Position, die dem Kontaktloch **9aD** an der Seite des Gateanschlusses gegenüber liegt, und zwar zusätzlich zu der polykristallinen Siliziumlage **12r**, wie dies in der **Fig. 22** gezeigt ist. Dieser Metallabschnitt **22b1** hat einen geringeren Widerstand als die polykristalli-

ne Siliziumlage **12r**. Diese Struktur schwächt eine örtliche Konzentration des Stroms zwischen dem Gateanschluss **1** und dem Graben-Innengatewiderstand **4t** ab und erhöht die Zuverlässigkeit des IGBT-Chips.

**[0175]** Der Abschnitt des Graben-Innengatewiderstands **4t** mit der Breite WE1 (**Fig. 21**) hat den Metallabschnitt **22b2** in der Position gegenüber dem Kontaktloch **9bD** an der Seite der Hauptzwischenverbindung zusätzlich zu der polykristallinen Siliziumlage **12r**, wie dies in der **Fig. 23** gezeigt ist. Dieser Metallabschnitt **22b2** hat einen geringeren Widerstand als die polykristalline Siliziumlage **12r**. Diese Struktur schwächt eine örtliche Konzentration des Stroms zwischen der Gatehauptzwischenverbindung **5** und dem Graben-Innengatewiderstand **4t** ab und erhöht die Zuverlässigkeit des IGBT-Chips.

**[0176]** Wie dies in der **Fig. 21** gezeigt ist, hat die Gateelektrode **13** eine Breite W1, die größer ist als die Breite W2 des Graben-Innengatewiderstands **4t**. Wie dies in den **Fig. 27A** und **Fig. 27B** gezeigt ist, ist somit eine Breite W1 des Grabens zum Ausbilden der Gateelektrode **13** größer als die Breite W2 des Grabens zum Ausbilden des Graben-Innengatewiderstands **4t**. Daher können derartige Zustände gleichzeitig erreicht werden, dass der Graben mit der Breite W2 vollständig durch die polykristalline Siliziumlage **12** gefüllt ist und dass der Abschnitt mit der Breite W1 nicht vollständig gefüllt ist. Wie dies in der **Fig. 30** gezeigt ist, kann daher der Metallabschnitt **22a** in jenem Abschnitt angeordnet sein, der nicht mit der polykristallinen Siliziumlage gefüllt ist.

**[0177]** Wie dies vorstehend beschrieben ist, ist der Graben mit der Breite W2 vollständig mit der polykristallinen Siliziumlage **12** mit einem relativ hohen Widerstand gefüllt, so dass der Graben-Innengatewiderstand **4t** mit einem ausreichend hohen Widerstandswert erreicht werden kann.

**[0178]** Des weiteren hat die Gateelektrode **13** den Metallabschnitt **22a** mit einem geringeren Widerstand als die polykristalline Siliziumlage **12**, so dass der elektrische Widerstand der Gateelektrode **13** reduziert werden kann. Dadurch können die Änderungen der Übertragungsverzögerung der Gatepotentiale in den Gateelektroden reduziert werden. Dies reduziert eine Zeit, in der ein Ein-Bereich und ein Aus-Bereich gleichzeitig bei dem Schaltbetrieb des IGBT-Elementes EL vorhanden sind. Daher ist es möglich, die Zeit zu verkürzen, in der der Strom, der zwischen dem Kollektor und dem Emitter des IGBT-Elementes EL strömt, an einem Teil der Ein-Bereiche konzentriert wird. Dementsprechend kann eine örtliche Erwärmung in einem Teil der Ein-Bereiche unterdrückt werden, so dass der IGBT-Chip eine verbesserte Zuverlässigkeit haben kann.

[Erstes Ausführungsbeispiel]

**[0179]** Zuerst wird eine Struktur eines IGBT-Chips beschrieben, der eine Halbleitervorrichtung eines ersten Ausführungsbeispiels ist.

**[0180]** Unter Bezugnahme auf die **Fig. 39** hat der Graben-Innengatewiderstand **4t**, der ein Widerstandselement der Halbleitervorrichtung von diesem Ausführungsbeispiel ist, als ein Hauptelement eine n-leitende, leicht dotierte polykristalline Siliziumlage **23a**. Der Graben-Innengatewiderstand **4t** hat eine n-leitende, stark dotierte polykristalline Siliziumlage **24a**, die sich in Abschnitten befindet, die mit dem Kontaktloch **9a** an der Seite des Gateanschlusses und dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung in Kontakt sind.

**[0181]** Die Halbleitervorrichtung von diesem Ausführungsbeispiel unterscheidet sich von dem ersten und dem zweiten Erläuterungsbeispiel darin, dass ein Hauptabschnitt der eingebetteten Substanz des Graben-Innengatewiderstands **4t** die polykristallinen Siliziumlagen mit einer Konzentration sind, die kleiner ist als bei dem ersten und dem zweiten Erläuterungsbeispiel, und dass die Potenzialdifferenz zwischen dem Graben-Innengatewiderstand **4t** und dem p-leitenden Bereich **21**, der mit ihm in Kontakt ist, so eingestellt werden kann, dass die n-leitende leicht dotierte polykristalline Siliziumlage **23a** zumindest zwei Zustände von einem Akkumulationszustand, einem Sperrzustand und einem Inversionszustand erreichen kann.

**[0182]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem ersten Erläuterungsbeispiel, das bereits beschrieben wurde. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0183]** Ein Betrieb des Widerstandselements bei der Halbleitervorrichtung von diesem Ausführungsbeispiel wird nun beschrieben. Unter Bezugnahme auf die **Fig. 43** und **Fig. 45** geben  $V_{23H}$  und  $V_{23L}$  Potentiale an den entgegengesetzten Enden des Strompfads der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** an.  $V_{21}$  gibt das Potenzial an der Seite des Isolierfilms **14b** des Halbleitersubstrats **101** an, und es gibt das Potenzial des p-leitenden Bereiches **21** an, wenn der p-leitende Bereich **21** bei dem Halbleitersubstrat **101** verwendet wird.

**[0184]** Unter Bezugnahme auf die **Fig. 43**, wenn  $V_{21}$  ( $V_{21} > V_{23L} \gg V_{23H}$ ) erfüllt ist, die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** in dem Akkumulationszustand. Somit wird eine Akkumulationslage **32a** durch Elektronen an der Fläche an der Seite des Isolierfilms **14b** der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** ausgebildet. In diesem Fall werden Elektronen, d. h. Träger über die

gesamte n-leitende, leicht dotierte polykristalline Siliziumlage **23a** so verteilt, dass die gesamte n-leitende, leicht dotierte polykristalline Siliziumlage **23a** den Strompfad in dem Graben-Innengatewiderstand **4t** bilden kann.

**[0185]** Unter Bezugnahme auf die **Fig. 44**, wenn  $V_{21}$  ( $0 > (V_{21} - V_{23L}) > (V_{th} \text{ mit } V_{23L})$ ) gilt, erreicht die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** den Sperrzustand. Somit wird eine Sperrlage **32d** an der Fläche an der Seite des Isolierfilms **14b** der n-leitenden, leicht dotierte polykristalline Siliziumlage **23a** ausgebildet. In diesem Fall bildet die Sperrlage **32d** keinen Strompfad in dem Graben-Innengatewiderstand **4t**, so dass der Widerstandswert des Graben-Innengatewiderstands **4t** erhöht wird. In der vorstehend genannten Formel gibt  $V_{th}$  ein Potenzial an, das einen Schwellwert erreicht, der bestimmt, ob die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** den Strom durchlassen kann oder nicht.

**[0186]** Unter Bezugnahme auf die **Fig. 45**, wenn  $V_{21}$  ( $0 > (V_{th} \text{ mit } V_{23H}) > (V_{21} - V_{23H})$ ) gilt, erreicht die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** den Inversionszustand. Insbesondere sind die Sperrlage **32d** und eine Inversionslage **32i** an der Fläche an der Seite des Isolierfilms **14b** der n-leitenden, leicht dotierte polykristalline Siliziumlage **23a** ausgebildet. In diesem Fall bildet die Sperrlage **32d** keinen Strompfad in dem Graben-Innengatewiderstand **4t**. Außerdem isoliert die Sperrlage **32d** die Inversionslage **32i** von dem Strompfad des Graben-Innengatewiderstands **4t**. Daher wird der Widerstandswert des Graben-Innengatewiderstands **4t** weiter erhöht.

**[0187]** Unter Bezugnahme auf die **Fig. 40** unterscheidet sich der Graben-Innengatewiderstand **4t**, der ein Widerstandselement einer Halbleitervorrichtung einer ersten Abwandlung von dem Ausführungsbeispiel ist, von diesem Ausführungsbeispiel darin, dass die Struktur der ersten Abwandlung des weiteren eine p-leitende, stark dotierte polykristalline Siliziumlage **24b** aufweist, die an Abschnitten angeordnet ist, die mit dem Kontaktloch **9a** an der Seite des Gateanschlusses und dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung in Kontakt sind.

**[0188]** Unter Bezugnahme auf die **Fig. 41** hat der Graben-Innengatewiderstand **4t**, der ein Widerstandselement einer Halbleitervorrichtung einer zweiten Abwandlung des Ausführungsbeispieles ist, als einen Hauptabschnitt eine p-leitende, leicht dotierte polykristalline Siliziumlage **23b**, die ein Halbleiterbereich ist. Der Graben-Innengatewiderstand **4t** hat die p-leitende, stark dotierte polykristalline Siliziumlage **23b**, die an Abschnitten angeordnet ist, die mit dem Kontaktloch **9a** an der Seite des Gateanschlusses und dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung in Kontakt sind.

**[0189]** Unter Bezugnahme auf die **Fig. 42** unterscheidet sich der Graben-Innengatewiderstand **4t**, der ein Widerstandselement einer Halbleitervorrichtung einer dritten Abwandlung des Ausführungsbeispieles ist, von der zweiten Abwandlung von diesem Ausführungsbeispiel darin, dass die Struktur der dritten Abwandlung des weiteren eine n-leitende, stark dotierte polykristalline Siliziumlage **24a** aufweist, die an Abschnitten angeordnet ist, die mit dem Kontaktloch **9a** an der Seite des Gateanschlusses und dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung in Kontakt sind.

**[0190]** Wenn der Gatewiderstand in dem Sperrzustand zum Zwecke einer Erreichung einer gewünschten Gateverzögerung sehr hoch ist, kann die Struktur zusammen mit dem Graben-Innengatewiderstand **4t** des ersten Erläuterungsbeispieles und/oder dem Graben-Innengatewiderstand **4t** (**Fig. 22** und **Fig. 23**) des zweiten Erläuterungsbeispieles verwendet werden.

**[0191]** Wenn die Gateelektrode **13** durch Schritte ausgebildet wird, die sich von jenen des Graben-Innengatewiderstands **4t** unterscheiden, kann das Dotieren des polykristallinen Siliziums mit unterschiedlicher Konzentration in jeweils unterschiedlichen Schritten durchgeführt werden. Dadurch können die Dotierungskonzentrationen der Gateelektrode **13** und der Gatehauptzwischenverbindung **5** erhöht werden, um die Widerstände abzusinken, so dass die Verzögerung und der Verlust in dem IGBT-Chip reduziert werden können.

**[0192]** Bei diesem Ausführungsbeispiel erzeugt die Potenzialdifferenz zwischen dem p-leitenden Bereich **21** und dem Graben-Innengatewiderstand **4t** die Sperrlage an der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** des Graben-Innengatewiderstands **4t**, so dass der Widerstandswert des Graben-Innengatewiderstands **4t** eingestellt werden kann.

**[0193]** Da die n-leitende, stark dotierte polykristalline Siliziumlage **24a** an dem Abschnitt ausgebildet wird, der mit dem Graben-Innengatewiderstand **4t** in Kontakt ist, erhöht sich der Gatewiderstand im Laufe der Zeit eines Ausschaltvorgangs des IGBT-Elements EL. Dadurch kann die Überspannung des IGBT-Elements EL klein sein.

**[0194]** Bei der ersten und der dritten Abwandlung von diesem Ausführungsbeispiel ist der Graben-Innengatewiderstand **4t** jeweils an dem elektrischen Kontaktabschnitt mit der n-leitenden, stark dotierten polykristallinen Siliziumlage **24a** und der p-leitenden, stark dotierten polykristallinen Siliziumlage **24b** vorgesehen. Dadurch verringert sich der Gatewiderstand in dem Akkumulationszustand, und insbeson-

dere ist die Verzögerungszeit stabil, wenn das Potenzial ( $V_g < 0$  V) aufgebracht wird.

[Zweites Ausführungsbeispiel]

**[0195]** Zuerst wird eine Struktur eines Widerstandselements einer Halbleitervorrichtung von diesem Ausführungsbeispiel beschrieben.

**[0196]** Unter Bezugnahme auf die **Fig. 46** hat der IGBT-Chip von diesem Ausführungsbeispiel einen Dioden-Innengatewiderstand **4d** als ein Widerstandselement. Der Dioden-Innengatewiderstand **4d** hat eine p-leitende, stark dotierte polykristalline Siliziumlage **24b**, eine n-leitende, leicht dotierte polykristalline Siliziumlage **23a** und eine n-leitende, stark leicht dotierte polykristalline Siliziumlage **24a**. Die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** ist mit dem Gateanschluss **1** und der Gatehauptzwischenverbindung **5** über die p- und n-leitende, stark dotierte polykristalline Siliziumlage **24b** und **24a** jeweils elektrisch verbunden.

**[0197]** Gemäß der vorstehend beschriebenen Struktur hat der Dioden-Innengatewiderstand **4d** von diesem Ausführungsbeispiel eine Diode (die durch ein Diodensymbol in der Figur dargestellt ist), die eine pn-Sperrfläche an der Grenzfläche zwischen der p-leitenden, stark dotierten polykristallinen Siliziumlage **24b** und der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** aufweist.

**[0198]** Bei diesem Ausführungsbeispiel ist ein Auswahlbereich der Konzentration der Fremdatome der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** breiter als bei dem ersten Ausführungsbeispiel. Die Konzentration der Fremdatome der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** bei dem ersten Ausführungsbeispiel ist so eingestellt, dass zumindest zwei von dem Inversionszustand, dem Akkumulationszustand und dem Sperrzustand erreicht werden, aber diese Beschränkung wird diesem Ausführungsbeispiel nicht auferlegt.

**[0199]** Strukturen außer die vorstehend beschriebenen sind im wesentlichen gleich wie bei dem ersten Ausführungsbeispiel, das bereits beschrieben wurde. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0200]** Ein Betrieb des Widerstandselements bei der Halbleitervorrichtung von diesem Ausführungsbeispiel wird nun beschrieben. Bei einer Anfangsstufe und einer letzten Stufe des Schaltvorgangs des IGBT-Elements EL (in der **Fig. 46** nicht gezeigt) ist die Potenzialdifferenz zwischen den entgegengesetzten Enden des Dioden-Innengatewiderstands **4d** klein, der der Gatewiderstand der Gateelektrode **13** ist (in der **Fig. 46** nicht gezeigt). Die Diode zeigt einen ho-

hen Widerstand, wenn eine Potenzialdifferenz zwischen einer Anode und einer Kathode klein ist. In umgekehrter Weise erreicht die Diode einen kleinen Widerstand, wenn die Potenzialdifferenz zwischen den entgegengesetzten Enden groß ist. Daher hat der Dioden-Innengatewiderstand **4d** hohe Widerstandswerte während einer Anfangsstufe und einer letzten Stufe des Schaltvorgangs, wenn dies mit einer mittleren Stufe verglichen wird.

**[0201]** Abwandlungen der Halbleitervorrichtung des Ausführungsbeispiels werden nun beschrieben.

**[0202]** Unter Bezugnahme auf die **Fig. 47** hat der Dioden-Innengatewiderstand **4d** bei einer ersten Abwandlung des Ausführungsbeispiels eine Diode (durch ein Diodensymbol in der Figur dargestellt), die eine pn-Sperrfläche an einer Grenzfläche zwischen der p-leitenden, leicht dotierten polykristallinen Siliziumlage **23b** und der n-leitenden, stark dotierten polykristallinen Siliziumlage **24a** aufweist.

**[0203]** Unter Bezugnahme auf die **Fig. 48** unterscheidet sich eine zweite Abwandlung des Ausführungsbeispiels von dem Ausführungsbeispiel darin, dass der Dioden-Innengatewiderstand **4d** nicht im Inneren des Grabens des Halbleitersubstrats **101** angeordnet ist, aber er ist an dem Feldoxidfilm **7** ausgebildet.

**[0204]** Unter Bezugnahme auf die **Fig. 49** ist bei einer dritten Abwandlung des Ausführungsbeispiels die Art die Leitfähigkeit der Diode entgegengesetzt zu jener der zweiten Abwandlung.

**[0205]** Bei diesem Ausführungsbeispiel hat der Dioden-Innengatewiderstand **4d** hohe Widerstandswerte während der Anfangsstufe und der letzten Stufe des Schaltvorgangs des IGBT-Elements EL, wenn dies mit der mittleren Stufe verglichen wird. Daher wird eine Erzeugung einer Überspannung unterdrückt. Dies sorgt für einen kleinen Verlust des IGBT-Chips.

**[0206]** Wenn das Störgrößensignal, das eine kleine Pulsbreite aufweist und sich schnell ändert, auf den Gateanschluss **1** aufgebracht wird, kann das Potenzial der Gateelektrode **13** ein geringeres Ansprechverhalten auf dieses Störgrößensignal haben, so dass eine Fehlfunktion des IGBT-Elementes EL unterdrückt werden kann.

**[0207]** Wenn die Konzentration der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** gemäß der **Fig. 46** ähnlich wie bei dem ersten Ausführungsbeispiel ist, können Wirkungen erwartet werden, die ähnlich wie bei dem ersten Ausführungsbeispiel sind.



**[0208]** Der Dioden-Innengatewiderstand **4d** von diesem Ausführungsbeispiel kann mit dem Widerstandselement, das der Ohm'sche Gatewiderstand ist, der bei dem ersten Erläuterungsbeispiel verwendet wird, mit dem Widerstandselement, das bei dem ersten Ausführungsbeispiel verwendet wird und jenen Widerstandswert hat, der durch die Potenzialdifferenz hinsichtlich des p-leitenden Bereiches **21** geändert wird, oder mit einem herkömmlichen Widerstandselement kombiniert werden. Diese Kombination kann zum Beispiel durch eine parallele Verbindung erreicht werden.

**[0209]** Da in diesem Fall der Wert des Gatewiderstands gemäß dem Gatepotential oder der Potenzialdifferenz zwischen den entgegengesetzten Enden des Gates fein gesteuert wird, ist es möglich, eine Schaltwellenform einer gewünschten Form oder nahezu mit der gewünschten Form zu erreichen.

[Drittes Ausführungsbeispiel]

**[0210]** Ein Halbleiterelement gemäß einer Halbleitervorrichtung von diesem Ausführungsbeispiel hat eine Diode ähnlich dem zweiten Ausführungsbeispiel (**Fig. 46**). Jedoch ist die Diode, die bei dem Widerstandselement von diesem Ausführungsbeispiel enthalten ist, eine Zener-Diode, die eine n-leitende, leicht dotierte polykristalline Siliziumlage **23a** mit einer hohen Konzentration an Fremdatomen hat, und die eine umgekehrte Durchschlagspannung mit einem niedrigen Wert hat. Somit ist das Widerstandselement von diesem Ausführungsbeispiel ein Gatewiderstand mit der Zener-Diodenbauart. Die Zener-Diode ist so konfiguriert, dass sie eine konstante Durchschlagspannung hat, wobei die umgekehrten Charakteristika verwendet werden.

**[0211]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem zweiten Ausführungsbeispiel, und daher wird deren Beschreibung nicht wiederholt.

**[0212]** Gemäß diesem Ausführungsbeispiel wird die Gateelektrode **13** weder geladen noch entladen, wenn eine Störgröße, die kleiner als die Durchschlagspannung ist, auf das Gate aufgebracht wird. Dadurch kann die Fehlfunktion des IGBT-Chips unterdrückt werden.

[Viertes Ausführungsbeispiel]

**[0213]** Zuerst wird eine Struktur eines Widerstandselements einer Halbleitervorrichtung eines vierten Ausführungsbeispieles beschrieben. Unter Bezugnahme auf die **Fig. 50** und **Fig. 51** stellen gestrichelte Linien ungefähr die Positionsbeziehungen des Widerstandselementes hinsichtlich des Kontaktlochs **9a** an der Seite des Gateanschlusses, des Kontaktlo-

ches **9b** an der Seite der Hauptzwischenverbindung und des Zwischenlagenisolierfilms **11** dar.

**[0214]** Unter Bezugnahme auf die **Fig. 50** hat die Halbleitervorrichtung von diesem Ausführungsbeispiel viele Dioden, die als Widerstandselemente zwischen dem Kontaktloch **9a** an der Seite des Gateanschlusses und dem Kontaktloch **9b** an der Seite der Hauptzwischenverbindung dienen. Somit haben der Gateanschluss **1** (in der **Fig. 50** nicht gezeigt) und die Gatehauptzwischenverbindung **5** (in der **Fig. 50** nicht gezeigt) viele Widerstandselemente, die elektrisch parallel verbunden sind.

**[0215]** Diese vielen Dioden haben zumindest einen Innengatewiderstand **4f** einer Vorwärtsdiodenbauart und zumindest einen Innengatewiderstand **4r** einer Rückwärtsdiodenbauart. Die Begriffe "Vorwärts" und "Rückwärts" beziehen sich auf Polaritäten der Dioden hinsichtlich der Richtung von dem Gateanschluss **1** zu der Gatehauptzwischenverbindung **5**.

**[0216]** Vorzugsweise unterscheiden sich die Graben-Innengatewiderstände **4t** hinsichtlich der Anzahl der Innengatewiderstände **4r** der Rückwärtsdiodenbauart.

**[0217]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem zweiten und dem dritten Ausführungsbeispiel. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0218]** Gemäß diesem Ausführungsbeispiel können Wirkungen, die ähnlich wie bei dem zweiten und dem dritten Ausführungsbeispiel sind, bei den Ein- und Aus-Zuständen des Schaltens des IGBT-Elementes EL erreicht werden.

**[0219]** Durch Verwenden der Innengatewiderstände **4f** der Vorwärtsdiodenbauart, die sich hinsichtlich der Anzahl für die Innengatewiderstände **4r** der Rückwärtsdiodenbauart unterscheiden, dienen die vielen Widerstandselemente zwischen dem Gateanschluss **1** und der Gatehauptzwischenverbindung **5** als das Widerstandselement mit den Widerstandswerten, die sich in Abhängigkeit von der Stromrichtung unterscheiden. Daher ist es möglich, das Widerstandselement mit jenem elektrischen Widerstand vorzusehen, der sich in Abhängigkeit von den Ein- und Aus-Zuständen des IGBT-Elementes EL ändert.

**[0220]** Wie dies in der Abwandlung gemäß der **Fig. 51** durchgeführt wurde, kann das Widerstandselement von diesem Ausführungsbeispiel jenes Widerstandselement, das der Ohm'sche Gatewiderstand ist, der bei dem ersten Erläuterungsbeispiel verwendet wird, das Widerstandselement, das bei dem ersten Ausführungsbeispiel verwendet wird und

jenen Widerstandswert hat, der durch die Potentialdifferenz hinsichtlich des p-leitenden Bereiches **21** geändert wird, oder einen Innengatewiderstand **4i** aufweisen, der ein herkömmliches Widerstandselement ist.

[Fünftes Ausführungsbeispiel]

**[0221]** Zuerst wird eine Struktur eines Widerstandselements einer Halbleitervorrichtung eines fünften Ausführungsbeispiels beschrieben.

**[0222]** Unter Bezugnahme auf die **Fig. 52** hat ein IGBT-Chip von diesem Ausführungsbeispiel einen JFET-Innengatewiderstand **4j** (Junction-Field-Effect-Transistor), der ein Widerstandselement einschließlich eines Sperrschicht-Feldeffekttransistors (JFET) ist. Der JFET-Innengatewiderstand **4j** hat eine p-leitende, leicht dotierte polykristalline Siliziumlage **23b**, die einen Kanalbereich bildet, einen Satz p-leitende, stark dotierte polykristalline Siliziumlagen **24b**, die Source/Drain-Bereiche bilden, und eine n-leitende, stark dotierte polykristalline Siliziumlage **25**, die ein Gate bildet.

**[0223]** Eine Elektrode **26** ist an der n-leitenden, stark dotierten polykristallinen Siliziumlage **25** ausgebildet und mit dieser elektrisch verbunden. Die Elektrode **26** hat eine Funktion zum Steuern eines Potentials der n-leitenden, stark dotierten polykristallinen Siliziumlage **25**.

**[0224]** Ein Betrieb des Widerstandselements von diesem Ausführungsbeispiel wird nun beschrieben. Die Elektrode **26** steuert das Potenzial der n-leitenden, stark dotierten polykristallinen Siliziumlage **25**. Dadurch wird eine Tiefe (d. h. eine Größe in der Längsrichtung in der Figur) einer Ausdehnung einer Sperrlage **27** so gesteuert, dass der Widerstandswert des JFET-Innengatewiderstands **4j** gesteuert wird.

**[0225]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem ersten Erläuterungsbeispiel. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0226]** Gemäß diesem Ausführungsbeispiel kann der Widerstandswert des Widerstandselementes durch äußeres Aufbringen eines Potentialsignals auf die Elektrode **26** geändert werden.

**[0227]** Auch wenn der JFET-Innengatewiderstand **4j** einschließlich des p-Kanal-JFET als das Widerstandselement beschrieben wurde, kann ein JFET-Innengatewiderstand einschließlich des n-Kanal-JFET verwendet werden.

**[0228]** Auch wenn der JFET-Innengatewiderstand **4j**, der den ersten Graben T1 füllt, als das Widerstandselement beschrieben wurde, kann das Widerstandselement eine ebene Bauart sein.

**[0229]** Zum Erreichen von Wirkungen, die ähnlich wie bei dem vierten Ausführungsbeispiel sind, kann die Anzahl der Elektroden **26**, die mit n-leitenden, stark dotierten polykristallinen Siliziumlage **25** verbunden sind, in Abhängigkeit von den Ein- und Aus-Zuständen geändert werden.

[Sechstes Ausführungsbeispiel]

**[0230]** Unter Bezugnahme auf die **Fig. 53** hat ein IGBT-Chip eines sechsten Ausführungsbeispiels einen Innengatewiderstand **4k** einer Sperrsteuerdiodenbauart als ein Widerstandselement.

**[0231]** Der Innengatewiderstand **4k** der Sperrsteuerdiodenbauart hat eine pn-Sperrfläche an einer Grenzfläche zwischen der p-leitenden, leicht dotierten polykristallinen Siliziumlage **23b** und der n-leitenden, stark dotierten polykristallinen Siliziumlage **24a**. Dadurch hat der Innengatewiderstand **4k** der Sperrsteuerdiodenbauart eine Struktur einschließlich einer Diode.

**[0232]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem fünften Ausführungsbeispiel (**Fig. 52**), das bereits beschrieben wurde. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0233]** Gemäß diesem Ausführungsbeispiel kann der Widerstandswert des Widerstandselementes durch äußeres Aufbringen eines Potentialsignals auf die Elektrode **26** geändert werden. Außerdem können Wirkungen erreicht werden, die ähnlich wie bei dem zweiten und dritten Ausführungsbeispiel sind.

**[0234]** Der Innengatewiderstand **4k** der Sperrsteuerdiodenbauart, der als das Widerstandselement verwendet wird, kann die Art der Leitfähigkeit haben, die entgegengesetzt zu der bereits beschriebenen ist.

**[0235]** Auch wenn der Innengatewiderstand **4k** der Sperrsteuerdiodenbauart, der den ersten Graben T1 füllt, in der **Fig. 53** gezeigt ist, kann das Widerstandselement die ebene Bauart sein.

**[0236]** Zum Erreichen von Wirkungen, die ähnlich wie bei dem vierten Ausführungsbeispiel sind, kann die Anzahl der Elektroden **26**, die mit der n-leitenden, stark dotierten polykristallinen Siliziumlage **25** verbunden sind, in Abhängigkeit von den Ein- und Aus-Zuständen geändert werden.

[Siebtes Ausführungsbeispiel]

**[0237]** Unter Bezugnahme auf die **Fig. 54** hat ein IGBT-Chip, der eine Halbleitervorrichtung eines siebten Ausführungsbeispiels ist, einen MOS-Gatewiderstand **4m** (Metal Oxide Semiconductor), der ein Widerstandselement einschließlich eines MIS-Feld-effekttransistors (Metal Insulator Semiconductor) ist. Der IGBT-Chip hat eine Elektrode **26** zum Steuern eines Gatepotentials eines MOS-Gatewiderstands **4m** an sich.

**[0238]** Der MOS-Gatewiderstand **4m** hat eine p-leitende, leicht dotierte polykristalline Siliziumlage **23b**, einen Satz n-leitende, stark dotierte polykristalline Siliziumlagen **24a**, einen Innengatewiderstandssteuergateelektrode und einen Innengatewiderstandssteuergateisolfilm **29**.

**[0239]** Die p-leitende, leicht dotierte polykristalline Siliziumlage **23b** bildet einen Kanalbereich des MOS-Gatewiderstands **4m**. Der Satz der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** hat Funktionen als Source/Drain-Bereiche hinsichtlich des vorstehend beschriebenen Kanalbereiches. Die Innengatewiderstandssteuergateelektrode hat eine Funktion zum Steuern einer Trägerkonzentration in dem Kanalbereich in Abhängigkeit von dem Potenzial der Innengatewiderstandssteuergateelektrode **28**. Der Innengatewiderstandssteuergateisolfilm **29** isoliert die Innengatewiderstandssteuergateelektrode **28** von der p-leitenden, leicht dotierten polykristallinen Siliziumlage **23b**. Die Elektrode **26** hat eine Funktion zum Steuern des Potentials der Innengatewiderstandssteuergateelektrode **28**.

**[0240]** Strukturen außen den vorstehend beschriebenen sind im wesentlichen gleich wie bei der dritten Abwandlung des zweiten Ausführungsbeispiels (**Fig. 49**), das bereits beschrieben wurde. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0241]** Gemäß diesem Ausführungsbeispiel kann der Widerstandswert des Widerstandselementes durch äußeres Aufbringen eines Potentialsignales auf die Elektrode **26** geändert werden. Außerdem können Wirkungen erreicht werden, die ähnlich wie bei dem zweiten und dritten Ausführungsbeispiels sind.

**[0242]** Auch wenn der MOS-Gatewiderstand **4m** der n-Kanalbauart bei dem bereits beschriebenen Ausführungsbeispiel verwendet wird, kann der MOS-Gatewiderstand **4m** die p-Kanalbauart sein.

**[0243]** Auch wenn die **Fig. 54** den MOS-Gatewiderstand **4m** der ebenen Bauart zeigt, kann das Wider-

standselement der Grabenbauart verwendet werden, das den ersten Graben T1 füllt.

**[0244]** Der MOS-Transistor, der bei dem MOS-Gatewiderstand **4m** enthalten ist, kann entweder die Anreicherungsbauart oder die Verarmungsbauart sein.

**[0245]** Zum Erreichen von Wirkungen, die ähnlich wie bei dem vierten Ausführungsbeispiel sind, kann die Anzahl der Elektroden **26**, die mit der Innengatewiderstandssteuergateelektrode **28** verbunden sind, in Abhängigkeit von den Ein- und Aus-Zuständen geändert werden.

[Achstes Ausführungsbeispiel]

**[0246]** Unter Bezugnahme auf die **Fig. 55** hat ein IGBT-Chip, der eine Halbleitervorrichtung eines achten Ausführungsbeispiels ist, einen Gatewiderstand **4g** einer Gatesteuerelektrodenbauart als ein Widerstandselement. Der IGBT-Chip hat eine Elektrode **26** zum Steuern des Gatepotentials des Gatewiderstands **4g** der Gatesteuerelektrodenbauart an sich.

**[0247]** Der Gatewiderstand **4g** der Gatesteuerelektrodenbauart hat eine p-leitenden, leicht dotierte polykristalline Siliziumlage **23b**, eine p-leitende, stark dotierte polykristalline Siliziumlage **24b**, eine n-leitende, stark leicht dotierte polykristalline Siliziumlage **24a**, eine Innengatewiderstandssteuergateelektrode **28** und einen Innengatewiderstandssteuergateisolfilm **29**.

**[0248]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem siebten Ausführungsbeispiel (**Fig. 54**), das bereits beschrieben wurde. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0249]** Gemäß diesem Ausführungsbeispiel kann der Widerstandswert des Widerstandselementes durch äußeres Aufbringen des Potentialsignals auf die Elektrode **26** geändert werden. Außerdem können Wirkungen erreicht werden, die ähnlich wie bei dem zweiten und dritten Ausführungsbeispiel sind.

**[0250]** Auch wenn der Gatewiderstand **4g** der Gatesteuerelektrodenbauart der n-Kanalbauart bei diesem Ausführungsbeispiel verwendet wird, kann der Gatewiderstand **4g** der Gatesteuerelektrode die p-Kanalbauart sein.

**[0251]** Auch wenn die **Fig. 55** den Gatewiderstand **4g** der Gatesteuerelektrodenbauart in der ebenen Bauart zeigt, kann das Widerstandselement der Grabenbauart verwendet werden, das den ersten Graben T1 füllt.

**[0252]** Zum Erreichen von Wirkungen, die ähnlich wie bei dem vierten Ausführungsbeispiel sind, kann die Anzahl der Elektroden **26**, die mit der Innengatewiderstandssteuergateelektrode **28** verbunden sind, in Abhängigkeit von den Ein- und Aus-Zuständen geändert werden.

[Drittes Erläuterungsbeispiel]

**[0253]** Zuerst wird eine Struktur eines Widerstandselements einer Halbleitervorrichtung eines dritten Erläuterungsbeispiels beschrieben.

**[0254]** Unter Bezugnahme auf die **Fig. 56A** hat die Halbleitervorrichtung von diesem Erläuterungsbeispiel eine n-leitende, leicht dotierte polykristalline Siliziumlage **23a**, den Satz der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und eine p-leitende, stark dotierte polykristalline Siliziumlage **24b**. Dieses Widerstandselement ist an einem Isolierfilm **IL** ausgebildet. Der Isolierfilm **IL** ist ein Feldoxidfilm **7** oder ein Isolierfilm **14b**. Die Halbleitervorrichtung hat einen Satz Metallagen **10** an dem Widerstandselement.

**[0255]** Ein Satz der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** ist elektrisch miteinander über die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** elektrisch verbunden. Da die n-leitende, stark dotierte polykristalline Siliziumlage **24a** die gleiche Art der Leitfähigkeit wie die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** hat, hat ein Abschnitt zwischen dem Satz der n-leitenden, leicht dotierten polykristallinen Siliziumlagen **23a** eine Funktion als ein Innengatewiderstand **4i**, der ein Ohm'scher Widerstand ist.

**[0256]** Die p-leitende, stark dotierte polykristalline Siliziumlage **24b** ist zwischen dem Satz der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** angeordnet. Ein der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a**, d. h. eine n-leitende, stark dotierte polykristalline Siliziumlage **24a** an der linken Seite in der **Fig. 56A** ist mit der p-leitenden, stark dotierten polykristallinen Siliziumlage **24b** über die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** elektrisch verbunden.

**[0257]** Da die p-leitende, stark dotierte polykristalline Siliziumlage **24b** und die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** unterschiedliche Arten der Leitfähigkeit haben, ist eine pn-Sperre an einer Grenzfläche zwischen ihnen ausgebildet. Somit ist der Dioden-Innengatewiderstand **4d** einschließlich jener Diode, deren Richtung von der p-leitenden, stark dotierten polykristallinen Siliziumlage **24b** zu der n-leitenden, stark dotierten polykristallinen Siliziumlage **24a** eine Vorwärtsrichtung ist, als p- und n-leitende, stark dotierte polykristalline Siliziumlagen **24b** und **24a** ausgebildet.

**[0258]** Gemäß der vorstehend beschriebenen Struktur hat das Widerstandselement von diesem Erläuterungsbeispiel einen Bereich, in dem die Diode und der Ohm'sche Widerstand, der monolithisch ausgebildet ist, parallel angeordnet sind.

**[0259]** Eine aus dem Satz Metallagen **10**, d. h. die Metallage **10** an der linken Seite in der Figur ist an der n-leitenden, stark dotierten polykristallinen Siliziumlage **24** an einer Seite, d. h. an der linken Seite in der Figur ausgebildet und mit dieser in Kontakt.

**[0260]** Die andere Metallage **10** an der rechten Seite in der Figur ist über die n- und p-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und **24b** ausgebildet und mit diesen in Kontakt. Die andere Metallage **10** ist von der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** durch den Zwischenlagenisolierfilm **11** elektrisch isoliert.

**[0261]** Aufgrund der vorstehend beschriebenen Struktur der anderen Metallage **10** hat ein Teil der anderen Metallage **10** eine Funktion als ein Ohm'scher Widerstand **30**, der zwischen den anderen n-leitenden und p-leitenden, stark dotierten polykristallinen Siliziumlage **24a** und **24b** parallel verbunden ist.

**[0262]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem ersten und zweiten Erläuterungsbeispiel und dem ersten bis achten Ausführungsbeispiel, die bereits beschrieben wurden. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen und deren Beschreibung wird nicht wiederholt.

**[0263]** Ein Betrieb des Widerstandselements der Halbleitervorrichtung des Erläuterungsbeispiels wird nun schematisch beschrieben.

**[0264]** Wenn die p-leitende, stark dotierte polykristalline Siliziumlage **24b** ein unteres Potenzial hat, dient das Widerstandselement als ein üblicher Innengatewiderstand **4i** unter Verwendung der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** als ein Widerstand.

**[0265]** Wenn die p-leitende, stark dotierte polykristalline Siliziumlage **24b** ein höheres Potenzial hat, wird die Beziehung zwischen dem Widerstandswert des parallel verbundenen Widerstands **30** und der Konzentration der Fremdatome der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** in geeigneter Weise so eingestellt, dass die parallelen Betriebe der Diode und des Widerstands erreicht werden.

**[0266]** Unter Bezugnahme auf die **Fig. 56B** befinden sich bei der Abwandlung von diesem Erläuterungsbeispiel die p-leitende, stark dotierte polykristalline Siliziumlage **24b** und die n-leitenden, stark dotierten

polykristallinen Siliziumlagen **24a** an einer Seite (d. h. an der linken Seite in der Figur) an den entgegengesetzten Seiten der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** an der anderen Seite (d. h. an der rechten Seite in der Figur). Die eine n-leitende, stark dotierte polykristalline Siliziumlage **24a** an der linken Seite in der Figur ist mit der p-leitenden, stark dotierten polykristallinen Siliziumlage **24b** über die n-leitende, leicht dotierte polykristalline Siliziumlage **23a** elektrisch verbunden.

**[0267]** Ein spezifischer Betrieb des Widerstandselements der Halbleitervorrichtung von diesem Erläuterungsbeispiel wird nun beschrieben.

**[0268]** Die **Fig. 57A** und **Fig. 57B** zeigen Ersatzschaltungen der Widerstandselemente der Halbleitervorrichtungen gemäß dem dritten Erläuterungsbeispiel und dessen Abwandlung.

**[0269]** Unter Bezugnahme auf die **Fig. 56A** und **Fig. 57A** wird ein Potenzial  $V_0$  durch die Metallage **10** an der einen Seite (d. h. an der linken Seite in den Figuren) gehalten, und ein Potenzial  $V_1$  wird durch einen Abschnitt der Metallage **10** an der anderen Seite (d. h. an der rechten Seite in den Figuren) und insbesondere in einem Abschnitt gehalten, der mit der n-leitenden, stark dotierten polykristallinen Siliziumlage **24a** an der anderen Seite (d. h. an der rechten Seite in den Figuren) in Kontakt ist. Ein Potenzial  $V_x$  wird durch einen Abschnitt der Metallage **10** an der anderen Seite (d. h. an der rechten Seite in den Figuren) und insbesondere in einem Abschnitt gehalten, der mit der p-leitenden, stark dotierten polykristallinen Siliziumlage **24b** an der anderen Seite (d. h. an der rechten Seite in den Figuren) in Kontakt ist.

**[0270]** Ein Widerstand  $R_0$  ist zwischen den n- und p-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und **24b** an der einen Seite (d. h. an der linken Seite in den Figuren) in dem Innengatewiderstand **4i** vorhanden. Ein Widerstand  $R_1$  ist zwischen den n-leitenden und p-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und **24b** an der anderen Seite (d. h. an der rechten Seite in den Figuren) in dem Innengatewiderstand **4i** vorhanden. Ein Widerstand  $R_2$  ist der Widerstand **30**.

**[0271]** Ströme  $i_0$ ,  $i_1$  und  $i_2$  strömen durch die entsprechenden Widerstände  $R_0$ ,  $R_1$  und  $R_2$ .

**[0272]** Unter Bezugnahme auf die **Fig. 56B** und **Fig. 57B** wird ein Potenzial  $V_1$  durch einen Abschnitt der Metallage **10** an der anderen Seite (d. h. an der rechten Seite in den Figuren) und insbesondere in einem Abschnitt gehalten, der mit der p-leitenden, stark dotierten polykristallinen Siliziumlage **24b** bei der Abwandlung von diesem Erläuterungsbeispiel in Kontakt ist. Ein Potenzial  $V_x$  ist ein Potenzial eines Abschnittes, der mit n-leitenden, stark dotierten polykris-

tallinen Siliziumlagen **24a** an der anderen Seite, d. h. an der rechten Seite in den Figuren, in Kontakt ist.

**[0273]** Der Widerstand  $R_0$  ist zwischen dem Satz der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** in dem Innengatewiderstand **4i** vorhanden. Der Widerstand  $R_1$  ist der Widerstand **30**. Der Widerstand  $R_2$  ist zwischen den n- und p-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und **24b** an der anderen Seite (d. h. an der rechten Seite in den Figuren) in dem Innengatewiderstand **4i** vorhanden.

**[0274]** Unter Bezugnahme auf die **Fig. 58A** und **Fig. 58B** geben die Ordinaten in den Graphen die Ströme  $i_0$ ,  $i_1$  und  $i_2$  an. Die Abszissen geben  $(V_1 - V_x)$  hinsichtlich den Strömen  $i_1$  und  $i_2$  an, die durch gestrichelte Linien angegeben sind, und sie geben  $(V_1 - V_0)$  hinsichtlich des Stroms  $i_0$  an.  $\Phi$  gibt eine Funktion einer Spannungs/Strom-Charakteristika der Diode an.

**[0275]** Ein Spannungsabfall  $(V_1 - V_x)$ , der in dem Widerstand  $R_1$  verursacht wird, der ein Teil der Widerstandskomponenten ist, spannt die Diode in Durchlaßrichtung vor, so dass ein Diodenstrom durchgelassen wird. Zum Starten dieses Durchlasses des Diodenstroms sind ein vorbestimmter Strom  $i_f$  und eine vorbestimmte Spannung  $V_f$  erforderlich. Bei diesem Betrieb wird eine Spannung  $(V_1 - V_0)$  auf das ganze Widerstandselement aufgebracht, um eine Beziehung  $(V_1 - V_x = V_f)$  einzurichten. Wenn ein Strom, der gleich oder größer ist als der Strom  $i_f$ , der durch die Diode hindurch strömt, strömt ein Strom in Abhängigkeit von dem Verhältnis zwischen dem Widerstand  $R_1$  von einem Teil der Widerstandskomponenten und dem Widerstand  $R_2$  an der Seite der Diode. Wenn jedoch der Strom durch die Diode strömt, bewirken die Widerstände  $R_0$  und  $R_2$  gemäß der **Fig. 578** einen bipolaren Betrieb, so dass der Widerstand niedrig wird.

**[0276]** Falls  $(R_2 < R_1 \ll R_0)$  gilt, ist ein großer Strom  $i_f$  erforderlich. Daher strömt der Strom  $i_0$ , der gleich  $(V_1 - V_0)/(R_1 + R_0)$  ist, bis  $(V_1 - V_0)$  einen bestimmten großen Wert erreicht. Dann wird die Diode eingeschaltet, und der Widerstand  $R_2$  wird abgesenkt. Somit tritt ein Snap-Back SB auf, das einen negativen Widerstand darstellt.

**[0277]** Wenn  $(R_1 > R_2 \gg R_0)$  eingerichtet ist, wird die Diode auch dann eingeschaltet, wenn  $i_f$  klein ist, und daher tritt kein Snap-Back SB auf. Wenn  $((V_1 - V_0) < 0)$  eingerichtet ist, strömt kein Strom durch die Diode, so dass der Strom  $(i_0 = (V_1 - V_0)/(R_1 + R_0))$  strömt.

**[0278]** Bei diesem Erläuterungsbeispiel hat das monolithische Widerstandselement die Diode und den Ohm'schen Widerstand parallel. Daher können Wirkungen, die gleich wie bei der Halbleitervorrichtung der Abwandlung (**Fig. 51**) des vierten Ausführungsbeispiels sind, durch eine kleine Fläche erreicht werden.

[0279] Wie dies in der Fig. 58A gezeigt ist, kann die Widerstandscharakteristik durch den Snap-Back SB erreicht werden. Wenn daher eine gewisse Potenzi-  
aldifferenz zwischen den entgegengesetzten Enden des Widerstandselementes auftritt, kann das Snap-Back das Laden und Entladen zu/von der Gate-  
elektrode **13** des IGBT-Elements EL beschleunigen. Wenn dies mit dem Erläuterungsbeispiel verglichen wird, kann dessen Abwandlung das Snap-Back SB noch einfacher bewirken, sofern der Widerstand **30** nicht erhöht wird.

[0280] Zum Ändern des Widerstandswertes von zu-  
mindest einem Teil der n-leitenden, leicht dotierte polykristalline Siliziumlage **23a** ist es wirksam, den  
Abstand zwischen den n- und p-leitenden, stark do-  
tierten polykristallinen Siliziumlage **24a** und **24b** und  
außerdem die Konzentration der n-leitenden, leicht  
dotierten polykristallinen Siliziumlage **23a** zumindest  
teilweise zu ändern.

[0281] Das Widerstandselement kann entweder die  
Grabenbauart oder die ebene Bauart sein, sofern  
die stark dotierte Lage in der Zwischenposition den  
Strompfad nicht unterbricht.

[0282] Eine Struktur, die durch Umkehren der Ar-  
ten der Leitfähigkeit in der Struktur von diesem Er-  
läuterungsbeispiel erreicht wird, ist im wesentlichen  
gleichwertig.

[Viertes Erläuterungsbeispiel]

[0283] Zuerst wird eine Struktur eines Widerstands-  
elementes beschrieben, das bei einer Halbleitervor-  
richtung eines vierten Erläuterungsbeispielenes ver-  
wendet wird.

[0284] Unter Bezugnahme auf die Fig. 59 hat die  
Halbleitervorrichtung von diesem Erläuterungsbei-  
spiel als das Widerstandselement eine n-leitende,  
leicht dotierte polykristalline Siliziumlage **23a**, den  
Satz der n-leitenden, stark dotierten polykristallinen  
Siliziumlagen **24a** und den Satz der p-leitenden, stark  
dotierten polykristallinen Siliziumlagen **24b**. Das Wi-  
derstandselement wird an dem Isolierfilm IL ausgebil-  
det. Der Isolierfilm IL ist ein Feldoxidfilm **7** oder Iso-  
lierfilm **14b**. Die Halbleitervorrichtung hat den Satz  
der Metallagen **10** an dem Widerstandselement.

[0285] Jede Lage der Sätze der n-leitenden und p-  
leitenden, stark dotierten polykristallinen Siliziumla-  
gen **24a** und **24b** ist an der n-leitenden, leicht dotier-  
ten polykristallinen Siliziumlage **23a** ausgebildet.

[0286] Die p- und p-leitenden, stark dotierten poly-  
kristallinen Siliziumlagen **24b** und **24a** befinden sich  
an der einen und an der anderen Seite (d. h. an der  
linken und an der rechten Seite in der Figur), und sie  
sind über einen Abschnitt mit einer Länge L1 der n-

leitenden, leicht dotierten polykristallinen Siliziumla-  
ge **23a** elektrisch verbunden. Die n- und p-leitenden,  
stark dotierten polykristallinen Siliziumlagen **24a** und  
**24b**, die sich an der einen und an der anderen Seite  
(d. h. an der linken und an der rechten Seite in der  
Figur) befinden, sind über einen Abschnitt mit einer  
Länge L2 der n-leitenden, leicht dotierten polykristal-  
linen Siliziumlage **23a** elektrisch verbunden.

[0287] Der Satz der n-leitenden, stark dotierten poly-  
kristallinen Siliziumlagen **24a** ist über einen Abschnitt  
der n-leitenden, leicht dotierten polykristallinen Silizi-  
umlagen **23a** mit einer Länge L3 elektrisch verbun-  
den. Da die n-leitende, stark dotierte polykristalline  
Siliziumlage **24a** und die n-leitende, leicht dotierte po-  
lykristalline Siliziumlage **23a** die gleiche Art der Leit-  
fähigkeit haben, hat der Abschnitt zwischen dem Satz  
der n-leitenden, leicht dotierten polykristallinen Sili-  
ziumlagen **23a** die Funktion als ein Innengatewider-  
stand **4i**, der als der Ohm'sche Widerstand dient.

[0288] Die n- und p-leitenden, stark dotierten poly-  
kristallinen Siliziumlagen **24a** und **24b** an der einen  
Seite (d. h. an der linken Seite in der Figur) sind durch  
eine Metallage **10** an der einen Seite elektrisch mit-  
einander verbunden, wobei ein Widerstand **30** dazwi-  
schen angeordnet ist. Die n- und p-leitenden, stark  
dotierten polykristallinen Siliziumlagen **24a** und **24b**  
an der anderen Seite (d. h. an der rechten Seite in  
der Figur) sind durch eine Metallage **10** an der an-  
deren Seite elektrisch miteinander verbunden, wobei  
ein Widerstand **30** dazwischen angeordnet ist.

[0289] Die pn-Sperrschichten sind an der Grenz-  
fläche zwischen der p-leitenden, stark dotierten po-  
lykristallinen Siliziumlage **24b** und der n-leitenden,  
leicht dotierten polykristallinen Siliziumlage **23a** an  
der einen Seite (d. h. an der linken Seite in der Figur)  
und der Grenzfläche zwischen der p-leitenden, stark  
dotierten polykristallinen Siliziumlage **24b** und der n-  
leitenden, leicht dotierten polykristallinen Siliziumlage  
**23a** an der anderen Seite (d. h. an der rechten Seite  
in der Figur) ausgebildet.

[0290] Eine Diode des Diodenpaars hat die Polarität  
in der Vorwärtsrichtung hinsichtlich der Richtung des  
Strom, der von der Metallage **10** an der einen Sei-  
te (d. h. an der linken Seite in der Figur) zu der Me-  
tallage **10** an der anderen Seite über die p-leitende,  
stark dotierte polykristalline Siliziumlage **24b** und die  
n-leitende, leicht dotierte polykristalline Siliziumlage  
**23a** an der einen Seite und außerdem die p-leitende,  
stark dotierte polykristalline Siliziumlage **24b** an der  
anderen Seite (d. h. an der rechten Seite in der Figur)  
strömt. Die andere der Dioden hat die Polarität in der  
Rückwärtsrichtung hinsichtlich der selben Stromrich-  
tung.

[0291] Bei der vorstehend beschriebenen Struktur  
hat das Widerstandselement von diesem Erläute-

rungsbeispiel ein Paar Bereiche mit der Diode und dem Ohm'schen Widerstand, die parallel sind, und diese Paarbereiche haben die Dioden mit den jeweils entgegengesetzten Polaritäten.

**[0292]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem dritten Erläuterungsbeispiel, das bereits beschrieben wurde. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0293]** Ein Betrieb des Widerstandselements bei der Halbleitervorrichtung von diesem Erläuterungsbeispiel wird nun beschrieben.

**[0294]** Wenn das Potenzial an einer Seite E1 der Metallage **10** an der einen Seite (d. h. an der linken Seite in der Figur) größer ist als an einer Seite E2 der Metallage **10** an der anderen Seite (d. h. an der rechten Seite in der Figur) wird die Diode in dem Bereich mit der Länge L1 in n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** durch eine darauf in der Vorwärtsrichtung aufgebrachte Spannung aktiviert. Außerdem wird die Diode in der Richtung mit einer Länge L2 der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** durch die Spannung deaktiviert, die in der Rückwärtsrichtung aufgebracht wird.

**[0295]** Wenn im Gegensatz dazu das Potenzial an der Seite E1 kleiner ist als an der Seite E2, wird die Diode in dem Bereich mit der Länge L1 der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** durch die Spannung deaktiviert, die in der Rückwärtsrichtung aufgebracht wird. Außerdem wird die Diode in dem Bereich mit der Länge L2 der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** durch die Spannung aktiviert, die in der Vorwärtsrichtung aufgebracht wird.

**[0296]** Der Widerstand des Abschnitts mit der Länge L3 der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** wird ungeachtet der Potenzialbeziehung zwischen den Seiten E1 und E2 aktiv.

**[0297]** Bei diesem Erläuterungsbeispiel kann der Widerstandswert des Widerstandselementes hinsichtlich den jeweiligen Spannungsrichtungen zwischen den Seiten E1 und E2 unabhängig von der anderen Richtung eingestellt werden, indem die Längen L1 und L2 geändert werden. Daher kann der Gatewiderstand in dem Ein-Zustand beim Schalten des IGBT-Elementes EL unabhängig von dem Gatewiderstand in dem Aus-Zustand eingestellt werden.

**[0298]** Ähnlich wie die Struktur des dritten Erläuterungsbeispieles, wie es in der Fig. 56A gezeigt ist, kann die negative Widerstandscharakteristik durch den Snap-Back erreicht werden, wenn die Potenzi-

aldifferenz zwischen den entgegengesetzten Enden des Widerstandselementes einen gewissen Wert erreicht. Dazu kann der Widerstand **30** der Metallage **10**, der parallel angeschlossen ist, erhöht werden, der Widerstand von zumindest einem Teil der n-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** kann abgesenkt werden, oder ein Abstand zwischen den n- und p-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und **24b** kann reduziert werden, die durch die Metallage **10** verbunden sind.

**[0299]** Ähnlich wie die Beziehung zwischen den Strukturen in den Fig. 56A und Fig. 56B, die das dritte Erläuterungsbeispiel darstellen, können die Positionen der n- und p-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und **24b** in der Fig. 59 miteinander ausgetauscht werden.

**[0300]** Das Widerstandselement kann entweder die Grabenbauart oder die ebene Bauart sein, sofern die stark dotierte Lage in der Zwischenposition den Strompfad nicht unterbricht.

**[0301]** Eine Struktur, die durch das Umwandeln der Arten der Leitfähigkeiten in der Struktur von diesem Erläuterungsbeispiel erreicht wird, ist im wesentlichen gleichwertig.

[Neuntes Ausführungsbeispiel]

**[0302]** Zuerst wird eine Struktur des Widerstandselementes der Halbleitervorrichtung des Ausführungsbeispieles beschrieben.

**[0303]** Unter Bezugnahme auf die Fig. 60 hat die Halbleitervorrichtung von dem Ausführungsbeispiel als das Widerstandselement eine p-leitende, leicht dotierte polykristalline Siliziumlage **23b**, den Satz der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a**, den Satz der p-leitenden, stark dotierten polykristallinen Siliziumlagen **24b**, einen Innengatewiderstandssteuergateisoleierfilm **29** und eine Innengatewiderstandssteuergateelektrode **28**. Die Halbleitervorrichtung hat eine Elektrode **26** und den Satz der Metallagen **10** an dem Widerstandselement.

**[0304]** Der Satz der p-leitenden, stark dotierten polykristallinen Siliziumlagen **24b** ist an der p-leitenden, leicht dotierten polykristallinen Siliziumlage **23b** angeordnet, und sie sind über die p-leitende, leicht dotierte polykristalline Siliziumlage **23b** elektrisch miteinander verbunden. Da die p-leitende, stark dotierte polykristalline Siliziumlage **2b** die p-leitende, leicht dotierte polykristalline Siliziumlage **23b** die selbe Art der Leitfähigkeit haben, hat der Satz der p-leitenden, stark dotierten polykristallinen Siliziumlagen **24b** die Funktion als ein gewöhnlicher Innengatewiderstand **4i**.

**[0305]** Der Satz der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** ist an der p-leitenden, leicht dotierten polykristallinen Siliziumlage **23b** angeordnet. Der Innengatewiderstandssteuergateisolierfilm **29** und die Innengatewiderstandssteuergateelektrode **28** sind in dieser Reihenfolge an der p-leitenden, leicht dotierten polykristallinen Siliziumlage **23b** angeordnet, die sich zwischen dem Satz der n-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** befindet. Aufgrund der vorstehend beschriebenen Struktur hat das Widerstandselement von diesem Ausführungsbeispiel die MIS-Struktur, und sie hat im wesentlichen die gleiche Struktur wie der MOS-Gatewiderstand **4m** (Fig. 54) des siebten Ausführungsbeispiels.

**[0306]** Die Halbleiterlagen wie zum Beispiel die p-leitende, leicht dotierte polykristalline Siliziumlage **23b** bei der vorstehend beschriebenen MIS-Struktur sind an dem an dem Isolierfilm IL angeordnet. Somit hat das Widerstandselement eine Struktur einer SOI-Bauart.

**[0307]** Der IGBT-Chip hat die Elektrode **26** zum Steuern des Gatepotentials des MOS-Gatewiderstands **4m** als solchen.

**[0308]** Ein Ende (d. h. das linke Ende in der Figur) des Abschnittes entsprechend dem Innengatewiderstand bei diesem Ausführungsbeispiel ist mit einem Ende des Abschnittes entsprechend dem MOS-Gatewiderstand **4m** durch die Metallage **10** an der einen Seite elektrisch verbunden. Das andere Ende (d. h. das rechte Ende in der Figur) des Abschnittes entsprechend dem Innengatewiderstand **4** ist mit dem anderen Ende des Abschnittes entsprechend dem MOS-Gatewiderstand **4m** durch die Metallage **10** an der anderen Seite elektrisch verbunden. Somit hat das Widerstandselement die Struktur, bei der der MOS-Gatewiderstand **4m** und der Innengatewiderstand **4i** parallel verbunden sind.

**[0309]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem dritten Erläuterungsbeispiel, das bereits beschrieben wurde. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0310]** Ein Betrieb des Widerstandselements bei der Halbleitervorrichtung von diesem Ausführungsbeispiel wird nun beschrieben.

**[0311]** Wenn die Elektrode **26** das Signal aufnimmt, ändert sich das Potenzial der Innengatewiderstandssteuergateelektrode **28**, um den Kanal der p-leitenden, leicht dotierten polykristallinen Siliziumlage **23b** an der Seite des Innengatewiderstandssteuergateisolierfilms **29** zu steuern. Dadurch wird der Wider-

standswert des Abschnittes entsprechend dem MOS-Gatewiderstand **4m** extern gesteuert.

**[0312]** Durch Bereitstellen des Signals zu der Elektrode **26** zum Beseitigen des Kanals wird der Widerstandswert des Widerstandselementes maximiert und wird zu dem Widerstandswert des Innengatewiderstands **4i**.

**[0313]** Durch Bereitstellen des Signals zu der Elektrode **26** zum Bilden des Kanals durch die Inversionslage wird in umgekehrter Weise der Strompfad, der durch den MOS-Gatewiderstand **4m** hindurch tritt, zu dem Widerstandselement hinzugefügt, so dass sich der Widerstandswert verringert.

**[0314]** Gemäß dem Ausführungsbeispiel hat das Widerstandselement den Abschnitt entsprechend dem Innengatewiderstand **4i** und den Abschnitt entsprechend dem MOS-Gatewiderstand **4m**, die parallel verbunden sind. Dadurch kann der Widerstandswert des Widerstandselementes leicht extern geändert werden. Im Gegensatz zu dem siebten Ausführungsbeispiel (Fig. 54) kann der maximale Wert des Widerstandswertes der Widerstandswert des Abschnittes entsprechend dem Innengatewiderstand **4i** sein. Da der Abschnitt entsprechend dem Innengatewiderstand **4i** und der Abschnitt entsprechend dem MOS-Gatewiderstand **4m** in der Dickenrichtung des Halbleitersubstrats **101** aufgeschichtet sind, kann das Widerstandselement an einem Abschnitt mit einer kleinen Fläche des Halbleitersubstrats **101** ausgebildet werden.

**[0315]** Auch wenn dieses Ausführungsbeispiel im Zusammenhang mit der parallelen Struktur des n-Kanal-MOS-Gatewiderstands **4m** und des üblichen Innengatewiderstands **4i** beschrieben wurde, der aus der p-leitenden Halbleiterlage besteht, ist die Kombination der Arten der Leitfähigkeiten des MOS-Gatewiderstands **4m** und des üblichen Innengatewiderstands **4i** nicht beschränkt.

**[0316]** Der MOS-Gatewiderstand **4m** kann entweder die Anreicherungsbauart oder die Verarmungsbauart sein.

**[0317]** Das Widerstandselement kann entweder die ebene Bauart oder die Grabenbauart sein.

**[0318]** Bei dem dritten und vierten Erläuterungsbeispiel und dem neunten Ausführungsbeispiel, die bereits beschrieben wurden, sind die Kombinationen der Strukturen bei dem ersten Erläuterungsbeispiel und dem ersten bis achten Ausführungsbeispiel monolithisch ausgebildet, aber die Kombination sind nicht auf die bereits beschriebenen Strukturen beschränkt.



**[0319]** Zum Beispiel kann der Dioden-Innengatewiderstand **4d** durch einen Zehner-Dioden-Gatewiderstand ausgetauscht werden, der im Zusammenhang mit dem dritten Ausführungsbeispiel bereits beschrieben wurde. Der MOS-Gatewiderstand **4m** kann durch einen JFET-Gatewiderstand **4j** ausgetauscht werden. Die Konzentration der Fremdatome in dem Innengatewiderstand **4i** kann eingestellt werden, wie dies bereits im Zusammenhang mit dem ersten Ausführungsbeispiel beschrieben wurde.

**[0320]** Die n- und p-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und **24b** können in einer Ebene angeordnet sein, das heißt in einer zweidimensionalen Art, und insbesondere in einer Richtung, die senkrecht zu einer Zeichenebene der jeweiligen Schnittansicht ist. Zum Beispiel können die Widerstandselemente des vierten Erläuterungsbeispiels (**Fig. 59**) und des neunten Ausführungsbeispiels (**Fig. 60**) in einer Art und Weise angeordnet sein, wie dies in den **Fig. 61A** bzw. **Fig. 61B** gezeigt ist.

**[0321]** Bei den bereits beschriebenen Beispielen ist ein einziges Widerstandselement mit der n- oder p-leitenden, leicht dotierten polykristallinen Siliziumlage **23a** oder **23b** vorgesehen. Jedoch ist die Erfindung nicht darauf beschränkt. Zum Beispiel kann ein gemeinsamer Kontakt für eine elektrische Verbindung der n- und p-leitenden, stark dotierten polykristallinen Siliziumlagen **24a** und **24b** mit der Metallage **10** verwendet werden, und dadurch kann die Siliziumlage verwendet werden, die sowohl n- und p-leitende, leicht dotierte polykristalline Siliziumlagen **23a** und **23b** aufweist.

[Fünftes Erläuterungsbeispiel]

**[0322]** Das erste bis vierte Erläuterungsbeispiel und das erste bis neunte Ausführungsbeispiel wurden hauptsächlich im Zusammenhang mit dem Widerstandselement an sich beschrieben, das der Gatewiderstand ist, der mit dem IGBT-Element EL verbunden ist. Bei dem tatsächlichen IGBT-Chip haben die Gatehauptzwischenverbindung **5** und die Gateelektrode **13** selbst elektrische Widerstände. Dementsprechend arbeiten die Gatehauptzwischenverbindung **5** und die Gateelektrode **13** als Störgatewiderstände.

**[0323]** Bei einem IGBT-Element EL mit vielen Gateelektroden **13** hat die Gateelektrode **13**, die von dem Gateanschluss **1** entfernt ist, einen langen Zwischenverbindungspfad von dem Gateanschluss **1** und wird dadurch durch den Störgatewiderstand mit einem höheren Maß beeinträchtigt. In umgekehrter Weise wird die Gateelektrode **13** nahe dem Gateanschluss **1** kaum durch den Störgatewiderstand beeinträchtigt.

**[0324]** In Abhängigkeit von den Längen der Zwischenverbindungspfade von dem Gateanschluss **1** treten daher Differenzen der Ein/Aus-Wirkzeiten des IGBT-Elementes EL zwischen den Zellen auf, die zwischen den jeweiligen Gateelektroden **13** vorgesehen sind. Folglich kann sich der Strom an einem Teil der Zellen konzentrieren, und der Q-Wert hinsichtlich eines Teils eines Verstärkers, an dem sich der Strom konzentriert, erhöht sich, um Schwingungen zu verursachen, wie dies vorstehend beschrieben ist.

**[0325]** Unter Bezugnahme auf die **Fig. 62** und **Fig. 63** hat der IGBT-Chip, der die Halbleitervorrichtung von diesem Erläuterungsbeispiel ist, viele Gateelektroden **13a** bis **13d**. Längen der Zwischenverbindungen, die den Gateanschluss **1** mit den Gateelektroden **13a**, **13b**, **13c** bzw. **13d** elektrisch verbinden, vergrößern sich in dieser Reihenfolge (d. h. in der Reihenfolge **13a**, **13b**, **13c** und **13d**).

**[0326]** Der IGBT-Chip hat einen Innengatewiderstand **4ia**, der ein Widerstandselement ist, und außerdem einen Innengatewiderstand **4ib**, der ein Widerstandselement mit einem kleineren Widerstandswert als der Innengatewiderstand **4ia** ist. Der Gateanschluss **1** und ein Teil (der obere Teil in der **Fig. 63**) der Gatehauptzwischenverbindung **5** sind einstückig miteinander ausgebildet, und sie sind elektrisch miteinander verbunden.

**[0327]** Die Gateelektrode **13a** und der Gateanschluss **1** sind über den Innengatewiderstand **4ia** elektrisch miteinander verbunden.

**[0328]** Ein Abschnitt der Gateelektrode **13b** nahe dem Gateanschluss **1** ist mit dem Gateanschluss **1** über den Innengatewiderstand **4ia** elektrisch verbunden. Ein Abschnitt der Gateelektrode **13b**, der von dem Gateanschluss **1** entfernt ist, ist mit dem Gateanschluss **1** über den Innengatewiderstand **4ib** elektrisch verbunden.

**[0329]** Ein Abschnitt der Gateelektrode **13c** nahe dem Gateanschluss **1** ist mit dem Gateanschluss **1** über den Innengatewiderstand **4ib** elektrisch verbunden. Ein Abschnitt der Gateelektrode **13c**, der von dem Gateanschluss **1** entfernt ist, ist mit dem Gateanschluss **1** elektrisch verbunden, ohne dass ein Innengatewiderstand dazwischen liegt.

**[0330]** Abschnitte der Gateelektrode **13c** nahe und entfernt von dem Gateanschluss **1** sind mit dem Gateanschluss **1** elektrisch verbunden, ohne dass ein Innengatewiderstand dazwischen liegt.

**[0331]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem ersten bis vierten Erläuterungsbeispiel und dem ersten bis neunten Ausführungsbeispiel, die bereits beschrieben wurden. Daher tragen die gleichen oder entspre-

chenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0332]** Gemäß dem Erläuterungsbeispiel hat der Innengatewiderstand **4ia**, der mit der Gateelektrode **13a** relativ nahe dem Gateanschluss **1** verbunden ist, den Widerstandswert, der größer ist als bei dem Innengatewiderstand **4ib**, der mit den Gateelektroden **13b** und **13c** verbunden ist, die von dem Gateanschluss **1** relativ entfernt sind. Außerdem ist die Gateelektrode **13d**, die von dem Gateanschluss **1** im wesentlichen am entferntesten ist, mit dem Gateanschluss **1** verbunden, ohne dass irgendeiner der Innengatewiderstände **41a** und **41b** dazwischen liegt.

**[0333]** Dadurch können die Änderungen des Störgatewiderstands, die vorstehend beschrieben sind, auf ein gewisses Maß beseitigt werden, und die Änderungen mit dem Grad oder einem Ausmaß der Verzögerung der elektrischen Signale in Abhängigkeit von den Zwischenverbindungspfaden von dem Gateanschluss **1** können reduziert werden. Daher ist es möglich, die Differenzen zu reduzieren, die bei der Übertragungsverzögerung zwischen den Potenziälsignalen auftreten können, die zu den jeweiligen Gateelektroden übertragen werden, und zwar aufgrund der Zwischenverbindungen zwischen dem Gateanschluss **1** und den jeweiligen Gateelektroden. Daher ist es möglich, den IGBT-Chip zu erreichen, der eine örtliche Stromkonzentration in dem Ein-Bereich des IGBT-Elementes EL reduziert und beständig gegen Schwingungen ist.

[Zehntes Ausführungsbeispiel]

**[0334]** Das erste bis fünfte Erläuterungsbeispiel und das erste bis zehnte Ausführungsbeispiel wurden im Zusammenhang mit dem Widerstandselement beschrieben, das jeweils elektrisch mit der Gateelektrode **13** verbunden ist und als der Gatewiderstand dient. Jedoch ist die Elektrode, die elektrisch mit dem Widerstandselement der Erfindung verbunden ist, nicht auf die Gateelektrode **13** beschränkt, und das Widerstandselement kann mit einer anderen Elektrode verbunden sein, oder es kann zwischen Zwischenverbindungslagen angeordnet sein.

**[0335]** Hauptsächlich unter Bezugnahme auf die **Fig. 64** hat ein IGBT-Chip, der eine Halbleitervorrichtung eines zehnten Ausführungsbeispieles ist, einen Emitteranschluss **18**, der eine übliche Emitterelektrode (erste Emitterelektrode) ist, und eine Elektrode **26**, die ein Fühleranschluss (zweite Emitterelektrode) ist. Der IGBT-Chip hat einen Nebenwiderstand (erstes Widerstandselement) **4s**, das als ein Widerstandselement dient, und einen MOS-Gatewiderstand (zweites Widerstandselement) **4m**. Der IGBT-Chip hat einen Draht **2a**, der sich zu dem Gateanschluss **1** erstreckt, einen Draht **2b**, der sich zu

dem Emitteranschluss **18** erstreckt, und einen Kontakt **9** für eine elektrische Verbindung.

**[0336]** Unter Bezugnahme auf die **Fig. 66** nimmt ein Fühleranschluss (Elektrode **26**) einen geteilten Strom auf, der zum Beispiel gleich 1/100 des Emitterstroms ist. In der **Fig. 66** gibt S einen Fühlerterminal an, E gibt einen Emitterterminal an, und C gibt einen Kollektorterminal an.

**[0337]** Unter erneuter Bezugnahme auf die **Fig. 64** verbindet der Nebenwiderstand **4s** elektrisch den Emitteranschluss **18** mit dem Fühleranschluss (Elektrode **26**). Dadurch hat der Nebenwiderstand **4s** eine Funktion zum Erzeugen einer Potenzialdifferenz in Abhängigkeit von dem Strom, der durch den Nebenwiderstand **4s** zwischen dem Emitteranschluss **18** und dem Fühleranschluss (Elektrode **26**) strömt. Eine spezifische Struktur des Nebenwiderstands **4s** kann gleich wie bei den Widerstandselementen des ersten bis vierten Erläuterungsbeispiels und des ersten bis neunten Ausführungsbeispieles sein, die bereits beschrieben wurden.

**[0338]** Der MOS-Gatewiderstand **4m** verbindet elektrisch den Gateanschluss **1** mit dem Emitteranschluss **18**. Die Innengatewiderstandssteuergateelektrode **28** des MOS-Gatewiderstands **4m** ist elektrisch mit dem Fühleranschluss (Elektrode **26**) verbunden. Dadurch hat der MOS-Gatewiderstand **4m** die Funktion zum elektrischen Verbinden des Gateanschlusses **1** mit dem Emitteranschluss **18** mit einem elektrischen Widerstand entsprechend dem Potenzial des Fühleranschlusses (Elektrode **26**). Die Innengatewiderstandssteuergateelektrode **28** kann einstückig mit der Elektrode **26** sein.

**[0339]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem ersten bis fünften Erläuterungsbeispiel und dem ersten bis neunten Ausführungsbeispiel, die bereits beschrieben wurden. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0340]** Ein Betrieb des Widerstandselements bei dem IGBT-Chip von diesem Ausführungsbeispiel wird nun beschrieben.

**[0341]** Wenn ein großer Strom durch den Nebenwiderstand **4s** hindurch strömt, erhöht sich eine Potenzialdifferenz zwischen den entgegengesetzten Enden des Nebenwiderstands **4s**. Wenn der MOS-Gatewiderstand **4m** zum Beispiel ein Anreicherungs-n-Kanal-MOSFET ist, werden dadurch der Gateanschluss **1** und der Emitteranschluss **18** kurzgeschlossen. Wenn der MOS-Gatewiderstand **4m** zum Beispiel ein Verarmungs-p-Kanal-MOSFET ist, werden der Gateanschluss **1** und der Emitteranschluss **18**

verbunden, wobei zwischen ihnen ein großer elektrischer Widerstand ist.

**[0342]** Unter Bezugnahme auf die **Fig. 65** verbindet bei einer Abwandlung von diesem Ausführungsbeispiel der MOS-Gatewiderstand **4m** elektrisch den Gateanschluss **1** mit einer Hauptzwischenverbindungsmetallage **10b**.

**[0343]** Bei diesem Ausführungsbeispiel ist es nicht erforderlich, einen Draht mit dem Fühleranschluss (Elektrode **26**) im Gegensatz zu jener Struktur zu verbinden, bei der der Nebenwiderstand außerhalb des IGBT-Chips angeordnet ist. Dadurch kann die Fläche des Fühleranschlusses (Elektrode **26**) reduziert werden, und die Größen des IGBT-Chips können reduziert werden. Außerdem kann ein übermäßiger Strom schnell erfaßt werden.

**[0344]** Die **Fig. 64** und **Fig. 65** zeigen das Beispiel, bei dem das an dem Fühleranschluss (Elektrode **26**) erzeugte Signal direkt zu der Innengatewiderstandssteuergateelektrode **28** des MOS-Gatewiderstands **4m** übertragen wird. Jedoch ist die Erfindung nicht auf diese Struktur beschränkt. Zum Beispiel kann eine logische Schaltung, die an einer Halbleiterlage ausgebildet ist, die elektrisch von dem Halbleitersubstrat **101** isoliert ist, dadurch erhalten werden, dass Energiestrahlen wie zum Beispiel Laserstrahlen auf eine amorphe Siliziumlage aufgebracht werden, die zum Beispiel an einem Isolierfilm abgelagert ist, und eine resultierende Abgabe von dieser Logikschaltung kann bei der Innengatewiderstandssteuergateelektrode **28** angewendet werden.

**[0345]** Wenn der Zener-Dioden-Gatewiderstand bei dem dritten Ausführungsbeispiel als der Nebenwiderstand **4s** verwendet wird, kann die an dem Fühleranschluss erzeugte, abgegebene Spannung im wesentlichen konstant sein.

#### [Elftes Ausführungsbeispiel]

**[0346]** Das erste bis fünfte Erläuterungsbeispiel und das erste bis zehnte Ausführungsbeispiel wurden im Zusammenhang mit dem Beispiel beschrieben, bei dem verschiedene Widerstandselemente zwischen den vielen isolierten leitfähigen Lagen angeordnet sind. Die Grabenstruktur, die als der Strompfad bei dem ersten und zweiten Erläuterungsbeispiel und dem ersten Ausführungsbeispiel dient, ist zum Reduzieren des Störwiderstandswertes zum Beispiel der Gatehauptzwischenverbindung wirksam.

**[0347]** Unter Bezugnahme auf die **Fig. 67** hat eine Gatehauptzwischenverbindung von diesem Ausführungsbeispiel eine Hauptzwischenverbindungsmetallage **10b**, einen Metallabschnitt **22** und eine polykristalline Siliziumlage **12**. Das Halbleitersubstrat **101** hat

einen Graben T3 mit einer Innenfläche, die durch einen Zwischenlagenisolierfilm **14** abgedeckt ist.

**[0348]** Zumindest ein Teil der Zwischenverbindung (der ersten Zwischenverbindung), die durch die polykristalline Siliziumlage **12** und dem Metallabschnitt **22** ausgebildet ist, ist in dem Graben T3 mit dem dazwischen liegenden Zwischenlagenisolierfilm **14** angeordnet. Die Hauptzwischenverbindungsmetallage **10b** (zweite Zwischenverbindung) ist an dem Graben T3 angeordnet. Die Hauptzwischenverbindungsmetallage **10b** und der Metallabschnitt **22** sind durch einen Abschnitt in einem Kontaktloch **9c** der Gatehauptzwischenverbindung verbunden, und dadurch sind sie parallel elektrisch miteinander verbunden. Somit sind die erste und die zweite Zwischenverbindung elektrisch parallel verbunden.

**[0349]** Strukturen außer den vorstehend beschriebenen sind im wesentlichen gleich wie bei dem ersten bis fünften Erläuterungsbeispiel und dem ersten bis zehnten Ausführungsbeispiel, die bereits beschrieben wurden. Daher tragen die gleichen oder entsprechenden Elemente die gleichen Bezugszeichen, und deren Beschreibung wird nicht wiederholt.

**[0350]** Die **Fig. 68** und **Fig. 69** zeigen ausschnittartige Querschnitte, die schematisch Strukturen nahe den Gatehauptzwischenverbindungen der Halbleitervorrichtungen bei der ersten und zweiten Abwandlung des elften Ausführungsbeispiels der Erfindung zeigen.

**[0351]** Unter Bezugnahme auf die **Fig. 68** hat der Graben T3 bei der ersten Abwandlung die Innenfläche, die durch den Isolierfilm **14** abgedeckt ist, und der nur mit dem Metallabschnitt **22** gefüllt ist.

**[0352]** Unter Bezugnahme auf die **Fig. 69** ist die polykristalline Siliziumlage **12** beseitigt, und die Hauptzwischenverbindungsmetallage **10b** und der Metallabschnitt **22** sind durch einen Abschnitt in dem Kontaktloch **9c** bei der zweiten Abwandlung verbunden.

**[0353]** Da bei diesem Ausführungsbeispiel die Gatehauptzwischenverbindung einen Abschnitt aufweist, der den Graben T3 füllt, kann der Störwiderstand klein sein, wenn dies mit einer ebenen Zwischenverbindung verglichen wird, die in der Breitenrichtung der Gatehauptzwischenverbindung **5** eine konstante Größe hat (d. h. eine seitliche Größe in der Figur). Dies reduziert eine Differenz der Übertragungsverzögerung, die zwischen den Potenziensignalen auftreten kann, die zu den jeweiligen Gateelektroden **13** übertragen werden, und zwar aufgrund der Zwischenverbindungen zwischen dem Gateanschluss und den jeweiligen Gateelektroden **13**. Daher ist es möglich, den IGBT-Chip zu erreichen, der eine örtliche Stromkonzentration an dem Ein-Bereich bei dem

IGBT-Element EL reduziert und beständig gegenüber Schwingungen ist.

**[0354]** Jedes Ausführungsbeispiel wurde im Zusammenhang mit der Halbleitervorrichtung beschrieben, die ein IGBT-Element als das Halbleiterelement aufweist. Jedoch ist die Erfindung nicht darauf beschränkt, und sie kann auf Halbleitervorrichtungen angewendet werden, die ein Halbleiterelement wie zum Beispiel ein Leistungs-MOSFET-Element aufweisen. Des Weiteren kann das Halbleiterelement eine Sourceelektrode anstelle der Emittierelektrode haben.

**[0355]** Außerdem kann die Metallage **10** durch eine Halbleiterlage ersetzt werden, die einen Widerstand aufweist, der ausreichend kleiner ist als der Innengatewiderstand.

**[0356]** Auch wenn die vorliegende Erfindung im einzelnen beschrieben und dargestellt wurde, ist klar, dass dies nur der Darstellung dient und lediglich ein Beispiel ist, das keinerlei Beschränkungen auferlegt, und der Umfang der vorliegenden Erfindung wird durch die beigefügten Ansprüche ausgelegt.

**[0357]** Eine Halbleitervorrichtung hat ein Halbleitersubstrat (**101**), einen Isolierfilm (**14b**), ein Halbleiterelement (EL) und ein Widerstandselement (**4t**). Das Halbleitersubstrat (**101**) hat einen ersten Graben (T1). Der Isolierfilm (**14b**) deckt eine Innenfläche des ersten Grabens (T1) ab. Das Halbleiterelement (EL) hat eine Elektrode (**13**). Das Widerstandselement (**4t**) ist mit der Elektrode (**13**) elektrisch verbunden, um einen Widerstand für einen Strom zu bilden, der durch die Elektrode (**13**) hindurch strömt, und es ist in dem ersten Graben (T1) mit dem dazwischen liegenden Isolierfilm (**14b**) angeordnet. Dadurch kann die Halbleitervorrichtung ein Widerstandselement aufweisen, das eine kleine Anschlussfläche hat und einen großen Strom mit guter Zuverlässigkeit durchlassen kann.

### Patentansprüche

1. Halbleitervorrichtung mit:  
 einem Halbleitersubstrat (**101**);  
 einem Isolierfilm (**14b**), der zumindest einen Teil des Halbleitersubstrats (**101**) abdeckt;  
 einem Halbleiterelement (EL), das eine Elektrode hat;  
 und  
 einem Widerstandselement (**4t**), das an dem Isolierfilm (**14b**) angeordnet ist und mit der Elektrode elektrisch verbunden ist, um einen Widerstand für einen durch die Elektrode hindurch strömenden Strom zu bilden, wobei  
 das Widerstandselement (**4t**) eine leicht dotierte Halbleiterlage (**23a**) aufweist, so dass in Abhängigkeit von einer Potentialdifferenz zwischen dem Halbleitersubstrat (**101**) und dem Widerstandselement

(**4t**) eine Verarmungsschicht und eine Inversionsschicht in der leicht dotierten Halbleiterlage (**23a**) erzeugt werden können.

2. Halbleitervorrichtung gemäß Anspruch 1, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode, eine Gateelektrode (**13**) und einen Anschluss (**1**) aufweist,  
 die Elektrode entweder die Emittierelektrode (**18**), die Sourceelektrode oder die Gateelektrode (**13**) ist, und die Elektrode und der Anschluss (**1**) über das Widerstandselement (**4t**) elektrisch miteinander verbunden sind.

3. Halbleitervorrichtung gemäß Anspruch 1, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode und eine Gateelektrode (**13**) aufweist,  
 die Elektrode die Gateelektrode (**13**) ist, und entweder die Emittierelektrode (**18**) oder die Sourceelektrode mit der Elektrode über das Widerstandselement (**4t**) elektrisch verbunden ist.

4. Halbleitervorrichtung gemäß Anspruch 1, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode und entweder eine Emittier-Fühlelektrode (**26**) oder eine Source-Fühlelektrode aufweist,  
 die Elektrode entweder die Emittierelektrode (**18**) oder die Sourceelektrode ist, und  
 entweder die Emittier-Fühlelektrode (**26**) oder die Source-Fühlelektrode mit der Elektrode über das Widerstandselement (**4m**) elektrisch verbunden ist.

5. Halbleitervorrichtung mit:  
 einem Halbleitersubstrat (**101**);  
 einem Halbleiterelement (EL), das eine Elektrode hat;  
 einem Isolierfilm (**14b**), der zumindest einen Teil des Halbleitersubstrats (**101**) abdeckt; und  
 zumindest einer Diode (**4d**), die an dem Isolierfilm (**14b**) angeordnet ist und mit der Elektrode (**13**) elektrisch verbunden ist, um einen Widerstand für einen durch die Elektrode (**13**) hindurch strömenden Strom zu bilden,  
 wobei die Diode ausgebildet ist durch eine stark dotierte Halbleiterlage (**24a**) eines ersten Leitungstyps, die in einer leicht dotierten Halbleiterlage (**23a**) eines zweiten Leitungstyps ausgebildet ist,  
 wobei die leicht dotierte Halbleiterlage (**23a**) des zweiten Leitungstyps in einem in dem Halbleitersubstrat ausgebildeten Graben (T1) mit einem dazwischen gefügten Isolierfilm (**14b**) ausgebildet ist.

6. Halbleitervorrichtung gemäß Anspruch 5, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode, eine Gateelektrode (**13**) und einen Anschluss (**1**) aufweist,

die Elektrode entweder die Emittierelektrode (**18**), die Sourceelektrode oder die Gateelektrode (**13**) ist, und die Elektrode und der Anschluss (**1**) über die Diode (**4d**) elektrisch miteinander verbunden sind.

7. Halbleitervorrichtung gemäß Anspruch 5, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode und eine Gateelektrode (**13**) aufweist, die Elektrode die Gateelektrode (**13**) ist, und entweder die Emittierelektrode (**18**) oder die Sourceelektrode mit der Elektrode über die Diode (**4d**) elektrisch verbunden ist.

8. Halbleitervorrichtung gemäß Anspruch 5, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode und entweder eine Emitter-Fühlelektrode (**26**) oder eine Source-Fühlelektrode aufweist, die Elektrode entweder die Emittierelektrode (**18**) oder die Sourceelektrode ist, und entweder die Emitter-Fühlelektrode (**26**) oder die Source-Fühlelektrode mit der Elektrode über die Diode (**4d**) elektrisch verbunden ist.

9. Halbleitervorrichtung mit:  
 einem Halbleitersubstrat (**101**);  
 einem Halbleiterelement (EL), das eine Elektrode hat;  
 einem Isolierfilm (**14b**), der zumindest einen Teil des Halbleitersubstrats (**101**) abdeckt; und  
 zumindest einem Sperrschicht-Feldeffekttransistor (**4j**), der an dem Isolierfilm (**14b**) angeordnet ist und eine Source und einen Drain aufweist, wobei  
 entweder die Source oder der Drain mit der Elektrode elektrisch verbunden ist, um einen Widerstand für einen durch die Elektrode hindurch strömenden Strom zu bilden, wobei  
 das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode und eine Gateelektrode (**13**) aufweist, die Elektrode die Gateelektrode (**13**) ist, und  
 entweder die Emittierelektrode (**18**) oder die Sourceelektrode mit der Elektrode über den Sperrschicht-Feldeffekttransistor (**4j**) elektrisch verbunden ist.

10. Halbleitervorrichtung mit:  
 einem Halbleitersubstrat (**101**);  
 einem Halbleiterelement (EL), das eine Elektrode hat;  
 einem Isolierfilm (**14b**), der zumindest einen Teil des Halbleitersubstrats (**101**) abdeckt; und  
 zumindest einem Sperrschicht-Feldeffekttransistor (**4j**), der an dem Isolierfilm (**14b**) angeordnet ist und eine Source und einen Drain aufweist, wobei  
 entweder die Source oder der Drain mit der Elektrode elektrisch verbunden ist, um einen Widerstand für einen durch die Elektrode hindurch strömenden Strom zu bilden, wobei  
 das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sour-

ceelektrode und entweder eine Emitter-Fühlelektrode (**26**) oder eine Source-Fühlelektrode aufweist, wobei die Elektrode entweder die Emittierelektrode (**18**) oder die Sourceelektrode ist, und  
 entweder die Emitter-Fühlelektrode (**26**) oder die Source-Fühlelektrode mit der Elektrode über den Sperrschicht-Feldeffekttransistor (**4j**) elektrisch verbunden ist.

11. Halbleitervorrichtung mit:  
 einem Halbleitersubstrat (**101**);  
 einem Halbleiterelement (EL), das eine Elektrode hat;  
 einem Isolierfilm (**14b**), der zumindest einen Teil des Halbleitersubstrats (**101**) abdeckt; und  
 zumindest einem MIS-Feldeffekttransistor (**4m**), der an dem Isolierfilm (**14b**) angeordnet ist und eine Source und einen Drain aufweist, wobei  
 entweder die Source oder der Drain mit der Elektrode elektrisch verbunden ist, um einen Widerstand für einen durch die Elektrode hindurch strömenden Strom zu bilden, wobei  
 das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode und entweder eine Emitter-Fühlelektrode (**26**) oder eine Source-Fühlelektrode aufweist, die Elektrode entweder die Emittierelektrode (**18**) oder die Sourceelektrode ist, und  
 entweder die Emitter-Fühlelektrode (**26**) oder die Source-Fühlelektrode mit der Elektrode über den MIS-Feldeffekttransistor (**4m**) elektrisch verbunden ist.

12. Halbleitervorrichtung mit:  
 einem Halbleitersubstrat (**101**);  
 einem Halbleiterelement (EL), das eine Elektrode hat;  
 einem Isolierfilm (**14b**), der zumindest einen Teil des Halbleitersubstrats (**101**) abdeckt; und  
 zumindest einem MIS-Feldeffekttransistor (**4m**), der an dem Isolierfilm (**14b**) angeordnet ist und eine Source und einen Drain sowie eine Steuerelektrode (**26**) aufweist, wobei  
 entweder die Source oder der Drain mit der Elektrode elektrisch verbunden ist, um einen Widerstand für einen durch die Elektrode hindurch strömenden Strom zu bilden, wobei  
 das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode, eine Gateelektrode (**13**) und einen Anschluss (**1**) aufweist,  
 die Elektrode entweder die Emittierelektrode (**18**), die Sourceelektrode oder die Gateelektrode (**13**) ist, und  
 die Elektrode und der Anschluss (**1**) über den MIS-Feldeffekttransistor (**4m**) elektrisch miteinander verbunden sind, wobei der Widerstandswert des MIS-Feldeffekttransistors (**4m**) durch äußeres Aufbringen eines Potentialsignals auf die Steuerelektrode (**26**) geändert werden kann.

13. Halbleitervorrichtung gemäß Anspruch 5, die:

zumindest einen Bereich der leicht dotierten Halbleiterlage (**23a**) aufweist, in dem ein Abschnitt der leicht dotierten Halbleiterlage (**23a**), der die Funktion eines ohmschen Widerstandes hat, mit der Diode (**4d**) parallel geschaltet ist.

der der Emitter-Fühlelektrode (**26**) oder der Source-Fühlelektrode elektrisch verbindet.

Es folgen 36 Seiten Zeichnungen

14. Halbleitervorrichtung gemäß Anspruch 13, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode und eine Gateelektrode (**13**) aufweist, die Elektrode die Gateelektrode (**13**) ist, und entweder die Emittierelektrode (**18**) oder die Sourceelektrode mit der Elektrode über das Widerstandselement elektrisch verbunden ist.

15. Halbleitervorrichtung gemäß Anspruch 13, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode und entweder eine Emitter-Fühlelektrode (**26**) oder eine Source-Fühlelektrode aufweist, die Elektrode entweder die Emittierelektrode (**18**) oder die Sourceelektrode ist, und entweder die Emitter-Fühlelektrode (**26**) oder die Source-Fühlelektrode mit der Elektrode über das Widerstandselement elektrisch verbunden ist.

16. Halbleitervorrichtung gemäß Anspruch 13, wobei das Halbleiterelement (EL) ein Schaltelement ist, das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode, eine Gateelektrode (**13**) und einen Anschluss (**1**) aufweist, die Elektrode entweder die Emittierelektrode (**18**), die Sourceelektrode oder die Gateelektrode (**13**) ist, und die Elektrode und der Anschluss (**1**) über das Widerstandselement elektrisch miteinander verbunden sind.

17. Halbleitervorrichtung mit:  
 einem Halbleitersubstrat (**101**);  
 einem Halbleiterelement (EL), das entweder eine Emittierelektrode (**18**) oder eine Sourceelektrode, entweder eine Emitter-Fühlelektrode (**26**) oder eine Source-Fühlelektrode und eine Gateelektrode (**13**) aufweist;  
 einem Isolierfilm (**14b**), der zumindest einen Teil des Halbleitersubstrats (**101**) abdeckt;  
 einem ersten Widerstandselement (**4s**), das an dem Isolierfilm (**14b**) angeordnet ist und entweder die Emittierelektrode (**18**) oder die Sourceelektrode mit entweder der Emitter-Fühlelektrode (**26**) oder der Source-Fühlelektrode elektrisch verbindet; und  
 einem zweiten Widerstandselement (**4m**), das an dem Isolierfilm (**14b**) angeordnet ist und entweder die Emittierelektrode (**18**) oder die Sourceelektrode mit der Gateelektrode (**13**) mit einem elektrischen Widerstand entsprechend einem Potential von entwe-

Anhängende Zeichnungen

FIG.1A

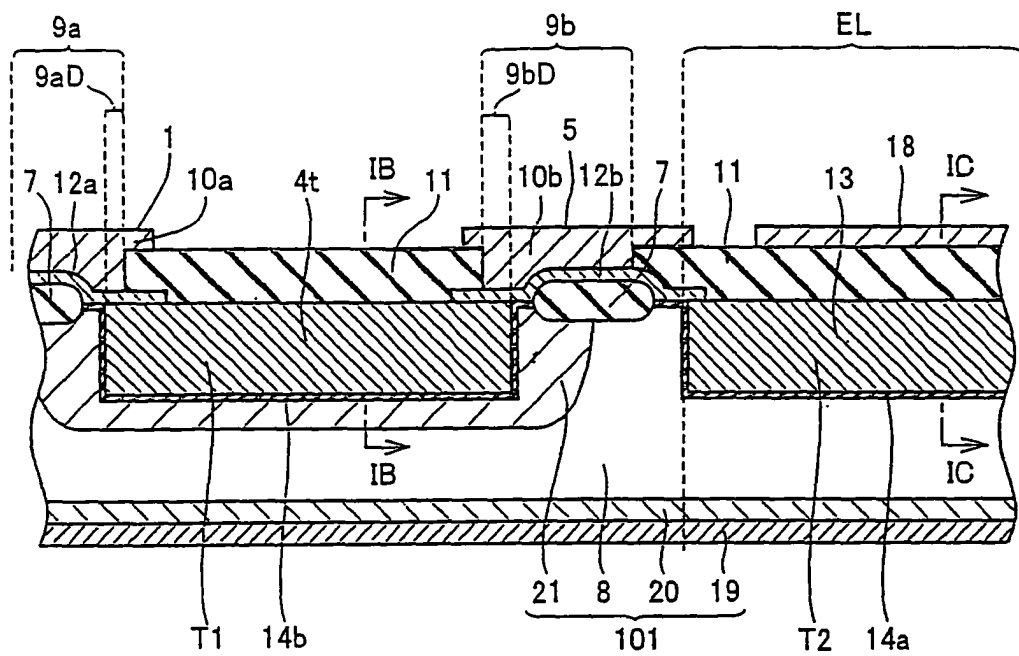


FIG.1B

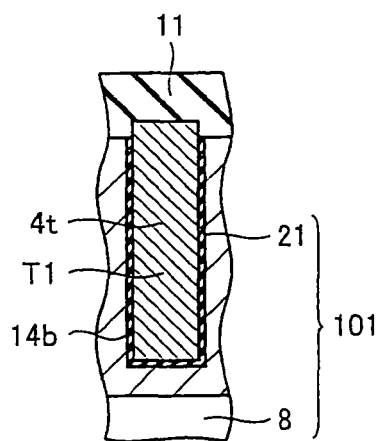


FIG.1C

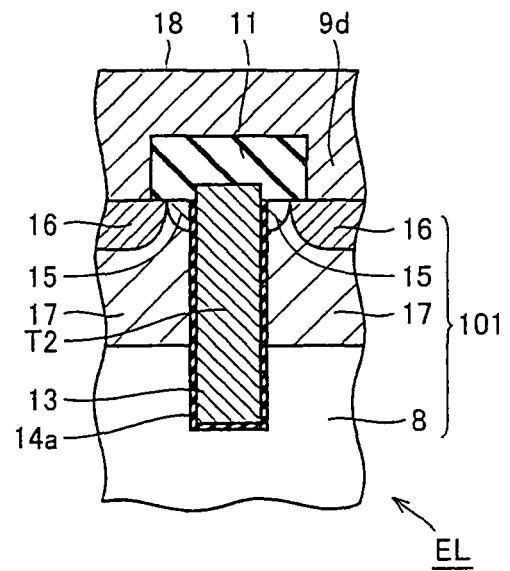




FIG.2

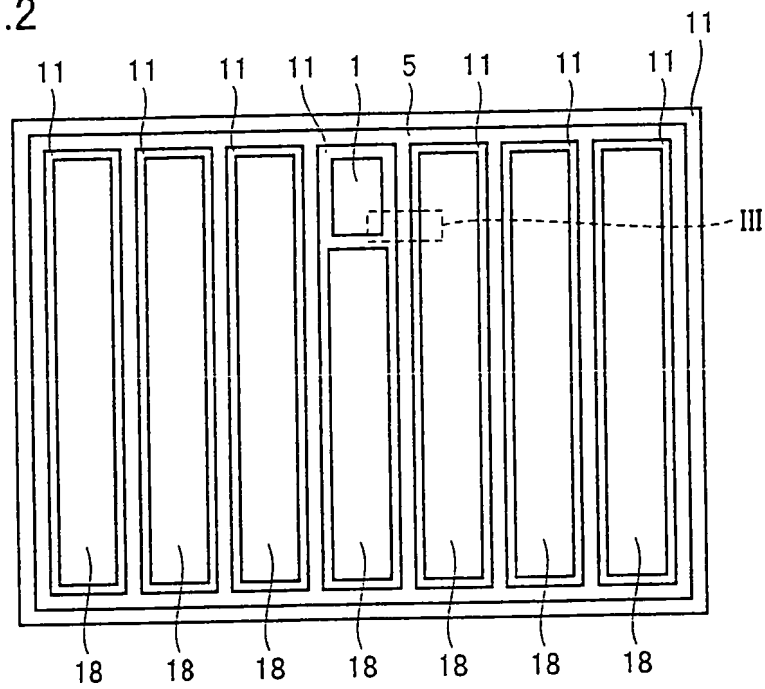


FIG.3

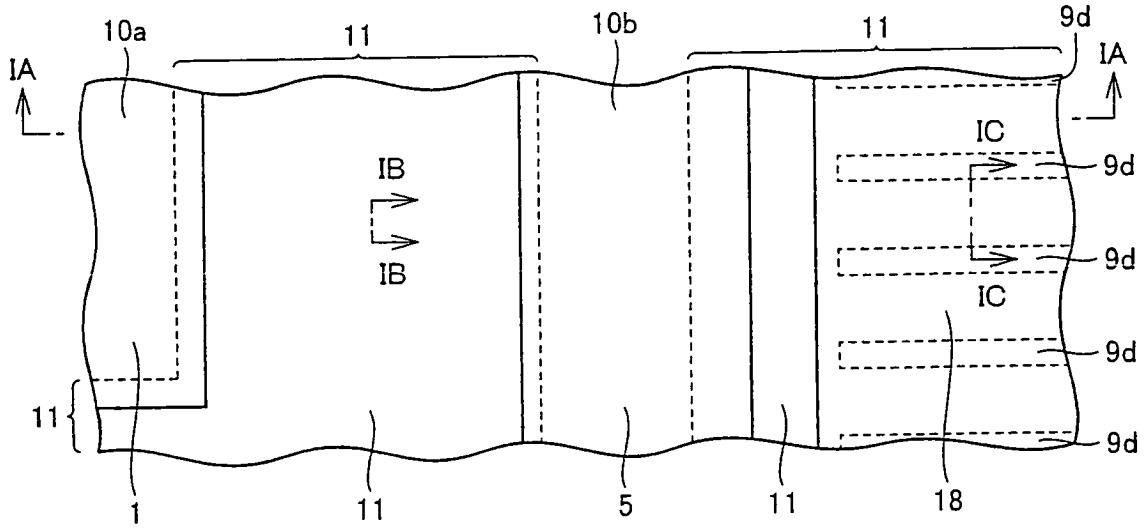


FIG.4

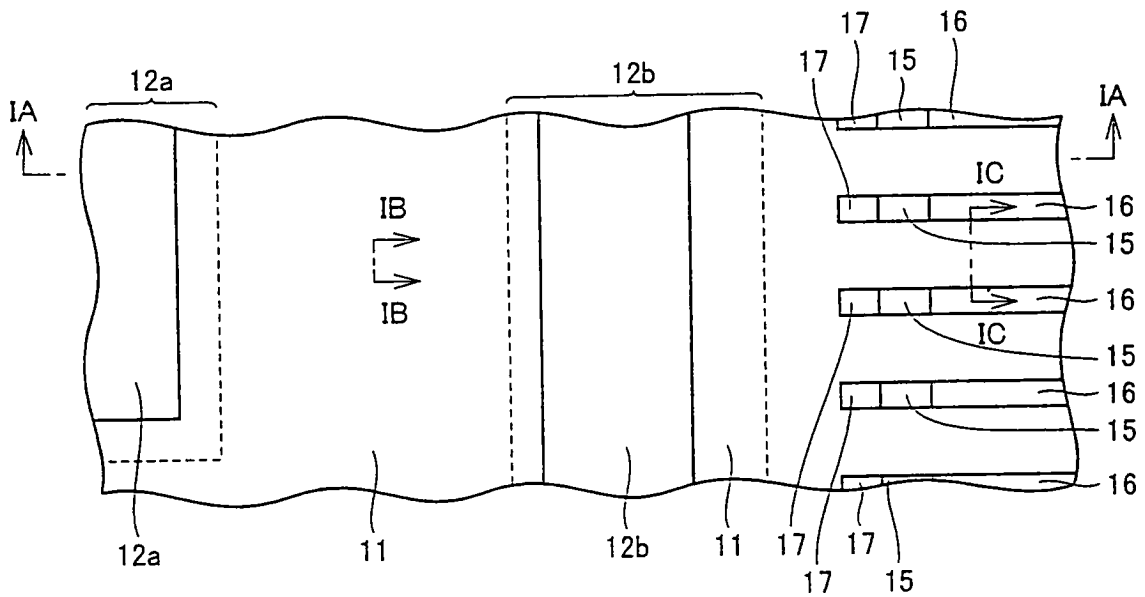


FIG.5

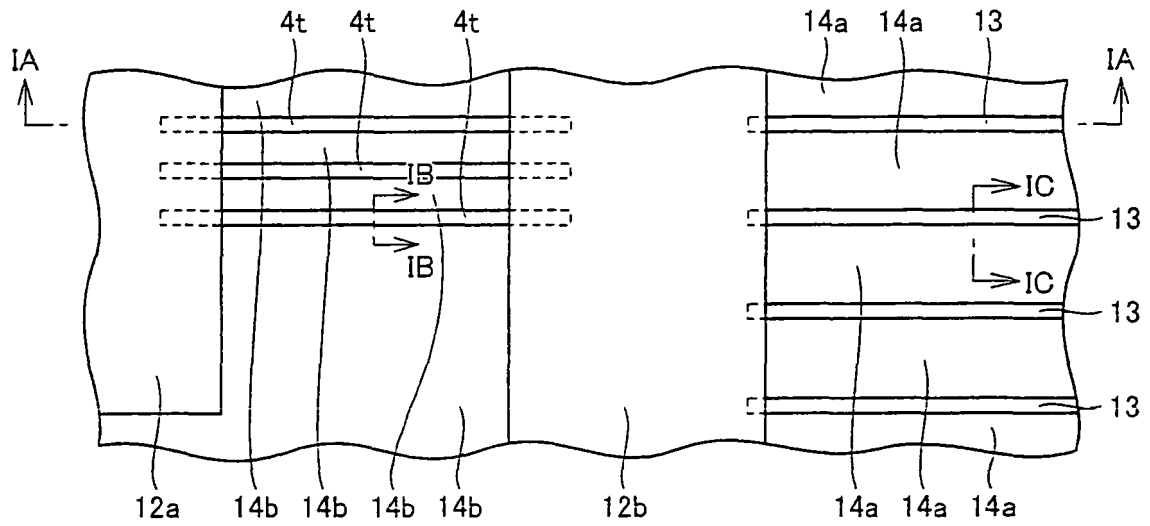


FIG.6

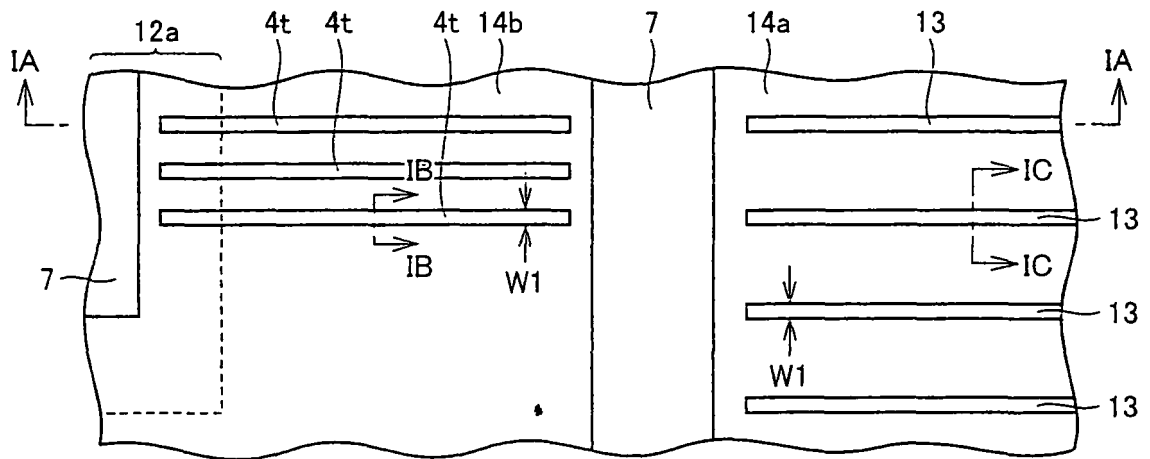


FIG.7

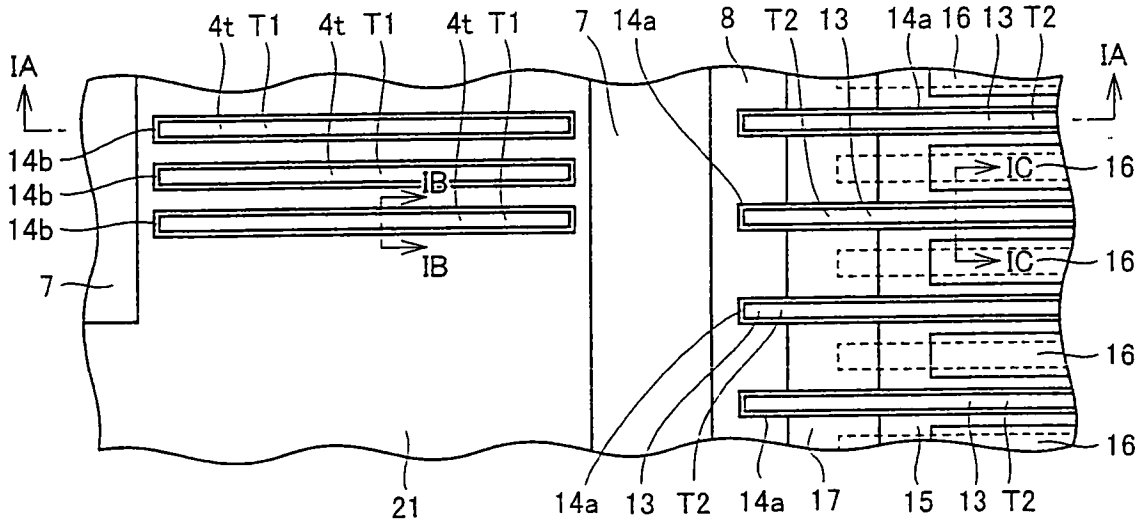


FIG.8

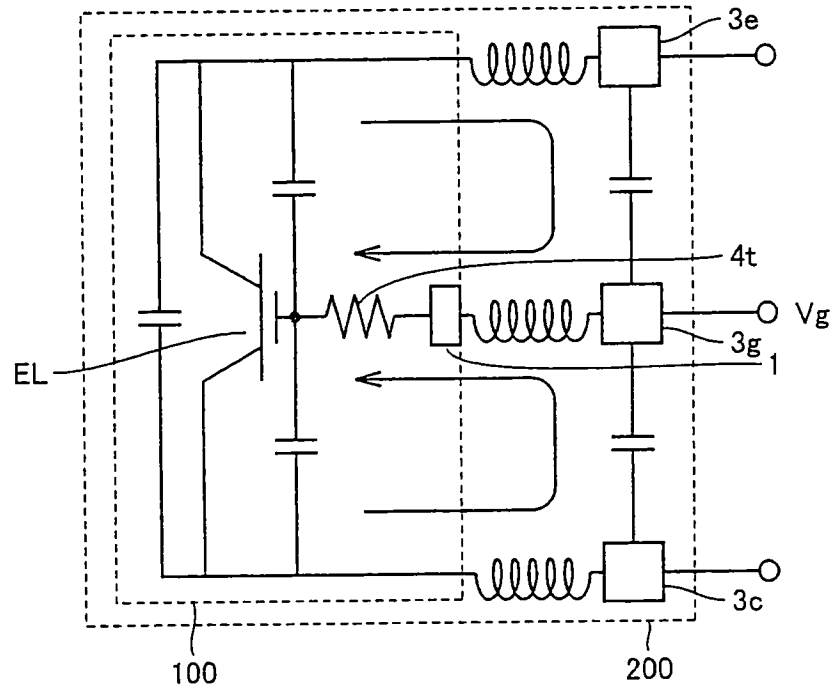


FIG.9

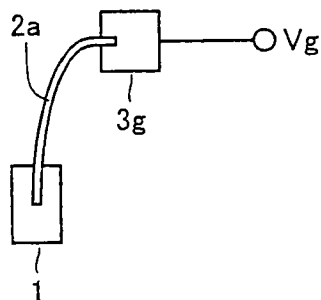


FIG.10

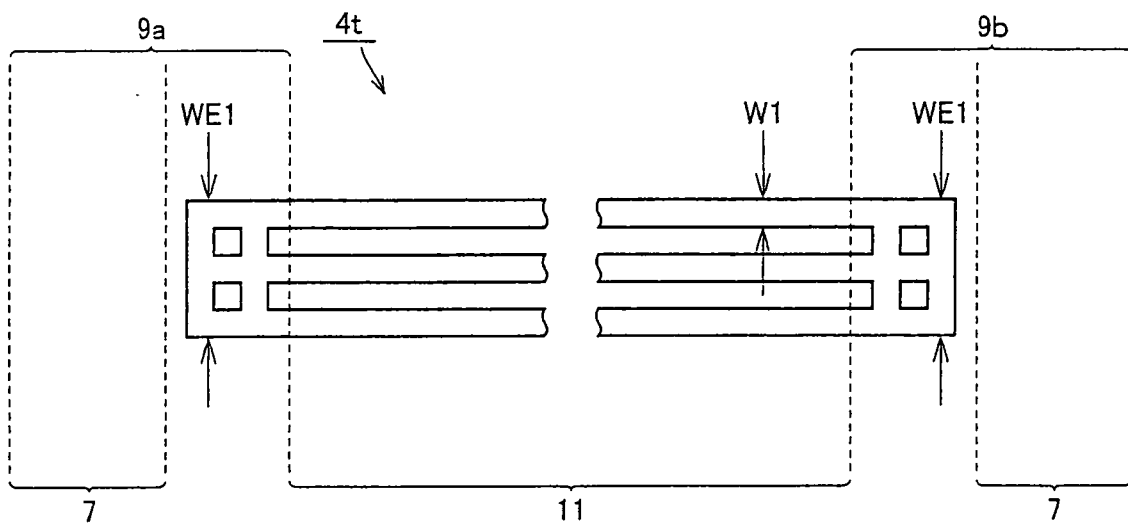


FIG.11

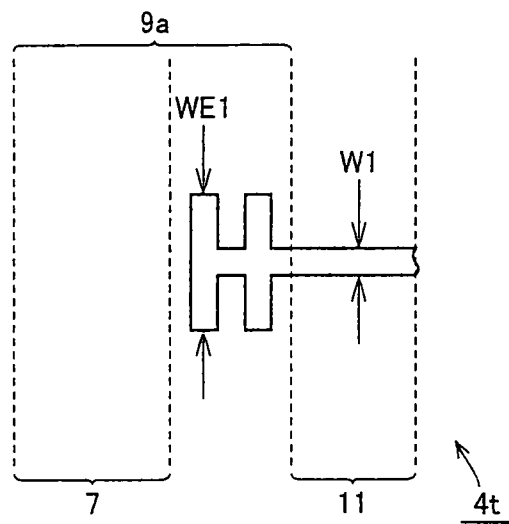


FIG.12

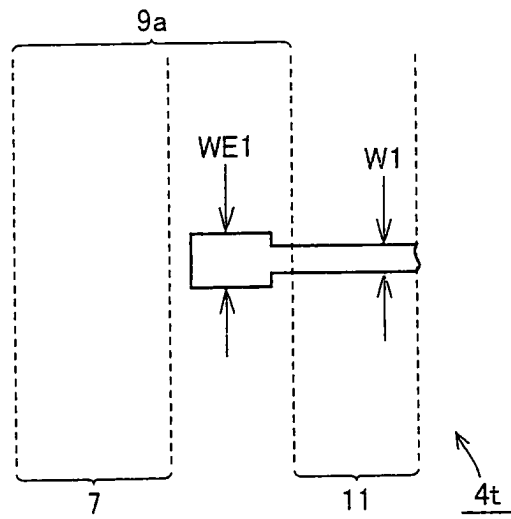


FIG.13

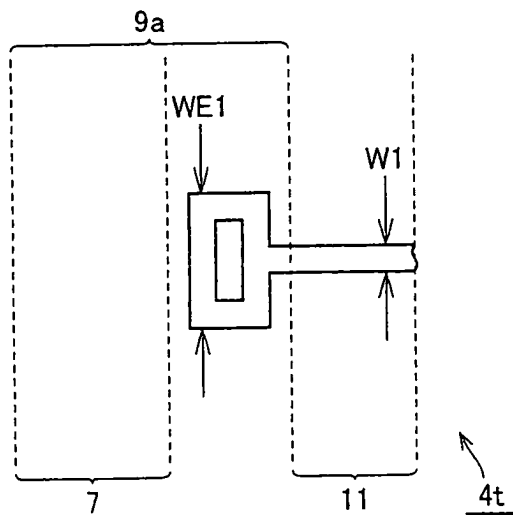


FIG.14

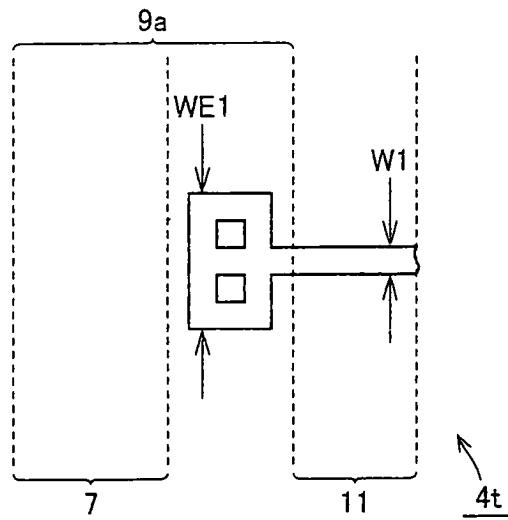


FIG.15

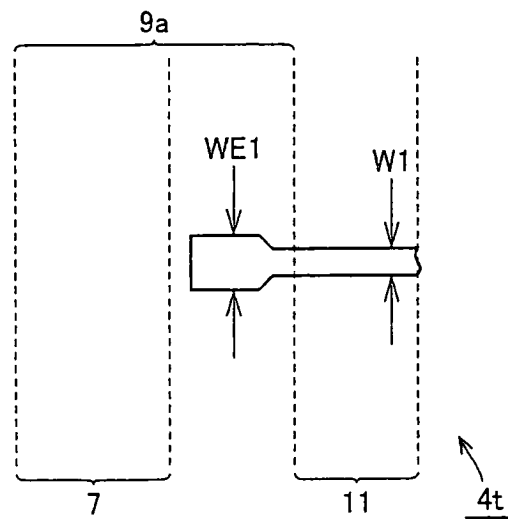


FIG.16

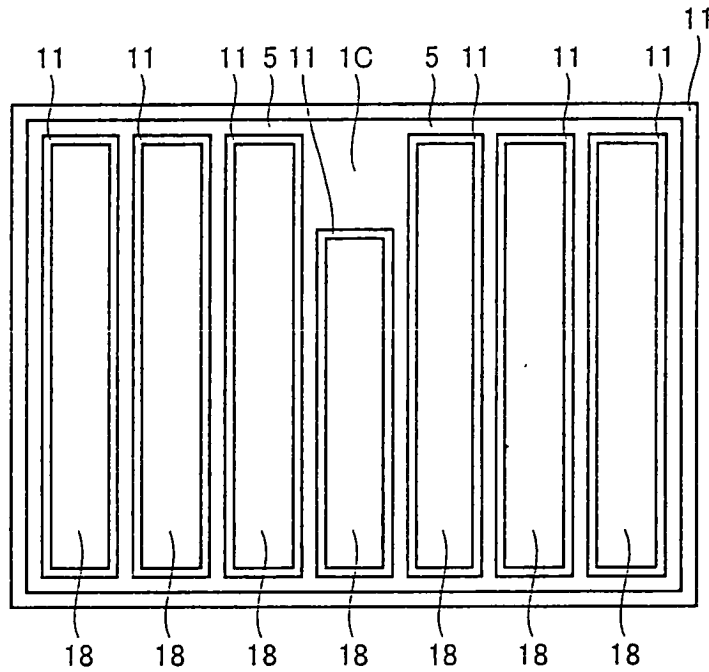


FIG.17

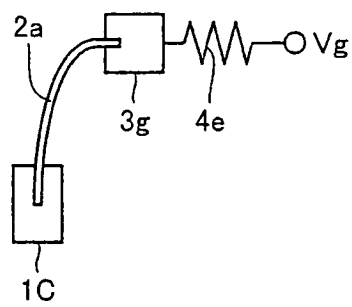




FIG.18

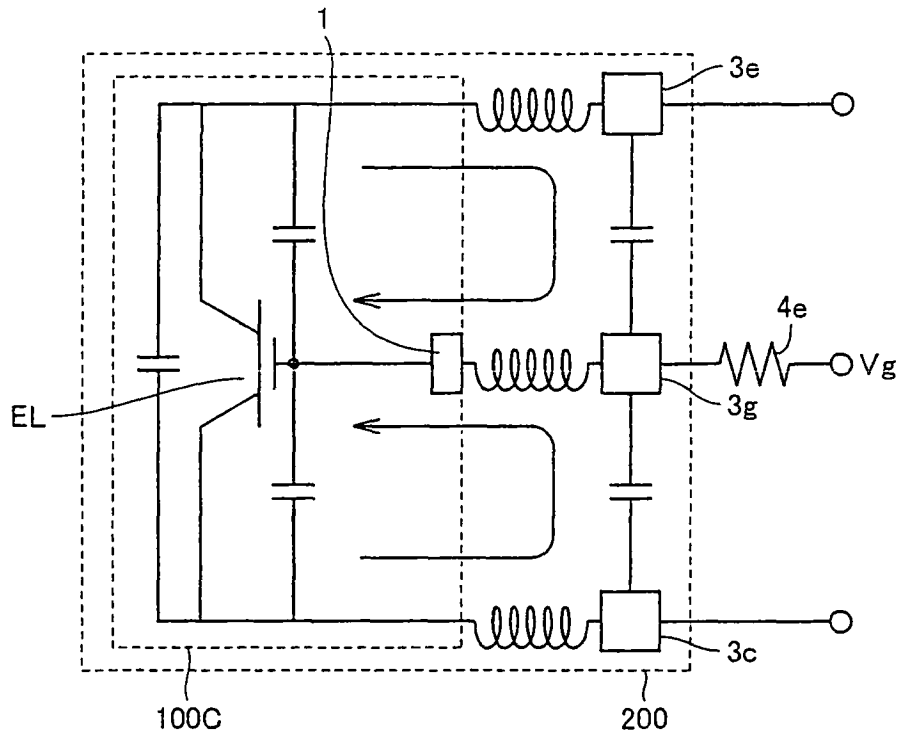


FIG.19

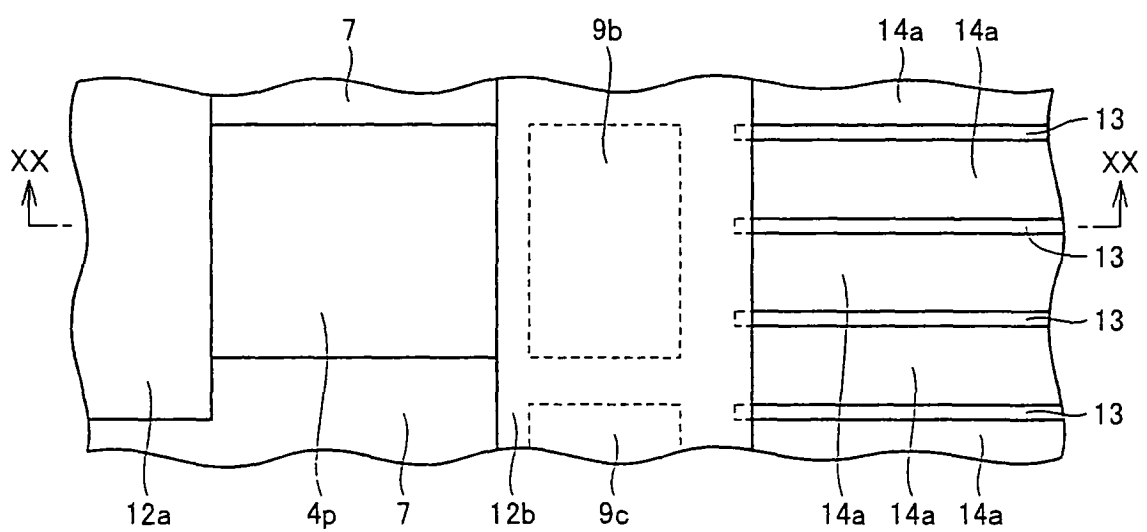


FIG.20

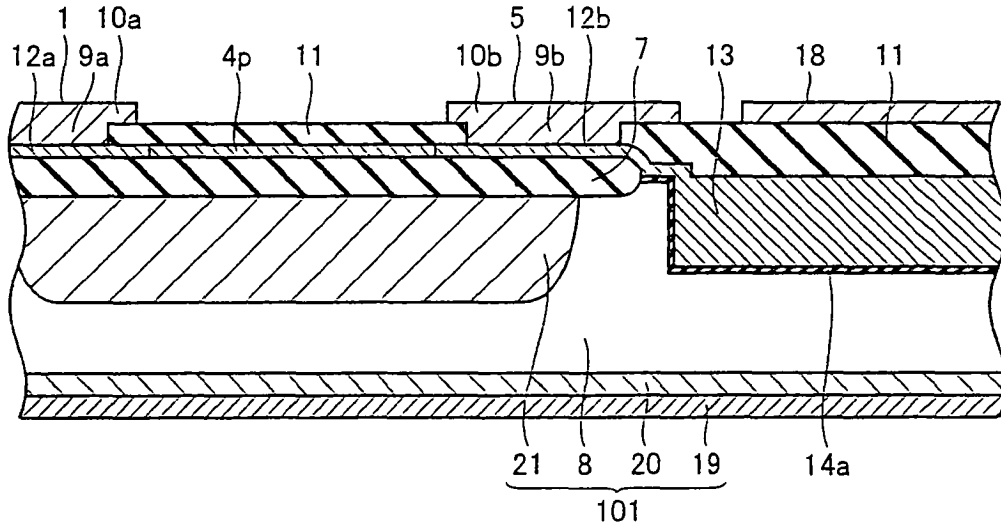


FIG.21

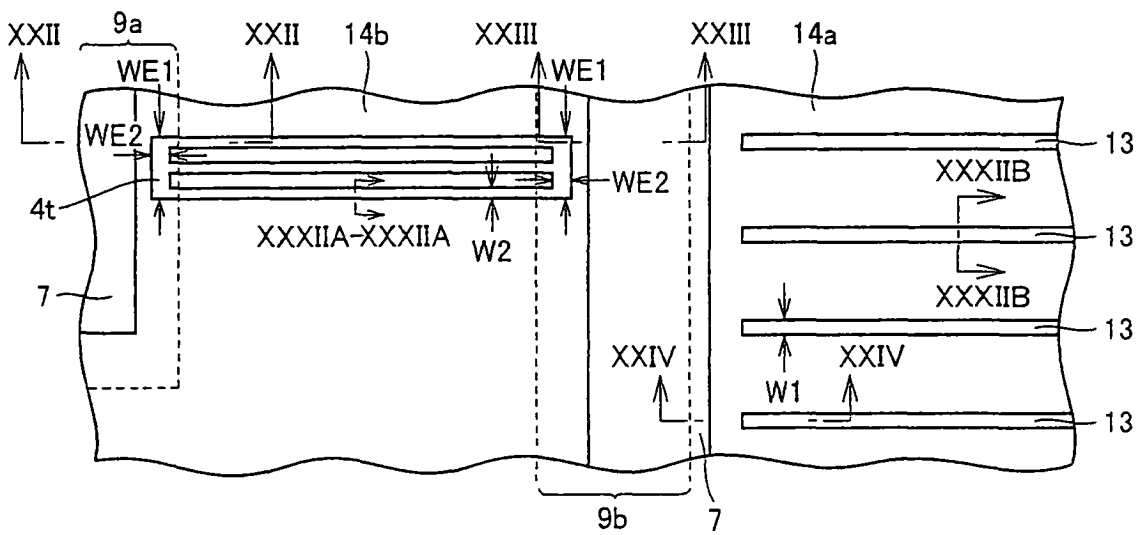


FIG.22

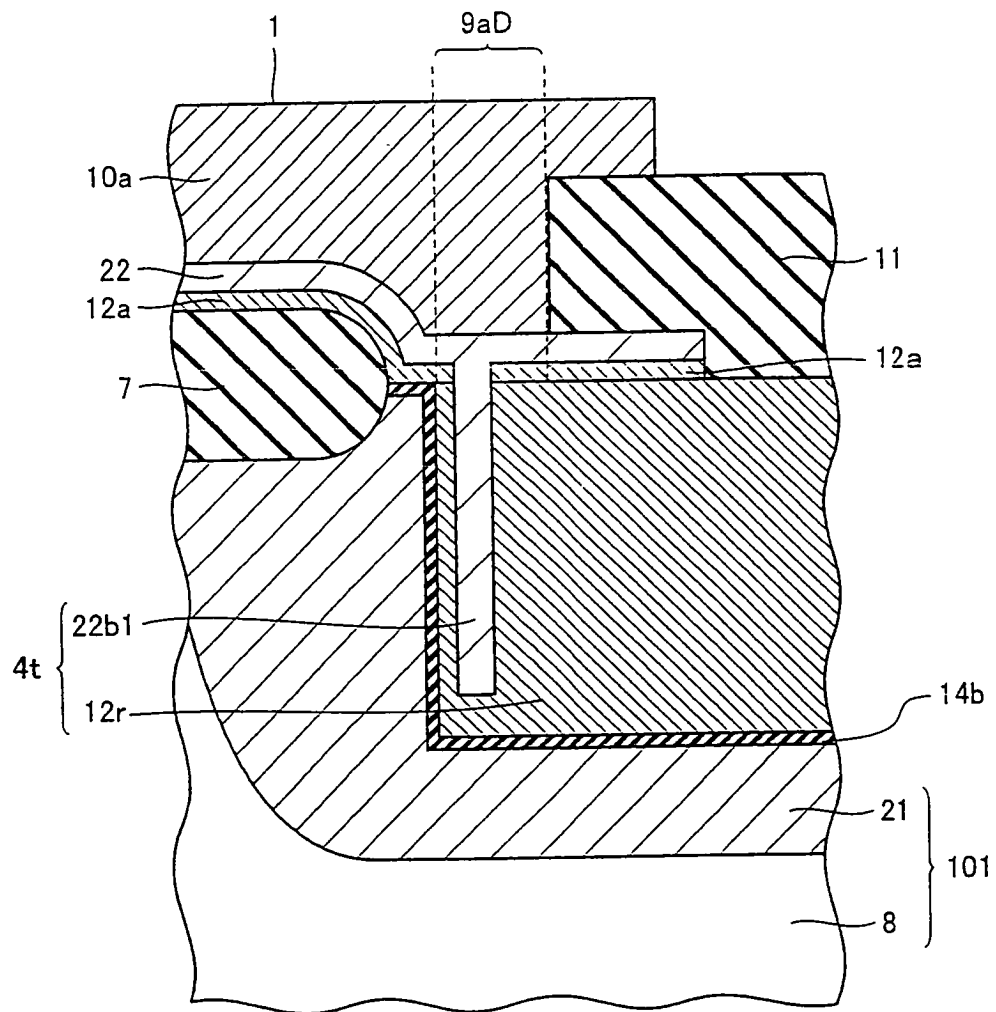


FIG.23

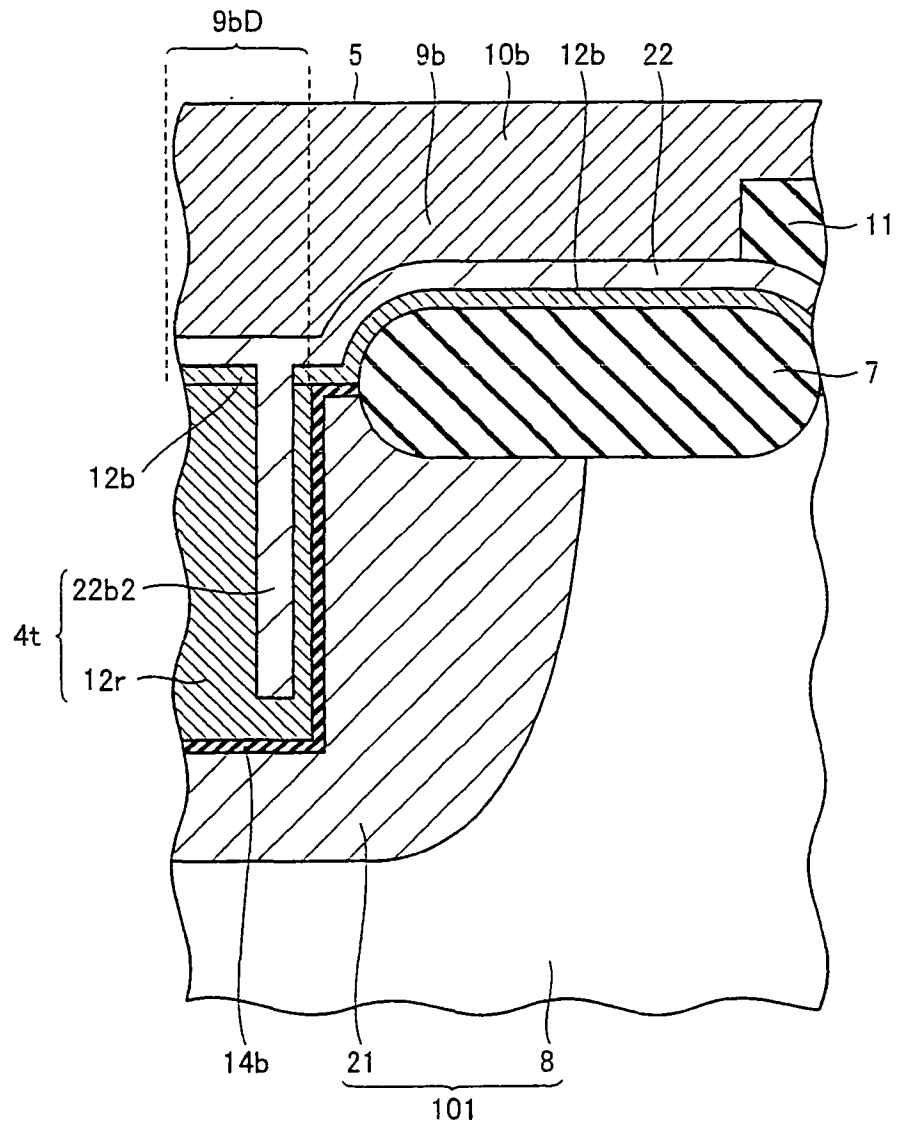


FIG.24

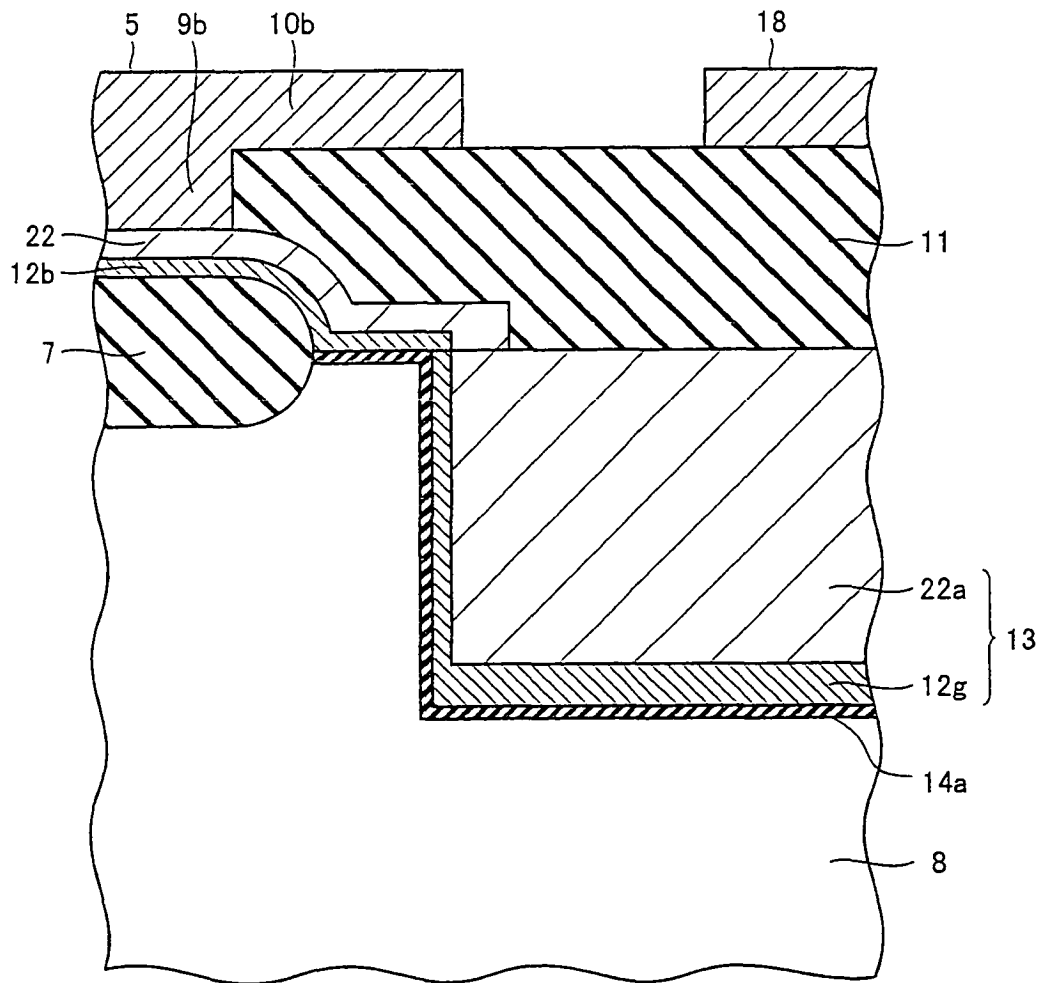


FIG.25

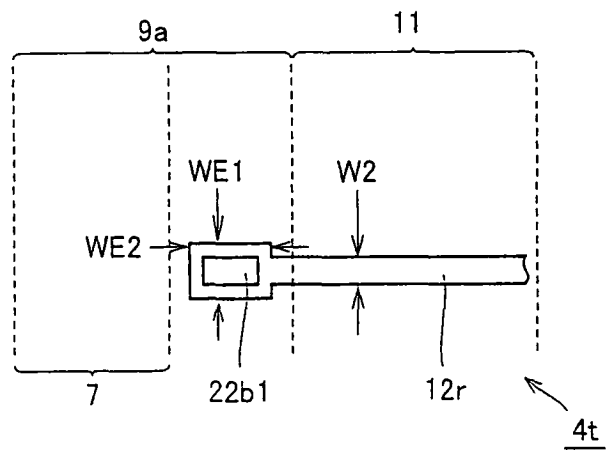


FIG.26

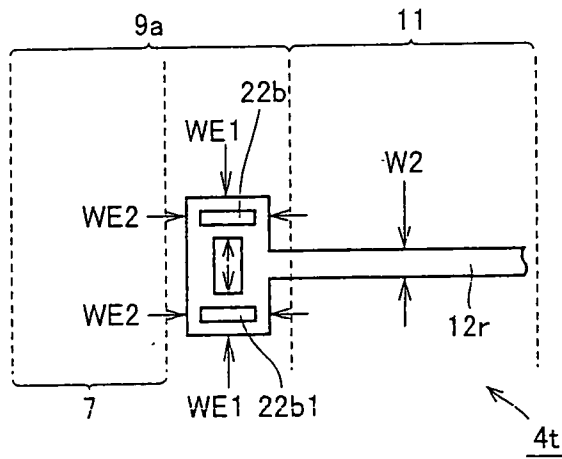


FIG.27A

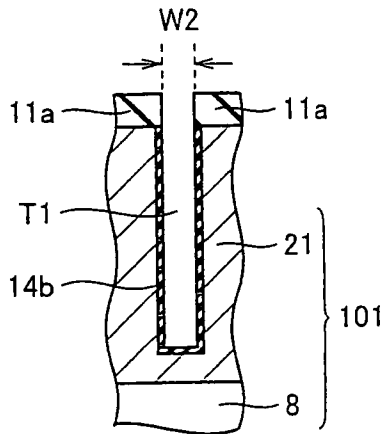


FIG.27B

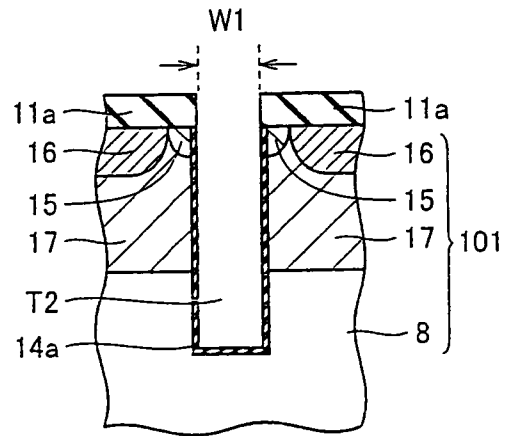


FIG.28A

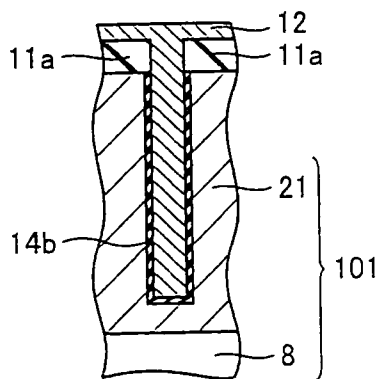


FIG.28B

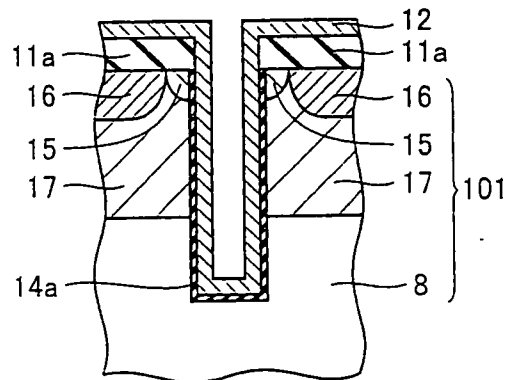


FIG.29A

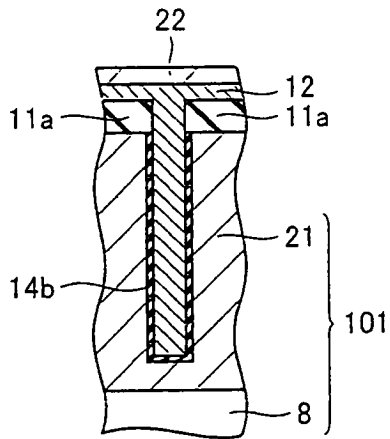


FIG.29B

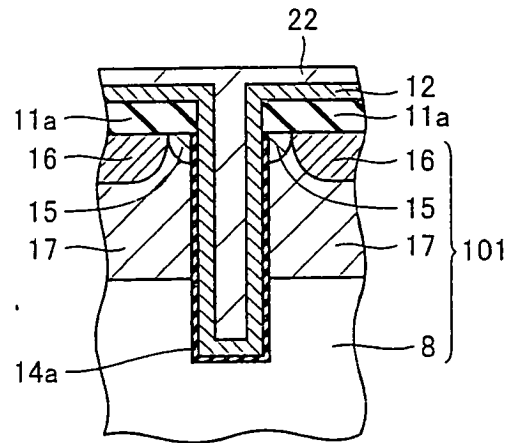


FIG.30A

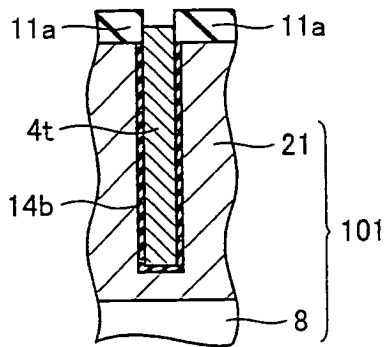


FIG.30B

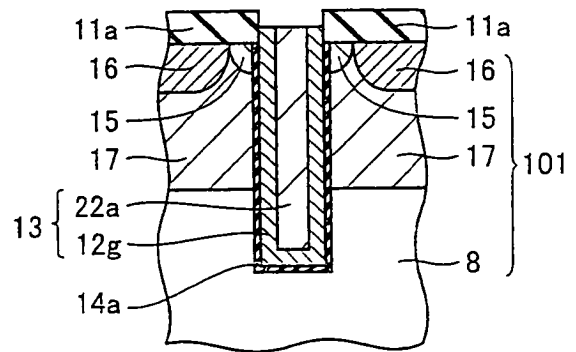


FIG.31A

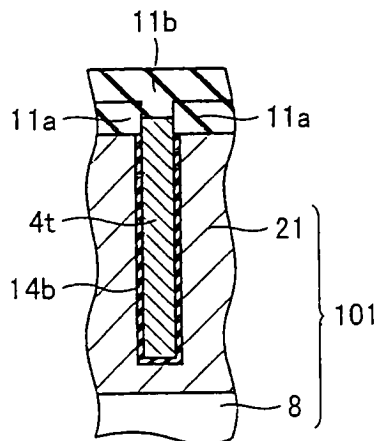


FIG.31B

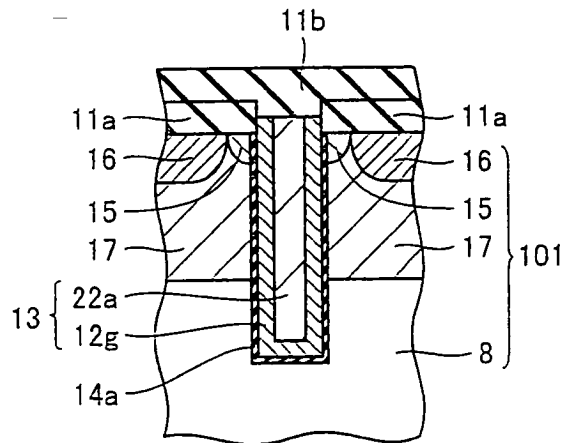


FIG.32A

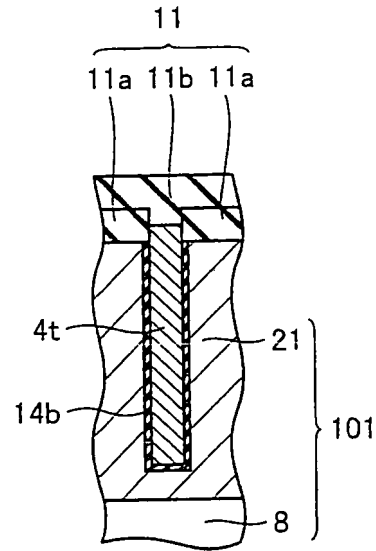


FIG.32B

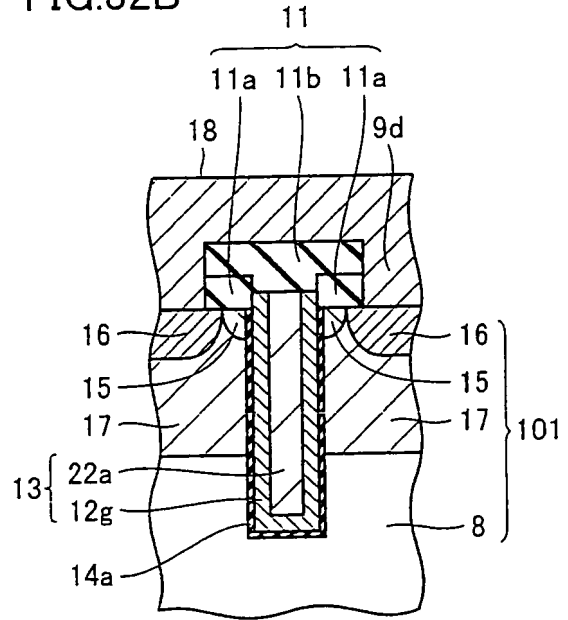


FIG.33A

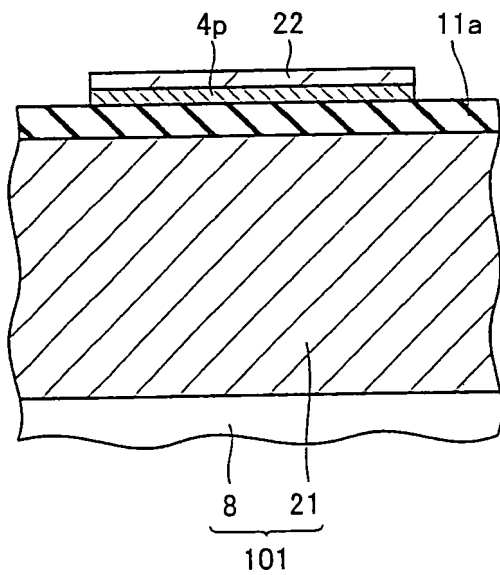


FIG.33B

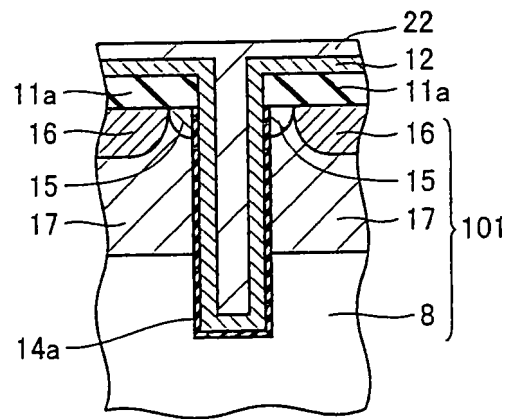




FIG.34A

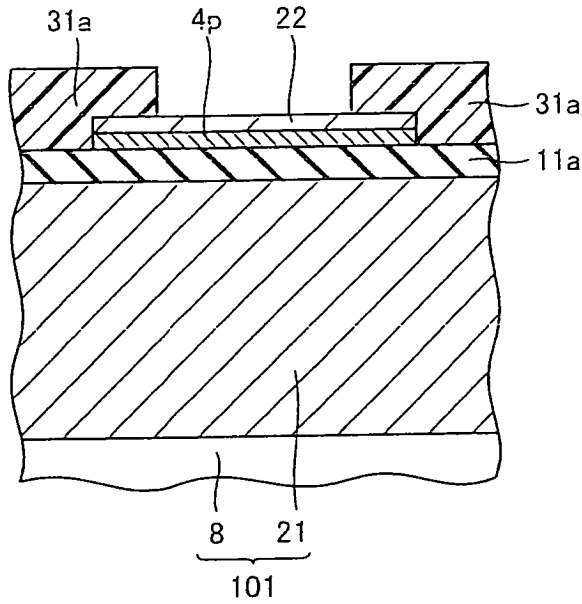


FIG.34B

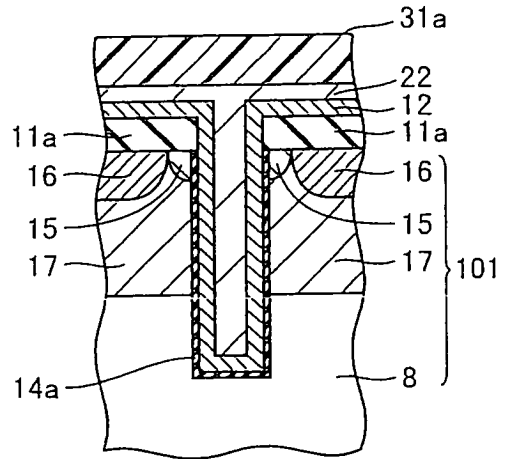


FIG.35A

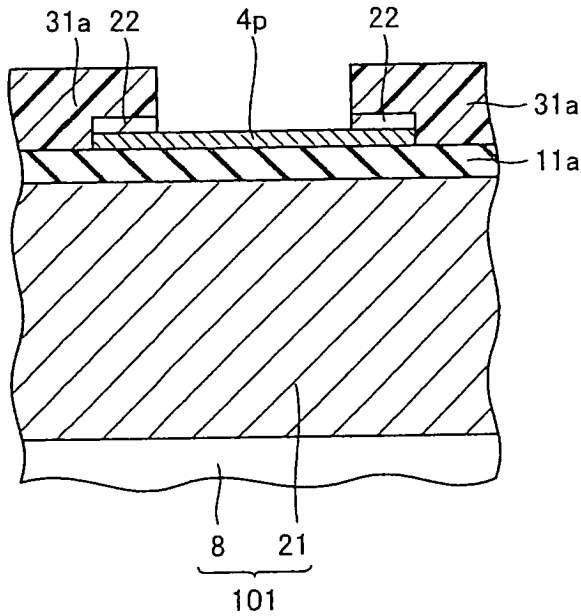


FIG.35B

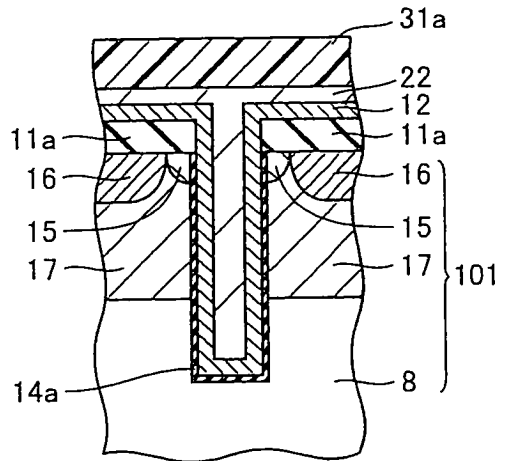


FIG.36A

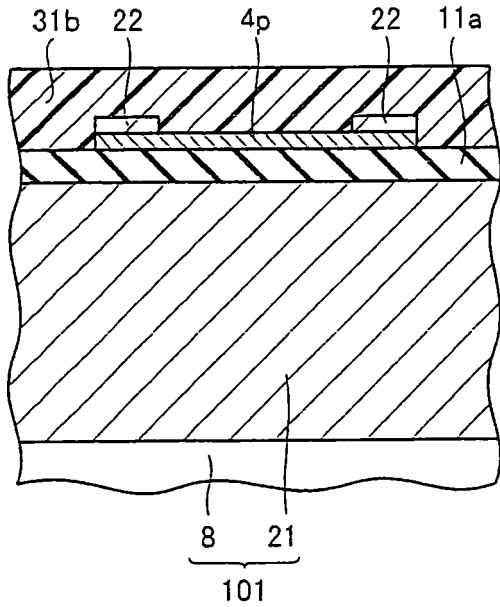


FIG.36B

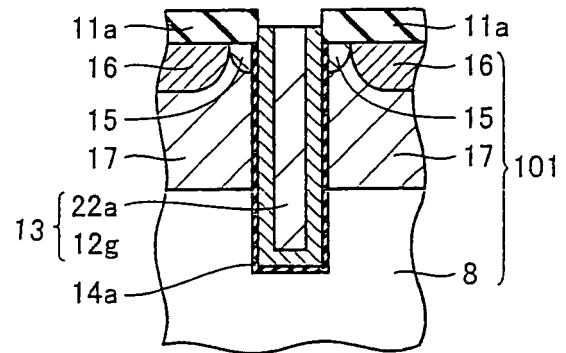


FIG.37A

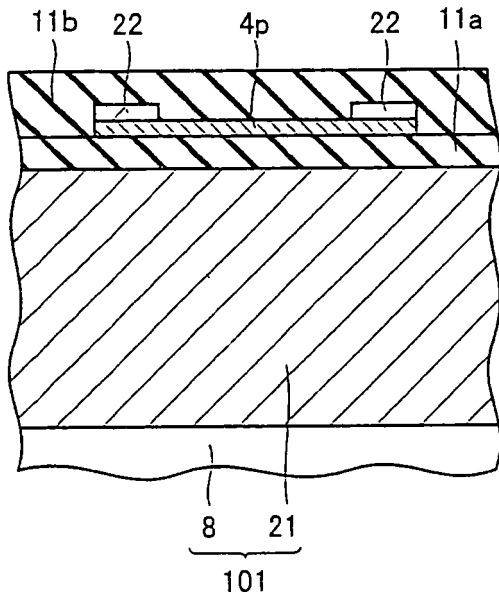


FIG.37B

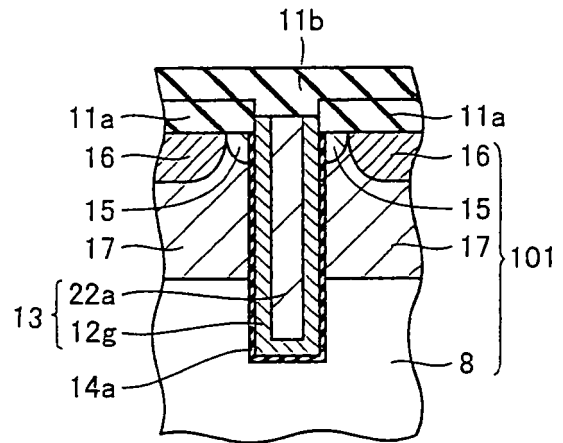


FIG.38A

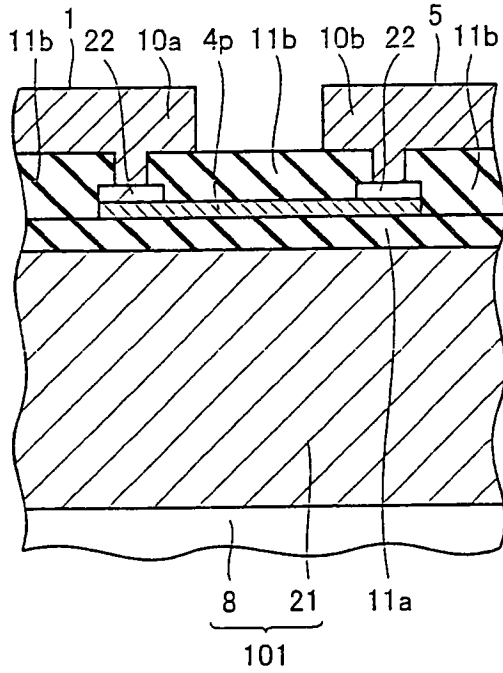


FIG.38B

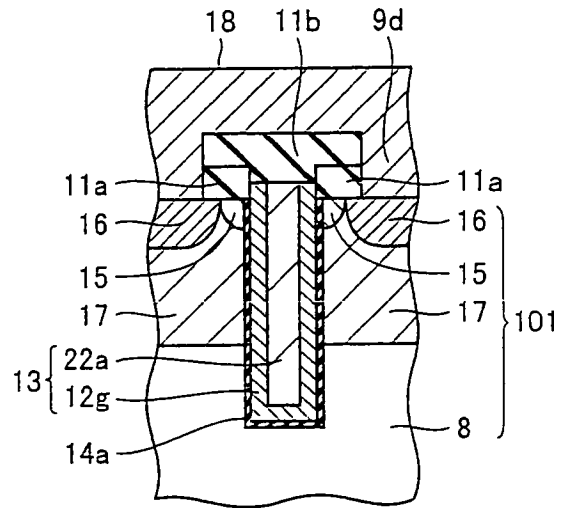


FIG.39

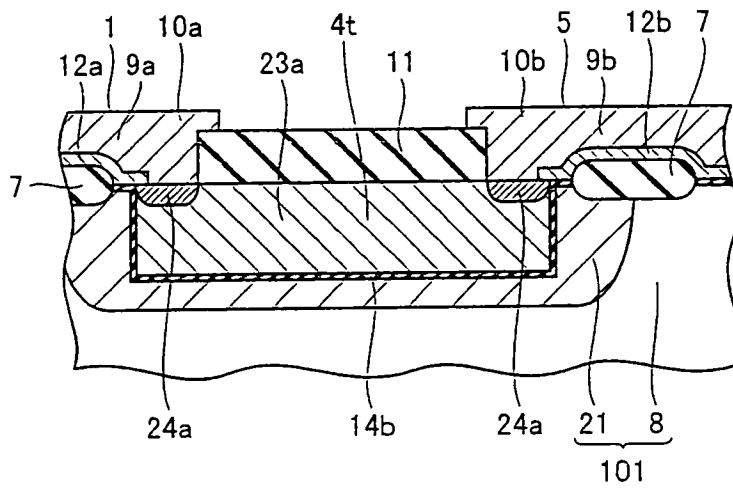


FIG.40

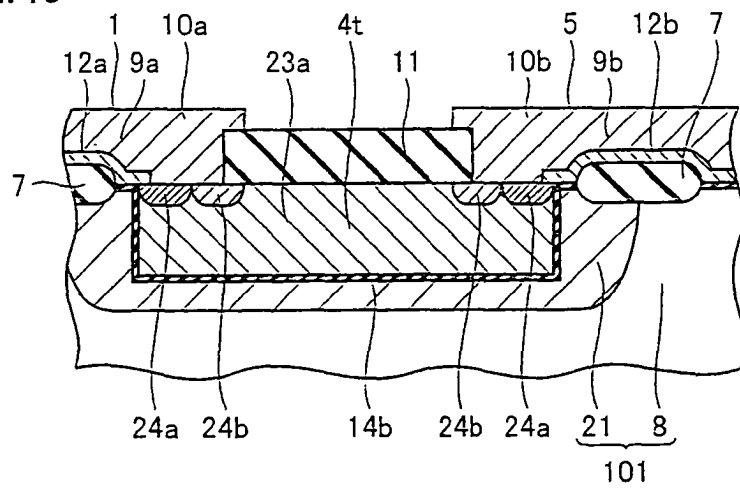


FIG.41

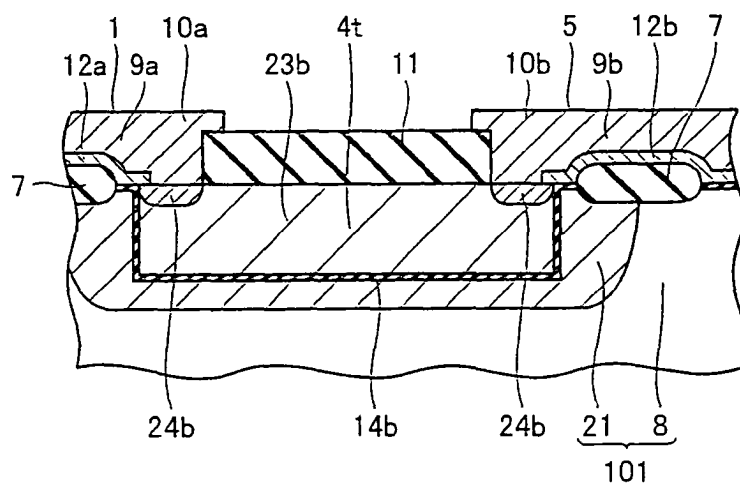


FIG.42

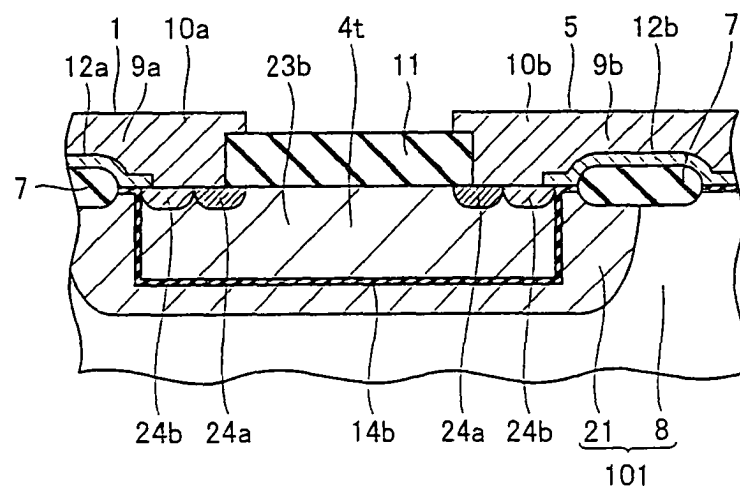


FIG.43

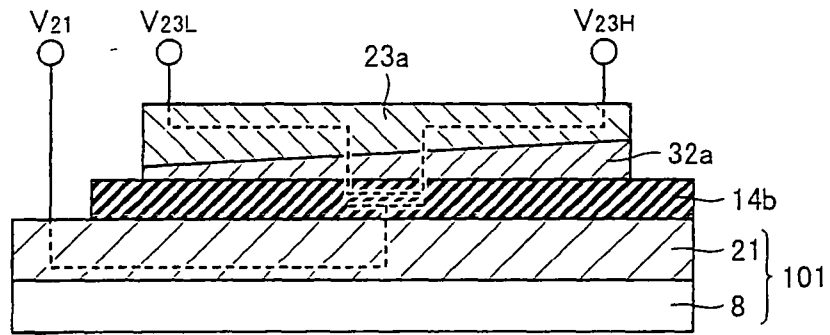


FIG.44

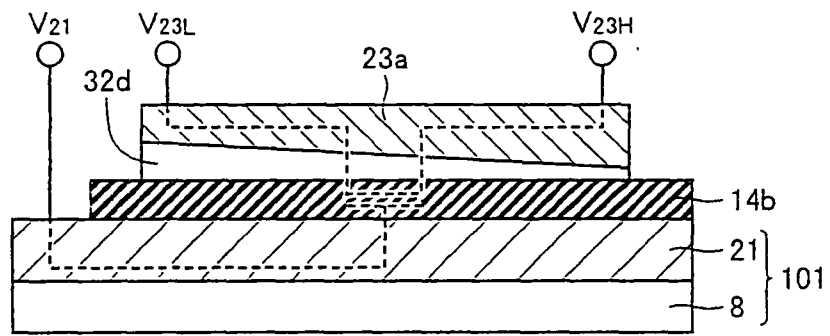


FIG.45

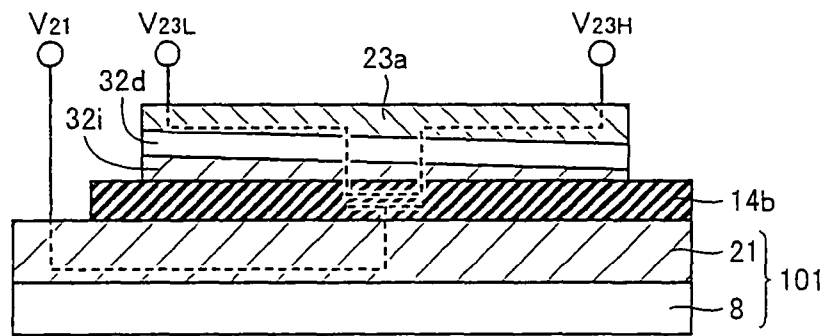


FIG.46

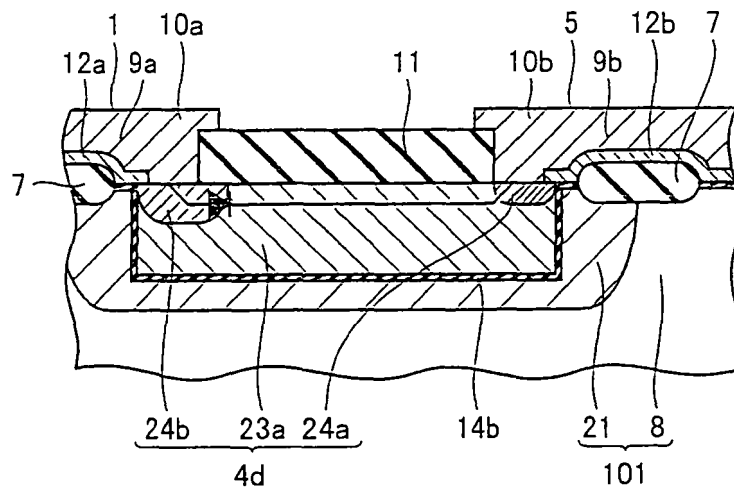


FIG.47

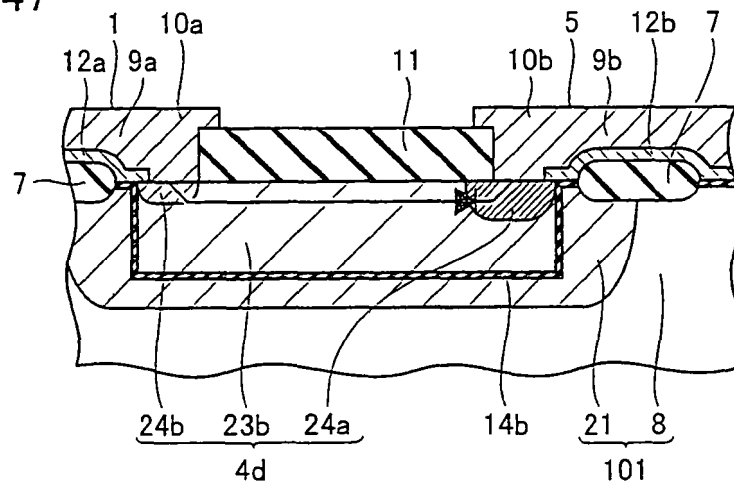


FIG.48

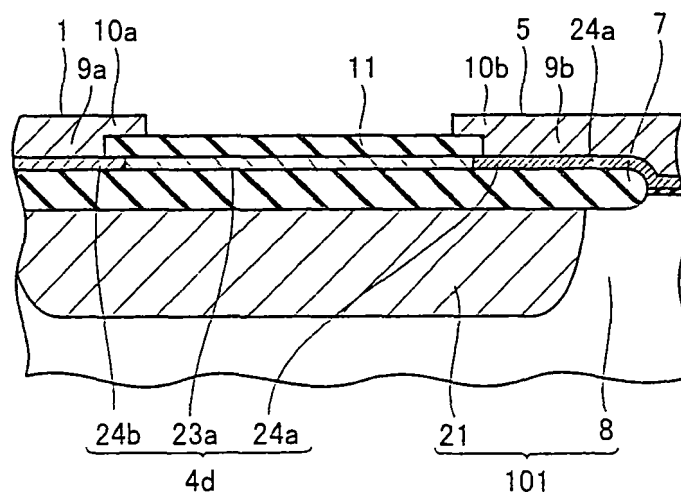


FIG.49

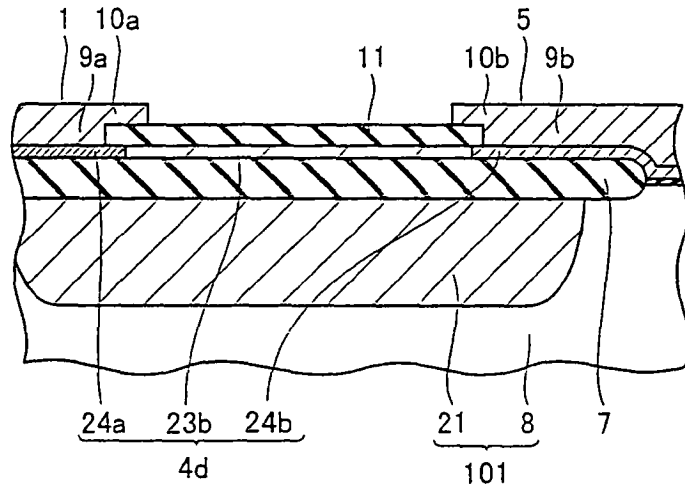


FIG.50

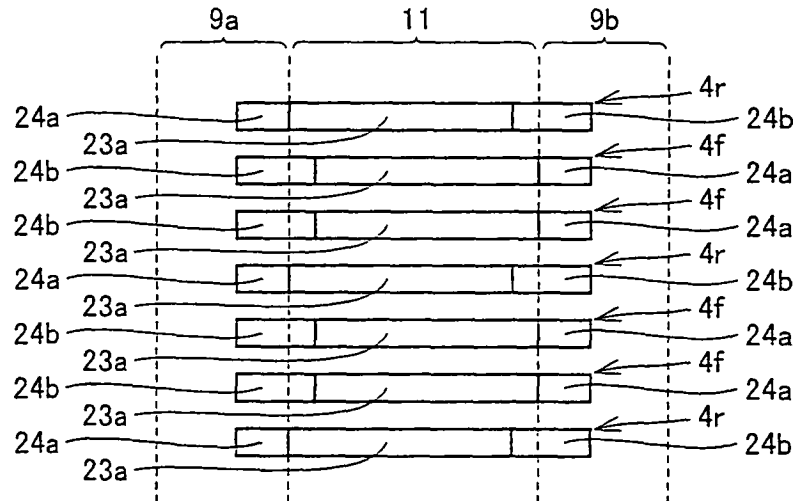


FIG.51

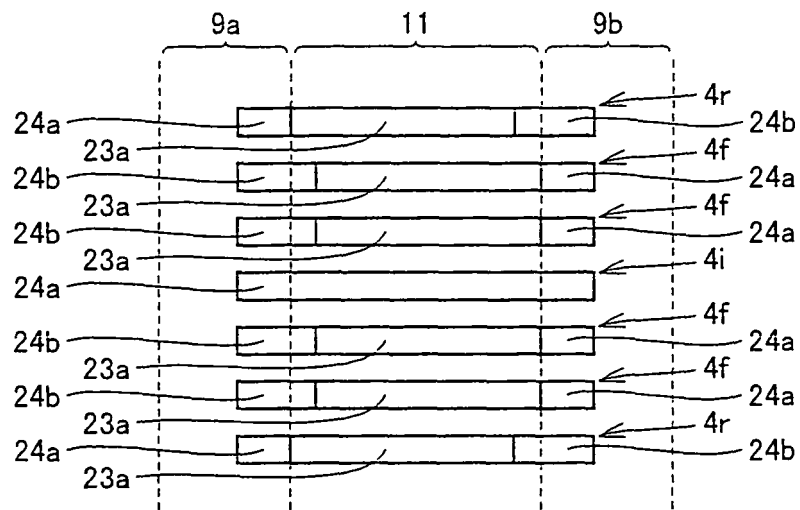


FIG.52

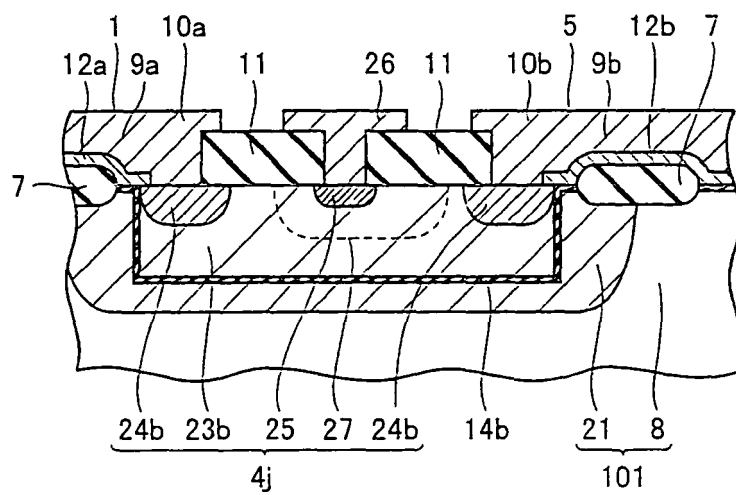




FIG.53

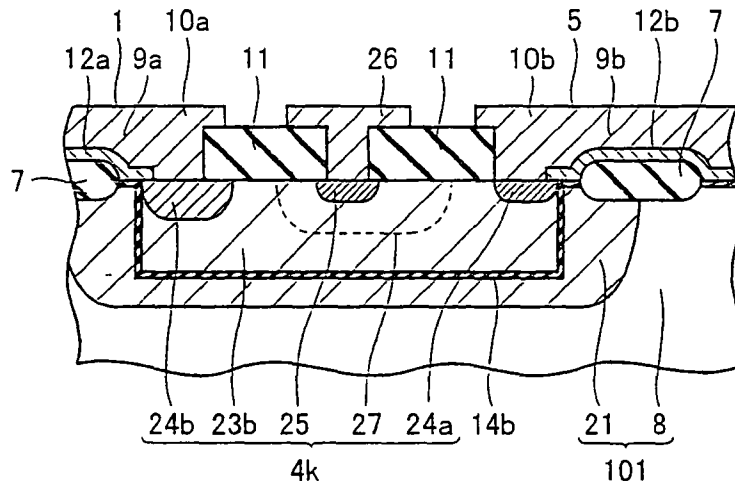


FIG.54

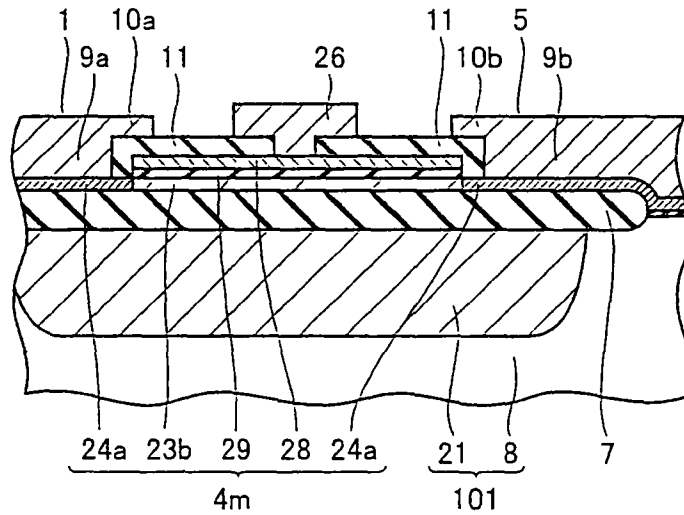


FIG.55

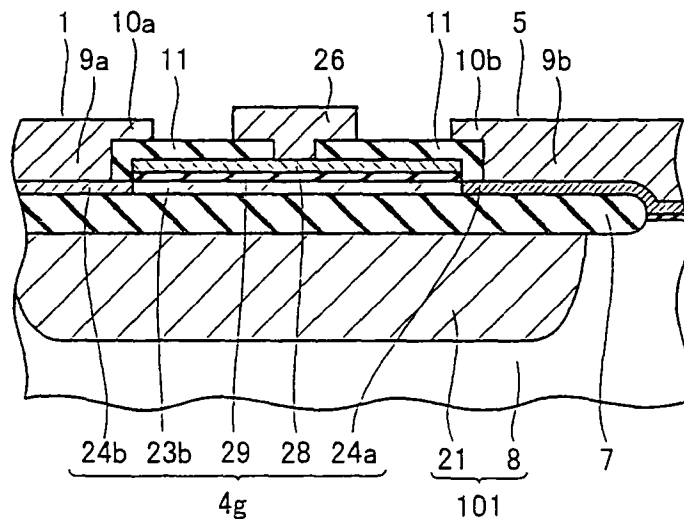


FIG.56A

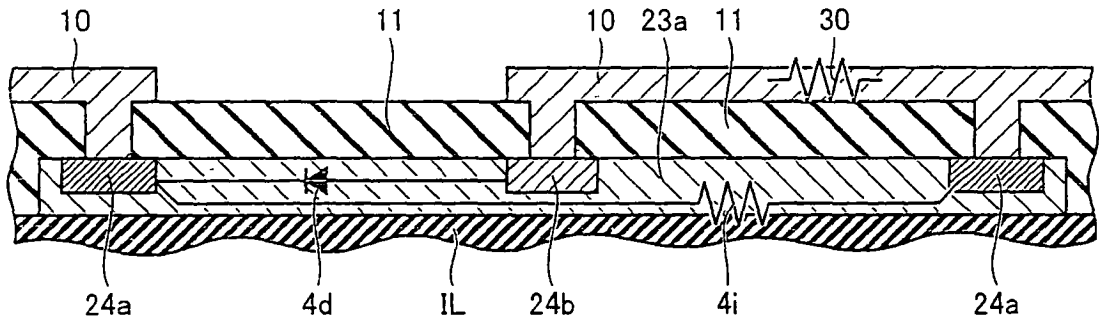


FIG.56B

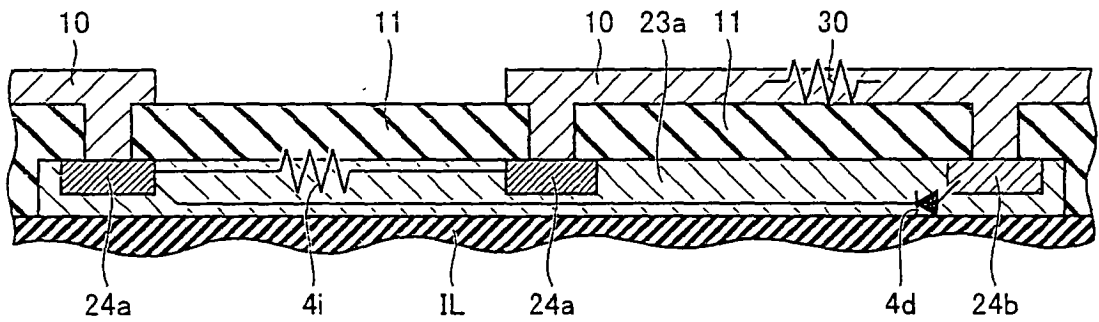


FIG.57A

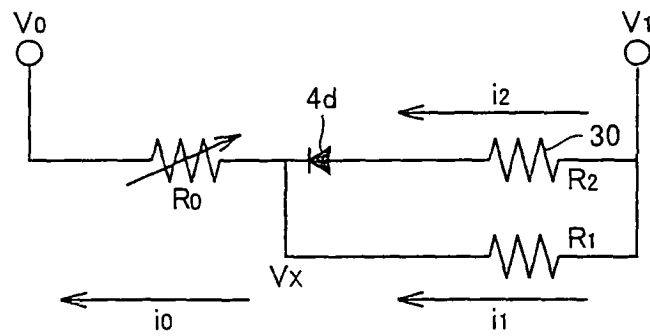


FIG.57B

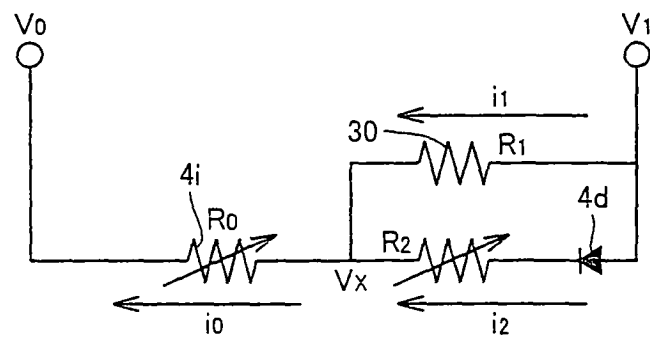


FIG.58A

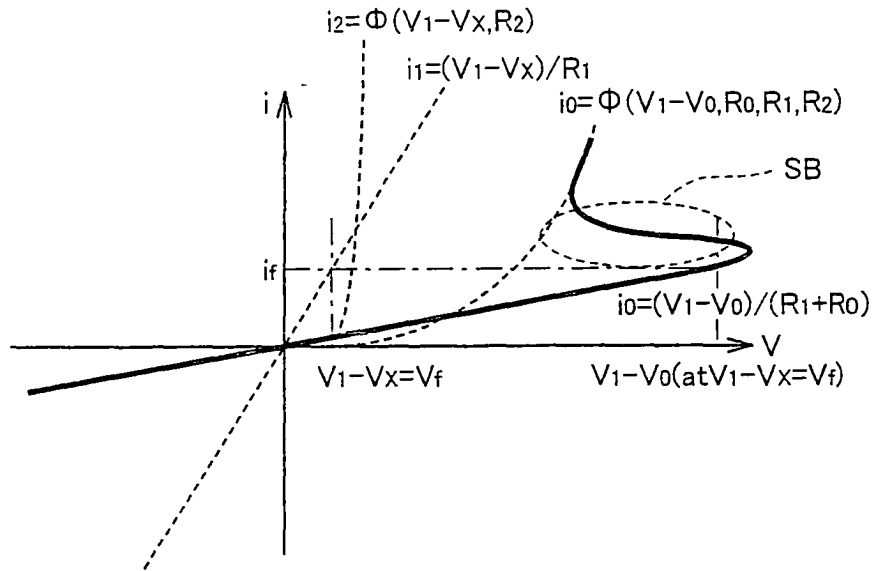


FIG.58B

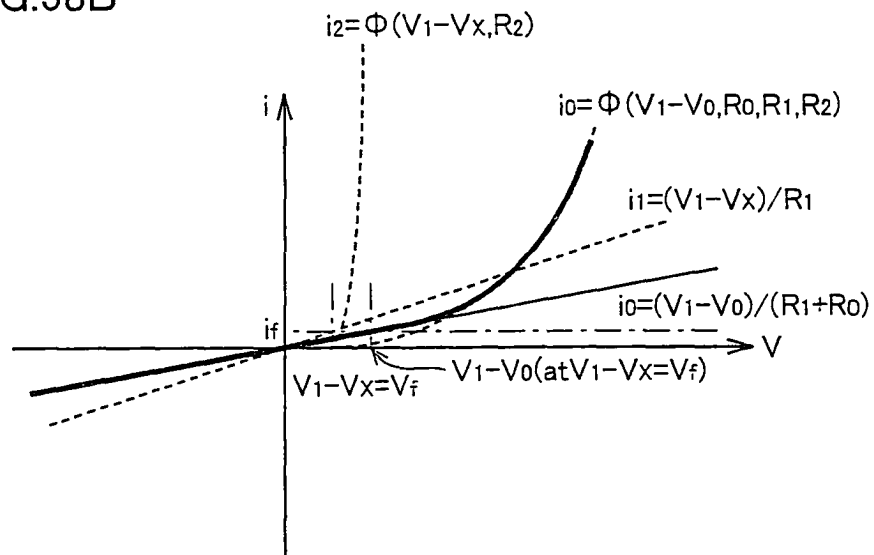


FIG.59

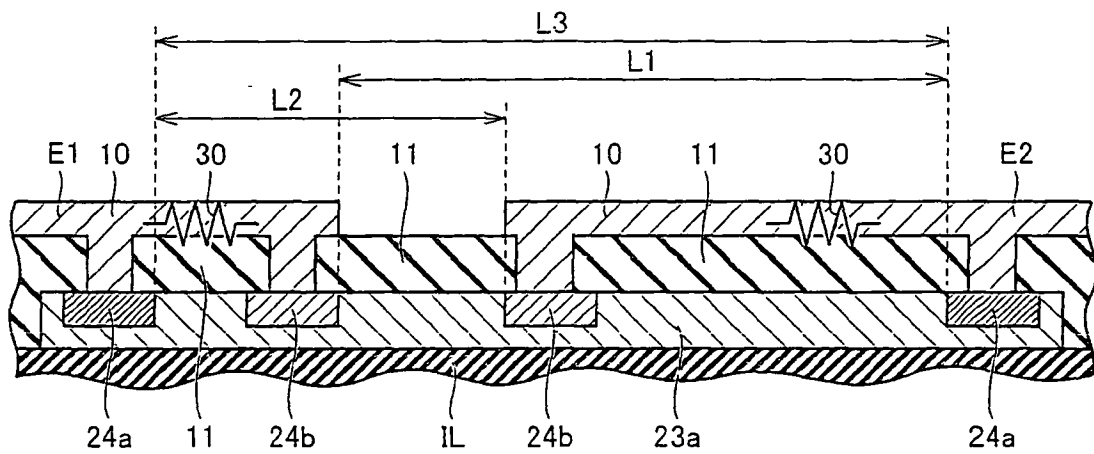


FIG.60

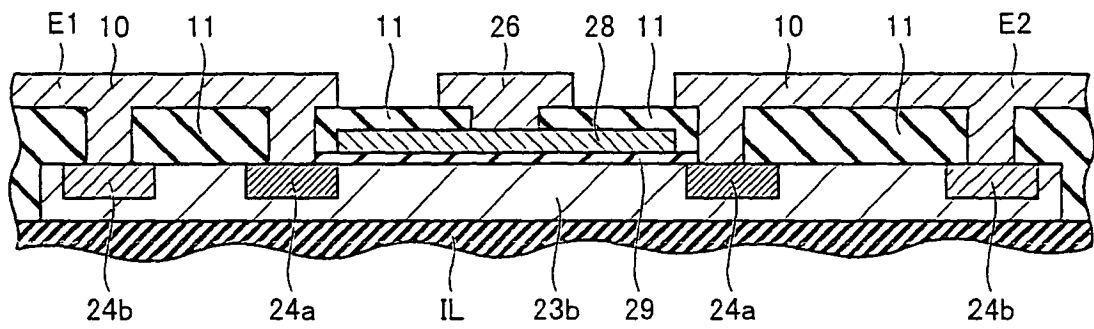


FIG.61A

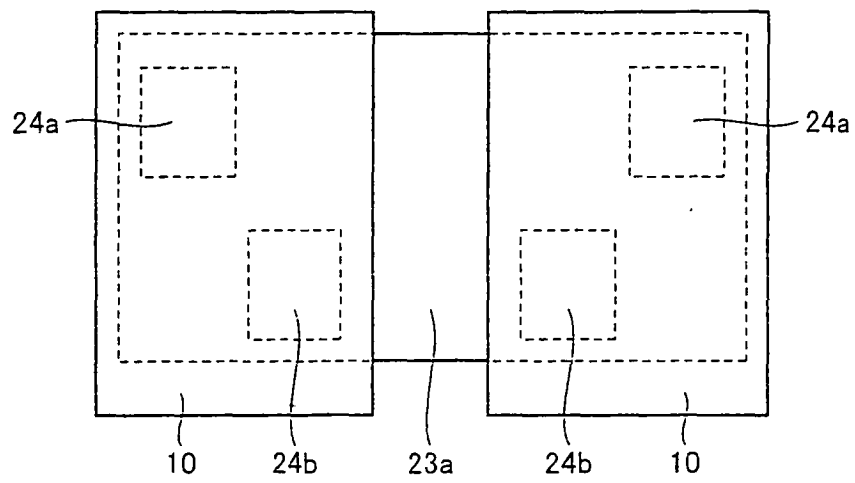


FIG.61B

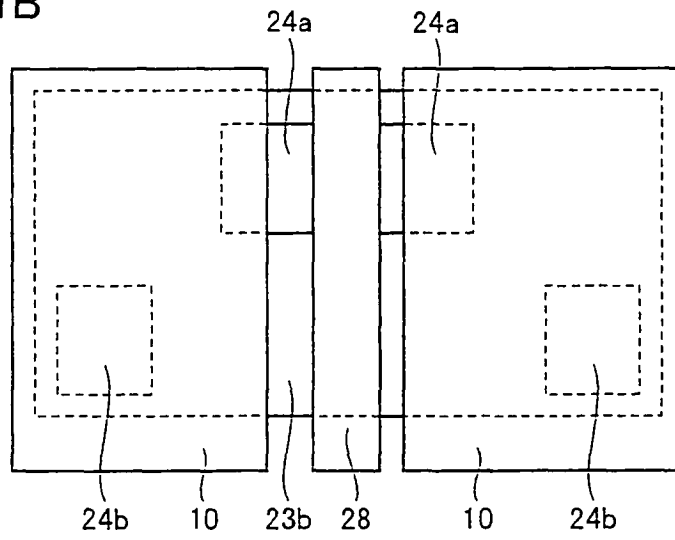


FIG.62

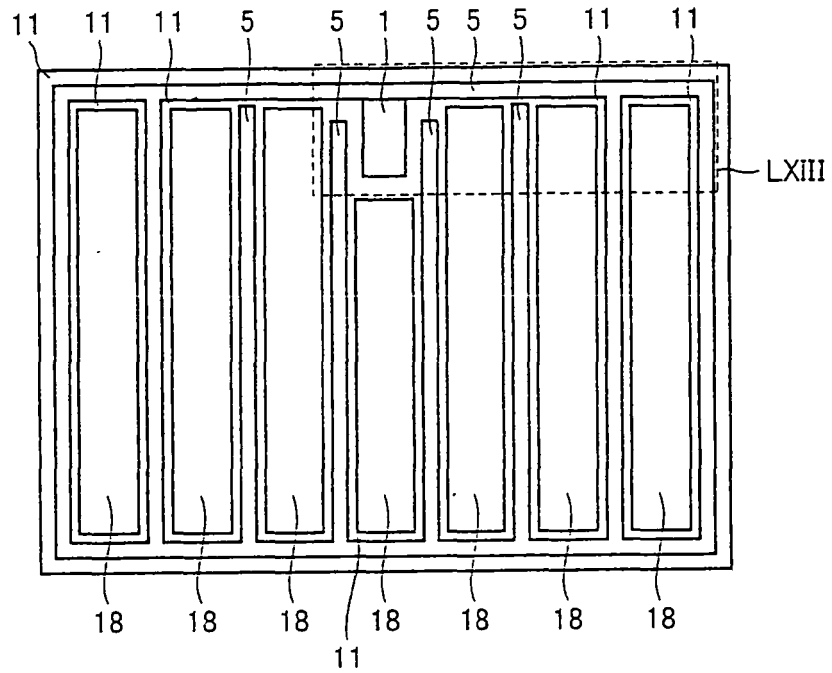


FIG.63

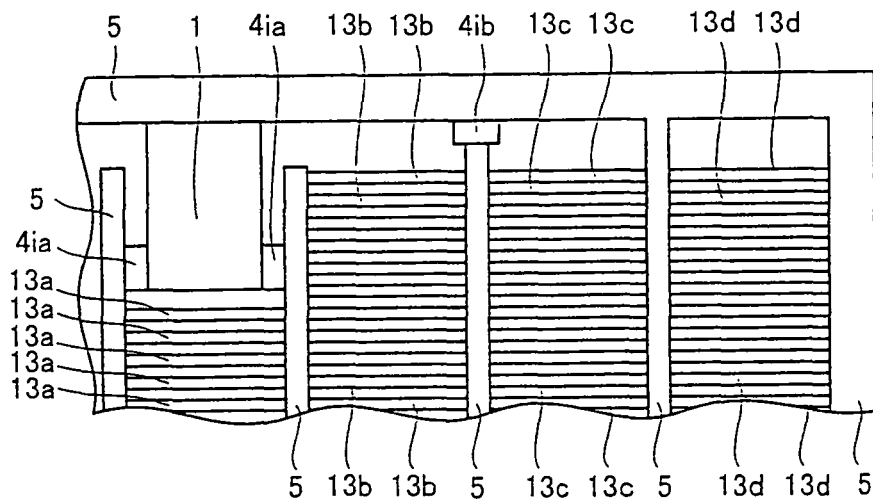


FIG.64

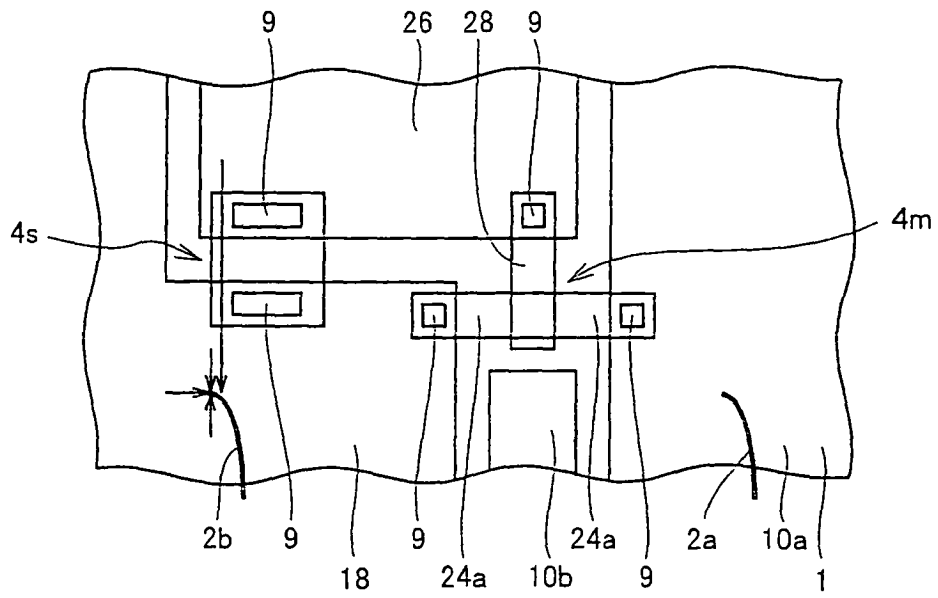


FIG.65

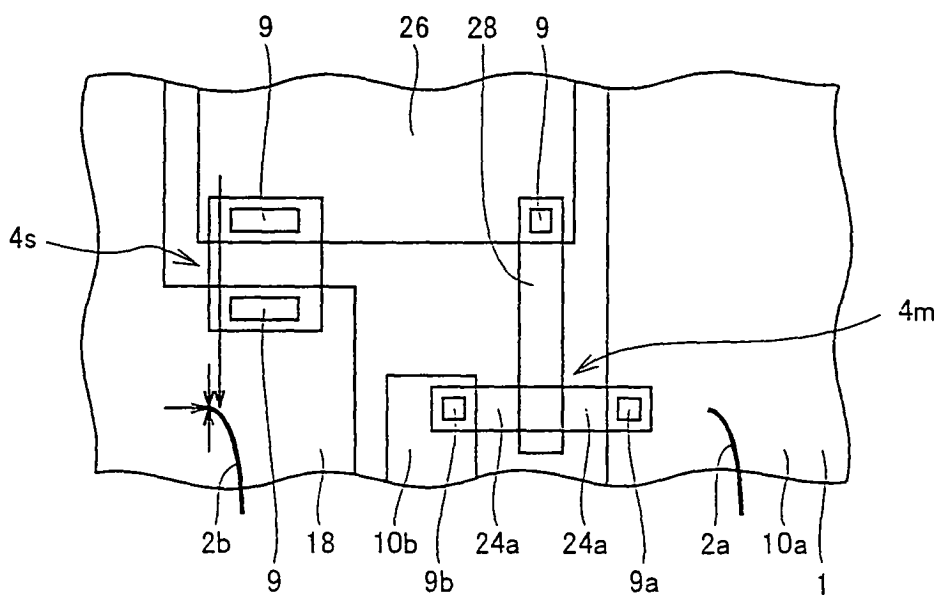


FIG.66

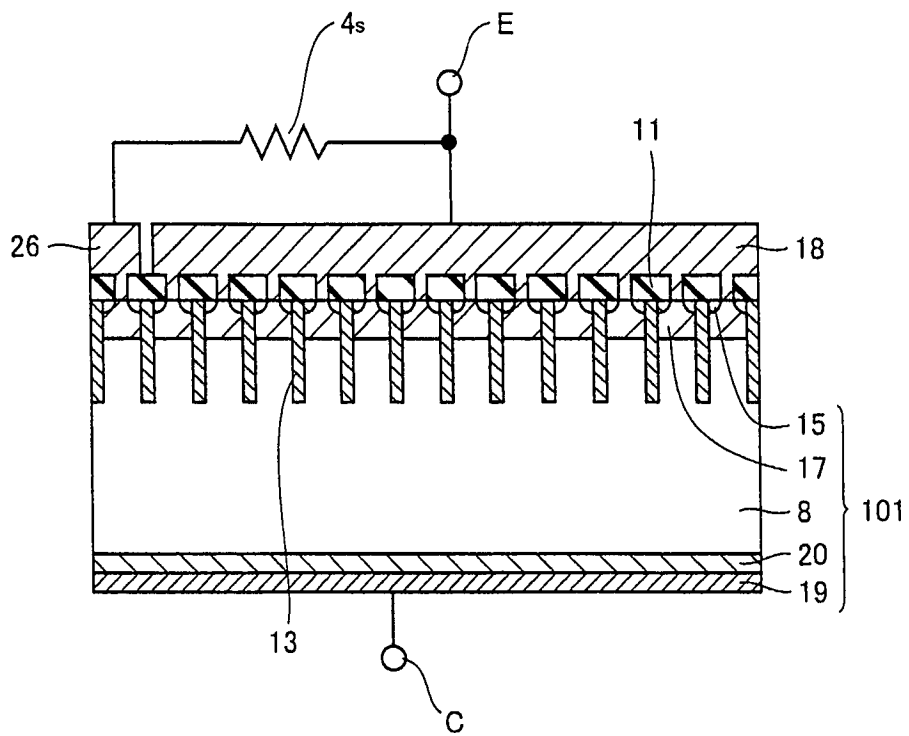




FIG.66

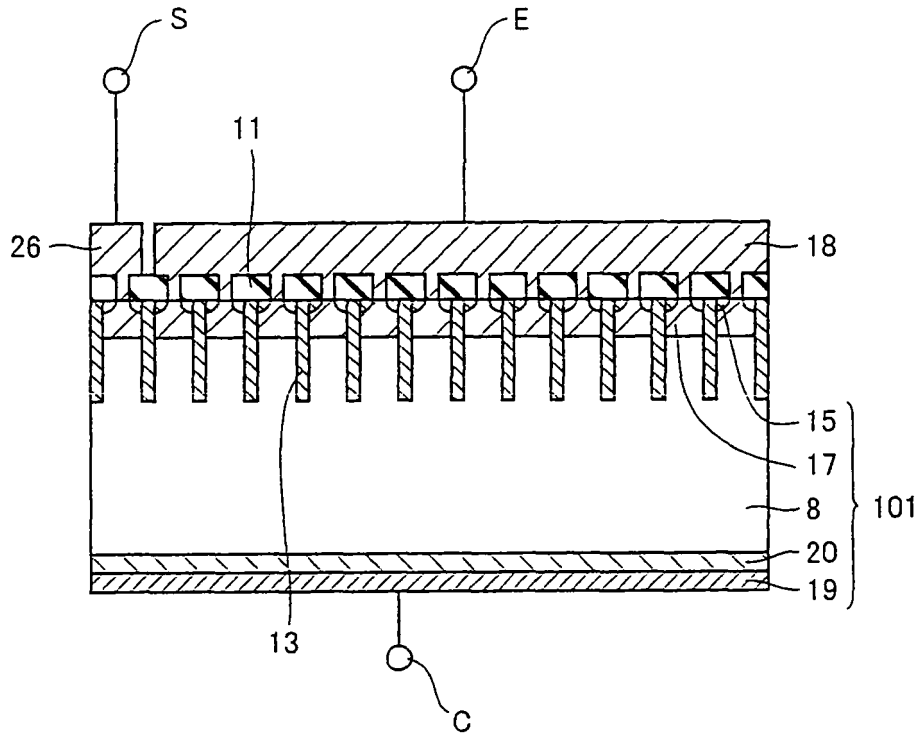


FIG.67

