

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5395203号
(P5395203)

(45) 発行日 平成26年1月22日(2014.1.22)

(24) 登録日 平成25年10月25日(2013.10.25)

(51) Int.Cl. F I
H03K 19/0185 (2006.01) H03K 19/00 I O I D
H03K 19/0175 (2006.01) H03K 19/00 I O I F

請求項の数 9 (全 18 頁)

(21) 出願番号	特願2012-67561 (P2012-67561)	(73) 特許権者	599092848
(22) 出願日	平成24年3月23日 (2012.3.23)		力晶科技股▲ふん▼有限公司
(65) 公開番号	特開2013-201524 (P2013-201524A)		台湾新竹科学工業園區力行一路12號
(43) 公開日	平成25年10月3日 (2013.10.3)	(74) 代理人	100101454
審査請求日	平成24年5月31日 (2012.5.31)		弁理士 山田 卓二
		(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100125874
			弁理士 川端 純市
		(72) 発明者	小川 暁
			東京都港区新橋六丁目21番3号 Pow erMemory株式会社内
		審査官	宮島 郁美

最終頁に続く

(54) 【発明の名称】 レベルシフト回路及びそれを用いた半導体デバイス

(57) 【特許請求の範囲】

【請求項1】

第1のレベルを有する入力データ信号をラッチにより保持した後、出力インバータを介して第2のレベルを有する出力データ信号を出力するレベルシフト回路において、

ローレベルの出力データ信号を出力するときに、入力データ信号の変化にตอบสนองして上記出力データ信号をローレベルにセットするレベルセット回路と備え、

上記レベルセット回路は、

ハイレベルの入力データ信号を反転して上記出力インバータの出力端子に出力するインバータと、

ローレベルの入力データ信号を上記出力インバータの出力端子に出力する回路とを備えたことを特徴とするレベルシフト回路。

10

【請求項2】

上記ラッチは、互いに縦続接続されてなる2個のインバータを備えたことを特徴とする請求項1記載のレベルシフト回路。

【請求項3】

上記ラッチは、4個のMOSトランジスタを備えた、CMOSフリップフロップ型ラッチであることを特徴とする請求項2記載のレベルシフト回路。

【請求項4】

上記ラッチは、電源電圧側に2個のPMOSトランジスタがそれぞれ挿入された2個のインバータを備え、合計6個のMOSトランジスタを備えた、CMOSフリップフロップ

20

型ラッチであることを特徴とする請求項 2 記載のレベルシフト回路。

【請求項 5】

上記ラッチは、電源電圧側に 2 個の P M O S トランジスタがそれぞれ挿入されかつ接地側に 2 個の N M O S トランジスタがそれぞれ挿入された 2 個のインバータを備え、合計 8 個の M O S トランジスタを備えた、C M O S フリップフロップ型ラッチであることを特徴とする請求項 2 記載のレベルシフト回路。

【請求項 6】

上記ラッチ及び上記出力インバータは、上記第 1 のレベルよりも高い電源電圧で駆動される M O S トランジスタで構成され、上記第 2 のレベルは、上記第 1 のレベルよりも高い電源電圧であることを特徴とする請求項 1 乃至 5 のうちのいずれか 1 つに記載のレベルシフト回路。

10

【請求項 7】

上記レベルシフト回路は、同一のデバイスで上記第 1 のレベルと上記第 2 のレベルの 2 つの電源電圧で駆動可能な半導体デバイスであることを特徴とする請求項 1 乃至 6 のうちのいずれか 1 つに記載のレベルシフト回路。

【請求項 8】

上記半導体デバイスは、フラッシュメモリであることを特徴とする請求項 7 記載のレベルシフト回路。

【請求項 9】

請求項 1 乃至 8 のうちのいずれか 1 つに記載のレベルシフト回路を備えたことを特徴とする半導体デバイス。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば N A N D 型フラッシュメモリなどの半導体デバイスに用いられるラッチを有するレベルシフト回路及びそれを用いた半導体デバイスに関する。

【背景技術】

【0002】

例えば N A N D 型フラッシュメモリなどの半導体デバイスでは、汎用性の要請から、同一の半導体デバイス（チップデバイス）は、外部電源電圧が例えば 3 . 3 V 及び 1 . 8 V の両方に対して正常動作するように設計されている。

30

【0003】

図 2 2 は従来技術に係るフラッシュメモリにおいて外部電源電圧 $V_{CC} = 3 . 3 V$ のときの各回路の電源電圧使用状態を示すブロック図である。また、図 2 3 は従来技術に係るフラッシュメモリにおいて外部電源電圧 $V_{CC} = 1 . 8 V$ のときの各回路の電源電圧使用状態を示すブロック図である。図 2 2 及び図 2 3 において、N A N D 型フラッシュメモリは、セルアレイ 1 と、ページバッファ 2 と、ロウデコーダ 3 と、電源回路（高電圧 H V , 中間電圧 M V ） 4 と、電源回路（基準電圧 V_{ref} , 低電圧 L V ） 5 と、コントロールロジック 6 と、バッファ及びラッチ等 7 と、入出力バッファ 8 と、入力信号バッファ 9 とを備えて構成される。

40

【0004】

図 2 2 及び図 2 3 は同一の N A N D 型フラッシュメモリであるが、印加される外部電源電圧 V_{CC} が異なるために、各回路の電源電圧使用状態が異なっている。すなわち、A 1 は内部電源電圧 V_{DD} が 3 . 3 V の回路であり、A 2 は内部電源電圧 V_{DD} が 1 . 9 V の回路であり、A 3 は内部電源電圧 V_{PP} が 5 V の回路である。従って、例えば、当該フラッシュメモリ内部において、外部電圧を内部電圧にレベルシフトし、また内部電圧を外部電圧にレベルシフトするためのレベルシフト回路を設ける必要があった（例えば、特許文献 1 ~ 5 参照）。

【0005】

図 2 4 は従来例に係るレベルシフト回路の構成を示す回路図である。図 2 4 において、

50

従来例に係るレベルシフト回路は、

- (1) 2つのインバータ11, 12がリング形状で互いに縦続接続することにより構成されたラッチ10と、
- (2) ラッチ10の出力データを反転して出力データ信号DOUT(VCC)として出力するインバータ13と、
- (3) ラッチ動作を指示するハイレベルのラッチ信号にตอบสนองしてオンとなるNMOSトランジスタ31, 32と、
- (4) ハイレベルの入力データ信号DIN(VDD)にตอบสนองしてオンとなるNMOSトランジスタ21と、
- (5) 入力データ信号DIN(VDD)を反転するインバータ14と、
- (6) インバータ14の出力データ信号(ハイレベル)にตอบสนองしてオンとなるNMOSトランジスタ22とを備えて構成される。

10

【0006】

ここで、入力データ信号DIN(VDD)の符号の表記の括弧内は、ハイレベルが電源電圧VDDのレベルであることを示し、出力データ信号DOUT(VCC)の符号の表記の括弧内は、ハイレベルが電源電圧VCCのレベルであることを示す。従って、当該レベルシフト回路は、入力データ信号DIN(VDD)を一時的に保持するラッチ10を備えるとともに、電圧VDDから電圧VCCにレベルシフトして出力する。例えばNAND型フラッシュメモリにおいては、データ信号を外部装置に出力するために、例えばページバッファ2からの内部のVDDレベルデータ信号を外部のVCCレベルのデータ信号にレベルシフトする必要がある。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平8-051351号公報

【特許文献2】特開2004-153446号公報

【特許文献3】特開2007-096865号公報

【特許文献4】米国出願公開第2002/0024374号明細書

【特許文献5】米国出願公開第2008/0290902号明細書

【発明の概要】

30

【発明が解決しようとする課題】

【0008】

以上のように構成されたレベルシフト回路においては、スイッチング速度が比較的遅いという問題点があった。

【0009】

図25は図24のレベルシフト回路における遅延時間の実験結果を示す表である。図25から明らかなように、電圧VDDから同一の電圧VCCに入力データ信号DINが立ち上がって出力データ信号DOUTが立ち下がる際の遅延時間は極めて遅く、データ信号の出力サイクルの時間マージンが小さくなるという問題点があった。

【0010】

40

また、図24の従来例において、NMOSトランジスタ21のゲートに印加される入力データ信号DINに対し、別のインバータを介して入力され、NMOSトランジスタ22のゲートにインバータ14の出力データ信号ではなく入力データ信号DINが入力される場合は、入力データ信号DINが立ち下がる際の遅延時間は極めて遅くなり、同様の問題点が発生する。

【0011】

本発明の目的は以上の問題点を解決し、例えばフラッシュメモリなどにおいて用いられるレベルシフト回路において、入力データ信号DINが立ち上がり又は立ち下がり、すなわち変化して出力データ信号DOUTが立ち下がる際の遅延時間を従来技術に比較して大幅に短縮することができるレベルシフト回路及びこれを用いた半導体デバイスを提供

50

することにある。

【課題を解決するための手段】

【0012】

第1の発明に係るレベルシフト回路は、第1のレベルを有する入力データ信号をラッチにより保持した後、出力インバータを介して第2のレベルを有する出力データ信号を出力するレベルシフト回路において、

ローレベルの出力データ信号を出力するときに、入力データ信号の変化に応答して上記出力データ信号をローレベルにセットするレベルセット回路を備えたことを特徴とする。

【0013】

上記レベルセット回路は、上記出力インバータの出力端子に接続され、ハイレベルの入力データ信号に応答してオンとなるソース接地又はドレイン接地のNMOSトランジスタを備えたことを特徴とする。

【0014】

また、上記レベルセット回路は、ハイレベルの入力データ信号を反転して上記出力インバータの出力端子に出力する第1のインバータを備えたことを特徴とする。

【0015】

さらに、上記レベルセット回路は、ローレベルの入力データ信号を第2のインバータにより反転し、反転後の信号に応答してオンとなるソース接地又はドレイン接地のNMOSトランジスタを備えたことを特徴とする。

【0016】

またさらに、上記レベルセット回路は、ローレベルの入力データ信号を上記出力インバータの出力端子に出力する回路を備えたことを特徴とする。

【0017】

上記レベルシフト回路において、上記ラッチは、4個のMOSトランジスタを備えた、CMOSフリップフロップ型ラッチであることを特徴とする。

【0018】

また、上記レベルシフト回路において、上記ラッチは、電源電圧側に2個のPMOSトランジスタがそれぞれ挿入された2個のインバータを備え、合計6個のMOSトランジスタを備えた、CMOSフリップフロップ型ラッチであることを特徴とする。

【0019】

さらに、上記レベルシフト回路において、上記ラッチは、電源電圧側に2個のPMOSトランジスタがそれぞれ挿入されかつ接地側に2個のNMOSトランジスタがそれぞれ挿入された2個のインバータを備え、合計8個のMOSトランジスタを備えた、CMOSフリップフロップ型ラッチであることを特徴とする。

【0020】

またさらに、上記レベルシフト回路において、上記ラッチ及び上記出力インバータは、上記第1のレベルよりも高い電源電圧で駆動されるMOSトランジスタで構成され、上記第2のレベルは、上記第1のレベルよりも高い電源電圧であることを特徴とする。

【0021】

また、上記レベルシフト回路は、同一のデバイスで上記第1のレベルと上記第2のレベルの2つの電源電圧で駆動可能な半導体デバイスであることを特徴とする。

【0022】

さらに、上記レベルシフト回路において、上記半導体デバイスは、フラッシュメモリであることを特徴とする。

【0023】

第2の発明に係る半導体デバイスは、上記レベルシフト回路を備えたことを特徴とする。

【発明の効果】

【0024】

従って、本発明によれば、所定電圧から同一の電圧に入力データ信号が変化して出力デ

10

20

30

40

50

ータ信号が立ち下がる際の遅延時間については、従来技術に比較して大幅に短縮することができる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。

【図面の簡単な説明】

【0025】

【図1A】本発明の第1の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図1B】簡易型インバータ表示を用いて図1Aのレベルシフト回路の構成を示す回路図である。

【図2】簡易型インバータ表示を用いて本発明の第2の実施形態に係るレベルシフト回路の構成を示す回路図である。

10

【図3】簡易型インバータ表示を用いて本発明の第3の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図4】簡易型インバータ表示を用いて本発明の第4の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図5】簡易型インバータ表示を用いて本発明の第5の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図6】簡易型インバータ表示を用いて本発明の第6の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図7】簡易型インバータ表示を用いて本発明の第7の実施形態に係るレベルシフト回路の構成を示す回路図である。

20

【図8】簡易型インバータ表示を用いて本発明の第8の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図9】簡易型インバータ表示を用いて本発明の第9の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図10】簡易型インバータ表示を用いて本発明の第10の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図11】簡易型インバータ表示を用いて本発明の第11の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図12】簡易型インバータ表示を用いて本発明の第12の実施形態に係るレベルシフト回路の構成を示す回路図である。

30

【図13】簡易型インバータ表示を用いて本発明の第13の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図14】簡易型インバータ表示を用いて本発明の第14の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図15】簡易型インバータ表示を用いて本発明の第15の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図16】本発明の第16の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図17】図16、図18及び図19のレベルシフト回路において用いるインバータ及びMOSトランジスタの記号を示す図である。

40

【図18】本発明の第17の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図19】本発明の第18の実施形態に係るレベルシフト回路の構成を示す回路図である。

【図20】図1Aのレベルシフト回路をワースト状態（温度100°C）における遅延時間の実験結果を示す表である。

【図21】図1Aのレベルシフト回路を標準的な状態（温度20°C）における遅延時間の実験結果を示す表である。

【図22】従来技術に係るフラッシュメモリにおいて外部電源電圧VCC=3.3Vのときの各回路の電源電圧使用状態を示すブロック図である。

50

【図 2 3】従来技術に係るフラッシュメモリにおいて外部電源電圧 $VCC = 1.8V$ のときの各回路の電源電圧使用状態を示すブロック図である。

【図 2 4】従来例に係るレベルシフト回路の構成を示す回路図である。

【図 2 5】図 2 4 のレベルシフト回路における遅延時間の実験結果を示す表である。

【発明を実施するための形態】

【0026】

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

【0027】

第 1 の実施形態 .

図 1 A は本発明の第 1 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 1 A のレベルシフト回路は、例えばフラッシュメモリなどの半導体チップデバイスにおいて用いられ、入力データ信号 $DIN(VDD)$ を出力データ信号 $DOUT(VCC)$ にレベルシフトする回路であって、出力データ信号 $DOUT$ が立ち下がる時に強制的にローレベルにセットするレベルセット回路であるドレイン接地 $NMOS$ トランジスタ 23 をさらに備え、入力データ信号 DIN が立ち上がって出力データ信号 $DOUT$ が立ち下がる時の遅延時間を従来技術に比較して大幅に短縮することを特徴とする。

【0028】

図 1 A のレベルシフト回路は、

(1) 2 つのインバータ 11, 12 がリング形状で互いに縦続接続することにより構成されたラッチ 10 と、

(2) ラッチ 10 の出力データを反転して出力データ信号 $DOUT(VCC)$ として出力するインバータ 13 と、

(3) ラッチ動作を指示するハイレベルのラッチ信号に応答してオンとなる $NMOS$ トランジスタ 31, 32, 33 と、

(4) ハイレベルの入力データ信号 $DIN(VDD)$ に応答してオンとなる $NMOS$ トランジスタ 21, 23 と、

(5) 入力データ信号 $DIN(VDD)$ を反転するインバータ 14 と、

(6) インバータ 14 の出力データ信号 (ハイレベル) に応答してオンとなる $NMOS$ トランジスタ 22 とを備えて構成される。

【0029】

なお、インバータ 11 ~ 13 は電源電圧 VCC で駆動され、インバータ 14 は電源電圧 VDD で駆動される。

【0030】

以上のように構成された図 1 A のレベルシフト回路では、ラッチ動作中はハイレベルのラッチ信号 LAT が入力されるときに、 $NMOS$ トランジスタ 31, 32, 33 がオンされ、このとき、入力データ信号 $DIN(VDD)$ が立ち上がったときに、ラッチ 10 のデータを出力するために出力データ信号 $DOUT(VCC)$ が立ち下がる時に強制的にローレベルにセットする $NMOS$ トランジスタ 23 をさらに備えたので、入力データ信号 DIN が立ち上がって出力データ信号 $DOUT$ が立ち下がる時の遅延時間を従来技術に比較して大幅に短縮できる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。当該レベルシフト回路は、例えばフラッシュメモリなどの半導体デバイスに用いることができる。なお、発明者らの実験結果については詳細後述する。

【0031】

図 1 B は簡易型インバータ表示を用いて図 1 A のレベルシフト回路の構成を示す回路図である。ここで、各インバータ 11 ~ 14 は、図 1 A に示すように、4 個の MOS トランジスタからなる簡単な公知の $CMOS$ フリップフロップタイプのラッチ 10 を構成する。なお、簡易型インバータ表示において、P は電圧 VCC で駆動されるインバータを示し、L は電圧 VDD で駆動されるインバータを示す。

【0032】

10

20

30

40

50

第 2 の実施形態 .

図 2 は簡易型インバータ表示を用いて本発明の第 2 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 2 のレベルシフト回路は、図 1 B のレベルシフト回路に比較して、

- (1) NMOS トランジスタ 2 3 を削除し、
- (2) インバータ 1 4 の出力電圧を、NMOS トランジスタ 3 3 の所定の電極 (図 2 において下側の電極で、ソース又はドレインであり、インバータ 1 3 の出力端子が接続される NMOS トランジスタ 3 3 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 3 3 】

以上のように構成された図 2 のレベルシフト回路は図 1 A 及び図 1 B のレベルシフト回路と同様に動作し、特に、ラッチ動作中ではハイレベルのラッチ信号 LAT が入力される時に NMOS トランジスタ 3 1 , 3 2 , 3 3 がオンされ、このとき、入力データ信号 DIN (VDD) が立ち上がったときに、ラッチ 1 0 のデータを出力するために出力データ信号 DOUT (VCC) が立ち下がるときに、インバータ 1 4 の出力電圧により強制的にローレベルにセットするので、入力データ信号 DIN が立ち上がって出力データ信号 DOUT が立ち下がるときの遅延時間を従来技術に比較して大幅に短縮できる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。

【 0 0 3 4 】

第 3 の実施形態 .

図 3 は簡易型インバータ表示を用いて本発明の第 3 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 3 のレベルシフト回路は、図 1 B のレベルシフト回路に比較して、

- (1) NMOS トランジスタ 2 1 を削除し、
- (2) インバータ 1 4 からの出力電圧を NMOS トランジスタ 3 1 の所定の電極 (図 3 において下側の電極で、ソース又はドレインであり、インバータ 1 2 の出力端子が接続される NMOS トランジスタ 3 1 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 3 5 】

以上のように構成された図 3 のレベルシフト回路は図 1 B のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 3 6 】

第 4 の実施形態 .

図 4 は簡易型インバータ表示を用いて本発明の第 4 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 4 のレベルシフト回路は、図 2 のレベルシフト回路に比較して、

- (1) NMOS トランジスタ 2 1 を削除し、
- (2) インバータ 1 4 からの出力電圧を NMOS トランジスタ 3 1 の所定の電極 (図 4 において下側の電極で、ソース又はドレインであり、インバータ 1 2 の出力端子が接続される NMOS トランジスタ 3 1 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 3 7 】

以上のように構成された図 4 のレベルシフト回路は図 2 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 3 8 】

第 5 の実施形態 .

図 5 は簡易型インバータ表示を用いて本発明の第 5 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 5 のレベルシフト回路は、図 1 B のレベルシフト回路に比較して、

- (1) NMOS トランジスタ 2 2 及びインバータ 1 4 を削除し、

(2) 入力データ信号 D I N を N M O S トランジスタ 3 2 の所定の電極 (図 5 において下側の電極で、ソース又はドレインであり、インバータ 1 1 の出力端子が接続される N M O S トランジスタ 3 2 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 3 9 】

以上のように構成された図 5 のレベルシフト回路は図 1 B のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 4 0 】

第 6 の実施形態 .

図 6 は簡易型インバータ表示を用いて本発明の第 6 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 6 のレベルシフト回路は、図 2 のレベルシフト回路に比較して、

(1) N M O S トランジスタ 2 2 を削除し、

(2) 入力データ信号 D I N を N M O S トランジスタ 3 2 の所定の電極 (図 6 において下側の電極で、ソース又はドレインであり、インバータ 1 1 の出力端子が接続される N M O S トランジスタ 3 2 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 4 1 】

以上のように構成された図 5 のレベルシフト回路は図 2 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 4 2 】

第 7 の実施形態 .

図 7 は簡易型インバータ表示を用いて本発明の第 7 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 7 のレベルシフト回路は、図 3 のレベルシフト回路に比較して、

(1) N M O S トランジスタ 2 2 を削除し、

(2) 入力データ信号 D I N を N M O S トランジスタ 3 2 の所定の電極 (図 7 において下側の電極で、ソース又はドレインであり、インバータ 1 1 の出力端子が接続される N M O S トランジスタ 3 2 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 4 3 】

以上のように構成された図 7 のレベルシフト回路は図 3 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 4 4 】

第 8 の実施形態 .

図 8 は簡易型インバータ表示を用いて本発明の第 8 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 8 のレベルシフト回路は、図 4 のレベルシフト回路に比較して、

(1) N M O S トランジスタ 2 2 を削除し、

(2) 入力データ信号 D I N を N M O S トランジスタ 3 2 の所定の電極 (図 8 において下側の電極で、ソース又はドレインであり、インバータ 1 1 の出力端子が接続される N M O S トランジスタ 3 2 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 4 5 】

以上のように構成された図 8 のレベルシフト回路は図 4 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 4 6 】

第 9 の実施形態 .

図 9 は簡易型インバータ表示を用いて本発明の第 9 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 9 のレベルシフト回路は、図 1 B のレベルシフト回路に比

10

20

30

40

50

較して、

- (1) 入力データ信号D I NをN M O Sトランジスタ2 2のゲートに印加し、
- (2) 入力データ信号D I Nを入力とするインバータ1 4からの出力電圧をN M O Sトランジスタ2 1, 2 3の各ゲートに印加したことを特徴とする。

【0047】

以上のように構成された図9のレベルシフト回路では、ラッチ動作中ではハイレベルのラッチ信号L A Tが入力されるときに、N M O Sトランジスタ3 1, 3 2, 3 3がオンされ、このとき、入力データ信号D I N (V D D) が立ち下がったときに、ラッチ1 0のデータを出力するために出力データ信号D O U T (V C C) が立ち下がる時に強制的にローレベルにセットするN M O Sトランジスタ2 3をさらに備えたので、入力データ信号D I Nが立ち下がって出力データ信号D O U Tが立ち下がる時の遅延時間を従来技術に比較して大幅に短縮できる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。

10

【0048】

第10の実施形態．

図10は簡易型インバータ表示を用いて本発明の第10の実施形態に係るレベルシフト回路の構成を示す回路図である。図10のレベルシフト回路は、図9のレベルシフト回路に比較して、

- (1) N M O Sトランジスタ2 3を削除し、
- (2) 入力データ信号D I Nを、N M O Sトランジスタ3 3の所定の電極(図10において下側の電極で、ソース又はドレインであり、インバータ1 3の出力端子が接続されるN M O Sトランジスタ3 3の電極とは異なるゲート以外の電極である。)に印加したことを特徴とする。

20

【0049】

以上のように構成された図10のレベルシフト回路は図9のレベルシフト回路と同様に動作し、特に、ラッチ動作中ではハイレベルのラッチ信号L A Tが入力される時にN M O Sトランジスタ3 1, 3 2, 3 3がオンされ、このとき、入力データ信号D I N (V D D) が立ち下がったときに、ラッチ1 0のデータを出力するために出力データ信号D O U T (V C C) が立ち下がる時に、入力データ信号D I Nにより強制的にローレベルにセットするので、入力データ信号D I Nが立ち下がって出力データ信号D O U Tが立ち下がる時の遅延時間を従来技術に比較して大幅に短縮できる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。

30

【0050】

第11の実施形態．

図11は簡易型インバータ表示を用いて本発明の第11の実施形態に係るレベルシフト回路の構成を示す回路図である。図11のレベルシフト回路は、図9のレベルシフト回路に比較して、

- (1) N M O Sトランジスタ2 1を削除し、
- (2) 入力データ信号D I NをN M O Sトランジスタ3 1の所定の電極(図11において下側の電極で、ソース又はドレインであり、インバータ1 2の出力端子が接続されるN M O Sトランジスタ3 1の電極とは異なるゲート以外の電極である。)に印加したことを特徴とする。

40

【0051】

以上のように構成された図11のレベルシフト回路は図9のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【0052】

第12の実施形態．

図12は簡易型インバータ表示を用いて本発明の第12の実施形態に係るレベルシフト回路の構成を示す回路図である。図12のレベルシフト回路は、図10のレベルシフト回路に比較して、

50

(1) NMOSトランジスタ 2 1 及びインバータ 1 4 を削除し、
 (2) 入力データ信号 D I N を NMOSトランジスタ 3 1 の所定の電極 (図 1 2 において下側の電極で、ソース又はドレインであり、インバータ 1 2 の出力端子が接続される NMOSトランジスタ 3 1 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 5 3 】

以上のように構成された図 1 2 のレベルシフト回路は図 1 0 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 5 4 】

第 1 3 の実施形態 .

10

図 1 3 は簡易型インバータ表示を用いて本発明の第 1 3 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 1 3 のレベルシフト回路は、図 1 0 のレベルシフト回路に比較して、

(1) NMOSトランジスタ 2 2 を削除し、
 (2) 入力データ信号 D I N を入力とするインバータ 1 4 からの出力電圧を NMOSトランジスタ 3 2 の所定の電極 (図 1 3 において下側の電極で、ソース又はドレインであり、インバータ 1 1 の出力端子が接続される NMOSトランジスタ 3 2 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

【 0 0 5 5 】

以上のように構成された図 1 3 のレベルシフト回路は図 1 0 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

20

【 0 0 5 6 】

第 1 4 の実施形態 .

図 1 4 は簡易型インバータ表示を用いて本発明の第 1 4 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 1 4 のレベルシフト回路は、図 1 1 のレベルシフト回路に比較して、

(1) NMOSトランジスタ 2 2 を削除し、
 (2) 入力データ信号 D I N を入力とするインバータ 1 4 からの出力電圧を NMOSトランジスタ 3 2 の所定の電極 (図 1 4 において下側の電極で、ソース又はドレインであり、インバータ 1 1 の出力端子が接続される NMOSトランジスタ 3 2 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

30

【 0 0 5 7 】

以上のように構成された図 1 4 のレベルシフト回路は図 1 1 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 5 8 】

第 1 5 の実施形態 .

図 1 5 は簡易型インバータ表示を用いて本発明の第 1 5 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 1 5 のレベルシフト回路は、図 1 2 のレベルシフト回路に比較して、

(1) NMOSトランジスタ 2 2 を削除し、
 (2) インバータ 1 4 をさらに備え、
 (3) 入力データ信号 D I N を入力とするインバータ 1 4 からの出力電圧を NMOSトランジスタ 3 2 の所定の電極 (図 1 5 において下側の電極で、ソース又はドレインであり、インバータ 1 1 の出力端子が接続される NMOSトランジスタ 3 2 の電極とは異なるゲート以外の電極である。) に印加したことを特徴とする。

40

【 0 0 5 9 】

以上のように構成された図 1 5 のレベルシフト回路は図 1 2 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【 0 0 6 0 】

第 1 6 の実施形態 .

50

図16は本発明の第16の実施形態に係るレベルシフト回路の構成を示す回路図である。図16のレベルシフト回路は、入力データ信号DIN(VDD)を出力データ信号DOUT(VPP;ここで、VPPはVDD及びVCCよりも高い例えば5Vである中間電圧又は高電圧をいう。)にレベルシフトする回路であって、図1Aのレベルシフト回路に比較して、

(1)ハイレベルのバイアス信号BIAS(ラッチ動作中はハイレベルとなる)にตอบสนองしてオンとなるNMOSトランジスタ41,42,43からなるバイアス電圧回路をさらに備えたこと、

(2)ラッチ210及びその出力インバータ214を中間電圧トランジスタ(MV Tr)で構成したこと、

(3)ラッチ信号LATにตอบสนองしてオンとなるNMOSトランジスタ31,32,33、インバータ21,22,23及びインバータ14を低電圧トランジスタ(LV Tr)で構成したことを特徴としている。

【0061】

図17は図16、図18及び図19のレベルシフト回路において用いるインバータ及びMOSトランジスタの記号を示す図である。図17(a)は、中間電圧トランジスタ(MV Tr)で構成したインバータ201、NMOSトランジスタ202及びPMOSトランジスタ203を示す。また、図17(b)は、低電圧トランジスタ(LV Tr)で構成したインバータ101、NMOSトランジスタ102及びPMOSトランジスタ103を示す。

【0062】

図16のレベルシフト回路において、ラッチ210は、インバータ11a,12aで構成される。インバータ11aはPMOSトランジスタ211,213とNMOSトランジスタ212とを備えて構成され、インバータ12aはPMOSトランジスタ221,223とNMOSトランジスタ222とを備えて構成される。ここで、各インバータ11a,12aは、MOSトランジスタのブレイクダウンを防止するためにPMOSトランジスタ213,223がさらに挿入してなる、PMOSトランジスタ挿入フリップフロップ型ラッチを構成する。

【0063】

以上のように構成されたレベルシフト回路は図1A及び図1Bのレベルシフト回路と同様に動作し、特に、ラッチ動作中では、ハイレベルのバイアス信号BIASが入力されてNMOSトランジスタ41,42,43がオンされかつ、ハイレベルのラッチ信号LATが入力されるときにNMOSトランジスタ33がオンされ、このとき、入力データ信号DIN(VDD)が立ち上がったときに、ラッチ210のデータを出力するために、出力インバータ214からの出力データ信号DOUT(VPP)が立ち下がるときに、NMOSトランジスタ23がオンとなるので、出力インバータ214の出力レベルをローレベルに立ち下がるので、これにより強制的にローレベルにセットするので、入力データ信号DINが立ち上がって出力データ信号DOUTが立ち下がるときの遅延時間を従来技術に比較して大幅に短縮できる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。

【0064】

以上の実施形態においては、電源電圧VPP側にPMOSトランジスタ213,223を挿入しているが、本発明はこれに限らず、耐電圧を上げるために、接地電位側にNMOSトランジスタを挿入してもよい。この場合において、ラッチ210は、8個のMOSトランジスタを備えて構成される。

【0065】

第17の実施形態。

図18は本発明の第17の実施形態に係るレベルシフト回路の構成を示す回路図である。図18のレベルシフト回路は、図16のレベルシフト回路に比較して、

(1)バイアス回路を削除し、

10

20

30

40

50

(2) ラッチ 210 及び出力インバータ 213 を、低電圧トランジスタ (LV Tr) で動作するラッチ 110 及びインバータ 13 で構成したことを特徴としている。

【0066】

図 18 のレベルシフト回路において、ラッチ 110 は、インバータ 11b, 12b で構成される。インバータ 11b は PMOS トランジスタ 111, 113 と NMOS トランジスタ 112 とを備えて構成され、インバータ 12b は PMOS トランジスタ 121, 123 と NMOS トランジスタ 122 とを備えて構成される。ここで、各インバータ 11b, 12b は、MOS トランジスタのブレイクダウンを防止するために PMOS トランジスタ 113, 123 がさらに挿入してなる、PMOS トランジスタ挿入型ラッチを構成する。

【0067】

以上のように構成されたレベルシフト回路は図 1A 及び図 1B のレベルシフト回路と同様に動作し、特に、ラッチ動作中では、ハイレベルのラッチ信号 LAT が入力されるときに NMOS トランジスタ 33 がオンされ、このとき、入力データ信号 DIN (VDD) が立ち上がったときに、ラッチ 110 のデータを出力するために、出力インバータ 13 からの出力データ信号 DOUT (VPP) が立ち下がる時に、出力インバータ 13 の出力レベルをローレベルに立ち下げるので、これにより強制的にローレベルにセットするので、入力データ信号 DIN が立ち上がって出力データ信号 DOUT が立ち下がる時の遅延時間を従来技術に比較して大幅に短縮できる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。

【0068】

以上の実施形態においては、電源電圧 VCC 側に PMOS トランジスタ 113, 123 を挿入しているが、本発明はこれに限らず、耐電圧を上げるために、接地電位側に NMOS トランジスタを挿入してもよい。この場合において、ラッチ 110 は、8 個の MOS トランジスタを備えて構成される。

【0069】

第 18 の実施形態。

図 19 は本発明の第 18 の実施形態に係るレベルシフト回路の構成を示す回路図である。図 19 のレベルシフト回路は、図 16 のレベルシフト回路に比較して、

(1) インバータ 11a に代えて、PMOS トランジスタ 213 を削除してなるインバータ 11c を備え、

(2) インバータ 12a に代えて、PMOS トランジスタ 223 を削除してなるインバータ 12c を備え、

(3) インバータ 11c, 12c によりラッチ 210c を構成したことを特徴としている。

【0070】

以上のように構成されたレベルシフト回路は図 16 のレベルシフト回路と同様に動作し、同様の作用効果を有する。

【0071】

変形例。

以上の実施形態においては、レベルシフト回路について説明しているが、これらのレベルシフト回路は図 22 及び図 23 を参照して説明したように、例えばフラッシュメモリなどの半導体デバイスに内蔵されて用いられる。ここで、半導体デバイスは、同一のデバイスで上記第 1 のレベルと上記第 2 のレベルの 2 つの電源電圧で駆動可能な半導体デバイスである。

【0072】

以上の第 16 乃至第 18 の実施形態において、第 1 の実施形態に係るレベルシフト回路を基本とする種々のレベルシフト回路を説明しているが、本発明はこれに限らず、第 2 乃至第 15 の実施形態に係るレベルシフト回路を基本とするレベルシフト回路を、第 16 乃至第 18 の実施形態の構成特徴 (ラッチ及びその周辺回路) と同様に構成してもよい。

【0073】

10

20

30

40

50

第16及び第18の実施形態においては、入力データ信号DIN(VDD)を出力データ信号DOUT(VPP)にレベルシフトする回路について説明しているが、本発明はこれに限らず、入力データ信号DIN(VDD)を出力データ信号DOUT(高電圧HV)にレベルシフトする回路を同様に構成してもよい。

【実施例】

【0074】

本発明者らは、第1の実施形態に係る図1Aのレベルシフト回路に対し、SPICE(Simulation Program with Integrated Circuit Emphasis)シミュレーションを行って、データ信号の遅延時間(データ信号の立ち上がりから立ち下りまでの時間、もしくはデータ信号の立ち下がりから立ち上がりまでの時間をいう。)を測定した。

10

【0075】

図20は図1Aのレベルシフト回路をワースト状態(温度100°C)における遅延時間の実験結果を示す表であり、図21は図1Aのレベルシフト回路を標準的な状態(温度20°C)における遅延時間の実験結果を示す表である。電圧VDDから同一の電圧VCCに入力データ信号DINが立ち上がって出力データ信号DOUTが立ち下がるときの遅延時間については、標準的な状態では、従来例の5.4nsから0.9nsに短縮しているが、特に、ワースト状態において、従来例の12.1nsから2.4nsに大幅に短縮することができる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。

20

【産業上の利用可能性】

【0076】

以上詳述したように、本発明によれば、所定電圧から同一の電圧に入力データ信号が変化して出力データ信号が立ち下がるときの遅延時間については、従来技術に比較して大幅に短縮することができる。これにより、データ信号の出力サイクルの時間マージンを多くとることができる。当該レベルシフト回路は、例えばフラッシュメモリなどの半導体デバイスに用いることができる。

【符号の説明】

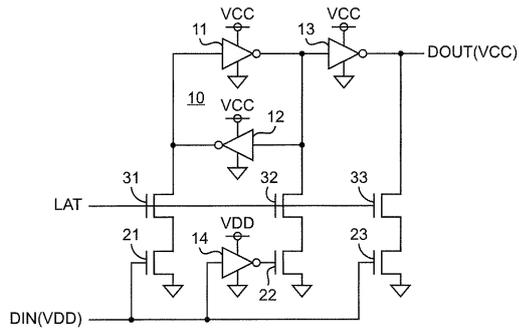
【0077】

10, 110, 210, 210c...ラッチ、
 11, 11a, 11b, 11c, 12, 12a, 12b, 12c, 13, 14, 101, 201, 214...インバータ、
 21, 22, 23, 31, 32, 33, 41, 42, 43, 102, 112, 122, 202, 212, 222...NMOSトランジスタ、
 103, 111, 113, 121, 123, 203, 211, 213, 221, 223...PMOSトランジスタ。

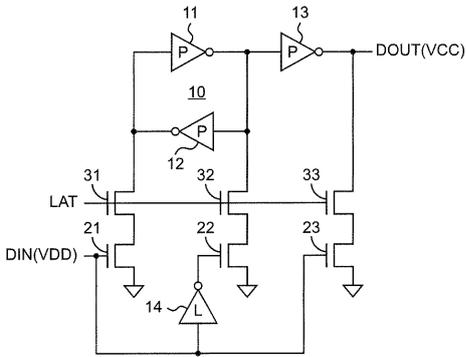
30

【図1A】

第1の実施形態

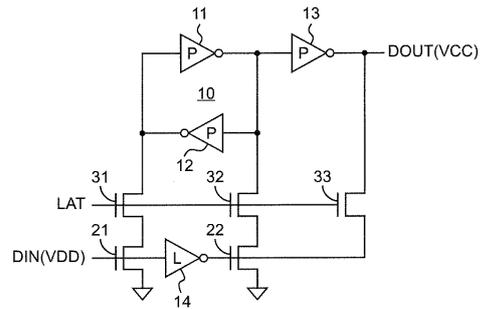


【図1B】



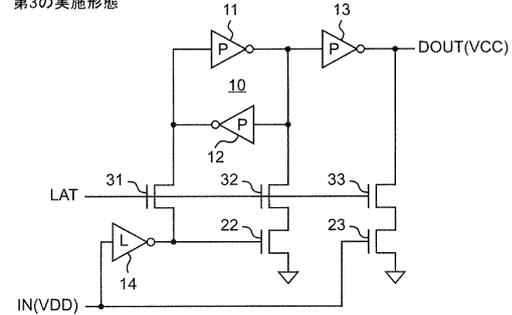
【図2】

第2の実施形態



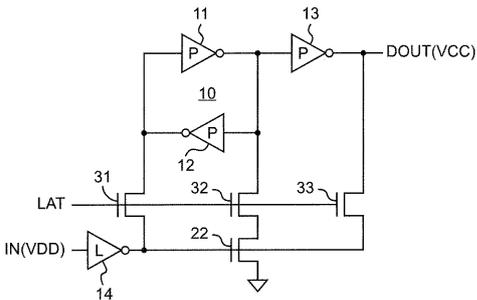
【図3】

第3の実施形態



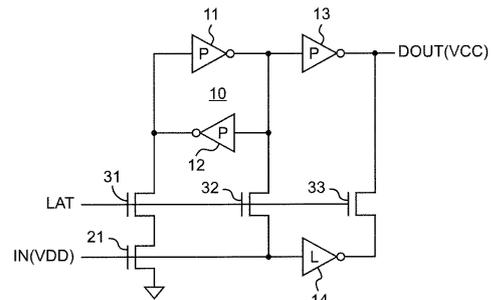
【図4】

第4の実施形態



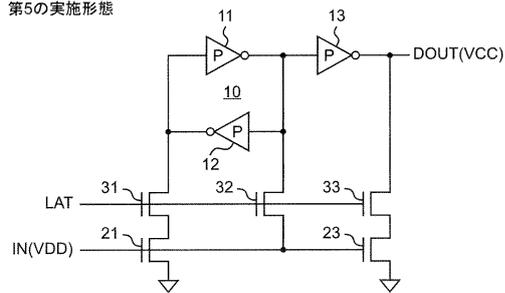
【図6】

第6の実施形態



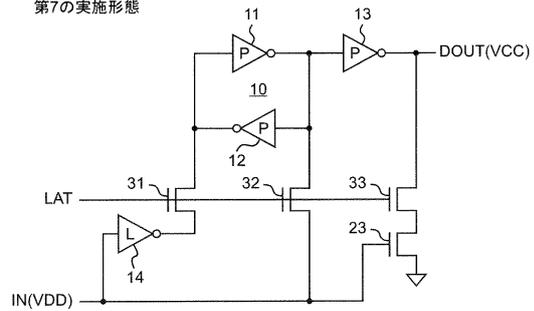
【図5】

第5の実施形態



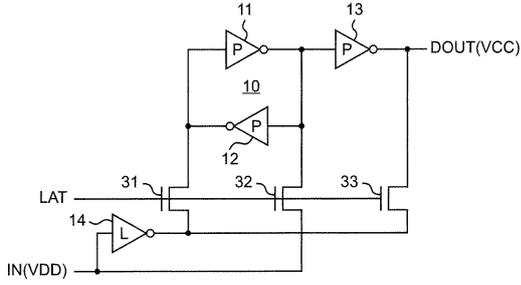
【図7】

第7の実施形態



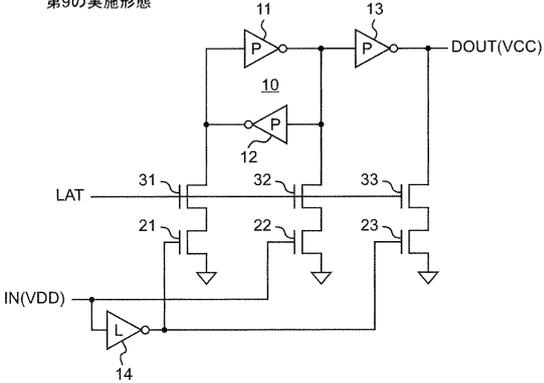
【図 8】

第8の実施形態



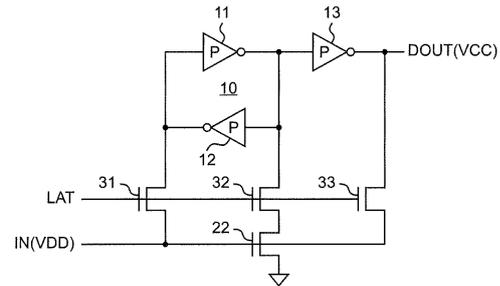
【図 9】

第9の実施形態



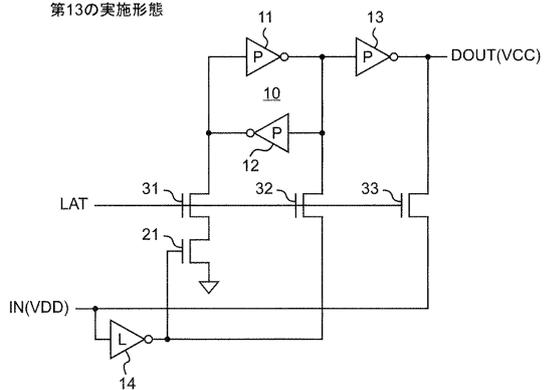
【図 12】

第12の実施形態



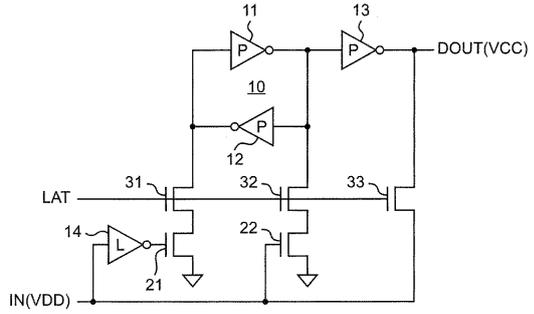
【図 13】

第13の実施形態



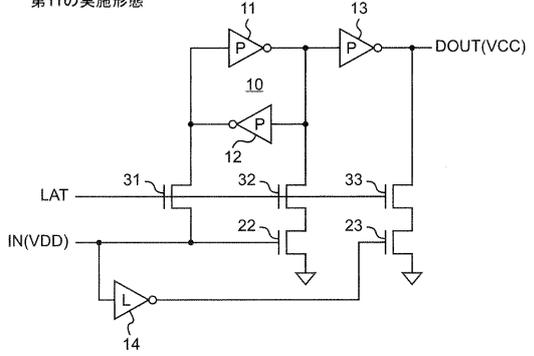
【図 10】

第10の実施形態



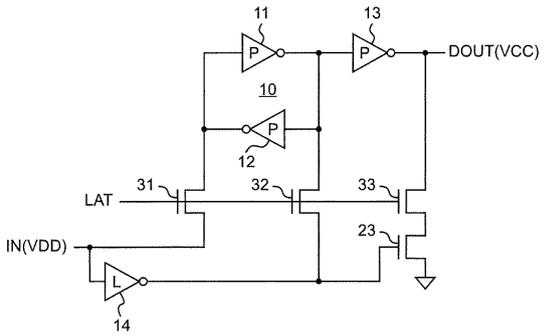
【図 11】

第11の実施形態



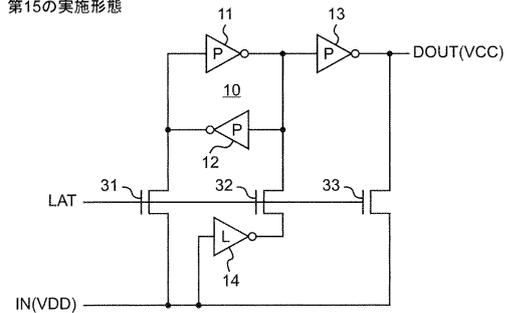
【図 14】

第14の実施形態



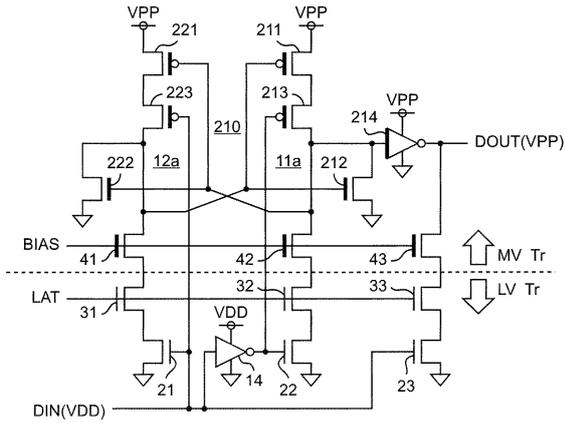
【図 15】

第15の実施形態



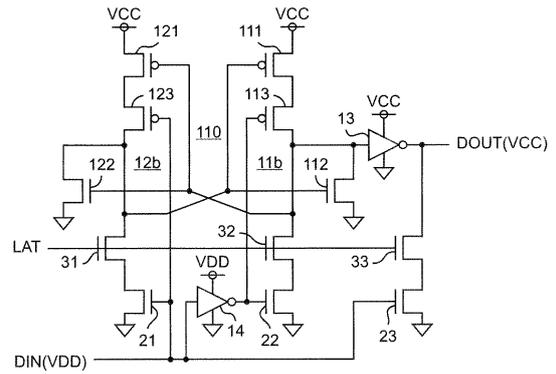
【図16】

第16の実施形態

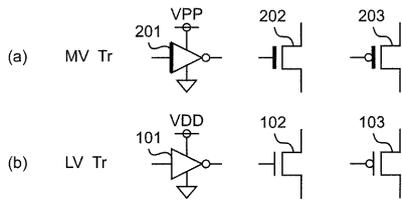


【図18】

第17の実施形態

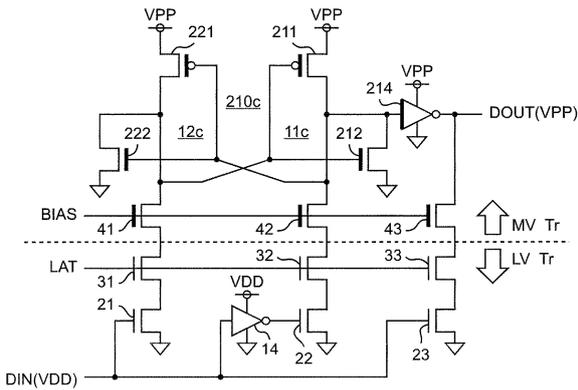


【図17】



【図19】

第18の実施形態



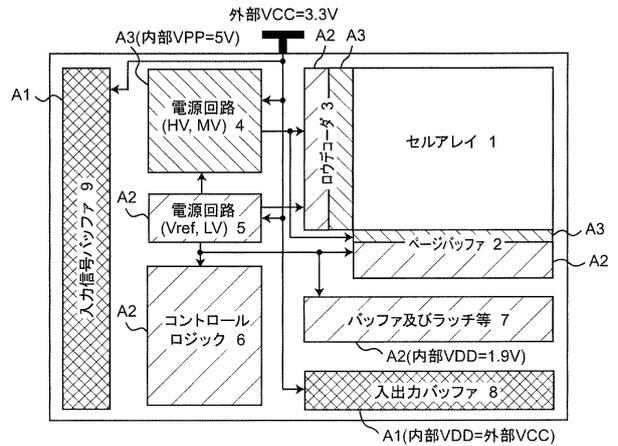
【図20】

ワースト状態(100°C)				遅延時間	
VDD	VCC	DIN	DOUT	従来例	第1の実施形態
1.55V	1.55V			12.1ns	2.4ns
1.55V	1.55V			3.2ns	3.3ns
1.55V	2.5V			4.0ns	3.4ns
1.55V	2.5V			2.7ns	2.5ns

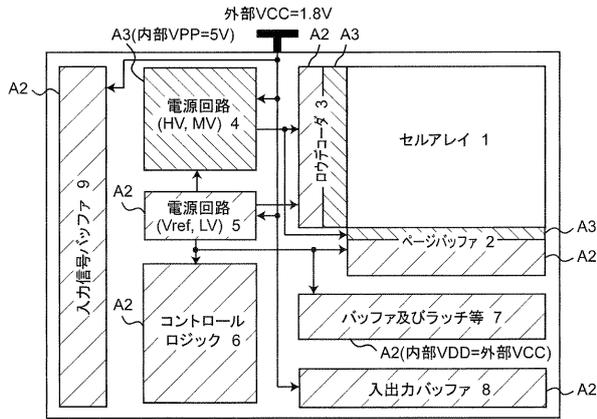
【図21】

標準的な状態				遅延時間	
VDD	VCC	DIN	DOUT	従来例	第1の実施形態
1.8V	1.8V			5.4ns	0.9ns
1.8V	1.8V			1.6ns	1.6ns
1.8V	3.3V			2.0ns	1.7ns
1.8V	3.3V			1.4ns	1.4ns

【図22】



【図 2 3】



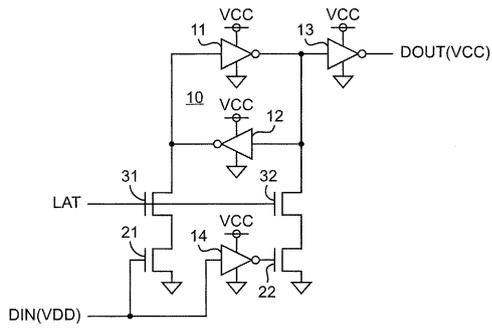
【図 2 5】

従来例

VDD	VCC	DIN	DOUT	遅延時間
1.8V	1.8V			5.4ns
				1.6ns
1.8V	3.3V			2.0ns
				1.4ns

【図 2 4】

従来例



フロントページの続き

- (56)参考文献 特開平11-098000(JP,A)
特開2006-140928(JP,A)
特開2005-086546(JP,A)
特開平07-142989(JP,A)
特開昭61-202523(JP,A)
特開2002-353805(JP,A)
特開2011-160051(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096