

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板上に、直列接続された複数の不揮発性メモリセルとその両端に配置された第 1 及び第 2 の選択ゲートトランジスタとを備えた NAND セルユニットが配列され、第 1 の方向に配列された NAND セルユニットの集合により定義されるブロックが、隣接ブロックの第 1 の選択ゲートトランジスタの共有ドレインをビット線コンタクトとし、次の隣接ブロックの第 2 の選択ゲートトランジスタの共有ソースをソース線コンタクトとするように、第 2 の方向に複数個配列されたセルアレイと、

前記セルアレイの第 1 の方向に並ぶメモリセルの制御ゲートを共通接続するワード線と

10

、
前記セルアレイの第 1 の方向に並ぶ第 1 の選択ゲートトランジスタのゲートを共通接続する第 1 の選択ゲート線と、

前記セルアレイの第 1 の方向に並ぶ第 2 の選択ゲートトランジスタのゲートを共通接続する第 2 の選択ゲート線と、

前記セルアレイの前記第 1 及び第 2 の選択ゲート線上部にそれぞれ形成された第 1 及び第 2 のシャント配線と備え、

ビット線コンタクト位置を挟んで隣接するブロックの二つの第 1 の選択ゲート線が所定ピッチで相互に連結された連結部を有する配線パターンとして形成され、

ソース線コンタクト位置を挟んで隣接するブロックの二つの第 2 の選択ゲート線が、前記第 1 の選択ゲート線と実質同じ所定ピッチで相互に連結された連結部を有する配線パターンとして形成され、かつ

20

前記第 1 及び第 2 のシャント配線はそれぞれ前記連結部において前記第 1 及び第 2 の選択ゲート線にコンタクトする

ことを特徴とする半導体記憶装置。

【請求項 2】

前記セルアレイの第 2 の方向に複数ブロックにまたがって連続し、第 1 の選択ゲートトランジスタの共有ドレインに接続されるビット線と、

前記セルアレイの第 2 の選択ゲートトランジスタの共有ソースに共通接続されるソース線と、

30

前記セルアレイの第 2 の方向に連続して形成されて、前記第 1 及び第 2 の選択ゲート線の少なくとも一方の位置で前記半導体基板にコンタクトするウェル配線とを更に備えたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記ウェル配線は、第 2 の選択ゲート線の連結部の中間位置に前記半導体基板とのコンタクト部が配置され、そのコンタクト部で第 2 の選択ゲート線は分離されている

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】

前記ウェル配線は、第 1 及び第 2 の選択ゲート線それぞれの連結部の中間位置に前記半導体基板とのコンタクト部が配置され、それらのコンタクト部で第 1 及び第 2 の選択ゲート線は共に分離されている

ことを特徴とする請求項 2 記載の半導体記憶装置。

40

【請求項 5】

前記第 1 及び第 2 のシャント配線は、前記セルアレイを覆う第 1 の層間絶縁膜上に形成される第 1 層金属配線であり、

前記ビット線は、第 1 層金属配線層を覆う第 2 の層間絶縁膜上に形成される第 2 層金属配線であり、

前記ウェル配線は、第 2 層又はそれより上層の金属配線である

ことを特徴とする請求項 2 記載の半導体記憶装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

この発明は、半導体記憶装置に係り、特にNANDセルユニットを配列して構成されるセルアレイを持つ不揮発性半導体記憶装置（EEPROM）に関する。

【背景技術】

【0002】

EEPROMの一つとして、NAND型フラッシュメモリが知られている。NAND型フラッシュメモリは、複数のメモリセルがソース/ドレイン拡散層を隣接するもの同士で共有するように直列接続されたNANDセルユニットを用いて構成される。NANDセルユニットの両端には、NANDセルユニットをビット線及びソース線にそれぞれ選択的に接続するための第1及び第2の選択ゲートトランジスタが配置される。

10

【0003】

メモリセルは、電荷蓄積層としての浮遊ゲートと制御ゲートとが積層されたMOSトランジスタ構造を有する。メモリセルの制御ゲートは、一方向に連続的にパターン形成されて、ワード線となる。第1及び第2の選択ゲートトランジスタのゲート電極はそれぞれ、ワード線と並行する第1及び第2の選択ゲート線としてパターン形成される。

【0004】

ビット線は、ワード線と直交する方向に連続するように形成され、第1の選択ゲートトランジスタのドレイン拡散層に接触する。NANDセルユニットのソース側（第2の選択ゲートトランジスタのソース拡散層）は、共通ソース線に接続される。

20

【0005】

ワード線を共有するNANDセルユニットの集合は、通常データ消去の単位となる“ブロック”を構成する。通常ビット線の方にビット線を共有する複数のブロックが配列される。この場合複数のブロックは、隣接する第1及び第2のブロックがビット線接触を共有し、隣接する第2及び第3のブロックがソース線接触を共有するように配列される。従って、ビット線接触を挟んで隣接2ブロックの第1の選択ゲート線が隣接し、ソース線接触を挟んで隣接2ブロックの第2の選択ゲート線が隣接する。

【0006】

セルアレイの微細化と高密度化が進み、ワード線が細くかつ長くなるにつれて、ワード線遅延が大きくなる。ワード線遅延を許容しながら、高速読み出しを可能とするためには、第1及び第2の選択ゲート線を十分に低抵抗にして、その一方のオン駆動のタイミングをデータセンスの基準タイミングとする方式が望ましい。ワード線はその基準タイミングより先に充電を開始するようにすれば、ワード線遅延の影響を除くことができるからである。

30

【0007】

上述のような読み出しタイミング制御を行うためには、基本的にワード線と同様の多結晶シリコン配線構造を持つ第1及び第2の選択ゲート線を低抵抗にすることが必要で、これには二つの手法が用いられる。一つは、第1及び第2の選択ゲート線幅をワード線より大きくすることである。もう一つは、多結晶シリコンからなる第1及び第2の選択ゲート線を裏打ちする金属膜からなるシャント配線を形成することである。

40

【0008】

第1及び第2の選択ゲート線のシャント配線構造として、ビット線接触側（ドレイン側）の第1の選択ゲート線については、隣接ブロックで共通接続されるようにし、その共通接続部をシャント部とする金属配線を形成し、ソース線接触側（ソース側）の第2の選択ゲート線については、隣接ブロックで別々にパターン形成し、それぞれにシャント配線を形成する方法が提案されている（特許文献1参照）。

【0009】

この様に第1及び第2の選択ゲート線の構造を異ならせるのは、非選択ブロックで無用なビット線電流が流れる事態を確実に防止するためである。即ち、第2の選択ゲートトランジスタのオン/オフによりNANDセルユニットのビット線との接続/非接続を決める

50

という仕様を用いる場合、隣接ブロックの隣接する第2の選択ゲート線を独立に形成し、それらが独立に電位制御されるようにすればよい。この様に、隣接する第2の選択ゲート線を独立に形成すれば、隣接する第1の選択ゲート線を相互に短絡しても、非選択ブロックで無用なビット線電流が流れる事態は防止される。

【特許文献1】特開2001-308206号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

この発明は、微細化セルアレイに好適な選択ゲート線のシャント配線構造を持つ半導体記憶装置を提供することを目的とする。

10

【課題を解決するための手段】

【0011】

この発明の一態様による半導体記憶装置は、半導体基板と、

前記半導体基板上に、直列接続された複数の不揮発性メモリセルとその両端に配置された第1及び第2の選択ゲートトランジスタとを備えたNANDセルユニットが配列され、第1の方向に配列されたNANDセルユニットの集合により定義されるブロックが、隣接ブロックの第1の選択ゲートトランジスタの共有ドレインをビット線コンタクトとし、次の隣接ブロックの第2の選択ゲートトランジスタの共有ソースをソース線コンタクトとするように、第2の方向に複数個配列されたセルアレイと、

20

前記セルアレイの第1の方向に並ぶメモリセルの制御ゲートを共通接続するワード線と、

前記セルアレイの第1の方向に並ぶ第1の選択ゲートトランジスタのゲートを共通接続する第1の選択ゲート線と、

前記セルアレイの第1の方向に並ぶ第2の選択ゲートトランジスタのゲートを共通接続する第2の選択ゲート線と、

前記セルアレイの前記第1及び第2の選択ゲート線上部にそれぞれ形成された第1及び第2のシャント配線と備え、

ビット線コンタクト位置を挟んで隣接するブロックの二つの第1の選択ゲート線が所定ピッチで相互に連結された連結部を有する配線パターンとして形成され、

30

ソース線コンタクト位置を挟んで隣接するブロックの二つの第2の選択ゲート線が、前記第1の選択ゲート線と実質同じ所定ピッチで相互に連結された連結部を有する配線パターンとして形成され、かつ

前記第1及び第2のシャント配線はそれぞれ前記連結部において前記第1及び第2の選択ゲート線にコンタクトする。

【発明の効果】

【0012】

この発明によると、微細化セルアレイに好適な選択ゲート線のシャント配線構造を持つ半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

40

【0013】

以下、図面を参照して、この発明の実施の形態を説明する。

【0014】

図1は、この発明の一実施の形態によるNAND型フラッシュメモリのセルアレイのレイアウトを示し、図2はそのセルアレイの等価回路を示している。図3, 4, 5, 6及び7は、それぞれ図1のI-I', II-II', III-III', IV-IV'及びV-V'断面を示している。

【0015】

セルアレイは、図2に示すように、NANDセルユニットNUをマトリクス状に配列して構成される。各NANDセルユニットは、複数個直列接続された電氣的書き換え可能な

50

不揮発性メモリセルM0 - M31とその両端部をそれぞれビット線BL及びソース線CELLSRCに接続するための第1及び第2の選択ゲートトランジスタS1及びS2を有する。

【0016】

NANDセルユニット内のメモリセルの制御ゲートは異なるワード線WL0 - WL31に接続される。第1及び第2の選択ゲートトランジスタS1及びS2のゲートはそれぞれ、ワード線と並行する第1及び第2の選択ゲート線SGD及びSGSに接続される。第1及び第2の選択ゲート線SGD及びSGSは、後に説明するように、メモリセルの浮遊ゲートと制御ゲートとなる第1層多結晶シリコン膜と第2層多結晶シリコン膜の積層膜により形成されるゲート配線であるが、選択ゲートトランジスタの特にオフ特性を良好に保つために、その幅はワード線WLより十分に広くする。

10

【0017】

ワード線を共有するNANDセルユニットの集合は、データ消去の単位となる“ブロック”を構成する。図1及び図2に示すように、ビット線BLの方向にビット線を共有する複数のブロックBLK(BLK0, BLK1, BLK2, ...)が配置される。隣接するブロックBLK0, BLK1のそれぞれ第1の選択ゲート線SGDの間に、ビット線コンタクトCT1が配置され、隣接するブロックBLK1, BLK2のそれぞれ第2の選択ゲート線SGSの間に、ソース線コンタクトCT2が配置される。即ち、隣接するブロックがビット線コンタクトCT1及びソース線コンタクトCT2を共有するように、複数ブロックが配置される。

20

【0018】

ビット線コンタクトCT1を挟んで隣接する二つの第1の選択ゲート線SGDは、図1に示すように、後に説明するシャント配線A1, A2を第1の選択ゲート線SGDにコンタクトさせるための連結部A3を有する。連結部A3は、ワード線の方向に所定のピッチP1で配置される。即ち隣接する二つの選択ゲート線SGDは、梯子状にパターン形成される。

【0019】

ソース線コンタクトCT2を挟んで隣接する二つの第2の選択ゲート線SGSも、同様に、シャント配線B1, B2を第2の選択ゲート線SGSにコンタクトさせるための連結部B3を有する。連結部B3は、連結部A2と同じピッチP1で配置される。即ち隣接する二つの選択ゲート線SGSも同様に、梯子状にパターン形成される。

30

【0020】

第1の選択ゲート線SGDの上部に、ワード線上部に延在する幅を持って、これを裏打ちする金属配線(シャント配線)A1, A2が配設される。シャント配線A1, A2の間は、連結部A3で相互に短絡されかつ、ここにシャント配線A1, A2を第1の選択ゲート線SGDに接続するシャント配線コンタクト部CT3が設けられる。

【0021】

第2の選択ゲート線SGSの上部にも同様に、ワード線上部に延在する幅を持って、これを裏打ちする金属配線(シャント配線)B1, B2が配設される。シャント配線B1, B2の間は、連結部B3で相互に短絡されかつ、ここにシャント配線B1, B2を第2の選択ゲート線SGSに接続するシャント配線コンタクト部CT4が設けられる。

40

【0022】

図1に示すよう、セルアレイ上には更に、セルアレイが形成されるp型ウェルにコンタクトする金属配線であるウェル配線CPWELが形成される。ウェル配線CPWELは、シャント配線コンタクトCT3(CT4)の中間位置にビット線と同じ方向に連続的に形成され、ソース線コンタクトCT2の並びの位置にウェル配線コンタクトCT5が配置される。

【0023】

図3～図7の断面図を参照して更にセルアレイ構造を具体的に説明する。

【0024】

50

p型シリコン基板10のn型ウェル11内に形成されたp型ウェル12がセルアレイ領域となる。p型ウェル12には、図6或いは図7に示すように、素子分離絶縁膜であるSTI(Shallow Trench Isolation)膜13により区画されたストライプ状の素子形成領域14が形成される。その各素子形成領域上に、トンネル絶縁膜を介して形成された第1層多結晶シリコン膜により浮遊ゲート21が形成され、更にゲート間絶縁膜を介して形成された第2層多結晶シリコン膜により制御ゲート22が積層形成される。

【0025】

浮遊ゲート21は、各セル領域毎に分離され、制御ゲート22は、一方向に連続的に形成されて、ワード線WLを構成する。ワード線をマスクとしてイオン注入を行うことにより、隣接するメモリセルで共有されるソース/ドレイン拡散層23が形成される。ワード線間はシリコン酸化膜24で埋め込まれ、またセルアレイが形成された面はシリコン窒化膜25で覆われる。

10

【0026】

メモリセルM0-M31の配列の両端部に配置される選択ゲートトランジスタS1、S2は、基本的にメモリセルと同様のゲート構造を持つが、第1層多結晶シリコン膜21d、21sは、第2層多結晶シリコン膜22d、22sと共に連続的に形成されて、これらの積層膜により選択ゲート線SGD、SGSが構成される。選択ゲート線22d(SGD)、22s(SGS)は、ワード線22(WL)より幅広に形成される。例えば、ワード線22が60~70nmのピッチで形成されるのに対し、選択ゲート線22d、22sは、150~200nmの幅をもって、かつ配線コンタクト部となる隣接する選択ゲート線の間には100~150nmの間隔をおいて形成される。

20

【0027】

第1の選択ゲートトランジスタS1のドレイン拡散層23dは、隣接ブロックのそれと共有のドレインであり、ここがビット線コンタクト位置となる。また第2の選択ゲートトランジスタS2のソース拡散層23sは、隣接ブロックのそれと共有のソースであり、ここでソース線コンタクト位置である。

【0028】

図1、図4及び図6に示すように、隣接するブロックBLK0、BLK1の隣接する二つの第1の選択ゲート線SGDは、シャント配線コンタクト部となる連結部A3を有する。同様に、隣接するブロックBLK1、BLK2の隣接する二つの第2の選択ゲート線SGSは、シャント配線コンタクト部となる連結部B3を有する。

30

【0029】

従来、ビット線コンタクト側(ドレイン側)の二つの第1の選択ゲート線SGDは、連結部を有するパターンで一体に形成され、ソース線コンタクト側(ソース側)の二つの隣接する第2の選択ゲート線SGSは互いに独立のパターンとして形成されていた。これに対してこの実施の形態では、第1及び第2の選択ゲート線SGD、SGSが共に連結部A3、B3を有する同様のパターンとして形成されている。

【0030】

この様に形成されたセルアレイ上に、第2の選択ゲートトランジスタS2のソース拡散層23sにコンタクトする共通ソース線26(CELLSRC)が、例えば多結晶シリコン膜により形成される。共通ソース線26は、図1に破線で示すように、シャント配線コンタクト部CT3、CT4やウェル配線コンタクト部CT5には、開口が設けられた状態で、ワード線の方向に連続するパターン埋め込み配線として形成される。

40

【0031】

図3及び図6に示すように、この実施の形態では、ソース線26と同じ多結晶シリコン膜により、ビット線のコンタクトプラグ27を埋め込み形成している。

【0032】

ソース線26とコンタクトプラグ27が形成された後、セルアレイは層間絶縁膜31で覆われ、この層間絶縁膜31上に、第1層金属配線によって、選択ゲート線SGD、SG

50

Sのシャント配線33(A1, A2, B1, B2)が形成される。このシャント配線33の形成法は、例えば、デュアルダマシーン法による。

【0033】

これらのシャント配線(A1, A2), (B1, B2)は共に、選択ゲート線SGD, SGSの連結部A3, B3と重なる連結部を有し、ここで選択ゲート線SGD, SGSに接触されている。図4及び図6に示すように、この実施の形態では、シャント配線(A1, A2), (B1, B2)の接触CT3, CT4は具体的には、選択ゲート線SGD, SGSの第1層多結晶シリコン層21d, 21sに接触させている。

【0034】

シャント配線33が形成されたセルアレイ上には更に層間絶縁膜32が形成され、この上に第2層金属配線であるビット線34(BL)が形成される。これも例えば、層間絶縁膜32に配線溝と接触孔を形成して金属膜を埋め込むダマシーン法による。ビット線接触CT1は、接触プラグ27を介して共有ドレイン拡散層23dに接続されることになる。

10

【0035】

この実施の形態では、ビット線34と同じ第2層金属配線により、p型ウェルに接触されるウェル配線35(CPWEL)が形成されている。但し、これらのビット線とウェル配線とを異なる層の金属配線により形成してもよく、例えばウェル配線を図では示していないが、ビット線より上部層の金属配線により形成することができる。

20

【0036】

ウェル配線35は、シャント配線A1, A2の接触CT3の中間位置に、ビット線34と並行するように形成される。この実施の形態の場合、図5に示すように、ウェル配線35は、ソース線接触CT2の並びの位置でp型ウェル12に接触するようにウェル配線接触CT5が形成されている。このウェル配線接触CT5のために、第2の選択ゲート線SGSは、ここで分離されている。

【0037】

以上のようにこの実施の形態では、ドレイン側の選択ゲート線SGDとソース側の選択ゲート線SGSとを実質同じ梯子状パターンとして、形成している。従来提案されている方式では、ソース側選択ゲート線とそのシャント配線は、ブロック毎に独立に形成する。これは、選択ゲート線のシャント配線が一部ワード線に重なるような幅をもって形成されるため、もしこれを隣接ブロックで一体に形成すると、非選択ブロックにおいてシャント配線とワード線間の容量結合が問題になるからである。即ちシャント配線が隣接2ブロックで一体に形成されると、選択ブロックで選択ゲート線に電圧を印加したとき、非選択ブロックのワード線にシャント配線からの容量結合により無用な駆動電圧が与えられるおそれがある。

30

【0038】

しかし最近の微細化技術の発展により、ワード線のライン/スペースがますます小さくなっている。その結果、ワード線に対する上部配線からの容量結合は相対的に小さくなり、反対に隣接セル間の横方向の容量結合(浮遊ゲート間の容量結合)が大きな問題になりつつある。この様な事情の変化から、ソース側選択ゲート線を隣接ブロック間で独立に形成し、それらに独立にシャント配線を形成するという必要性もなくなっている。そこでこの実施の形態では、ドレイン側選択ゲート線と実質同様に、隣接ブロックのソース側選択ゲート線を連結部を有する一体パターンとして形成し、更にその連結部に接触する一体パターンのシャント配線を形成している。

40

【0039】

更に、従来は、ウェル配線CPWELをビット線接触CT1の並びで接触させていたため、ここでドレイン側選択ゲート線SGDを分離しなければならなかった。このため、例えば隣接するシャント配線接触CT3の間の距離P1が例えば200ビット線分の距離であるとして、100ビット線分の選択ゲート線長P1/2を、一方の

50

コンタクトCT3のみから駆動する必要があった。

【0040】

これに対してこの実施の形態では、ウェル配線CPWELは、ソース線コンタクト位置の並びでp型ウェルにコンタクトさせており、ビット線コンタクト位置上は通過させている。従って、ドレイン側選択ゲート線SGDは、ウェル配線CPWELの存在に拘わらず連続するパターンとして形成している。このため、200ビット線分の選択ゲート線長P1の範囲をその両側のコンタクトCT3から駆動することができる。従って、実質的に選択ゲート線SGDの遅延が小さくなり、高速駆動が可能になる。

【0041】

図8は、第2の実施の形態によるNAND型フラッシュメモリのセルアレイレイアウトである。先の実施の形態と対応する部分には先の実施の形態と同じ符号を付して詳細な説明は省く。断面構造についても、先の実施の形態とは異なるIII-III'断面及びIV-IV'断面をそれぞれ、図9及び図10に示す。

10

【0042】

この実施の形態では、ウェル配線35(CPWEL)を、ソース線コンタクトCT2の並びの位置でp型ウェルにコンタクトさせると共に、ビット線コンタクトDT1の並びの位置でもコンタクトさせている。従って、ドレイン側選択ゲート線SGDはそのウェル配線コンタクトCT5の位置で分離されている。

【0043】

この実施の形態によると、ウェル配線35のコンタクト数の増加により、その配線抵抗の影響が低減される。またドレイン側選択ゲート線SGDとソース側選択ゲート線SGSの配線パターンが全く同じになる。

20

【0044】

図11は、第3の実施の形態によるNAND型フラッシュメモリのセルアレイレイアウトである。先の実施の形態と対応する部分には先の実施の形態と同じ符号を付して詳細な説明は省く。断面構造についても、先の実施の形態とは異なるIII-III'断面及びIV-IV'断面をそれぞれ、図12及び図13に示す。

【0045】

この実施の形態では、ウェル配線35(CPWEL)は第1の実施の形態と同様にソース線コンタクトCT2の並び位置のみでコンタクトさせる一方、それが通過するビット線コンタクトCT1の並び位置には、ウェル配線35がない位置と同様に、隣接する選択ゲート線SGDを連結する連結部A3を配置し、ここにシャント配線A1, A2をコンタクトさせている。

30

【0046】

従ってこの実施の形態によると、ドレイン側選択ゲート線SGDのシャント頻度が先の実施の形態の2倍になり、選択ゲート線SGDの遅延時間が更に短縮される。

【0047】

ここまでの実施の形態において、選択ゲート線SGD, SGSの二層多結晶シリコン膜相互のコンタクトについては言及しなかったが、通常これらは、金属膜によるシャント配線33とは別に、所定ピッチで相互コンタクトさせる。従って、シャント配線33は、浮遊ゲート対応の第1層多結晶シリコン層ではなく、制御ゲート対応の第2層多結晶シリコン層にコンタクトさせるようにしてもよい。

40

【0048】

図14は、その様な実施の形態のシャント配線構造を示している。選択ゲート線SGD, SGSを構成する2層多結晶シリコン膜21d, 22d(21s, 22s)は、例えば1カラム分(8ビット線或いは16ビット線)のピッチで相互コンタクトさせる。このような選択ゲート線SGD, SGSに対してシャント配線33は、1カラムピッチよりは大きなピッチP1でコンタクトさせればよい。

【図面の簡単な説明】

【0049】

50

【図 1】第 1 の実施の形態による N A N D 型フラッシュメモリのセルアレイのレイアウトを示す図である。

【図 2】同セルアレイの等価回路を示す図である。

【図 3】図 1 の I - I ' 断面図である。

【図 4】図 1 の II - II ' 断面図である。

【図 5】図 1 の III - III ' 断面図である。

【図 6】図 1 の IV - IV ' 断面図である。

【図 7】図 1 の V - V ' 断面図である。

【図 8】第 2 の実施の形態による N A N D 型フラッシュメモリのセルアレイのレイアウトを示す図である。

10

【図 9】図 8 の III - III ' 断面図である。

【図 10】図 8 の IV - IV ' 断面図である。

【図 11】第 3 の実施の形態による N A N D 型フラッシュメモリのセルアレイのレイアウトを示す図である。

【図 12】図 11 の III - III ' 断面図である。

【図 13】図 11 の IV - IV ' 断面図である。

【図 14】他の実施の形態による選択ゲート線のシャント配線構造を示す図である。

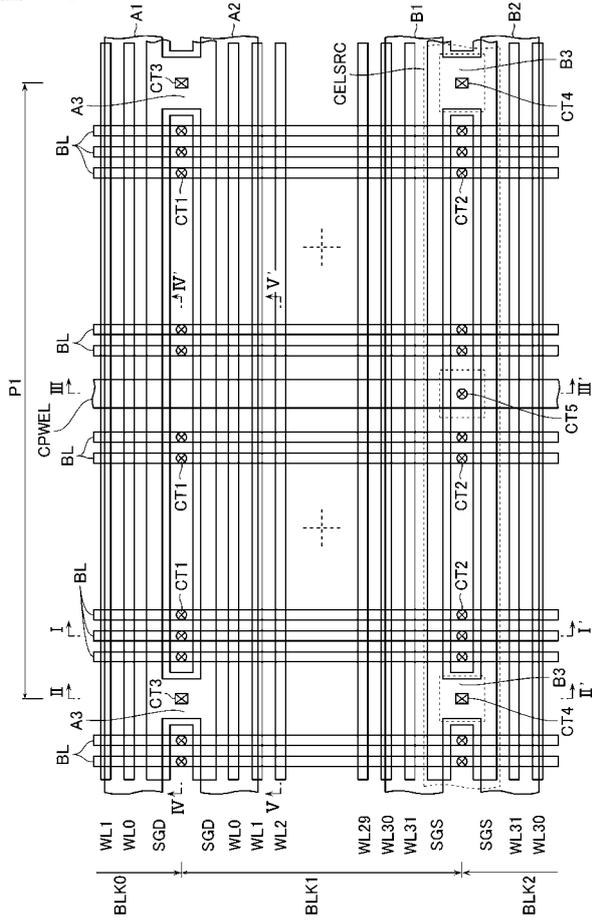
【符号の説明】

【0050】

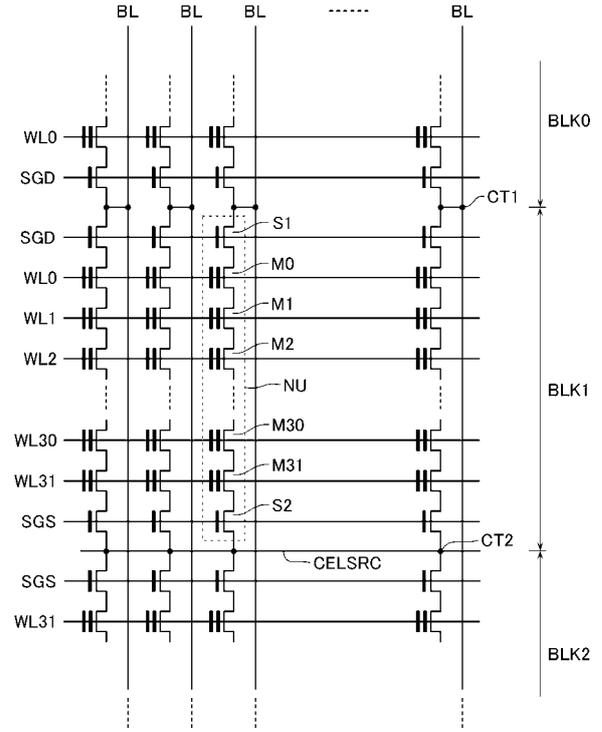
10 ... p 型シリコン基板、11 ... n 型ウェル、12 ... p 型ウェル、13 ... 素子分離絶縁膜、14 ... 素子形成領域、21 ... 浮遊ゲート、22 ... 制御ゲート(ワード線 WL)、23 ... ソース/ドレイン拡散層、26 ... ソース線(CELSRC)、31, 32 ... 層間絶縁膜、33 ... シャント配線(A1, A2, B1, B2)、34 ... ビット線(BL)、35 ... ウェル配線(CPWEL)、CT1 ... ビット線コンタクト、CT2 ... ソース線コンタクト、CT3, CT4 ... シャント配線コンタクト、CT5 ... ウェル配線コンタクト、A3, B3 ... 連結部。

20

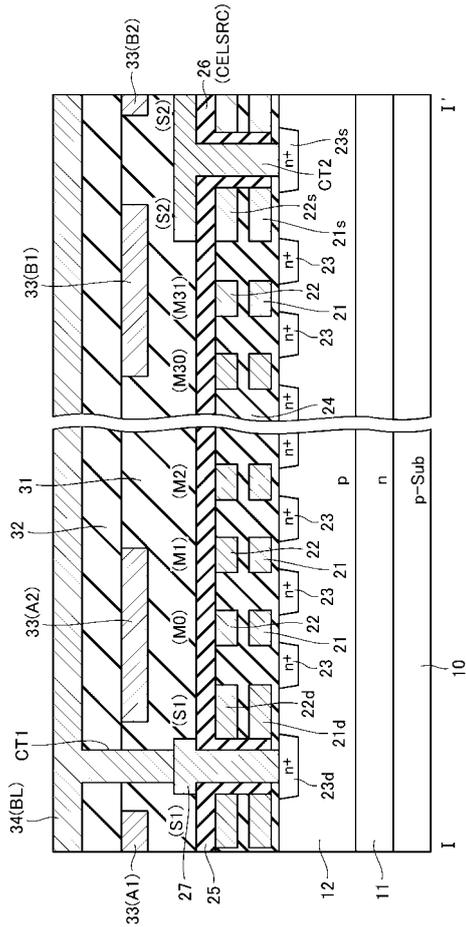
【 図 1 】



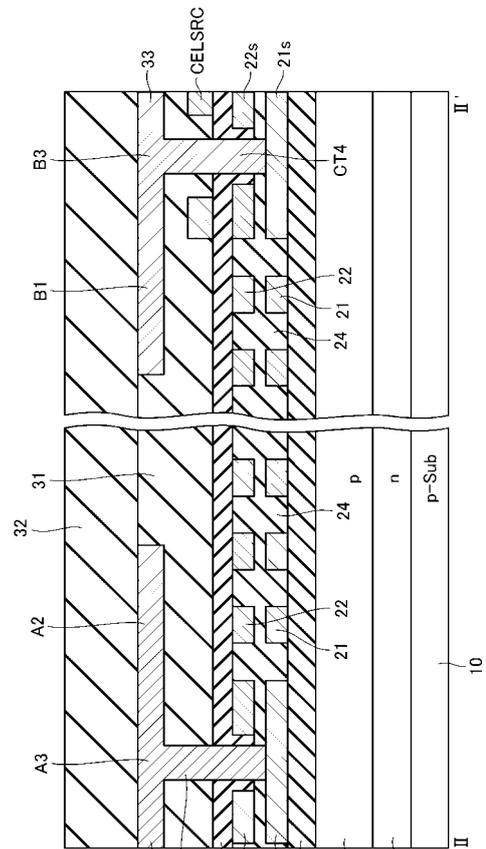
【 図 2 】



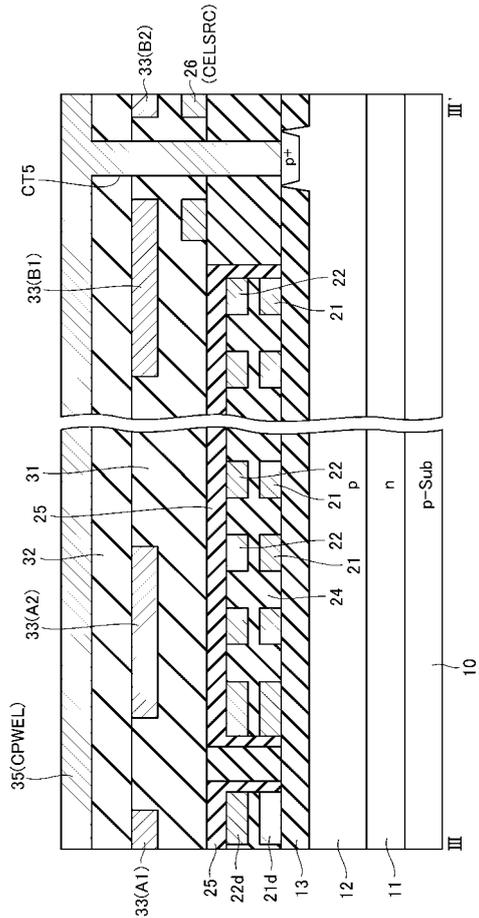
【 図 3 】



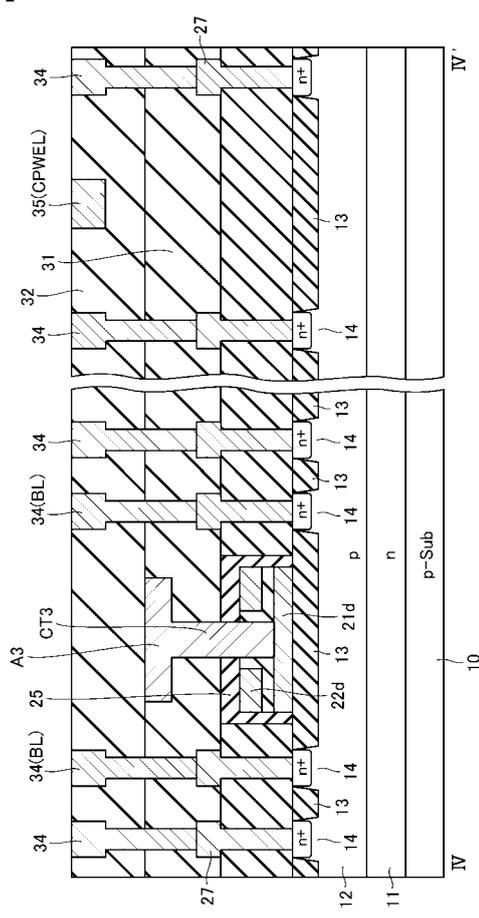
【 図 4 】



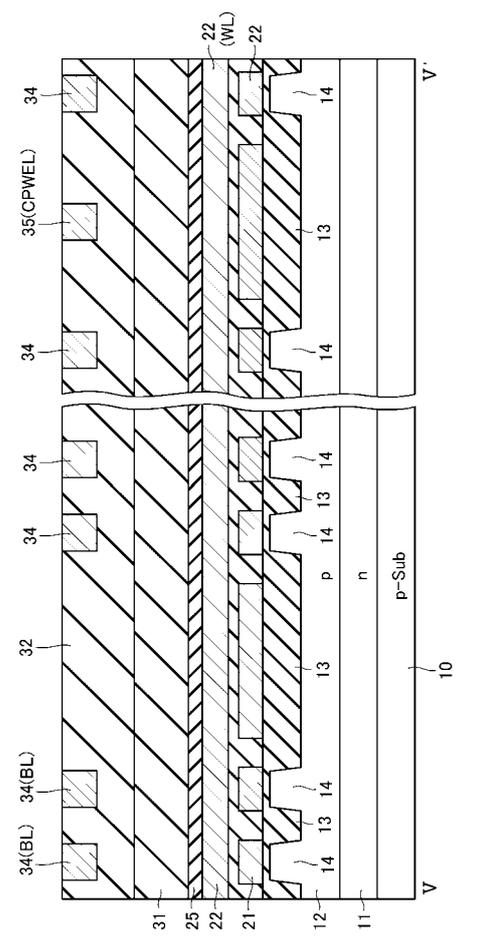
【 図 5 】



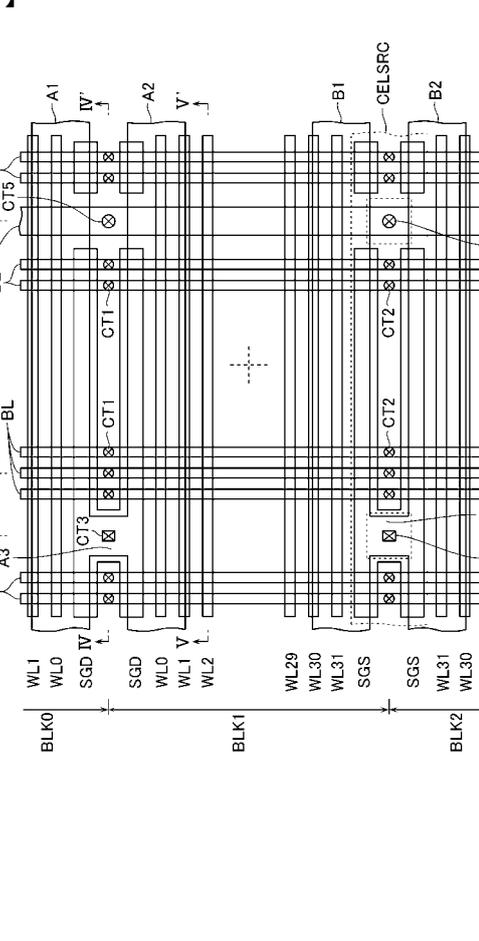
【 図 6 】



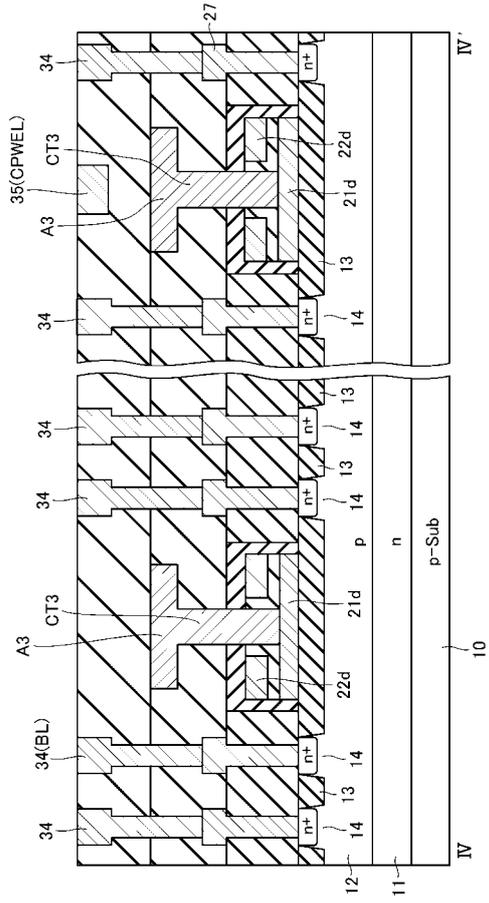
【 図 7 】



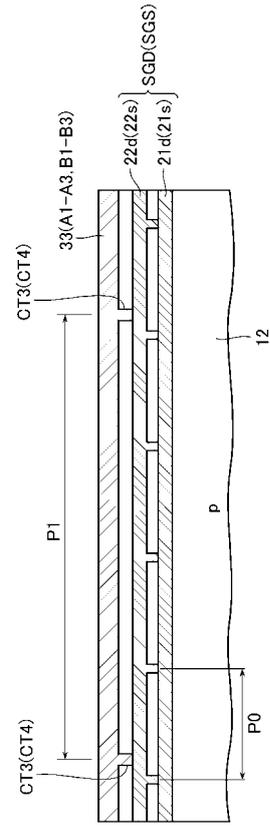
【 図 8 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

Fターム(参考) 5F083 EP02 EP23 EP33 EP34 EP60 EP76 ER22 GA01 KA01 KA05
KA20 LA12 LA16 LA21 MA06 MA16 MA20
5F101 BA01 BB05 BD10 BD22 BD34 BE07