



# (12)发明专利

(10)授权公告号 CN 105900039 B

(45)授权公告日 2019.05.28

(21)申请号 201580005038.0

(22)申请日 2015.01.21

(65)同一申请的已公布的文献号  
申请公布号 CN 105900039 A

(43)申请公布日 2016.08.24

(30)优先权数据  
61/941687 2014.02.19 US  
14/578191 2014.12.19 US

(85)PCT国际申请进入国家阶段日  
2016.07.19

(86)PCT国际申请的申请数据  
PCT/US2015/012279 2015.01.21

(87)PCT国际申请的公布数据  
W02015/126559 EN 2015.08.27

(73)专利权人 英特尔公司  
地址 美国加利福尼亚州

(72)发明人 B.P.莫兰 K.甘古利 R.Z.卢普  
X.李 C.E.科克斯

(74)专利代理机构 中国专利代理(香港)有限公司 72001  
代理人 姜冰 付曼

(51)Int.Cl.  
G06F 1/16(2006.01)  
G06F 13/00(2006.01)

(56)对比文件  
US 2002144074 A1,2002.10.03,  
US 2008259553 A1,2008.10.23,  
US 2005036397 A1,2005.02.17,  
US 2010042778 A1,2010.02.18,  
US 2013054949 A1,2013.02.28,  
CN 1514367 A,2004.07.21,  
CN 101174195 A,2008.05.07,

审查员 徐书芳

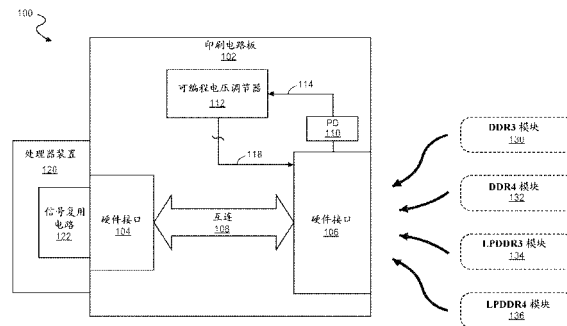
权利要求书3页 说明书14页 附图29页

## (54)发明名称

为多个存储器技术提供平台支持的设备、系统和方法

## (57)摘要

经印刷电路板(PCB)在处理器装置与存储器装置之间交换通信的技术和机制。在一实施例中,基于存储器装置的存储器类型,将处理器装置配置成多个接口模式的某个接口模式,每个接口模式对应于多个存储器标准的不同的相应的一个。基于存储器类型,将电压调节器(VR)编程成某个VR模式以经在PCB上的硬件接口提供一个或更多个电压到存储器装置。在另一实施例中,部署在PCB中或上的互连的x个信号线路每个在处理器装置与存储器装置之间相互耦合。值x是等于信号集的超集的信号的总数的整数,每个信号集由多个存储器标准的不同的相应的一个来指定。



CN 105900039 B

1. 一种用于有利于由处理器的存储器访问的装置,所述装置包括:

第一硬件接口,以耦合印刷电路板到任何存储器装置,每个存储器装置对应于多个信号集的不同相应的信号集;

第二硬件接口,以耦合所述印刷电路板到处理器装置,其中所述处理器装置检测存储器装置到所述第一硬件接口的连接性并且基于所述存储器装置的存储器类型来配置接口模式的第一接口模式,每个接口模式对应于所述多个信号集的不同相应的一个;

电压调节器,耦合到所述第一硬件接口,所述电压调节器要基于所述存储器类型编程成电压调节器模式的第一电压调节器模式,每个电压调节器模式对应于所述存储器装置的不同相应的一个,并且基于所述第一电压调节器模式,提供一个或多个电压到所述第一接口;以及

互连,部署在所述印刷电路板中或上,包括x个信号线路,每个信号线路将所述第一硬件接口的相应输入/输出接触耦合到所述第二硬件接口的相应输入/输出接触,其中x是等于所述多个信号集的超集的信号的总数的整数。

2. 如权利要求1所述的装置,其中所述多个信号集每个由多个存储器标准的不同的相应的一个来指定。

3. 如权利要求2所述的装置,其中所述多个存储器标准包括一个或多个双倍数据率存储器标准。

4. 如权利要求1和2中任一项所述的装置,还包括部署在所述印刷电路板中或上的检测器逻辑,所述检测器逻辑生成并且向所述处理器装置发送信号,所述信号指示所述存储器装置到所述第一硬件接口的所述连接性。

5. 如权利要求4所述的装置,其中所述检测器逻辑基于串行存在检测标准。

6. 如权利要求4所述的装置,其中响应指示所述存储器装置到所述第一硬件接口的所述连接性的所述信号,状态机逻辑识别所述存储器装置的所述存储器类型。

7. 如权利要求6所述的装置,其中所述状态机逻辑包括所述处理器装置的状态机电路。

8. 如权利要求6所述的装置,其中所述处理器装置执行基本输入/输出系统(BIOS)过程,所述过程包括所述状态机逻辑。

9. 如权利要求1和2中任一项所述的装置,其中所述多个存储器装置包括一个或多个双列直插式存储器模块。

10. 一种用于有利于由处理器的存储器访问的系统,所述系统包括:

印刷电路板;

第一硬件接口,部署在所述印刷电路板中或上,所述第一硬件接口耦合到任何存储器装置,每个存储器装置对应于多个信号集的不同相应的信号集;

第二硬件接口,部署在所述印刷电路板中或上;

处理器装置,经所述第二硬件接口耦合到所述印刷电路板,所述处理器装置检测存储器装置到所述第一硬件接口的连接性,并且基于所述存储器装置的存储器类型来配置接口模式的第一接口模式,每个接口模式对应于所述多个信号集的不同相应的一个;

电压调节器,耦合到所述第一硬件接口,所述电压调节器要基于所述存储器类型编程成电压调节器模式的第一电压调节器模式,每个电压调节器模式对应于所述存储器装置的不同相应的一个,并且基于所述第一电压调节器模式,提供一个或多个电压到所述第

一接口;以及

互连,部署在所述印刷电路板中或上,包括x个信号线路,每个信号线路将所述第一硬件接口的相应输入/输出接触耦合到所述第二硬件接口的相应输入/输出接触,其中x是等于所述多个信号集的超集的信号总数的整数。

11.如权利要求10所述的系统,其中所述多个信号集每个由多个存储器标准的不同的相应的一个来指定。

12.如权利要求11所述的系统,其中所述多个存储器标准包括一个或更多个双倍数据率存储器标准。

13.如权利要求10和11中任一项所述的系统,还包括部署在所述印刷电路板中或上的检测器逻辑,所述检测器逻辑生成并且向所述处理器装置发送信号,所述信号指示所述存储器装置到所述第一硬件接口的所述连接性。

14.如权利要求13所述的系统,其中所述检测器逻辑基于串行存在检测标准。

15.如权利要求13所述的系统,其中响应指示所述存储器装置到所述第一硬件接口的所述连接性的所述信号,状态机逻辑识别所述存储器装置的所述存储器类型。

16.如权利要求15所述的系统,其中所述状态机逻辑包括所述处理器装置的状态机电路。

17.如权利要求10和11中任一项所述的系统,其中所述多个存储器装置包括一个或更多个双列直插式存储器模块。

18.一种用于有利于由处理器的存储器访问的方法,所述方法包括:

检测存储器装置到部署在印刷电路板中或上的第一硬件接口的连接性;

响应检测到所述连接性,识别所述存储器装置的存储器类型,其中,基于所述存储器类型,处理器装置配置所述处理器装置的多个接口模式的第一接口模式,所述多个接口模式每个对应于多个信号集不同的相应的信号集,所述处理器装置经部署在所述印刷电路板中或上的第二硬件接口耦合到所述印刷电路板;

基于所述存储器类型,编程电压调节器的多个电压调节器模式的第一电压调节器模式,所述多个电压调节器模式每个对应于多个存储器类型的不同的相应的一个,其中所述电压调节器基于所述第一电压调节器模式,提供一个或更多个电压到所述第一接口;以及

在基于所述一个或更多个电压的所述存储器装置的操作期间,经部署在所述印刷电路板中或上的互连的x个信号线路在所述存储器装置与所述处理器装置之间交换信号,其中x是等于所述多个信号集的超集的信号总数的整数。

19.如权利要求18所述的方法,其中所述多个信号集每个由多个存储器标准的不同的相应的一个来指定。

20.如权利要求19所述的方法,其中所述多个存储器标准包括一个或更多个双倍数据率存储器标准。

21.如权利要求18所述的方法,其中所述多个存储器装置包括一个或更多个双列直插式存储器模块。

22.一种用于有利于由处理器的存储器访问的设备,所述设备包括:

用于检测存储器装置到部署在印刷电路板中或上的第一硬件接口的连接性的部件;

用于响应检测到所述连接性,识别所述存储器装置的存储器类型的部件,其中,基于所

述存储器类型,处理器装置配置所述处理器装置的多个接口模式的第一接口模式,所述多个接口模式每个对应于多个信号集的不同相应的信号集,所述处理器装置经部署在所述印刷电路板中或上的第二硬件接口耦合到所述印刷电路板;

用于基于所述存储器类型,编程电压调节器的多个电压调节器模式的第一电压调节器模式的部件,所述多个电压调节器模式每个对应于多个存储器类型的不同的相应的一个,其中所述电压调节器基于所述第一电压调节器模式,提供一个或多个电压到所述第一接口;以及

用于在基于所述一个或多个电压的所述存储器装置的操作期间,经部署在所述印刷电路板中或上的互连的x个信号线路在所述存储器装置与所述处理器装置之间交换信号的部件,其中x是等于所述多个信号集的超集的信号的总数的整数。

23. 如权利要求22所述的设备,其中所述多个信号集每个由多个存储器标准的不同的相应的一个来指定。

24. 如权利要求23所述的设备,其中所述多个存储器标准包括一个或多个双倍数据率存储器标准。

25. 如权利要求22所述的设备,其中所述多个存储器装置包括一个或多个双列直插式存储器模块。

26. 一种计算机可读介质,其上存储有指令,所述指令在由计算装置执行时,促使所述计算装置执行如权利要求18-21中任一项所述的方法。

## 为多个存储器技术提供平台支持的设备、系统和方法

[0001] 相关申请

[0002] 本申请是基于2014年2月19日提交的美国临时专利申请第 61/941687号的非临时申请,并且主张该临时申请的优先权的权益。临时申请第 61/941687号由此通过引用而被结合。

[0003] 背景

[0004] 1. 技术领域

[0005] 本文中讨论的实施例以各种方式涉及计算机平台设计。更具体地说,某些实施例包括但不限于适应多个不同存储器技术的任何技术的平台。

[0006] 2. 背景技术

[0007] 对存储器系统的改进已采用并且继续采用许多形式,包括更快的动态随机存取存储器 (DRAM)、更高的双倍数据速率 (DDR) 总线频率、更大容量双列直插式存储器模块 (DIMM)、每沟道更多DIMM及其它提高的能力。由电子装置工程联合委员会 (JEDEC) 固态技术协会定义的DDR标准是以各种方式实现存储器功能性以及通过不同的相应的存储器接口硬件来这样做的存储器技术的一些示例。

[0008] 由于关于对遗留存储器系统的支持的行业要求,随着连续多代存储器装置技术的开发,市场中有越来越多的各种存储器接口硬件。迄今为止,平台开发商依赖不同印刷电路板的设计来支持不同存储器技术每个集成到对应平台类型中。

[0009] 存储器装置测试和平台组装是行业的两个领域,它们受各种以前、当前和即将到来的存储器技术(要测试和/或推向市场的)影响。在这些领域中面对的一个常见问题是只支持一个对应存储器技术的给定印刷电路板设计的有限适用性。

### 附图说明

[0010] 本发明的各种实施例在附图的图中以示例方式而不是限制方式示出,并且在图中:

[0011] 图1是根据一实施例的、示出支持多个存储器技术的任何技术的系统的元素的高等级框图。

[0012] 图2示出根据一实施例的、支持多个存储器技术的任何技术的系统的元素。

[0013] 图3是根据一实施例的、示出访问存储器装置的方法的元素的流程图。

[0014] 图4是根据一实施例的、示出配置平台以适应存储器技术的方法的元素的流程图。

[0015] 图5是表格集,每个表格描述根据一相应实施例的、由平台支持的对应存储器技术的信号。

[0016] 图6是表格集,以各种方式列出根据一实施例的信号类型和电压,每个信号类型和电压由平台支持的相应存储器技术指定。

[0017] 图7A-7C是表格集,每个表格描述根据一实施例的、跨平台的不同接口模式的信号的映射。

[0018] 图8A-8D是表格集,每个表格示出根据一对应实施例的、用于适应相应存储器技术

的引出线的元素。

[0019] 图9A-9C是表格集,每个表格示出根据一对应实施例的、用于适应相应存储器技术的引出线的元素。

[0020] 图10是根据一实施例的、示出支持多个存储器技术的任何技术的计算机系统的元素的高等级框图。

[0021] 图11是根据一实施例的、示出支持多个存储器技术的任何技术的移动装置的元素的高等级框图。

### 具体实施方式

[0022] 本文中讨论的实施例以各种方式提供用于使平台支持与基于多个不同存储器技术的任何技术的存储器装置来操作的技术和/或机制。在一实施例中,诸如母板的印刷电路板(PCB)在其中和/或其上部署了交换一个或更多个信号的电路,所述一个或更多个信号指示经部署在PCB中或上的硬件接口的、PCB到存储器装置的连接性。此类电路可配置成交换识别存储器装置的存储器类型的一个或更多个信号。在一些实施例中,电压调节器(VR)耦合到PCB,其中,VR的多个可编程模式每个对应于多个存储器技术的不同的相应的一个。基于存储器装置的存储器类型 - 例如,存储器装置所基于的特定存储器技术 - VR的模式可编程成向硬件接口提供由对应存储器技术指定的一个或更多个电压。存储器装置可经部署在PCB中或上的另一硬件接口来与耦合到PCB的处理器装置交换信号。互连可包括配置成能够适应处理器装置的多个接口模式的任何模式的信号线路 - 例如,其中,多个接口模式每个对应于多个存储器技术的不同的相应的一个。

[0023] 如本文中使用的,“硬件接口”指输入和/或输出(I/O)接触集 - 诸如引线、焊盘、焊球或其它传导结构 - 由此一个装置可耦合到另一装置。例如,硬件接口可部署在PCB上以允许封装集成电路(IC)装置、存储器模块和/或其它装置耦合到PCB。硬件接口可包括例如能够接收可插拔存储器模块的机械式连接器。备选,硬件接口可包括可用于焊接到装置的球栅阵列(BGA)的焊盘阵列。经硬件接口耦合到PCB的装置可包括处理器(例如,中央处理器),该处理器包括一个或更多个处理器核。备选,此类装置可包括DIMM或其它存储器模块(其包括一个或更多个封装的存储器装置)。

[0024] 本文中相对于诸如双倍数据速率(DDR)标准的各种存储器标准来讨论某些说明性实施例。此类标准的示例包括但不限于由JEDEC固态技术协会在2007年6月公布的DDR3同步动态随机存取存储器(SDRAM)标准JESD79-3、由JEDEC固态技术协会在2010年7月26日公布的DDR3L SDRAM标准JESD79-3-1及由JEDEC固态技术协会在2012年9月25日公布的DDR4 SDRAM标准JESD79-4。其它示例包括由JEDEC固态技术协会在2012年5月17日公布的LPDDR3 JESD209-3 LPDDR3低功率存储器装置标准、由JEDEC固态技术协会在2014年8月公布的LPDDR4低功率存储器装置标准JESD209-4、以及由JEDEC固态技术协会在2013年12月公布的图形双倍数据速率(GDDR5)同步图形随机存取存储器(SGRAM)标准JESD212B.01。然而,此类讨论可扩展成另外地或备选地应用到各种DDR和/或其它存储器标准的任何标准。除非另有指示,否则,“存储器技术”和“存储器类型”在本文中以各种方式用于表示在存储器装置中包括的或以其它方式由其使用的特定信号集和/或一个或更多个电压。此类信号集和一个或更多个电压可基于例如特定存储器标准的要求,例如根据特定存储器标准的要求指定或

以其它方式与其兼容。

[0025] 本文中讨论的某些实施例以各种方式涉及支持处理器装置的操作的平台,处理器装置可配置成支持多个不同模式,每个模式对应于不同的相应的存储器技术。此类模式每个可包括配置用于处理器装置的不同的相应的引出线。除非另有指示,否则“接口模式”在本文中表装置(例如处理器装置)的模式,其提供装置的特定引出线。装置的一个接口模式可与装置的一个或更多个其它接口模式不同,每个接口模式提供装置的不同的相应的引出线。在不同时间,处理器装置可在多个接口模式的不同模式中操作 - 例如,在处理器经相同硬件接口保持耦合到PCB时。装置到接口模式的转变 - 例如,包括在不同接口模式之间的转变 - 在本文中称作对接口模式的复用(或MUX)。

[0026] 图1示出根据一实施例的系统100的元素,其有利于处理器与多个存储器装置的任何装置的操作,每个存储器装置对应于信号的不同的相应的集 - 例如,信号集每个基于不同的相应的存储器标准。本文中描述的技术可在一个或更多个电子装置中实现。可利用本文中描述的技术的电子装置的非限制性示例包括任何种类的移动装置和/或固定装置,诸如摄像机、蜂窝电话、计算机终端、桌面型计算机、电子阅读器、传真机、信息服务亭、上网本计算机、笔记本计算机、因特网装置、支付终端、个人数字助理、媒体播放器和/或录制器、服务器(例如,刀片服务器、机架安装服务器、其组合等)、机顶盒、智能电话、平板个人计算机、超级移动个人计算机、有线电话、其组合及诸如此类。此类装置可以是便携的或固定的。在一些实施例中,本文中描述的技术可在台式计算机、膝上型计算机、智能电话、平板计算机、上网本计算机、笔记本计算机、个人数字助理、服务器、其组合及诸如此类中采用。更一般地说,本文中描述的技术可在处理器装置和存储器装置之一或两者可耦合和/或安装到的任何电子装置中采用。

[0027] 在一实施例中,系统100包括印刷电路板(PCB) 102和在其中或其上以各种方式部署的组件,其中,此类组件将有利于在每个均耦合到PCB 102的存储器装置与处理器装置120之间的通信。此类组件表示为包括说明性的硬件(HW)接口104、HW接口106、互连108、存在检测器PD 110及可编程电压调节器(VR) 112。然而,系统100可包括各种另外或备选组件的任何组件以提供诸如本文中描述的功能性。系统100示为包括经HW接口104耦合到处理器装置120的PCB 102,其中,PCB 102可用于经HW接口106进一步耦合到多个不同存储器装置的任何装置。然而,系统100的一些实施例只包括PCB 102和在其中和/或在其上部署的组件 - 即,其中实施例可用于耦合到但不包括处理器装置120。不同存储器装置的示例包括存储器模块,每个存储器模块基于诸如说明性的DDR3模块130、DDR4模块132、LPDDR3模块134及LPDDR4模块136的不同的相应的存储器标准,例如,在一个或更多个方面符合或至少兼容标准的要求。然而,系统100可根据不同实施例支持更少、更多和/或不同存储器技术。

[0028] 处理器装置可包括一个或更多个处理器核,并且在一实施例中,包括存储器控制逻辑以代表此类一个或更多个处理器核访问存储器装置。处理器装置120是引出线可配置装置的一个示例 - 例如,其中处理器装置120包括信号MUX电路122以在到HW接口104的连接提供多个不同可能引出线的任何引出线。如本文中使用的,“引出线”表示I/O接触(例如,引线、焊盘、焊球或诸如此类)每个到接口的相应信号或电压的映射。信号MUX电路122可在不同时间配置成不同接口模式的任何模式,每个接口模式对应于不同的相应的存储器技术,其中,接口模式提供相应引出线以适应对应存储器技术。可从常规机制适应一些或所有

信号MUX电路122以提供可配置的引出线。此类常规机制不是关于某些实施例的限制,其特定细节在本文中未详细描述,以免混淆此类实施例的特征。

[0029] 迄今为止,平台设计人员依赖一个PCB设计(或PCB设计的一类)以使给定引出线可配置处理器装置与一个存储器技术操作,并且依赖不同PCB设计(或PCB设计的类)以使该引出线可配置处理器装置与不同存储器技术的存储器装置进行操作。某些实施例是PCB设计可适用于基于引出线可配置处理器装置的能力而建立的实现的结果,从而允许与多个不同可能存储器技术的任何技术的装置的操作(作为一个普通平台的部分)。

[0030] 在一实施例中,印刷电路板102将充当母板以用于平台 - 例如,其中系统100是平台或平台的组件。硬件接口104、106每个可包括相应多个I/O接触 - 例如,其中互连108包括信号线路,每个信号线路耦合HW接口104的相应I/O接触到HW接口106的相应I/O接触。通过说明的方式而不是限制的方式,互连108的此类信号线路可以各种方式支持数据信号、地址信号、时钟信号、管芯上终止信号、时钟使能信号、芯片选择信号和/或各种方式定义(每个信号由相应存储器标准)的各种其它信号的任何信号的通信。

[0031] 处理器装置120可包括封装装置,该封装装置包括一个或多个处理器核来操作为系统100的中央处理器(CPU)或其它处理器 - 例如,包括执行主机操作系统(OS)、基本输入/输出系统(BIOS)和/或一个或多个其它软件过程的处理器装置120。虽然某些实施例在此方面不受限制,但处理器装置120可包括或者以其它方式有权访问状态机逻辑(例如,包括硬件、固件和/或执行软件),以识别耦合到HW接口106的存储器装置的特定存储器技术类型。在一些实施例中,系统100将耦合到(但可不包括)处理器装置120和存储器装置(耦合到HW接口106)之一或两者。

[0032] 系统100可包括部署在PCB 102中或上的存在检测器电路PD 110,其中,PD 110的电路将检测存储器装置到HW接口106的连接性。此类存储器装置可包括例如DIMM的存储器模块,存储器模块包括基于特定存储器标准的一个或多个封装的存储器装置。虽然某些实施例在此方面不受限制,但此类连接性的检测可包括PD 110执行从诸如基于串行存在检测(SDP)标准的那些技术的常规存在检测技术适应的一个或多个操作。此类标准的一个示例是2014年2月公布的JEDEC固态技术协会的用于DDR3 SDRAM模块(版本6)的SPD标准,SPD4\_01\_02\_11:SPD附件K。此类常规存在检测技术的细节在本文中未详细描述,并且不是对某些实施例的限制。

[0033] PD 110可生成信号114,指示存储器装置经HW接口106到PCB 102的检测到的连接性。信号114可指定存储器装置的特定存储器类型,或备选,可只按常规用信号通知连接性。信号114可促使系统100的一个或多个其它组件确定存储器装置的多个可能存储器类型的一个特定类型和/或基于该一个特定类型操作。

[0034] 例如,部署在PCB 102中或上的可编程电压调节器(VR) 112可编程以向HW接口106提供一个或多个信号的多个集的任何集,每个信号集对应于不同的相应的存储器技术。基于信号114,可编程VR 112可编程成提供一个或多个电压的特定集(如由说明性的一个或多个电压118所表示的),其对应于耦合到HW接口106的存储器装置的存储器类型(在此情况下,存储器技术)。一个或多个电压118可由VR 112直接或间接以各种方式提供,每个到硬件接口106的相应I/O接触 - 例如,在要区分此类I/O接触与例如耦合到互连108的HW接口106的I/O接触的情况下。在另一实施例中,一个或多个电压118可由VR 112经处理器



120和互连108和/或系统100的一个或多个其它中间组件提供到HW接口106。一个或多个电压118可包括但不限于参考(例如,接地)电压、供应(例如,VDD)电压和/或任何各种其它电压。

[0035] 信号114示为直接提供到可编程VR 112。然而,在一备选实施例中,信号114可另外或备选提供到将识别耦合到HW接口106的存储器装置的存储器技术的100的其它逻辑。例如,信号114可替代地传递到处理器装置120的状态机逻辑,其中,响应信号114,此类状态机逻辑可识别存储器装置的存储器类型。此类状态机逻辑又可传递存储器类型以有利于信号MUX电路122的对应接口模式的配置和/或有利于可编程VR 112的编程。

[0036] 现在参照图2,显示根据一个说明性实施例的系统200的组装视图。系统200可包括例如系统100的一些或全部特征。在一实施例中,系统200包括PCB 202和在其中或其上以各种方式部署的组件,以有利于在处理器装置220与存储器装置22之间的通信,所述处理器装置220与存储器装置222每个耦合到PCB 202。此类组件表示为包括说明性HW接口204、206;互连208;检测器PD 210及VR 212。

[0037] 在图2中,PCB 202显示为准备好经HW接口204耦合到处理器装置220,并且还准备好经HW接口206耦合到存储器装置222。系统200的一些实施例只包括PCB 202和在其中和/或在其上部署的组件 - 即,其中实施例可用于耦合到但不包括处理器装置220或存储器装置222。

[0038] 在系统200的说明性实施例中,HW接口204是I/O焊盘的阵列,每个焊盘要以各种方式焊接到处理器装置220的球栅阵列的对应焊球。相比之下,HW接口206可以是机械式连接器,包括I/O接触以插入存储器装置222的相应I/O接触或以其它方式与其连接。通过说明的方式而不是限制的方式,HW接口206可包括存储器模块连接器,诸如与小型DIMM (SO-DIMM)连接器或各种其它常规存储器模块连接器类型的任何类型兼容的一个连接器。HW接口206可有利于用户在存储器装置222与至少一个备选存储器装置之间交换或以其它方式在它们之间选择 - 例如,在两个存储器装置基于不同存储器标准的情况下。

[0039] PCB 202可有利于由处理器装置220和存储器装置222及(在另一时间)可经HW接口206耦合到PCB 202的备选存储器装置(未显示)进行通信。互连208可包括多个信号线路,每个信号线路耦合HW接口204的I/O接触到HW接口206的相应I/O接触。此类多个信号线路的总数可对应于信号线路的多个集的超集,信号线路的多个集以各种方式定义(每个由相应存储器标准)。通过说明的方式而不是限制的方式,信号线路的多个集可包括第一集和第二集,第一集包括由第一存储器标准定义的信号,第二集包括由第二存储器标准定义的信号。在此类一实施例中,至少部分由于多个信号线路的总数大于第一集的总数并且小于第一集和第二集的信号的总数,互连208的多个信号线路可对应于超集。

[0040] 如本文中讨论的,检测器210可检测存储器装置222到HW接口206的连接性,并且经PCB 202交换指示此类连接性的信号。此类连接性的指示可直接或间接传递到一个或多个组件 - 例如,包括HW接口204和/或VR 212 - 这些组件将确定存储器装置222的存储器类型和/或基于此类存储器类型进行配置。例如,处理器装置220可确定存储器类型,并且配置处理器装置220的多个可能接口模式的特定接口模式,以用于经与存储器类型兼容的HW接口204交换信号。处理器装置220的多个可能接口模式每个可对应于不同的相应的存储器技术,其中,每个接口模式将提供不同的相应的引出线以适应对应存储器技术。备选或另

外,VR 212可配置VR 212的多个可能VR模式的特定VR模式以用于经HW接口204提供一个或多个电压到存储器装置222。多个可能VR模式每个可对应于不同的相应的存储器装置类型,其中,每个VR模式将提供由对应存储器技术指定的相应一个或多个电压。

[0041] 图3示出根据一实施例的、用于在处理器与存储器装置之间交换通信的方法300的元素。方法300可由例如包括系统100的一些或全部特征的平台、系统或其它硬件执行。在一实施例中,方法300包括在310检测存储器装置到部署在印刷电路板中或上的第一硬件接口的连接性。在310的检测可通过部署在PCB中或上的检测器逻辑执行,其中,检测器逻辑生成并且向处理器装置发送指示连接性的信号。此类检测器逻辑可符合或以其它方式基于例如串行存在检测标准。

[0042] 响应在310的检测,方法300可包括在320识别存储器装置的存储器类型。在320的识别可包括识别存储器装置基于的存储器标准和/或识别在存储器装置中包括或以其它方式对应于存储器装置的信号集(例如,引出线)。基于存储器类型,处理器装置可配置处理器装置的多个接口模式的第一接口模式。例如,处理器可经部署在PCB中或上的第二硬件接口耦合到PCB。包括在处理器装置中或者以其它方式可由处理器装置访问的状态机逻辑可基于与在PCB上的检测器逻辑和/或与存储器装置本身的一个或多个交换,从多个可能存储器类型之间识别存储器装置的存储器类型。此类状态机逻辑例如可包括处理器装置的状态机电路或由处理器装置执行的基本输入/输出系统(BIOS)过程。处理器装置的多个接口模式每个可对应于多个信号集的一个。此类信号集可包括一个或多个集,每个集由不同的相应的存储器标准指定。

[0043] 方法300可还包括在330基于识别的存储器类型,提供一个或多个电压到第一接口。例如,VR可生成或接收存储器类型的指示,并且作为响应,编程电压调节器(VR)的多个VR模式的第一VR模式。多个VR模式每个可对应于多个存储器装置类型的不同的相应一个。多个存储器类型每个可对应于相应存储器标准 - 例如,其中,一个或多个VR模式每个将提供由对应存储器标准指定的相应一个或多个电压。VR可基于编程的第一VR模式,在330提供一个或多个电压。

[0044] 在基于一个或多个电压的存储器装置的操作期间,方法300可在340在存储器装置与处理器装置之间交换信号。例如,此类信号可经部署在PCB中或上的互连的x个信号线路交换,其中,x是等于信号集的超集的信号的总数的整数,每个信号集对应于多个存储器类型的不同的相应一个。

[0045] 图4示出根据一实施例的、用于识别存储器装置的存储器类型的方法400的元素。方法400可由系统100或200的组件执行以确定要配置用于与存储器装置的通信的引出线。例如,方法可由处理器装置120或处理器装置200的BIOS过程执行。

[0046] 在402,方法400可开始操作以便为诸如系统100、200之一的系统上电。在此类上电操作期间或在其之后,可为PCB的一个或多个主要轨上电 - 例如,为将检测经部署在PCB中或上的HW接口的存储器装置的连接性的检测器逻辑供电。通过说明的方式而不是限制的方式,在406,可由状态机逻辑轮询在PCB上的串行存在检测(SPD)逻辑以确定耦合到HW接口的任何存储器装置的存储器类型。在406的轮询指示检测到存储器装置的存在后,方法400可在408确定耦合到PCB的处理器是否支持该存储器装置的存储器类型。

[0047] 在不支持存储器类型的情况下,方法400可包括生成的错误消息,诸如在410发出

的说明性BIOS开机自检 (POST) 码和在412的系统引导失败。然而,在408确定支持确定的存储器类型的情况下,方法400可在414编程电压调节器轨以提供由对应于存储器类型的存储器标准指定的相应电压电平。电压电平可以各种方式从电压调节器经PCB和HW接口提供到存储器装置以便操作存储器装置。

[0048] 某些实施例不限于驻留在PCB上以检测存储器装置的连接性的串行存在检测逻辑。例如,一些实施例可提供用于通过处理器装置执行的BIOS过程以提供存在检测功能性。在此类一实施例中,方法400可包括一个或更多个另外操作(未显示)以确定哪个存在检测机制可供使用。处理器装置可执行此类操作以确定PCB上的SPD逻辑是否可访问,或者例如是否将替代地使用BIOS的虚拟SPD过程。此类确定可在406的轮询之前执行以确定此类轮询的目标。

[0049] 现在参照图5,显示的各种表格每个列出和描述通过对应存储器标准识别的至少一些信号。更具体地说,表格500描述要由基于DDR4标准的存储器装置交换的信号,表格510描述要由基于LPDDR3标准的存储器装置交换的信号,以及表格520描述要由基于LPDDR4标准的存储器装置交换的信号。此类存储器标准及其信号的特定细节在本文中未描述,以免混淆某些实施例的特征。

[0050] 如本文中更详细描述,诸如互连108、208之一的互连可包括多个信号线路的至少一些信号线路来在部署在PCB上的硬件接口之间交换信号。多个信号线路可充当超集,超集能够容纳多个信号集的任何信号集,每个信号集由不同的相应的存储器标准指定。表格500、510、520表示此类不同存储器标准及其相应信号的一个示例。然而,互连可支持更少、另外和/或其它存储器标准。另外或备选,超集可支持由一些或所有此类存储器标准指定的更少、另外和/或其它信号。

[0051] 现在参照图6,显示的各种表格每个描述由对应存储器技术定义的相应信号集。更具体地说,表格600描述通过DDR4标准识别的信号集,表格610描述通过LPDDR3标准识别的信号集,以及表格620描述通过LPDDR4标准识别的信号集。表格610、620、630根据信号类型(例如,数据(DQ)、数据掩码(DM\*)、差分数据选通(DQS)等)以各种方式被组织,并且列出通过对对应存储器标准识别的信号类型的信号的数量。如关于图5所提及的,DDR4标准、LPDDR3标准和LPDDR4标准只是根据一实施例适应的不同存储器标准的一个示例。其它实施例可适应更少、更多和/或其它存储器标准。

[0052] 表格630示出由表格600、610、620表示的信号的超集,其中,根据一实施例,超集可通过诸如互连108、208之一的互连的信号线路来被适应。表格600、610、620、630的行状布置示出按信号类型的超集的细分 - 例如,在对于给定信号类型的情况下,识别该信号类型的信号的最大数量的存储器标准确定在超集中将支持该信号类型的信号线路的数量。

[0053] 表格640示出根据一实施例,可由诸如可编程VR 112和VR 212之一的电压调节器支持的电压的表格。表格640列出由DDR4标准、LPDDR3标准和LPDDR4标准以各种方式指定的电压和此类电压的超集。根据一实施例的VR可以是可编程的以经PCB上的HW接口向存储器装置提供表格640中指定的电压的超集的任何电压。

[0054] 现在参照图7A-7C,表格700a、700b、700c以各种方式列出要在CPU与多个存储器装置的任何装置之间交换的信号的映射,每个存储器装置基于不同的相应的存储器标准。此类CPU可包括可实现多个不同接口模式的任何模式的引出线可配置接口电路或者通过该引

出线可配置接口电路进行操作,每个接口模式对应于此类存储器标准的相应一个。表格700a、700b、700c每个提供CPU能够交换的信号的相应列状列表。对于不同存储器标准(在此示例中,DDR3、DDR4、LPDDR3(包括其两个不同配置)和LPDDR4)的存储器装置,表格700a、700b、700c以各种方式将CPU侧信号标识符每个映射到显示的存储器标准的相应信号标识符。在表格700c中,“NC”表示“未连接”。将领会的是,视CPU的特定输入模式而定,特定CPU侧信号标识符可在不同时间与CPU的不同I/O接触关联。

[0055] 现在参照图8A-8D,表格810、820、830、840每个列出根据一实施例的、经PCB与引出线可配置处理器装置进行通信的对应存储器装置的相应引出线。更具体地说,表格800列出耦合到PCB上260引脚连接器的DDR3L装置的引出线,并且表格810列出耦合到此类260引脚连接器的DDR4装置的引出线。表格820列出耦合到此类260引脚连接器的LPDDR3装置的引出线,以及表格830列出耦合到此类260引脚连接器的LPDDR4装置的引出线。

[0056] 某些实施例以各种方式识别耦合到PCB的存储器装置的存储器类型 - 例如,包括识别在表格800、810、820、830中以各种方式表示的引出线的特定一个。作为响应,可配置处理器装置的接口模式,并且可将电压调节器的VR模式编程以适应由对应存储器标准指定的电压电平和引出线。

[0057] 现在参照图9A-9C,表格900、910、920每个列出根据另一实施例的、经PCB与引出线可配置处理器装置进行通信的对应存储器装置的相应引出线。更具体地说,表格900列出耦合到PCB上242引脚连接器的DDR4存储器装置的引出线,表格910列出耦合到此类242引脚连接器的LPDDR3存储器装置的引出线,并且表格920列出耦合到此类242引脚连接器的LPDDR4存储器装置的引出线。某些实施例以各种方式识别在如对应于耦合到PCB的存储器装置的表格900、910、920中以各种方式表示的引出线的特定一个。作为响应,可配置处理器装置的接口模式,并且可将电压调节器的VR模式编程以适应由对应存储器标准指定的电压电平和引出线。

[0058] 图10是计算系统的一实施例的框图,在该计算系统中可实现对存储器装置的访问。系统1000表示根据本文中所述任何实施例的计算装置,并且可以是膝上型计算机、桌面型计算机、服务器、游戏或娱乐控制系统、扫描仪、复印机、打印机或其它电子装置。系统1000可包括处理器1020,处理器1020为系统1000提供指令的执行、操作管理和处理。处理器1020可包括任何类型的微处理器、中央处理器(CPU)、处理核或其它处理硬件以便为系统1000提供处理。处理器1020控制系统1000的总体操作,并且可以是或包括一个或多个可编程通用或专用微处理器、数字信号处理器(DSP)、可编程控制器、专用集成电路(ASIC)、可编程逻辑装置(PLD)或诸如此类或此类装置的组合。

[0059] 存储器子系统1030表示系统1000的主存储器,并且为要由处理器1020执行的代码或在执行例程中要使用的数据值提供临时存储。存储器子系统1030可包括一个或多个存储器装置,诸如只读存储器(ROM)、闪存存储器、一个或多个各种各样的随机存取存储器(RAM)或其它存储器装置或此类装置的组合。除了别的以外,存储器子系统1030存储和托管操作系统(OS) 1036以便为系统1000中指令的执行提供软件平台。另外,其它指令1038被存储并且执行(从存储器子系统1030),以提供系统1000的逻辑和处理。OS 1036和指令1038由处理器1020执行。

[0060] 存储器子系统1030可包括存储器装置1032,其中,它存储数据、指令、程序或其它

项目。在一个实施例中，存储器子系统包括例如代表处理器1020访问存储器1032的存储器控制器1034。存储器控制器1034可结合到包括处理器1020的封装装置中 - 例如，其中处理器1020经在其中或其上部署有提供诸如本文中讨论的功能性的组件的PCB(未显示)来访问存储器1032。

[0061] 处理器1020和存储器子系统1030可耦合到总线/总线系统1010。总线1010是表示通过适当桥接器、适配器和/或控制器连接的任何一个或更多个分开的物理总线、通信线/接口和/或点到点连接的抽象名称。因此，总线1010可包括例如系统总线、外围组件互连(PCI)总线、HyperTransport或工业标准体系结构(ISA)总线、小型计算机系统接口(SCSI)总线、通用串行总线(USB)或电气和电子工程师协会(IEEE)标准1394总线(通常称为“Firewire”)中的一种或更多种总线。总线1010的总线也可对应于网络接口1050中的接口。

[0062] 系统1000也可包括耦合到总线1010的一个或更多个输入/输出(I/O)接口1040、网络接口1050、一个或更多个内部大容量存储装置1060及外围接口1070。I/O接口1040可包括一个或更多个接口组件，通过这些接口组件，用户与系统1000交互(例如，视频、音频和/或字母数字对接)。网络接口1050为系统1000提供通过一个或更多个网络与远程装置(例如，服务器、其它计算装置)进行通信的能力。网络接口1050可包括以太网适配器、无线互连组件、USB(通用串行总线)或其它基于有线或无线标准的或专有的接口。

[0063] 存储装置1060可以是或者包括用于以非易失性方式存储大量数据的任何常规媒体，如一个或更多个基于磁性、固态或光学的盘或组合。存储装置1060以持久状态保存代码或指令和数据1062(即，尽管系统1000的电源中断，仍保留值)。存储装置1060可通常被认为是“存储器”，但存储器1030是提供指令到处理器1020的执行或操作存储器。虽然存储装置1060是非易失性，但存储器1030可包括易失性存储器(即，如果系统1000的电源中断，则数据的值或状态不确定)。

[0064] 外围接口1070可包括上面未明确提及的任何硬件接口。外设通常指依赖性地连接到系统1000的装置。依赖性连接是其中系统1000提供软件和/或硬件平台的一种连接，操作在该平台上执行以及用户与该平台交互。

[0065] 图11是移动装置的一实施例的框图，在所述移动装置中可实现对存储器装置访问。装置1100表示移动计算装置，诸如计算平板、移动电话或智能电话、无线使能的电子阅读器或其它移动装置。将理解的是，某些组件是概括示出，并且并非此类装置的所有组件均在装置1100中示出。装置1100可包括执行装置1100的主要处理操作的处理器1110。处理器1110可包括一个或更多个物理装置，诸如微处理器、应用处理器、微控制器、可编程逻辑装置或其它处理部件。由处理器1110执行的处理操作包括应用和/或装置功能执行所处的操作平台或操作系统的执行。处理操作包括与同人类用户或者同其它装置I/O(输入/输出)有关的操作、与电源管理有关的操作、和/或与连接装置1100到另一装置有关的操作。处理操作也可包括与音频I/O和/或显示器I/O有关的操作。

[0066] 在一个实施例中，装置1100包括音频子系统1120，该子系统表示与提供音频功能到计算装置相关联的硬件(例如，音频硬件和音频电路)和软件(例如，驱动程序、编解码器)组件。音频功能可包括扬声器和/或耳机输出以及麦克风输入。用于此类功能的装置可集成到装置1100中，或者连接到装置1100。在一个实施例中，通过提供由处理器1110接收和处理的音频命令，用户与装置1100交互。

[0067] 显示子系统1130表示提供视觉和/或触觉显示以使用户同计算装置交互的硬件(例如,显示装置)和软件(例如,驱动程序)组件。显示子系统1130可包括显示接口1132,显示接口1132可包括用于向用户提供显示的特定屏幕或硬件装置。在一个实施例中,显示接口1132包括独立于处理器1110的逻辑,以执行与显示有关的至少一些处理。在一个实施例中,显示子系统1130包括提供输出和输入到用户的触摸屏装置。

[0068] I/O控制器1140表示与同用户的交互有关的硬件装置和软件组件。I/O控制器1140可操作来管理作为音频子系统1120和/或显示子系统1130的部分的硬件。另外,I/O控制器1140示出用于连接到装置1100的另外装置的连接点,用户可能通过所述另外装置同系统交互。例如,可附连到装置1100的装置可能包括麦克风装置、扬声器或立体声系统、视频系统或其它显示装置、键盘或小键盘装置或用于与诸如读卡器或其它装置的特定应用一起使用的其它I/O装置。

[0069] 如上所提及的,I/O控制器1140可与音频子系统1120和/或显示子系统1130交互。例如,通过麦克风或其它音频装置的输入可提供用于装置1100的一个或更多个应用或功能的输入或命令。另外,可替代显示输出或除显示输出外还提供音频输出。在另一示例中,如果显示子系统包括触摸屏,则显示装置也充当输入装置,它可由I/O控制器1140至少部分地管理。装置1100上也可以有另外的按钮或开关以提供由I/O控制器1140管理的I/O功能。

[0070] 在一个实施例中,I/O控制器1140管理装置,所述装置诸如加速计、相机、光传感器或其它环境传感器、陀螺仪、全球定位系统(GPS)或可包括在装置1100中的其它硬件。输入可以是直接用户交互的部分以及是提供环境输入到系统以影响其操作(诸如过滤噪声,对于亮度检测调整显示器,为相机应用闪光或其它特征)。

[0071] 在一个实施例中,装置1100包括管理电池电能使用、电池的充电和与节能操作有关的特征的电源管理1150。存储器子系统1160可包括用于在装置1100中存储信息的存储器装置1162。存储器子系统1160可包括非易失性(如果对存储器装置的电源中断,则状态不变)和/或易失性(如果对存储器装置的电源中断,则状态不确定)存储器装置。存储器1160可存储应用数据、用户数据、音乐、照片、文档或其它数据及与系统1100的应用和功能的执行有关的系统数据(无论长期还是暂时)。

[0072] 在一个实施例中,存储器子系统1160包括存储器控制器1164(它也能够被认为是系统1100的控制的部分,并且能够可能被视为处理器1110的部分)。存储器控制器1164可例如代表处理器1110传递信令以提供对存储器1162的访问。存储器控制器1164可结合到包括处理器1110的封装装置中 - 例如,其中处理器1110经在其中或其上部署有提供诸如本文中讨论的功能性的组件的PCB(未显示)来访问存储器1162。

[0073] 连接性1170可包括硬件装置(例如,无线和/或有线连接器和通信硬件)和软件组件(例如,驱动程序、协议栈)以允许装置1100与外部装置进行通信。装置能够是诸如其它计算装置、无线接入点或基站的分开的装置,以及诸如耳机、打印机或其它装置的外围设备。

[0074] 连接性1170可包括多个不同类型的连接性。概括而言,装置1100示为带有蜂窝连接性1172和无线连接性1174。蜂窝连接性1172通常指由无线载波提供的蜂窝网络连接性,诸如经GSM(全球移动通信系统)或变化或衍生、CDMA(码分多址)或变化或衍生、TDM(时分复用)或变化或衍生、LTE(长期演进 - 也称为“4G”)或其它蜂窝服务标准提供。无线连接性1174指不是蜂窝的无线连接性,并且可包括个人区域网络(诸如蓝牙)、局域网(诸如WiFi)

和/或宽域网(诸如WiMAX)或其它无线通信。无线通信指通过非固态媒体、通过使用调制的电磁辐射的数据的传送。有线通信通过固态通信媒体进行。

[0075] 外围连接1180包括硬件接口和连接器及用于形成外围连接的软件组件(例如,驱动程序、协议栈)。将理解的是,装置1100能够是至其它计算装置的外围装置(“往”1182)以及具有连接到它的外围装置(“自”1184)。装置1100通常具有“对接”连接器以连接到其它计算装置,以为了诸如管理(例如,下载和/或上传、更改、同步)装置1100上内容的目的。另外,对接连接器可允许装置1100连接到某些外围设备,这些外围设备允许装置1100控制例如到视听或其它系统的内容输出。

[0076] 除专有对接连接器或其它专有连接硬件外,装置1100可经普通或基于标准的连接器形成外围连接1180。普通类型可包括通用串行总线(USB)连接器(它可包括多个不同硬件接口的任何接口)、DisplayPort(其包括MiniDisplayPort (MDP))、高清晰多媒体接口(HDMI)、Firewire或其它类型。

[0077] 在一个实现中,装置包括第一硬件(HW)接口和第二HW接口,第一HW接口将印刷电路板(PCB)耦合到任何存储器装置,每个存储器装置对应于多个信号集的不同相应的信号集,第二HW接口耦合PCB到处理器装置,其中,处理器装置检测存储器装置到第一HW接口的连接性,并且基于存储器装置的存储器类型来配置接口模式的第一接口模式,每个接口模式对应于多个信号集的不同相应的一个。装置还包括:耦合到第一HW接口的电压调节器(VR),VR基于存储器类型被编程成VR模式的第一VR模式,每个VR模式对应于存储器装置的不同相应的一个,并且基于第一VR模式来提供一个或多个电压到第一接口;以及部署在PCB中或上的、包括x个信号线路的互连,每个信号线路耦合第一HW接口的相应输入/输出(I/O)接触到第二HW接口的相应I/O接触,其中,x是等于多个信号集的超集的信号的总数的整数。

[0078] 在一实施例中,多个信号集每个由多个存储器标准的不同相应的一个来指定。在另一实施例中,多个存储器标准包括一个或多个双倍数据速率存储器标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括DDR3标准或DDR4标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括低功率双倍数据速率存储器标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括LPDDR3标准或LPDDR4标准。

[0079] 在另一实施例中,装置还包括部署在PCB中或上的检测器逻辑,检测器逻辑生成并且向处理器装置发送信号,其指示存储器装置到第一HW接口的连接性。在另一实施例中,检测器逻辑基于串行存在检测标准。在另一实施例中,响应指示存储器装置到第一HW接口的连接性的信号,状态机逻辑识别存储器装置的存储器类型。在另一实施例中,状态机逻辑包括处理器装置的状态机电路。在另一实施例中,处理器装置执行基本输入/输出系统(BIOS)过程,该过程包括状态机逻辑。在另一实施例中,第一HW接口包括机械式连接器。在另一实施例中,第二HW接口包括焊盘阵列。在另一实施例中,多个存储器装置包括一个或多个双列直插式存储器模块。

[0080] 在另一实现中,系统包括:印刷电路板(PCB);部署在PCB中或上的第一硬件(HW)接口,第一HW接口耦合到任何存储器装置,每个存储器装置对应于多个信号集的不同相应的信号集;部署在PCB中或上的第二HW接口;及经第二HW接口耦合到PCB的处理器装置,处理器装置检测存储器装置到第一HW接口的连接性,并且基于存储器装置的存储器



类型来配置接口模式的第一接口模式,每个接口模式对应于多个信号集的一个。系统还包括:耦合到第一HW接口的电压调节器(VR),VR基于存储器类型被编程成VR模式的第一VR模式,每个VR模式对应于存储器装置的一个,并且基于第一VR模式,提供一个或多个电压到第一接口;以及部署在PCB中或上的、包括x个信号线路的互连,每个信号线路耦合第一HW接口的相应输入/输出(I/O)接触到第二HW接口的相应I/O接触,其中,x是等于多个信号集的超集的信号的总数的整数。

[0081] 在一实施例中,多个信号集每个由多个存储器标准的不同的相应一个来指定。在另一实施例中,多个存储器标准包括一个或多个双倍数据速率存储器标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括DDR3标准或DDR4标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括低功率双倍数据速率存储器标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括LPDDR3标准或LPDDR4标准。

[0082] 在另一实施例中,系统还包括部署在PCB中或上的检测器逻辑,检测器逻辑生成并且向处理器装置发送信号,其指示存储器装置到第一HW接口的连接性。在另一实施例中,检测器逻辑基于串行存在检测标准。在另一实施例中,响应指示存储器装置到第一HW接口的连接性的信号,状态机逻辑识别存储器装置的存储器类型。在另一实施例中,状态机逻辑包括处理器装置的状态机电路。在另一实施例中,处理器装置执行基本输入/输出系统(BIOS)过程,该过程包括状态机逻辑。在另一实施例中,第一HW接口包括机械式连接器。在另一实施例中,第二HW接口包括焊盘阵列。在另一实施例中,多个存储器装置包括一个或多个双列直插式存储器模块。

[0083] 在另一实现中,方法包括检测存储器装置到部署在印刷电路板(PCB)中或上的第一硬件接口的连接性,并且响应检测到连接性,识别存储器装置的存储器类型,其中,基于存储器类型,处理器装置配置处理器装置的多个接口模式的第一接口模式,多个接口模式每个对应于多个信号集的一个,处理器装置经部署在PCB中或上的第二硬件接口耦合到PCB。方法还包括基于存储器类型,编程电压调节器(VR)的多个VR模式的第一VR模式,多个VR模式每个对应于多个存储器类型的不同的相应一个,其中,VR基于第一VR模式提供一个或多个电压到第一接口,并且在基于一个或多个电压的存储器装置的操作期间,经部署在PCB中或上的互连的x个信号线路来在存储器装置与处理器装置之间交换信号,其中,x是等于多个信号集的超集的信号的总数的整数。

[0084] 在一实施例中,多个信号集每个由多个存储器标准的不同的相应一个来指定。在另一实施例中,多个存储器标准包括一个或多个双倍数据速率存储器标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括DDR3标准或DDR4标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括低功率双倍数据速率存储器标准。在另一实施例中,一个或多个双倍数据速率存储器标准包括LPDDR3标准或LPDDR4标准。

[0085] 在另一实施例中,方法还包括通过部署在PCB中或上的检测器逻辑,生成并且向处理器装置发送信号,其指示存储器装置到第一硬件接口的连接性。在另一实施例中,检测器逻辑基于串行存在检测标准。在另一实施例中,响应指示存储器装置到第一硬件接口的连接性的信号,状态机逻辑识别存储器装置的存储器类型。在另一实施例中,状态机逻辑包括处理器装置的状态机电路。在另一实施例中,处理器装置执行基本输入/输出系统(BIOS)过程,该过程包括状态机逻辑。在另一实施例中,第一硬件接口包括机械式连接器。在另一实



施例中,第二硬件接口包括焊盘阵列。在另一实施例中,多个存储器装置包括一个或更多个双列直插式存储器模块。

[0086] 在另一实现中,计算机可读存储媒体在其上存储了指令,指令在由一个或更多个处理单元执行时,促使一个或更多个处理单元执行方法,包括检测存储器装置到部署在印刷电路板(PCB)中或上的第一硬件接口的连接性,并且响应检测到连接性,识别存储器装置的存储器类型,其中,基于存储器类型,处理器装置配置处理器装置的多个接口模式的第一接口模式,多个接口模式每个对应于多个信号集的一个相应的信号集,处理器装置经部署在PCB中或上的第二硬件接口耦合到PCB。方法还包括基于存储器类型,编程电压调节器(VR)的多个VR模式的第一VR模式,多个VR模式每个对应于多个存储器类型的一个相应的一个,其中,VR基于第一VR模式提供一个或更多个电压到第一接口,并且在基于一个或更多个电压的存储器装置的操作期间,经部署在PCB中或上的互连的x个信号线路,在存储器装置与处理器装置之间交换信号,其中,x是等于多个信号集的超集的信号的总数的整数。

[0087] 在一实施例中,多个信号集每个由多个存储器标准的不同的相应的一个来指定。在另一实施例中,多个存储器标准包括一个或更多个双倍数据速率存储器标准。在另一实施例中,一个或更多个双倍数据速率存储器标准包括DDR3标准或DDR4标准。在另一实施例中,一个或更多个双倍数据速率存储器标准包括低功率双倍数据速率存储器标准。在另一实施例中,一个或更多个双倍数据速率存储器标准包括LPDDR3标准或LPDDR4标准。

[0088] 在另一实施例中,方法还包括通过部署在PCB中或上的检测器逻辑,生成并且向处理器装置发送信号,其指示存储器装置到第一硬件接口的连接性。在另一实施例中,检测器逻辑基于串行存在检测标准。在另一实施例中,响应指示存储器装置到第一硬件接口的连接性的信号,状态机逻辑识别存储器装置的存储器类型。在另一实施例中,状态机逻辑包括处理器装置的状态机电路。在另一实施例中,处理器装置执行基本输入/输出系统(BIOS)过程,该过程包括状态机逻辑。在另一实施例中,第一硬件接口包括机械式连接器。在另一实施例中,第二硬件接口包括焊盘阵列。在另一实施例中,多个存储器装置包括一个或更多个双列直插式存储器模块。

[0089] 本文中描述了用于操作存储器装置的技术和体系结构。在上面的描述中,为了解释的目的,陈述了许多特定细节以便提供某些实施例的详尽理解。然而,对于本领域的技术人员某些实施例能够在这些特定细节不存在的情况下实践将是显而易见的。在其它情况下,结构和装置以框图形式示出以避免混淆描述。

[0090] 说明书中对“一个实施例”或“一实施例”的引用指结合该实施例描述的特定特征、结构或特性包括在本发明的至少一个实施例中。在说明书中各个位置中词语“在一个实施例中”的出现不一定全部指相同实施例。

[0091] 根据计算机存储器内数据比特上的操作的算法和符号表示,本文中详细描述的一些部分被呈现。这些算法描述和表示是由计算领域技术人员用于最有效地将其工作内容传达给本领域其它技术人员的方式。算法在此处且通常被视为产生所需结果的自相一致的步骤序列。步骤是要求物理量的物理操控的那些。这些量通常(但不一定)采用能够存储、传输、组合、比较及以其它方式操控的电的或磁的信号的形式。将这些信号称为比特、值、元素、符号、字符、项、数字或诸如此类已证明有时是方便的(主要是常见用法的原因)。

[0092] 但应记住,所有这些和类似的术语将与适当的物理量相关联,并且只是应用到这

些量的方便标志。除非另有明确说明,否则,如从本文中的讨论明白的,可领会在通篇描述中,利用诸如“处理”或“计算”或“运算”或“确定”或“显示”或诸如此类的术语的讨论指计算机系统或类似电子计算装置的动作和/或过程,其将表示为计算机系统的寄存器和存储器内的物理(电子)量的数据操控和变换成类似地表示为计算机系统存储器或寄存器或其它此类信息存储、传输或显示装置内物理量的其它数据。

[0093] 某些实施例也涉及用于执行本文中的操作的设备。此设备可为所要求目的而专门构建,或者它可包括由计算机中存储的计算机程序选择性地激活或重新配置的通用计算机。此类计算机程序可存储在计算机可读存储媒体上,所述计算机可读存储媒体诸如但不限于:包括软盘、光盘、CD-ROM和磁光盘的任何类型的盘;只读存储器(ROM);诸如动态RAM(DRAM)的随机存取存储器(RAM);EPROM;EEPROM;磁卡或光学卡;或适用于存储电子指令并且耦合到计算机系统总线的任何类型的媒体。

[0094] 本文中呈现的算法和显示并未在本质上涉及任何特定计算机或其它设备。各种通用系统可根据本文中的教导与程序一起使用,或者可证明构建更专业化设备以执行所要求方法步骤是方便的。从本文中的描述将显现各个这些系统的所要求结构。另外,某些实施例未参照任何特定编程语言描述。将领会的是,多个编程语言可用于实现如本文中所描述的此类实施例的教导。

[0095] 除本文中所描述的外,在不脱离其范围的情况下,可对公开的实施例及其实现进行各种修改。因此,本文中的说明和示例应以说明性的并且不是限制性的意义来解释。本发明的范围应仅由参照随附的权利要求来衡量。

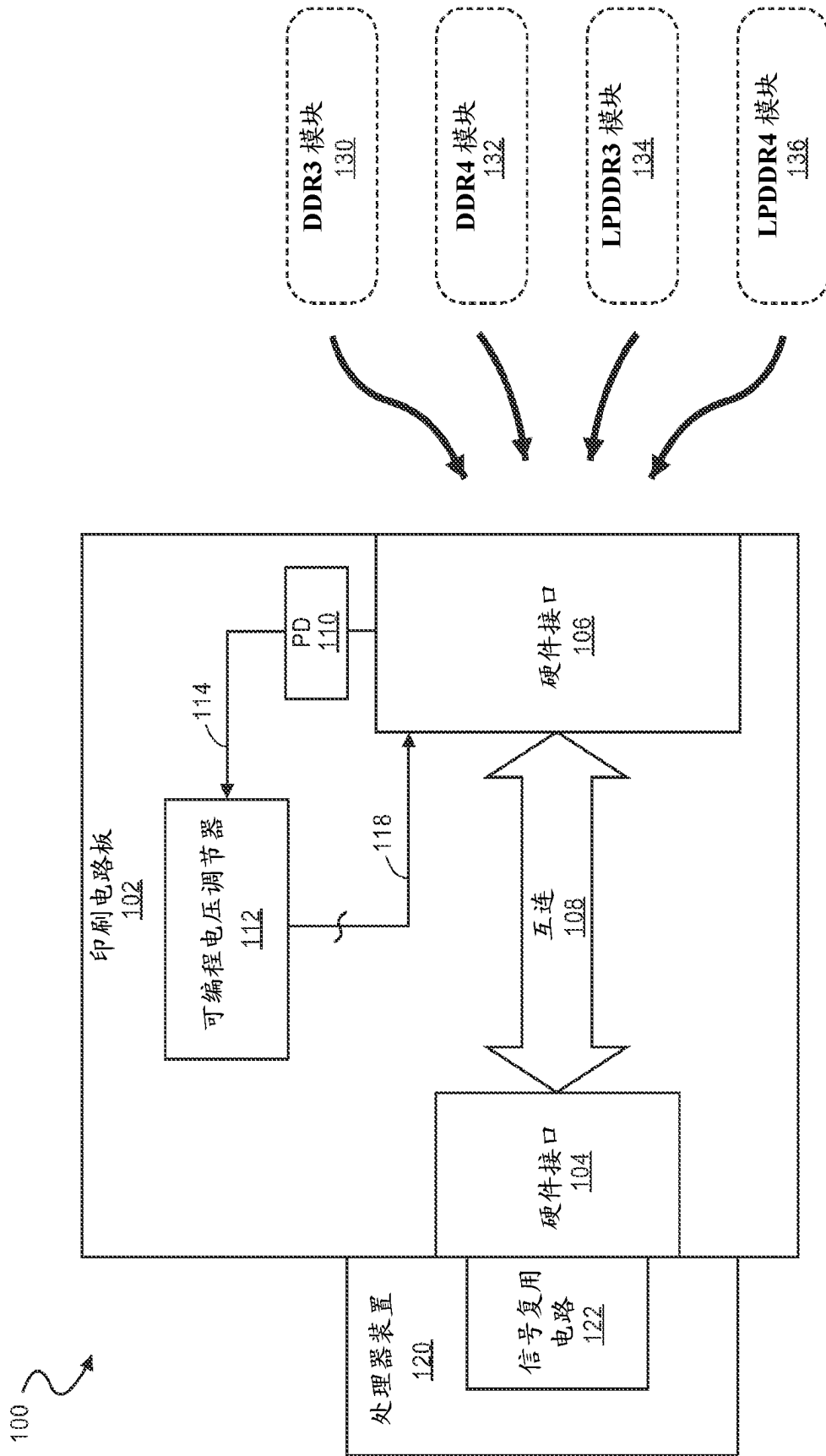


图 1

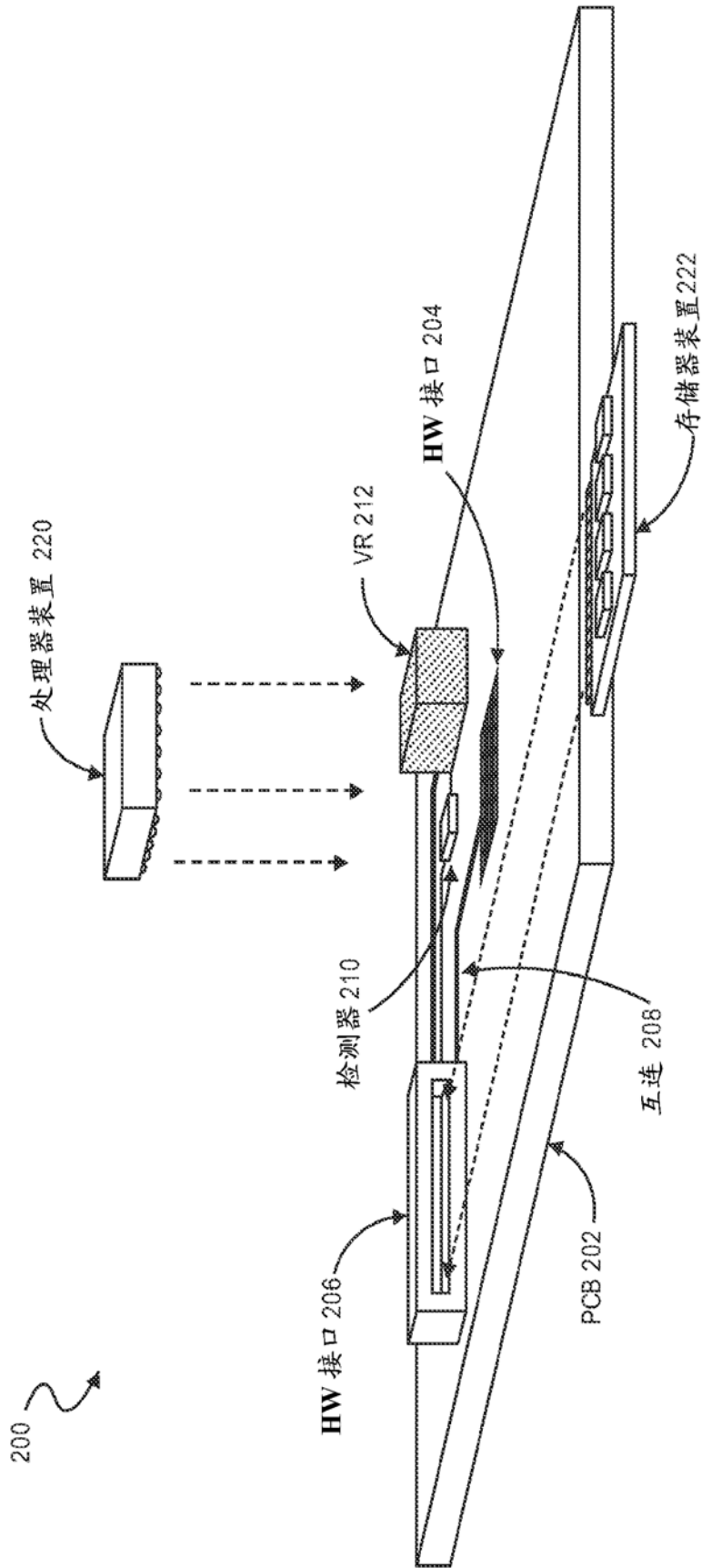


图 2

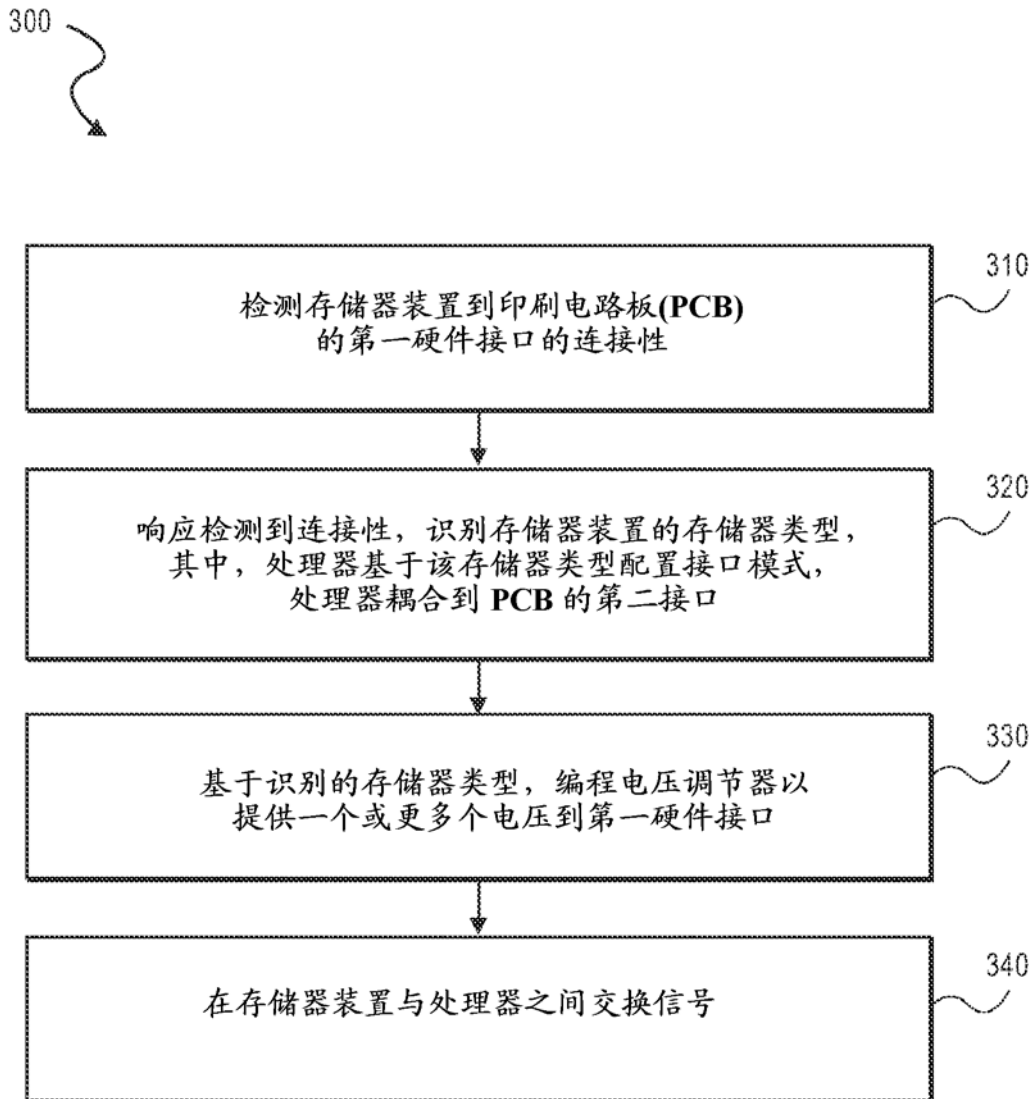


图 3

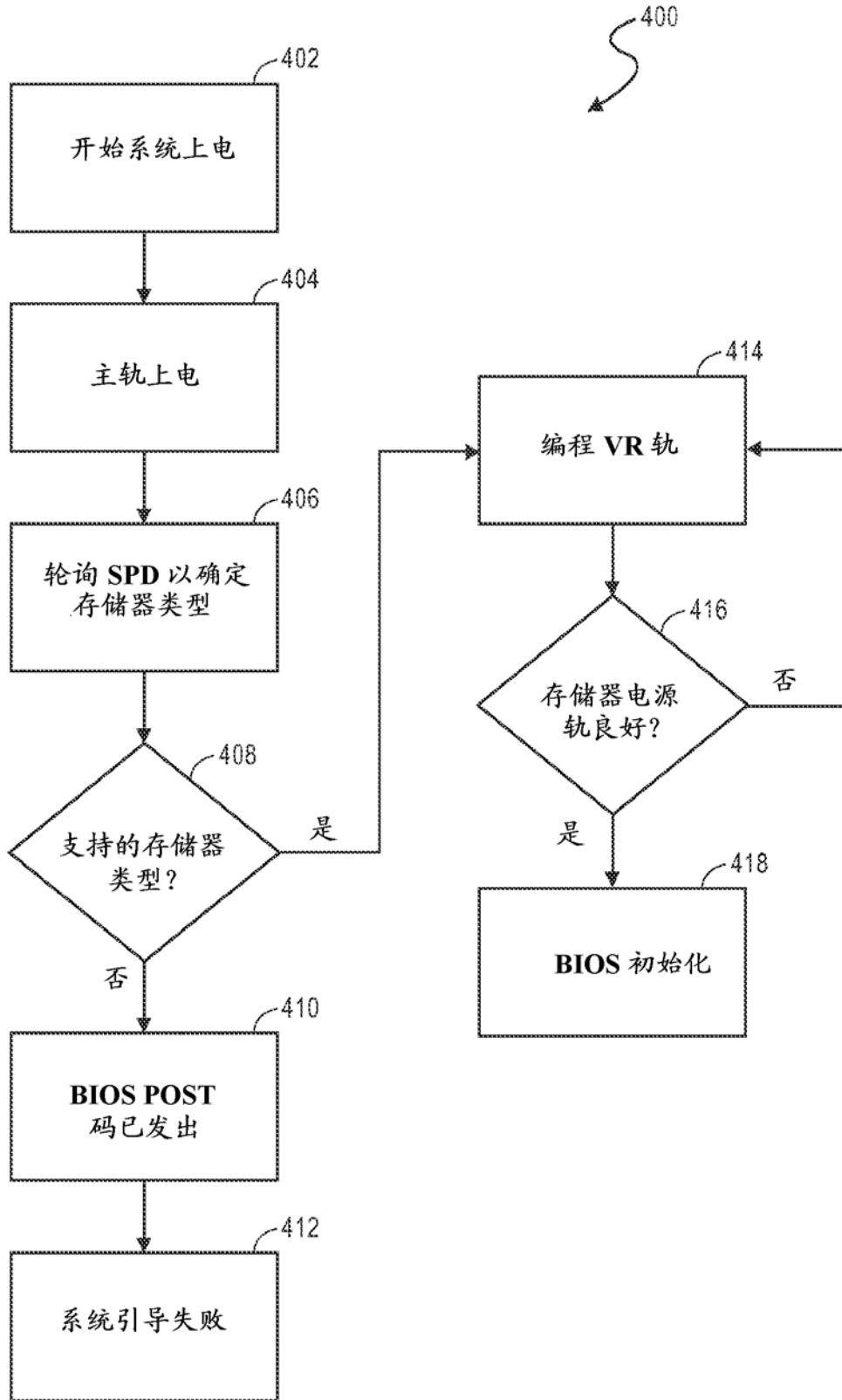


图 4

**DDR4 信号描述 500**

信号引脚(DDR4)	描述
CK_t, CK_c	Clock
CKE, (CKE1)	Clock Enable
CS_n, (CS1_n)	Chip Select
C0, C1, C2	Chip ID
ODT, (ODT1)	On Die Termination
ACT_n	Activation Command Input
RAS_n/A16, CAS_n/	RAS: Row Address/CAS: Column Add
DM_n/DBI_n	Input Data Mask and Data Bus Inversion
BG0 - BG1	Bank Group Inputs
BA0 - BA1	Bank Address Inputs
A0 - A17	Address Inputs
A10 / AP	Auto-precharge
A12 / BC_n	Burst Chop
RESET_n	Reset
PAR	Command and Address Parity

**LPDDR3 信号描述 510**

信号引脚(LPDDR3)	描述
CK_t, CK_c	Clock
CKE	Clock Enable
CS_n	Chip Select
CA0-CA9	Command/Address Inputs
DQ	Data Input/Output
DM	Input Data Mask
ODT	On Die Termination

**LPDDR4 信号描述 520**

信号引脚(LPDDR4)	描述
CK_t_A	Clock
CK_c_A	
CK_t_B	
CK_c_B	
CKE_A	Clock Enable
CKE_B	
CS_A/CS_B	Chip Select
CAA/CAB	Command/Address Inputs
ODT	On Die Termination
DQ	Data Input/Output
DQS	Data Strobe
DMI[1:0]_A/DMI[1:0]_B	Data Mask Inversion
RESET_n	Reset

图 5

DDR4 集 600		LPDDR3 集 610		LPDDR4 集 620		超集 630	
信号	数量	信号	数量	信号	数量	信号	数量
DQ	64	DQ	64	DQ	64	DQ	64
DM'	8	DM'	8	DM'	8	DM'	8
DQS'	18	DQS'	16	DQS'	16	DQS'	18
CKE'	2	CKE'	4	CKE'	4	CKE'	4
CS'	2	CS'	4	CS'	4	CS'	4
CK0'	2	CK0'	2	CK0'	2	CK0'	2
CK1'	2	CK1'	2	CK1'	2	CK1'	2
A'	19	'CAA'	10	'CAA'	6	'CAA'	19
B'	4	'CAB'	10	'CAB'	6	'CAB'	1
VDD_SPD	1	VDD_SPD	0	VDD_SPD	0	VDD_SPD	1
VPP	2	VPP	0	VPP	0	VPP	2
VTT	1	VTT	0	VTT	0	VTT	1
VREFDQ	0	VREFDQ	1	VREFDQ	0	VREFDQ	1
Vref_CA	0	Vref_CA	1	Vref_CA	0	Vref_CA	1
RESET_n	1	RESET_n	0	RESET_n	1	RESET_n	1
ALERT_n	1	ALERT_n	0	ALERT_n	0	ALERT_n	1
Parity	1	Parity	0	Parity	0	Parity	1
SDA	1	SDA	1	SDA	1	SDA	1
SA0	1	SA0	1	SA0	1	SA0	1
SA1	1	SA1	1	SA1	1	SA1	1
SCL	1	SCL	1	SCL	1	SCL	1
总	132	总	126	总	117	总	144

图 6



电压表格 640

电压	DDR4	LP3	LP4	超集
VDD_SPD	1.7-3.3V	1.7-3.3V	1.7-3.3V	1.7-3.3V
VDD	1.2V	1.2V	1.1V	1.1 和 1.2
VDDQ	1.2V	1.2V	1.1V	1.1 和 1.2
VPP	2.5V	1.8V	1.8V	2.5 和 1.8

图 6(续)

信号映射 700a

CPU (1 DPC)	DDR3 (时隙 0)	DDR4 (时隙 0)	LP3 (2Rx64) (仅 1DPC)	LP3 (2x2Rx32) (仅 1DPC)	LP4 (2x2Rx32) (仅 1DPC)
CLK_P[0]	CLK_P[0]	CLK_P[0]	CKA_P[0]	CKA_P[0]	CKA_P[0]
CLK_N[0]	CLK_N[0]	CLK_N[0]	CKA_N[0]	CKA_N[0]	CKA_N[0]
CLK_P[1]	CLK_P[1]	CLK_P[1]	CKB_P[0]	CKB_P[0]	CKB_P[0]
CLK_N[1]	CLK_N[1]	CLK_N[1]	CKB_N[0]	CKB_N[0]	CKB_N[0]
CS_N[0]	CS_N[0]	CS_N[0]	CS_N[0]	CS_A_N[0]	CS_A[0]
CS_N[1]	CS_N[1]	CS_N[1]	CS_N[1]	CS_B_N[1]	CS_B[1]
CS_N[2]		CS_N[0]		CS_A_N[1]	
CS_N[3]		CS_N[1]		CS_B_N[0]	
CS/ODT[0]	ODT[0]	ODT[0]	ODT[0]	ODT_A[0]	CS_A[1]
CS/ODT[1]	ODT[1]	ODT[1]		ODT_B[0]	CS_B[0]
CKE[0]	CKE[0]	CKE[0]	CKE_A[0]	CKE_A[0]	CKE_A[0]
CKE[1]	CKE[1]	CKE[1]	CKE_A[1]	CKE_A[1]	CKE_A[1]
CKE[2]			CKE_B[0]	CKE_B[0]	CKE_B[0]
CKE[3]	CKE[1]'	CKE[1]'	CKE_B[1]	CKE_B[1]	CKE_B[1]
CKE[4]					
CKE[5]					
CKE[6]					
CKE[7]					

图 7A

MA[0]	MA[0]	MA[0]	CAB[9]	CAB[9]	
MA[1]	MA[1]	MA[1]	CAB[8]	CAB[8]	
MA[2]	MA[2]	MA[2]	CAB[5]	CAB[5]	CAB[5]
MA[3]	MA[3]	MA[3]			X
MA[4]	MA[4]	MA[4]			X
MA[5]	MA[5]	MA[5]	CAA[0]	CAA[0]	CAA[0]
MA[6]	MA[6]	MA[6]	CAA[2]	CAA[2]	CAA[2]
MA[7]	MA[7]	MA[7]	CAA[4]	CAA[4]	CAA[4]
MA[8]	MA[8]	MA[8]	CAA[3]	CAA[3]	CAA[2]
MA[9]	MA[9]	MA[9]	CAA[1]	CAA[1]	CAA[1]
MA[10]	MA[10]	MA[10]	CAB[7]	CAB[7]	
MA[11]	MA[11]	MA[11]	CAA[7]	CAA[7]	
MA[12]	MA[12]	MA[12]	CAA[6]	CAA[6]	
MA[13]	MA[13]	MA[13]	CAB[0]	CAB[0]	CAB[0]
MA[14]	MA[14]	BG[1]	CAA[9]	CAA[9]	
MA[15]	MA[15]	ACT_N	CAA[8]	CAA[8]	
RAS_N	RAS_N	A16/RAS_n	CAB[3]	CAB[3]	CAB[3]
CAS_N	CAS_N	A15/CAS_n	CAB[1]	CAB[1]	CAB[1]
WE_N	WE_N	A14/WE_n	CAB[2]	CAB[2]	CAB[2]
BA[0]	BA[0]	BA[0]	CAB[4]	CAB[4]	CAB[4]
BA[1]	BA[1]	BA[1]	CAB[6]	CAB[6]	
BA[2]	BA[2]	BG[0]	CAA[5]	CAA[5]	CAA[5]
New		C0			
New		C1			
PARITY		PARITY			
ALERT		ALERT			

图 7A(续)

信号映射 (续) 700b

CPU (1 DPC)	DDR3 (时隙 0)	DDR4 (时隙 0)	LP3 (2Rx64) (仅 1DPC)	LP3 (2x2Rx32) (仅 1DPC)	LP4 (2x2Rx32) (仅 1DPC)
DQ[0]	DQ[0]	DQ[0]	DQ[0]	DQ[0]	DQA[0]
DQ[1]	DQ[1]	DQ[1]	DQ[1]	DQ[1]	DQA[1]
DQ[2]	DQ[2]	DQ[2]	DQ[2]	DQ[2]	DQA[2]
DQ[3]	DQ[3]	DQ[3]	DQ[3]	DQ[3]	DQA[3]
DQ[4]	DQ[4]	DQ[4]	DQ[4]	DQ[4]	DQA[4]
DQ[5]	DQ[5]	DQ[5]	DQ[5]	DQ[5]	DQA[5]
DQ[6]	DQ[6]	DQ[6]	DQ[6]	DQ[6]	DQA[6]
DQ[7]	DQ[7]	DQ[7]	DQ[7]	DQ[7]	DQA[7]
DQ[8]	DQ[8]	DQ[8]	DQ[8]	DQ[8]	DQA[8]
DQ[9]	DQ[9]	DQ[9]	DQ[9]	DQ[9]	DQA[9]
DQ[10]	DQ[10]	DQ[10]	DQ[10]	DQ[10]	DQA[10]
DQ[11]	DQ[11]	DQ[11]	DQ[11]	DQ[11]	DQA[11]
DQ[12]	DQ[12]	DQ[12]	DQ[12]	DQ[12]	DQA[12]
DQ[13]	DQ[13]	DQ[13]	DQ[13]	DQ[13]	DQA[13]
DQ[14]	DQ[14]	DQ[14]	DQ[14]	DQ[14]	DQA[14]
DQ[15]	DQ[15]	DQ[15]	DQ[15]	DQ[15]	DQA[15]
DQ[16]	DQ[16]	DQ[16]	DQ[16]	DQ[16]	DQA[16]
DQ[17]	DQ[17]	DQ[17]	DQ[17]	DQ[17]	DQA[17]
DQ[18]	DQ[18]	DQ[18]	DQ[18]	DQ[18]	DQA[18]
DQ[19]	DQ[19]	DQ[19]	DQ[19]	DQ[19]	DQA[19]
DQ[20]	DQ[20]	DQ[20]	DQ[20]	DQ[20]	DQA[20]

图 7B

DQ[21]	DQ[21]	DQ[21]	DQ[21]	DQ[21]	DQA[21]
DQ[22]	DQ[22]	DQ[22]	DQ[22]	DQ[22]	DQA[22]
DQ[23]	DQ[23]	DQ[23]	DQ[23]	DQ[23]	DQA[23]
DQ[24]	DQ[24]	DQ[24]	DQ[24]	DQ[24]	DQA[24]
DQ[25]	DQ[25]	DQ[25]	DQ[25]	DQ[25]	DQA[25]
DQ[26]	DQ[26]	DQ[26]	DQ[26]	DQ[26]	DQA[26]
DQ[27]	DQ[27]	DQ[27]	DQ[27]	DQ[27]	DQA[27]
DQ[28]	DQ[28]	DQ[28]	DQ[28]	DQ[28]	DQA[28]
DQ[29]	DQ[29]	DQ[29]	DQ[29]	DQ[29]	DQA[29]
DQ[30]	DQ[30]	DQ[30]	DQ[30]	DQ[30]	DQA[30]
DQ[31]	DQ[31]	DQ[31]	DQ[31]	DQ[31]	DQA[31]
DQ[32]	DQ[32]	DQ[32]	DQ[32]	DQ[32]	DQB[0]
DQ[33]	DQ[33]	DQ[33]	DQ[33]	DQ[33]	DQB[1]
DQ[34]	DQ[34]	DQ[34]	DQ[34]	DQ[34]	DQB[2]
DQ[35]	DQ[35]	DQ[35]	DQ[35]	DQ[35]	DQB[3]
DQ[36]	DQ[36]	DQ[36]	DQ[36]	DQ[36]	DQB[4]
DQ[37]	DQ[37]	DQ[37]	DQ[37]	DQ[37]	DQB[5]
DQ[38]	DQ[38]	DQ[38]	DQ[38]	DQ[38]	DQB[6]
DQ[39]	DQ[39]	DQ[39]	DQ[39]	DQ[39]	DQB[7]
DQ[40]	DQ[40]	DQ[40]	DQ[40]	DQ[40]	DQB[8]

图 7B(续)

信号映射 (续) 700c

CPU (1 DPC)	DDR3 (时隙 0)	DDR4 (时隙 0)	LP3 (2Rx64) (仅 1DPC)	LP3 (2x2Rx32) (仅 1DPC)	LP4 (2x2Rx32) (仅 1DPC)
DQ[41]	DQ[41]	DQ[41]	DQ[41]	DQ[41]	DQB[9]
DQ[42]	DQ[42]	DQ[42]	DQ[42]	DQ[42]	DQB[10]
DQ[43]	DQ[43]	DQ[43]	DQ[43]	DQ[43]	DQB[11]
DQ[44]	DQ[44]	DQ[44]	DQ[44]	DQ[44]	DQB[12]
DQ[45]	DQ[45]	DQ[45]	DQ[45]	DQ[45]	DQB[13]
DQ[46]	DQ[46]	DQ[46]	DQ[46]	DQ[46]	DQB[14]
DQ[47]	DQ[47]	DQ[47]	DQ[47]	DQ[47]	DQB[15]
DQ[48]	DQ[48]	DQ[48]	DQ[48]	DQ[48]	DQB[16]
DQ[29]	DQ[29]	DQ[29]	DQ[29]	DQ[29]	DQB[17]
DQ[50]	DQ[50]	DQ[50]	DQ[50]	DQ[50]	DQB[18]
DQ[51]	DQ[51]	DQ[51]	DQ[51]	DQ[51]	DQB[19]
DQ[52]	DQ[52]	DQ[52]	DQ[52]	DQ[52]	DQB[20]
DQ[53]	DQ[53]	DQ[53]	DQ[53]	DQ[53]	DQB[21]
DQ[54]	DQ[54]	DQ[54]	DQ[54]	DQ[54]	DQB[22]
DQ[35]	DQ[35]	DQ[35]	DQ[35]	DQ[35]	DQB[23]
DQ[56]	DQ[56]	DQ[56]	DQ[56]	DQ[56]	DQB[24]
DQ[57]	DQ[57]	DQ[57]	DQ[57]	DQ[57]	DQB[25]
DQ[58]	DQ[58]	DQ[58]	DQ[58]	DQ[58]	DQB[26]
DQ[59]	DQ[59]	DQ[59]	DQ[59]	DQ[59]	DQB[27]
DQ[60]	DQ[60]	DQ[60]	DQ[60]	DQ[60]	DQB[28]
DQ[61]	DQ[61]	DQ[61]	DQ[61]	DQ[61]	DQB[29]
DQ[62]	DQ[62]	DQ[62]	DQ[62]	DQ[62]	DQB[30]
DQ[63]	DQ[63]	DQ[63]	DQ[63]	DQ[63]	DQB[31]
NC	DM/DBI[0]	DM/DBI[0]	DM/DBI[0]	DM/DBI[0]	DM/DBIA[0]
NC	DM/DBI[1]	DM/DBI[1]	DM/DBI[1]	DM/DBI[1]	DM/DBIA[1]
NC	DM/DBI[2]	DM/DBI[2]	DM/DBI[2]	DM/DBI[2]	DM/DBIA[2]
NC	DM/DBI[3]	DM/DBI[3]	DM/DBI[3]	DM/DBI[3]	DM/DBIA[3]
NC	DM/DBI[4]	DM/DBI[4]	DM/DBI[4]	DM/DBI[4]	DM/DBIB[0]
NC	DM/DBI[5]	DM/DBI[5]	DM/DBI[5]	DM/DBI[5]	DM/DBIB[1]
NC	DM/DBI[6]	DM/DBI[6]	DM/DBI[6]	DM/DBI[6]	DM/DBIB[2]
NC	DM/DBI[7]	DM/DBI[7]	DM/DBI[7]	DM/DBI[7]	DM/DBIB[3]

图 7C

DQS_P[0]	DQS_P[0]	DQS_P[0]	DQS_P[0]	DQS_P[0]	DQSA_P[0]
DQS_N[0]	DQS_N[0]	DQS_N[0]	DQS_N[0]	DQS_N[0]	DQSA_N[0]
DQS_P[1]	DQS_P[1]	DQS_P[1]	DQS_P[1]	DQS_P[1]	DQSA_P[1]
DQS_N[1]	DQS_N[1]	DQS_N[1]	DQS_N[1]	DQS_N[1]	DQSA_N[1]
DQS_P[2]	DQS_P[2]	DQS_P[2]	DQS_P[2]	DQS_P[2]	DQSA_P[2]
DQS_N[2]	DQS_N[2]	DQS_N[2]	DQS_N[2]	DQS_N[2]	DQSA_N[2]
DQS_P[3]	DQS_P[3]	DQS_P[3]	DQS_P[3]	DQS_P[3]	DQSA_P[3]
DQS_N[3]	DQS_N[3]	DQS_N[3]	DQS_N[3]	DQS_N[3]	DQSA_N[3]
DQS_P[4]	DQS_P[4]	DQS_P[4]	DQS_P[4]	DQS_P[4]	DQSB_P[0]
DQS_N[4]	DQS_N[4]	DQS_N[4]	DQS_N[4]	DQS_N[4]	DQSB_N[0]
DQS_P[5]	DQS_P[5]	DQS_P[5]	DQS_P[5]	DQS_P[5]	DQSB_P[1]
DQS_N[5]	DQS_N[5]	DQS_N[5]	DQS_N[5]	DQS_N[5]	DQSB_N[1]
DQS_P[6]	DQS_P[6]	DQS_P[6]	DQS_P[6]	DQS_P[6]	DQSB_P[2]
DQS_N[6]	DQS_N[6]	DQS_N[6]	DQS_N[6]	DQS_N[6]	DQSB_N[2]
DQS_P[7]	DQS_P[7]	DQS_P[7]	DQS_P[7]	DQS_P[7]	DQSB_P[3]
DQS_N[7]	DQS_N[7]	DQS_N[7]	DQS_N[7]	DQS_N[7]	DQSB_N[3]

图 7C(续)

## DDR3L 模式引出线 (260 引脚连接器) 800

引脚号	前侧	引脚号	后侧	引脚号	前侧	引脚号	后侧
1	RSVD	2	RSVD	127	A6	128	A4
3	RSVD	4	RSVD	129	VSS	130	VSS
5	VSS	6	VSS	131	A3	132	A2
7	DQ0	8	DQ4	133	A1	134	EVENT_n
9	DQ1	10	DQ5	135	VSS	136	VSS
11	VSS	12	VSS	137	CLK0_t	138	CLK1_t
13	DQS0_c	14	DM0/DBI0	139	CLK0_c	140	CLK1_c
15	DQS0_t	16	VSS	141	VSS	142	VSS
17	VSS	18	DQ6	143	Not Used	144	A0
19	DQ2	20	DQ7	145	BA1	146	A10
21	DQ3	22	VSS	147	VSS	148	VSS
23	VSS	24	DQ12	149	RFU	150	BA0
25	DQ8	26	DQ13	151	WE_n	52	RAS_n
27	DQ9	28	VSS	153	VSS	154	VSS
29	VSS	30	DQS1_c	155	RFU	156	A13
31	DM1/DBI1	32	DQS1_t	157	CS0_n	158	CAS_n
33	VSS	34	VSS	159	VSS	160	VSS
35	DQ10	36	DQ14	161	ODT0	162	CS1_n
37	DQ11	38	DQ15	163	CS2_n	164	ODT1
39	VSS	40	VSS	165	VSS	166	VSS
41	DQ16	42	DQ20	167	CS3_n	168	VREF_CA
43	DQ17	44	DQ21	169	VSS	170	VSS
45	VSS	46	VSS	171	VDD	172	VDD
47	DQS2_c	48	DM2/DBI2	173	VDD	174	VDD
49	DQS2_t	50	VSS	175	VDD	176	VDD
51	VSS	52	DQ22	177	VDD	178	VDD
53	DQ18	54	DQ23	179	VDD	180	VDD
55	DQ19	56	VSS	181	VSS	182	VSS
57	VSS	5	DQ28	183	DQ32	184	DQ36
59	DQ24	60	DQ29	185	DQ33	186	DQ37
61	DQ25	62	VSS	187	VSS	188	VSS
63	VSS	64	DQS3_c	189	DQS3_c	190	DM4/DBI4
65	DM3/DBI3	66	DQS3_t	191	DQS3_t	192	VSS
67	VSS	68	VSS	193	VSS	194	DQ38
69	DQ26	70	DQ30	195	DQ34	196	DQ39

图 8A



71	DQ27	72	DQ31
73	VSS	74	VSS
75	CB0	76	CB4
77	CB1	78	CB5
79	VSS	80	VSS
81	DQS8_c	82	DM8/DBI8
83	DQS8_t	84	VSS
85	VSS	86	CB6
87	CB2	88	CB7
89	CB3	90	VSS
91	VSS	92	VREF_DQ
93	VDD	94	VDD
95	VDD	96	VDD
97	VDD	98	VDD
99	VDD	100	VDD
101	VSS	102	RESET_n
Key		Key	
103	CKE0	104	CKE1
105	VSS	106	VSS
107	CKE2	108	CKE3
109	Not Used	110	Not Used
111	VSS	112	VSS
113	A14	114	A15
115	BA2	116	Not Used
117	VSS	118	VSS
119	A12	120	A11
121	A9	122	A7
123	VSS	124	VSS
125	A8	126	A5
197	DQ35	198	VSS
199	VSS	200	DQ44
201	DQ40	202	DQ45
203	DQ41	204	VSS
205	VSS	206	DQS5_c
207	DM5/DBI5	208	DQS5_t
209	VSS	210	VSS
211	DQ42	212	DQ46
213	DQ43	214	DQ47
215	VSS	216	VSS
217	DQ48	218	DQ52
219	DQ49	220	DQ53
221	VSS	222	VSS
223	DQS6_c	224	DM6/DBI6
225	DQS6_t	226	VSS
227	VSS	228	DQ54
229	DQ50	230	DQ55
231	DQ51	232	VSS
233	VSS	234	DQ60
235	DQ56	236	DQ61
237	DQ57	238	VSS
239	VSS	240	DQS7_c
241	DM7/DBI7	242	DQS7_t
243	VSS	244	VSS
245	DQ58	246	DQ62
247	DQ59	248	DQ63
249	VSS	250	VSS
251	SCL	252	SDA
253	VDD_SPD	254	SA0
255	SA2	256	SA1
257	VPP	258	VTT
259	VPP	260	VTT

图 8A(续)

DDR4 模式引出线 (260 引脚连接器) §10

引脚号	前侧	引脚号	后侧	引脚号	前侧	引脚号	后侧
1	VSS	2	VSS	135	VDD	136	VDD
3	DQ5	4	DQ4	137	CK0_t	138	CD1_t
5	VSS	6	VSS	139	CK0_c	140	CK1_c
7	DQ1	8	DQ0	141	VDD	142	VDD
9	VSS	10	VSS	143	Parity	144	A0
11	DQS0_c	12	DM0_n/DBIO_n	KEY		KEY	
13	DQS0_t	14	VSS				
15	VSS	16	DQ6				
17	DQ7	18	VSS				
19	VSS	20	DQ2	145	BA1	146	A10/AP
21	DQ3	22	VSS	147	VDD	148	VDD
23	VSS	24	DQ12	149	CS0_n	150	BA0
25	DQ13	26	VSS	151	A14/WE_n	152	A16/RAS_n
27	VSS	28	DQ8	153	VDD	154	VDD
29	DQ9	30	VSS	155	ODT0	156	A15/CAS_n
31	VSS	32	DQS1_c	157	CS1_n	158	A13
33	D1_n/DBI1_n	34	DQS1_t	159	VDD	160	VDD
35	VSS	36	VSS	161	ODT1	162	C0, CS2_n
37	DQ15	38	DQ14	163	VDD	164	VREFCA
39	VSS	40	VSS	165	C1, CS3_n	166	SA2
41	DQ10	42	DQ11	167	VSS	168	VSS
43	VSS	44	VSS	169	DQ37	170	DQ36
45	DQ21	46	DQ20	171	VSS	172	VSS
47	VSS	48	VSS	173	DQ33	174	DQ32
49	DQ17	50	DQ16	175	VSS	176	VSS
51	VSS	52	VSS	177	DQS4_c	178	DM4_n/DBI4_n
53	DQS2_c	54	DM2_n/DBI2_n	179	DQS4_t	180	VSS
55	DQS2_t	56	VSS	181	VSS	182	DQ39
57	VSS	5	DQ22	183	DQ38	184	VSS
59	DQ23	60	VSS	185	VSS	186	DQ35
61	VSS	62	DQ18	187	DQ34	188	VSS
63	DQ19	64	VSS	189	VSS	190	DQ45
65	VSS	66	DQ28	191	DQ44	192	VSS
67	DQ29	68	VSS	193	VSS	194	DQ41
69	VSS	70	DQ24	195	DQ40	196	VSS

图 8B

71	DQ25	72	VSS	197	VSS	198	DQS5_C
73	VSS	74	DQS3_c	199	DM5_n/DBI5_n	200	DQS5_t
75	DM3_n/DBI3_n	76	DQS3_t	201	VSS	202	VSS
77	VSS	78	VSS	203	DQ46	204	DQ47
79	DQ30	80	DQ31	205	VSS	206	VSS
81	VSS	82	VSS	207	DQ42	208	DQ43
83	DQ26	84	DQ27	209	VSS	210	VSS
85	VSS	86	VSS	211	DQ52	212	DQ53
87	CB5, NC	88	CB4, NC	213	VSS	214	VSS
89	VSS	90	VSS	215	DG49	216	DQ48
91	CB1, NC	92	CB0, NC	217	VSS	218	VSS
93	VSS	94	VSS	219	DQS6_c	220	DM6_n/DBI6_n
95	DQS8_c	96	DBI8_n	221	DQS6_t	222	VSS
97	DQS8_t	98	VSS	223	VSS	224	DQ54
99	VSS	100	CB6, NC	225	DQ55	226	VSS
101	CB2, NC	102	VSS	227	VSS	228	DQ50
103	VSS	104	CB7, NC	229	DQ51	230	VSS
105	CB3, NC	106	VSS	231	VSS	232	DQ60
107	VSS	108	RESET_n	233	DQ61	234	VSS
109	CKE0	110	CKE1	235	VSS	236	DQ57
111	VDD	112	VDD	237	DQ58	238	VSS
113	BG1	114	ACT_n	239	VSS	240	DQS7_c
115	BG0	116	ALERT_n	241	DM7_n/DBI7_n	242	DQS7_t
117	VDD	118	VDD	243	VSS	244	VSS
119	A12	120	A11	245	DQ62	246	DQ63
121	A9	122	A7	247	VSS	248	VSS
123	VDD	124	VDD	249	DQ58	250	DQ59
125	A8	126	A5	251	VSS	252	VSS
127	A6	128	A4	253	SCL	254	SDA
129	VDD	130	VDD	255	VDD SPD	256	SA0
131	A3	132	A2	257	VPP	258	VTT
133	A1	134	EVENT_n	259	VPP	260	SA1

图 8B(续)

## LPDDR3 模式引出线 (260 引脚连接器) 820

引脚号	前侧	引脚号	后侧	引脚号	前侧	引脚号	后侧
1	RSVD	2	RSVD	127	CAA_02	128	Not Used
3	RSVD	4	RSVD	129	VSS	130	VSS
5	VSS	6	VSS	131	Not Used	132	CAB_05
7	DQ0	8	DQ4	133	CAB_08	134	EVENT_n
9	DQ1	10	DQ5	135	VSS	136	VSS
11	VSS	12	VSS	137	CLKA_t	138	CLKB_t
13	DQS0_c	14	DM0/DBI0	139	CLKA_c	140	CLKB_c
15	DQS0_t	16	VSS	141	VSS	142	VSS
17	VSS	18	DQ6	143	Not Used	144	CAB_09
19	DQ2	20	DQ7	145	CAB_06	146	CAB_07
21	DQ3	22	VSS	147	VSS	148	VSS
23	VSS	24	DQ12	149	RFU	150	CAB_04
25	DQ8	26	DQ13	151	CAB_02	52	CAB_03
27	DQ9	28	VSS	153	VSS	154	VSS
29	VSS	30	DQS1_c	155	RFU	156	CAB_00
31	DM1/DBI1	32	DQS1_t	157	CSA0_n	158	CAB_01
33	VSS	34	VSS	159	VSS	160	VSS
35	DQ10	36	DQ14	161	ODTA0	162	CSB1_n
37	DQ11	38	DQ15	163	CSA1_n	164	ODTB0
39	VSS	40	VSS	165	VSS	166	VSS
41	DQ16	42	DQ20	167	CSB0_n	168	VREF_CA
43	DQ17	44	DQ21	169	VSS	170	VSS
45	VSS	46	VSS	171	VDD	172	VDD
47	DQS2_c	48	DM2/DBI2	173	VDD	174	VDD
49	DQS2_t	50	VSS	175	VDD	176	VDD
51	VSS	52	DQ22	177	VDD	178	VDD
53	DQ18	54	DQ23	179	VDD	180	VDD
55	DQ19	56	VSS	181	VSS	182	VSS
57	VSS	5	DQ28	183	DQ32	184	DQ36
59	DQ24	60	DQ29	185	DQ33	186	DQ37
61	DQ25	62	VSS	187	VSS	188	VSS
63	VSS	64	DQS3_c	189	DQS4_c	190	DM4/DBI4
65	DM3/DBI3	66	DQS3_t	191	DQS4_t	192	VSS
67	VSS	68	VSS	193	VSS	194	DQ38
69	DQ26	70	DQ30	195	DQ34	196	DQ39

图 8C

71	DQ27	72	DQ31
73	VSS	74	VSS
75	Not Used	76	Not Used
77	Not Used	78	Not Used
79	VSS	80	VSS
81	Not Used	82	Not Used
83	Not Used	84	VSS
85	VSS	86	Not Used
87	Not Used	88	Not Used
89	Not Used	90	VSS
91	VSS	92	VREF_DQ
93	VDD	94	VDD
95	VDD	96	VDD
97	VDD	98	VDD
99	VDD	100	VDD
101	VSS	102	RESET_n
Key		Key	
103	CKEA0	104	CKEA1
105	VSS	106	VSS
107	CKEB0	108	CKEB1
109	Not Used	110	Not Used
111	VSS	112	VSS
113	CAA_09	114	CAA_08
115	CAA_05	116	Not Used
117	VSS	118	VSS
119	CAA_06	120	CAA_07
121	CAA_01	122	CAA_04
123	VSS	124	VSS
125	CAA_03	126	CAA_00
197	DQ35	198	VSS
199	VSS	200	DQ44
201	DQ40	202	DQ45
203	DQ41	204	VSS
205	VSS	206	DQS5_c
207	DM5/DBI5	208	DQS5_t
209	VSS	210	VSS
211	DQ42	212	DQ46
213	DQ43	214	DQ47
215	VSS	216	VSS
217	DQ48	218	DQ52
219	DQ49	220	DQ53
221	VSS	222	VSS
223	DQS6_c	224	DM6/DBI6
225	DQS6_t	226	VSS
227	VSS	228	DQ54
229	DQ50	230	DQ55
231	DQ51	232	VSS
233	VSS	234	DQ60
235	DQ56	236	DQ61
237	DQ57	238	VSS
239	VSS	240	DQS7_c
241	DM7/DBI7	242	DQS7_t
243	VSS	244	VSS
245	DQ58	246	DQ62
247	DQ59	248	DQ63
249	VSS	250	VSS
251	SCL	252	SDA
253	VDD_SPD	254	SA0
255	SA2	256	SA1
257	VPP	258	VTT
259	VPP	260	VTT

图 8C(续)

## LPDDR4 模式引出线 (260 引脚连接器) 830

引脚号	前侧	引脚号	后侧	引脚号	前侧	引脚号	后侧
1	RSVD	2	RSVD	127	CAA_02	128	Not Used
3	RSVD	4	RSVD	129	VSS	130	VSS
5	VSS	6	VSS	131	Not Used	132	CAB_05
7	DQ0	8	DQ4	133	Not Used	134	EVENT_n
9	DQ1	10	DQ5	135	VSS	136	VSS
11	VSS	12	VSS	137	CLKA_t	138	CLKB_t
13	DQS0_c	14	DM0/DBI0	139	CLKA_c	140	CLKB_c
15	DQS0_t	16	VSS	141	VSS	142	VSS
17	VSS	18	DQ6	143	Not Used	144	Not Used
19	DQ2	20	DQ7	145	Not Used	146	Not Used
21	DQ3	22	VSS	147	VSS	148	VSS
23	VSS	24	DQ12	149	RFU	150	CAB_04
25	DQ8	26	DQ13	151	CAB_02	52	CAB_03
27	DQ9	28	VSS	153	VSS	154	VSS
29	VSS	30	DQS1_c	155	RFU	156	CAB_00
31	DM1/DBI1	32	DQS1_t	157	CSA0	158	CAB_01
33	VSS	34	VSS	159	VSS	160	VSS
35	DQ10	36	DQ14	161	CSA2	162	CSB1
37	DQ11	38	DQ15	163	CSA1	164	CSB2
39	VSS	40	VSS	165	VSS	166	VSS
41	DQ16	42	DQ20	167	CSB0	168	VREF_CA
43	DQ17	44	DQ21	169	VSS	170	VSS
45	VSS	46	VSS	171	VDD	172	VDD
47	DQS2_c	48	DM2/DBI2	173	VDD	174	VDD
49	DQS2_t	50	VSS	175	VDD	176	VDD
51	VSS	52	DQ22	177	VDD	178	VDD
53	DQ18	54	DQ23	179	VDD	180	VDD
55	DQ19	56	VSS	181	VSS	182	VSS
57	VSS	5	DQ28	183	DQ32	184	DQ36
59	DQ24	60	DQ29	185	DQ33	186	DQ37
61	DQ25	62	VSS	187	VSS	188	VSS
63	VSS	64	DQS3_c	189	DQS4_c	190	DM4/DBI4
65	DM3/DBI3	66	DQS3_t	191	DQS4_t	192	VSS
67	VSS	68	VSS	193	VSS	194	DQ38
69	DQ26	70	DQ30	195	DQ34	196	DQ39

图 8D

71	DQ27	72	DQ31
73	VSS	74	VSS
75	Not Used	76	Not Used
77	Not Used	78	Not Used
79	VSS	80	VSS
81	Not Used	82	Not Used
83	Not Used	84	VSS
85	VSS	86	Not Used
87	Not Used	88	Not Used
89	Not Used	90	VSS
91	VSS	92	VREF_DQ
93	VDD	94	VDD
95	VDD	96	VDD
97	VDD	98	VDD
99	VDD	100	VDD
101	VSS	102	RESET_n
Key		Key	
103	CKEA0	104	CKEA1
105	VSS	106	VSS
107	CKEB0	108	CKEB1
109	CKEA2	110	CKEB2
111	VSS	112	VSS
113	Not Used	114	Not Used
115	CAA_05	116	Not Used
117	VSS	118	VSS
119	Not Used	120	Not Used
121	CAA_01	122	CAA_04
123	VSS	124	VSS
125	CAA_03	126	CAA_00
197	DQ35	198	VSS
199	VSS	200	DQ44
201	DQ40	202	DQ45
203	DQ41	204	VSS
205	VSS	206	DQS5_c
207	DM5/DBI5	208	DQS5_t
209	VSS	210	VSS
211	DQ42	212	DQ46
213	DQ43	214	DQ47
215	VSS	216	VSS
217	DQ48	218	DQ52
219	DQ49	220	DQ53
221	VSS	222	VSS
223	DQS6_c	224	DM6/DBI6
225	DQS6_t	226	VSS
227	VSS	228	DQ54
229	DQ50	230	DQ55
231	DQ51	232	VSS
233	VSS	234	DQ60
235	DQ56	236	DQ61
237	DQ57	238	VSS
239	VSS	240	DQS7_c
241	DM7/DBI7	242	DQS7_t
243	VSS	244	VSS
245	DQ58	246	DQ62
247	DQ59	248	DQ63
249	VSS	250	VSS
251	SCL	252	SDA
253	VDD_SPD	254	SA0
255	SA2	256	SA1
257	VPP	258	VTT
259	VPP	260	VTT

图 8D(续)

DDR4 模式引出线 (242 引脚连接器) 900

引脚号	前侧	引脚号	后侧	引脚号	前侧	引脚号	后侧
1	RSVD	2	RSVD	119	VSS	120	VSS
3	RSVD	4	RSVD	121	CLK0_t	122	CLK1_t
5	VSS	6	VSS	123	CLK0_c	124	CLK1_c
7	DQ0	8	DQ4	125	VSS	126	VSS
9	DQ1	10	DQ5	127	PARITY	128	A0
11	VSS	12	VSS	129	BA1	130	A10/AP
13	DQS0_c	14	DM0/DBI0	131	VSS	132	VSS
15	DQS0_t	16	VSS	133	RFU	134	BA0
17	VSS	18	DQ6	135	A14/WE_n	136	A16/RAS_n
19	DQ2	20	DQ7	137	VSS	138	VSS
21	DQ3	22	VSS	139	RFU	140	A13
23	VSS	24	DQ12	141	ALERT_n	142	A15/CAS_n
25	DQ8	26	DQ13	143	VSS	144	VSS
27	DQ9	28	VSS	145	CS0_n	146	CS1_n
29	VSS	30	DQS1_c	147	ODT0	148	ODT1
31	DM1/DBI1	32	DQS1_t	149	VSS	150	VSS
33	VSS	34	VSS	151	Not Used	52	Not Used
35	DQ10	36	DQ14	153	Not Used	154	Not Used
37	DQ11	38	DQ15	155	VSS	156	VSS
39	VSS	40	VSS	157	RFU	158	VREF_CA
41	DQ16	42	DQ20	159	VDD	160	VDD
43	DQ17	44	DQ21	161	VDD	162	VDD
45	VSS	46	VSS	163	VDD	164	VDD
47	DQS2_c	48	DM2/DBI2	165	VSS	166	VSS
49	DQS2_t	50	VSS	167	DQ32	168	DQ36
51	VSS	52	DQ22	169	DQ33	170	DQ37
53	DQ18	54	DQ23	171	VSS	172	VSS
55	DQ19	56	VSS	173	DQS4_c	174	DM4/DBI4
57	VSS	5	DQ28	175	DQS4_t	176	VSS
59	DQ24	60	DQ29	177	VSS	178	DQ38
61	DQ25	62	VSS	179	DQ34	180	DQ39
63	VSS	64	DQS3_c	181	DQ35	182	VSS
65	DM3/DBI3	66	DQS3_t	183	VSS	184	DQ44
67	VSS	68	VSS	185	DQ40	186	DQ45
69	DQ26	70	DQ30	187	DQ41	188	VSS

图 9A



71	DQ27	72	DQ31
73	VSS	74	VSS
Key		Key	
75	VDD	76	VDD
77	VDD	78	VDD
79	VDD	80	VDD
81	RFU	82	Not Used
83	VSS	84	VSS
85	CKE0	86	CKE1
87	CKE2	88	CKE3
89	VSS	90	VSS
91	Not Used	92	Not Used
93	Not Used	94	Not Used
95	VSS	96	VSS
97	BG1	98	RESET_n
99	BG0	100	ACT_n
101	VSS	102	VSS
103	A12	104	A11
105	A9	106	A7
107	VSS	108	VSS
109	A8	110	A5
111	A6	112	A4
113	VSS	114	VSS
115	A3	116	A2
117	A1	118	EVENT_n
189	VSS	190	DQS5_c
191	DM4/DBI5	192	DQS5_t
193	VSS	194	VSS
195	DQ42	196	DQ46
197	DQ43	198	DQ47
199	VSS	200	VSS
201	DQ48	202	DQ52
203	DQ49	204	DQ53
205	VSS	206	VSS
207	DQS6_c	208	DM6/DBI6
209	DQS6_t	210	VSS
211	VSS	212	DQ54
213	DQ50	214	DQ55
215	DQ51	216	VSS
217	VSS	218	DQ60
219	DQ56	220	DQ61
221	DQ57	222	VSS
223	VSS	224	DQS7_c
225	DM7/DBI7	226	DQS7_t
227	VSS	228	VSS
229	DQ58	230	DQ62
231	DQ59	232	DQ63
233	VSS	234	VSS
235	SCL	236	SDA
237	VDD_SPD	238	SA0
239	VPP	240	SA1
241	VPP	242	VTT

图 9A(续)

LPDDR3 模式引出线 (242 引脚连接器) 910

引脚号	前侧	引脚号	后侧	引脚号	前侧	引脚号	后侧
1	RSVD	2	RSVD	119	VSS	120	VSS
3	RSVD	4	RSVD	121	CLK0_l	122	CLK1_l
5	VSS	6	VSS	123	CLK0_c	124	CLK1_c
7	DQ0	8	DQ4	125	VSS	126	VSS
9	DQ1	10	DQ5	127	Not Used	128	CAB_09
11	VSS	12	VSS	129	CAB_06	130	CAB_07
13	DQS0_c	14	DM0/DBI0	131	VSS	132	VSS
15	DQS0_t	16	VSS	133	RFU	134	CAB_04
17	VSS	18	DQ6	135	CAB_02	136	CAB_03
19	DQ2	20	DQ7	137	VSS	138	VSS
21	DQ3	22	VSS	139	RFU	140	CAB_00
23	VSS	24	DQ12	141	Not Used	142	CAB_01
25	DQ8	26	DQ13	143	VSS	144	VSS
27	DQ9	28	VSS	145	CS0_n	146	CS1_n
29	VSS	30	DQS1_c	147	ODT0	148	Not Used
31	DM1/DBI1	32	DQS1_t	149	VSS	150	VSS
33	VSS	34	VSS	151	Not Used	52	Not Used
35	DQ10	36	DQ14	153	Not Used	154	Not Used
37	DQ11	38	DQ15	155	VSS	156	VSS
39	VSS	40	VSS	157	RFU	158	VREF_CA
41	DQ16	42	DQ20	159	VDD	160	VDD
43	DQ17	44	DQ21	161	VDD	162	VDD
45	VSS	46	VSS	163	VDD	164	VDD
47	DQS2_c	48	DM2/DBI2	165	VSS	166	VSS
49	DQS2_t	50	VSS	167	DQ32	168	DQ36
51	VSS	52	DQ22	169	DQ33	170	DQ37
53	DQ18	54	DQ23	171	VSS	172	VSS
55	DQ19	56	VSS	173	DQS4_c	174	DM4/DBI4
57	VSS	5	DQ28	175	DQS4_t	176	VSS
59	DQ24	60	DQ29	177	VSS	178	DQ38
61	DQ25	62	VSS	179	DQ34	180	DQ39
63	VSS	64	DQS3_c	181	DQ35	182	VSS
65	DM3/DBI3	66	DQS3_t	183	VSS	184	DQ44
67	VSS	68	VSS	185	DQ40	186	DQ45
69	DQ26	70	DQ30	187	DQ41	188	VSS

图 9B

71	DQ27	72	DQ31
73	VSS	74	VSS
Key		Key	
75	VDD	76	VDD
77	VDD	78	VDD
79	VDD	80	VDD
81	RFU	82	VREF_DQ
83	VSS	84	VSS
85	CKEA0	86	CKEA1
87	CKEB2	88	CKEB3
89	VSS	90	VSS
91	Not Used	92	Not Used
93	Not Used	94	Not Used
95	VSS	96	VSS
97	CAA_09	98	RESET_n
99	CAA_05	100	CAA_08
101	VSS	102	VSS
103	CAA_06	104	CAA_07
105	CAA_01	106	CAA_04
107	VSS	108	VSS
109	CAA_03	110	CAA_00
111	CAA_02	112	Not Used
113	VSS	114	VSS
115	Not Used	116	CAB_05
117	CAB_08	118	EVENT_n

189	VSS	190	DQS5_c
191	DM4/DBI5	192	DQS5_t
193	VSS	194	VSS
195	DQ42	196	DQ46
197	DQ43	198	DQ47
199	VSS	200	VSS
201	DQ48	202	DQ52
203	DQ49	204	DQ53
205	VSS	206	VSS
207	DQS6_c	208	DM6/DBI6
209	DQS6_t	210	VSS
211	VSS	212	DQ54
213	DQ50	214	DQ55
215	DQ51	216	VSS
217	VSS	218	DQ60
219	DQ56	220	DQ61
221	DQ57	222	VSS
223	VSS	224	DQS7_c
225	DM7/DBI7	226	DQS7_t
227	VSS	228	VSS
229	DQ58	230	DQ62
231	DQ59	232	DQ63
233	VSS	234	VSS
235	SCL	236	SDA
237	VDD_SPD	238	SA0
239	VPP	240	SA1
241	VPP	242	VTT

图 9B(续)

LPDDR4 模式引出线 (242 引脚连接器) 920

引脚号	前侧	引脚号	后侧	引脚号	前侧	引脚号	后侧
1	RSVD	2	RSVD	119	VSS	120	VSS
3	RSVD	4	RSVD	121	CLK0_t	122	CLKB_t
5	VSS	6	VSS	123	CLK0_c	124	CLKB_c
7	DQ0	8	DQ4	125	VSS	126	VSS
9	DQ1	10	DQ5	127	Not Used	128	Not Used
11	VSS	12	VSS	129	CAB_06	130	Not Used
13	DQS0_c	14	DM0/DBI0	131	VSS	132	VSS
15	DQS0_t	16	VSS	133	RFU	134	CAB_04
17	VSS	18	DQ6	135	CAB_02	136	CAB_03
19	DQ2	20	DQ7	137	VSS	138	VSS
21	DQ3	22	VSS	139	RFU	140	CAB_00
23	VSS	24	DQ12	141	Not Used	142	CAB_01
25	DQ8	26	DQ13	143	VSS	144	VSS
27	DQ9	28	VSS	145	CSA0	146	CSB0
29	VSS	30	DQS1_c	147	CSA1	148	CSB1
31	DM1/DBI1	32	DQS1_t	149	VSS	150	VSS
33	VSS	34	VSS	151	Not Used	52	Not Used
35	DQ10	36	DQ14	153	Not Used	154	Not Used
37	DQ11	38	DQ15	155	VSS	156	VSS
39	VSS	40	VSS	157	RFU	158	Not Used
41	DQ16	42	DQ20	159	VDD	160	VDD
43	DQ17	44	DQ21	161	VDD	162	VDD
45	VSS	46	VSS	163	VDD	164	VDD
47	DQS2_c	48	DM2/DBI2	165	VSS	166	VSS
49	DQS2_t	50	VSS	167	DQ32	168	DQ36
51	VSS	52	DQ22	169	DQ33	170	DQ37
53	DQ18	54	DQ23	171	VSS	172	VSS
55	DQ19	56	VSS	173	DQS4_c	174	DM4/DBI4
57	VSS	5	DQ28	175	DQS4_t	176	VSS
59	DQ24	60	DQ29	177	VSS	178	DQ38
61	DQ25	62	VSS	179	DQ34	180	DQ39
63	VSS	64	DQS3_c	181	DQ35	182	VSS
65	DM3/DBI3	66	DQS3_t	183	VSS	184	DQ44
67	VSS	68	VSS	185	DQ40	186	DQ45
69	DQ26	70	DQ30	187	DQ41	188	VSS

图 9C

71	DQ27	72	DQ31
73	VSS	74	VSS
Key		Key	
75	VDD	76	VDD
77	VDD	78	VDD
79	VDD	80	VDD
81	RFU	82	Not Used
83	VSS	84	VSS
85	CKEA0	86	CKEA1
87	CKEB0	88	CKEB1
89	VSS	90	VSS
91	Not Used	92	Not Used
93	Not Used	94	Not Used
95	VSS	96	VSS
97	Not Used	98	RESET_n
99	CAA_05	100	Not Used
101	VSS	102	VSS
103	Not Used	104	Not Used
105	CAA_01	106	CAA_04
107	VSS	108	VSS
109	CAA_03	110	CAA_00
111	CAA_02	112	Not Used
113	VSS	114	VSS
115	Not Used	116	CAB_05
117	Not Used	118	EVENT_n
189	VSS	190	DQS5_c
191	DM4/DBI5	192	DQS5_t
193	VSS	194	VSS
195	DQ42	196	DQ46
197	DQ43	198	DQ47
199	VSS	200	VSS
201	DQ48	202	DQ52
203	DQ49	204	DQ53
205	VSS	206	VSS
207	DQS6_c	208	DM6/DBI6
209	DQS6_t	210	VSS
211	VSS	212	DQ54
213	DQ50	214	DQ55
215	DQ51	216	VSS
217	VSS	218	DQ60
219	DQ56	220	DQ61
221	DQ57	222	VSS
223	VSS	224	DQS7_c
225	DM7/DBI7	226	DQS7_t
227	VSS	228	VSS
229	DQ58	230	DQ62
231	DQ59	232	DQ63
233	VSS	234	VSS
235	SCL	236	SDA
237	VDD_SPD	238	SA0
239	VPP	240	SA1
241	VPP	242	VTT

图 9C(续)

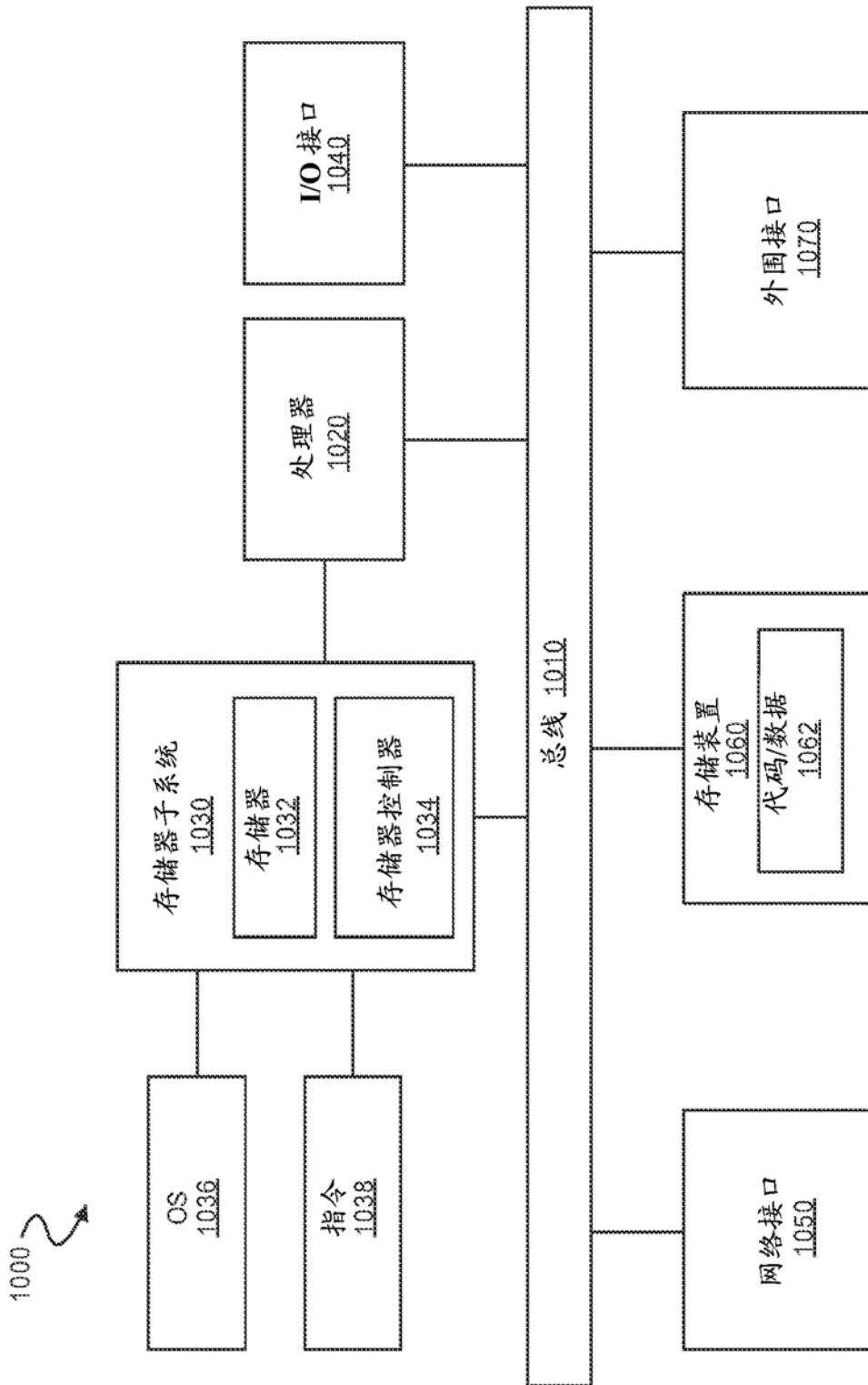


图 10

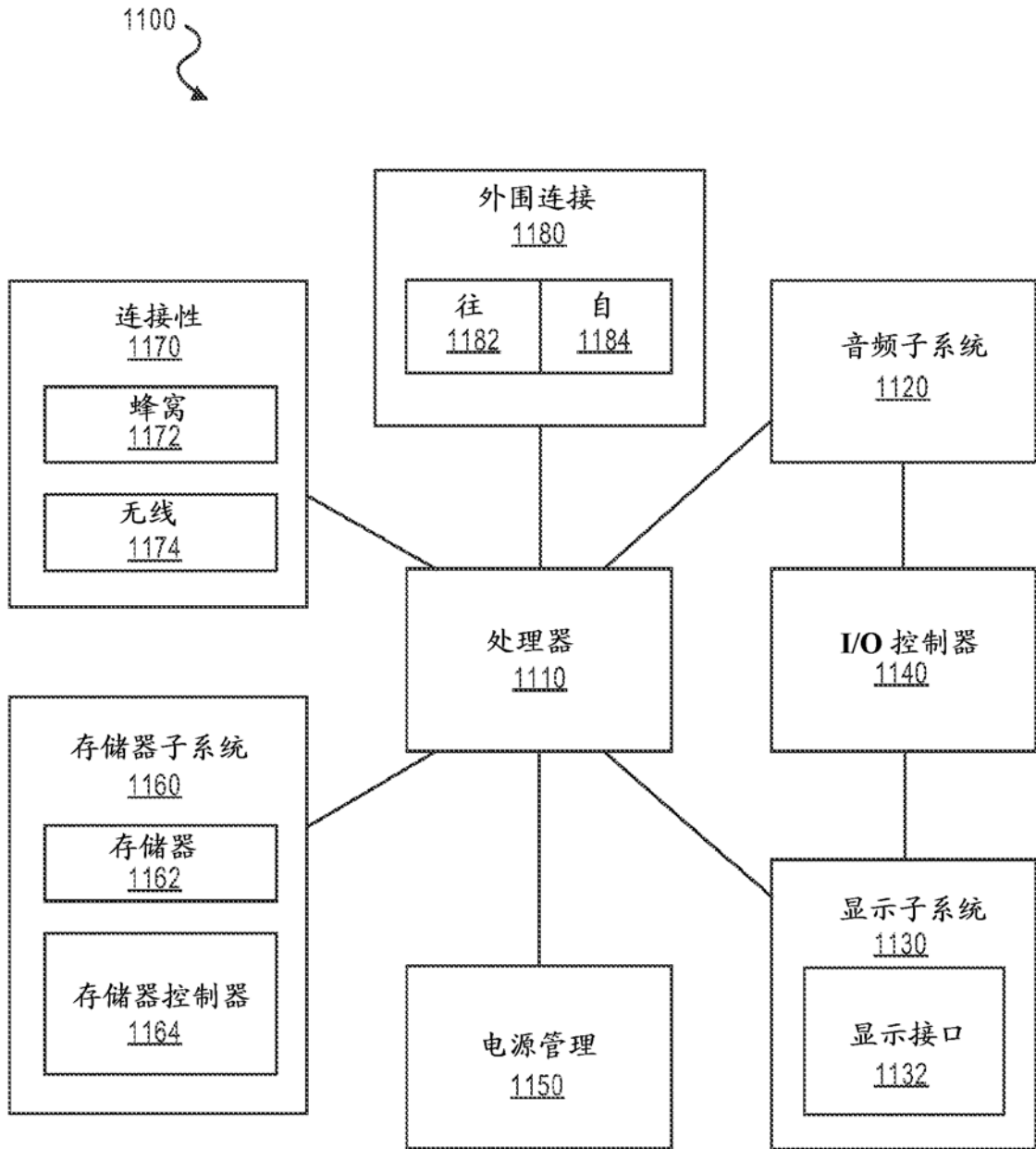


图 11