



(12) 发明专利

(10) 授权公告号 CN 110993002 B

(45) 授权公告日 2022. 08. 23

(21) 申请号 201910693555.1

(22) 申请日 2019.07.30

(65) 同一申请的已公布的文献号
申请公布号 CN 110993002 A

(43) 申请公布日 2020.04.10

(30) 优先权数据
16/150,996 2018.10.03 US

(73) 专利权人 美光科技公司
地址 美国爱达荷州

(72) 发明人 T·H·金

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
专利代理师 王龙

(51) Int.Cl.

G11C 11/408 (2006.01)

G11C 8/08 (2006.01)

(56) 对比文件

CN 103123803 A, 2013.05.29

CN 108231105 A, 2018.06.29

CN 108010553 A, 2018.05.08

US 2008084778 A1, 2008.04.10

US 2018203058 A1, 2018.07.19

审查员 冯肖雄

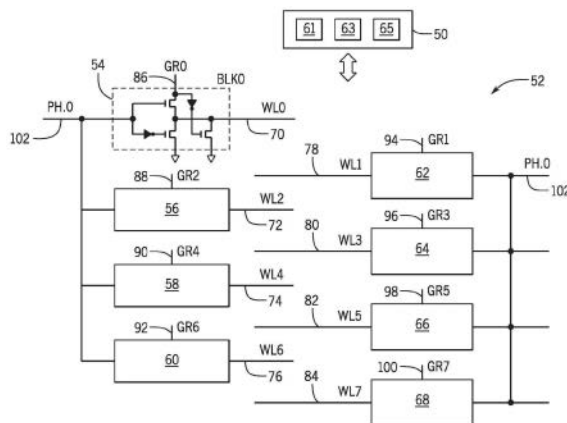
权利要求书2页 说明书8页 附图6页

(54) 发明名称

用于改进动态随机存取存储器 (DRAM) 中组件可靠性的系统和方法

(57) 摘要

本申请涉及用于改进动态随机存取存储器 DRAM 中组件可靠性的系统和方法。提供一种存储器装置。所述存储器装置包括至少一个字线驱动器, 所述字线驱动器包括第一开关装置和第二开关装置, 其中所述字线驱动器经配置以激活电耦合到包含在存储器组中的一或多个存储器单元的字线。所述存储器装置额外包括可操作地耦合到所述至少一个字线驱动器的存储器组控制器。所述存储器组控制器经配置以向所述至少一个字线驱动器提供字线电源 PH 信号、字线接通控制 GR 信号和字线断开控制 PHF 信号, 并且调整所述 PH 信号、所述 GR 信号和所述 PHF 信号的定时, 以减少或消除所述第一开关装置、所述第二开关装置或其组合的不导电应力 NCS 条件、时间相关的温度不稳定性 TDDB 条件, 或其组合。



1. 一种存储器装置,其包括:

至少一个字线驱动器,其包括第一开关装置和第二开关装置,其中所述字线驱动器经配置以激活电耦合到包含在存储器组中的一或多个存储器单元的字线;以及

存储器组控制器,其可操作地耦合到所述至少一个字线驱动器,其中所述存储器组控制器经配置以:

向所述至少一个字线驱动器提供字线控制信号、字线接通控制信号和字线断开控制信号;以及

调整所述字线控制信号、所述字线接通控制信号和所述字线断开控制信号的定时,其中所述存储器组控制器经配置以通过在时间T1处将所述字线控制信号转变成全字线电源电压,并且接着在时间T1+X处将所述字线控制信号从所述全字线电源电压降低到更低电压,从而来仅在行活动时间tRAS期间调整所述定时,其中X包括时钟周期值、纳秒值,或其组合。

2. 根据权利要求1所述的装置,其中X包括0.025到5个时钟周期、0.01到10纳秒,或其组合,以减少或消除时间相关的温度不稳定性TDDDB条件。

3. 根据权利要求1所述的装置,其中所述存储器组控制器经配置以通过在时间T1处将所述字线控制信号转变成所述全字线电源电压,在时间T1+X处将所述字线控制信号从所述全字线电源电压降低到所述更低电压,并且接着在时间T3-Y处将所述字线控制信号转变成所述全字线电源电压来调整所述定时,其中Y包括第二时钟周期值、第二纳秒值,或其组合。

4. 根据权利要求1所述的装置,其中所述存储器组控制器经配置以通过在时间T2处将所述字线接通控制信号转变成全字线接通电压,并且接着在时间T2+W处将所述字线接通控制信号从所述全字线接通电压降低到更低电压来调整所述定时,其中W包括第三时钟周期值、第三纳秒值,或其组合。

5. 根据权利要求4所述的装置,其中所述存储器组控制器经配置以通过在所述时间T2处将所述字线接通控制信号转变成所述全字线接通电压,接着在时间T2+W处将所述字线接通控制信号从所述全字线接通电压降低到所述更低电压,并且接着在时间T4-Z处将所述字线接通控制信号转变成所述全字线接通电压来调整所述定时,其中Z包括第四时钟周期值、第四纳秒值,或其组合。

6. 根据权利要求1所述的装置,其中所述第一开关装置与所述第二开关装置串联地电耦合。

7. 根据权利要求6所述的装置,其中所述第一开关装置、所述第二开关装置或其组合包括N型金属氧化物半导体NMOS装置、互补金属氧化物半导体CMOS装置、金属氧化物半导体场效应晶体管MOSFET装置,或其组合。

8. 根据权利要求6所述的装置,其中所述字线控制信号被递送到所述第一开关装置的第一栅极,所述字线接通控制信号被递送到所述第一开关装置的漏极,且所述字线断开控制信号被递送到所述第二开关装置的第二栅极。

9. 一种用于操作存储器装置的方法,其包括:

向包含在所述存储器装置的存储器组中的至少一个字线驱动器提供字线控制信号、字线接通控制信号和字线断开控制信号,其中所述至少一个字线驱动器包括第一开关装置和第二开关装置,且其中所述至少一个字线驱动器经配置以激活电耦合到所述存储器组的一

或多个存储器单元的字线;以及

调整所述字线控制信号、所述字线接通控制信号和所述字线断开控制信号的定时,其中调整所述定时包括通过在时间T1处将所述字线控制信号转变成全字线电源电压,并且接着在时间T1+X处将所述字线控制信号从所述全字线电源电压降低到更低电压,从而来仅在行活动时间tRAS期间调整所述定时,其中X包括时钟周期值、纳秒值,或其组合。

10. 根据权利要求9所述的方法,其中调整所述定时包括在时间T1处将所述字线控制信号转变成所述全字线电源电压,在时间T1+X处将所述字线控制信号从所述全字线电源电压降低到所述更低电压,并且接着在时间T3-Y处将所述字线控制信号转变成所述全字线电源电压,其中Y包括第二时钟周期值、第二纳秒值,或其组合。

11. 根据权利要求9所述的方法,其中调整所述定时包括在时间T2处将所述字线接通控制信号转变成全字线接通电压,并且接着在时间T2+W处将所述字线接通控制信号从所述全字线接通电压降低到更低电压,其中W包括第三时钟周期值、第三纳秒值,或其组合。

12. 一种用于操作存储器装置的系统,其包括:

存储器组控制器,其可操作地耦合到至少一个字线驱动器,其中所述存储器组控制器经配置以:

控制存储器组中数据的读取和写入;

向所述至少一个字线驱动器提供字线控制信号、字线接通控制信号和字线断开控制信号;以及

调整所述字线控制信号、所述字线接通控制信号和所述字线断开控制信号的定时,其中所述存储器组控制器经配置以通过在时间T1处将所述字线控制信号转变成全字线电源电压,并且接着在时间T1+X处将所述字线控制信号从所述全字线电源电压降低到更低电压,从而来仅在行活动时间tRAS期间调整所述定时,其中X包括时钟周期值、纳秒值,或其组合。

13. 根据权利要求12所述的系统,其中所述存储器组控制器经配置以通过在时间T1处将所述字线控制信号转变成所述全字线电源电压,在时间T1+X处将所述字线控制信号从所述全字线电源电压降低到所述更低电压,并且接着在时间T3-Y处将所述字线控制信号转变成所述全字线电源电压来调整所述定时,其中Y包括第二时钟周期值、第二纳秒值,或其组合。

14. 根据权利要求12所述的系统,其中所述存储器组控制器经配置以通过在时间T2处将所述字线接通控制信号转变成全字线接通电压,并且接着在时间T2+W处将所述字线接通控制信号从所述全字线接通电压降低到更低电压来调整所述定时,其中W包括第三时钟周期值、第三纳秒值,或其组合。

用于改进动态随机存取存储器 (DRAM) 中组件可靠性的系统和 方法

技术领域

[0001] 本公开涉及一种动态随机存取存储器 (DRAM), 且更具体地说涉及用于改进某些 DRAM 组件的可靠性的系统和方法。

背景技术

[0002] 某些读取/写入存储器装置, 例如动态随机存取存储器 (DRAM), 包含具有存储信息的存储器单元的阵列。举例来说, 某些 DRAM 装置, 例如同步动态 RAM (SDRAM) 装置, 可具有多个存储器组, 所述多个存储器组具有包含在存储器阵列中的许多可寻址存储器元件或单元。某些电子组件可用于定义单元电路、阵列电路等等。在使用中, SDRAM 装置可以高速度, 例如每秒 1 千兆比特 (Gbp) 或更大的速度, 接收数据输入信号, 并基于数据输入信号将数据存储在存储器单元中。存储器单元可接着被外部系统访问, 且可用于例如通过提供一或多个存储器单元的地址来检索存储在其中的数据。改进包含在 DRAM 系统中的某些组件的可靠性将是有益的。

[0003] 本公开的实施例可涉及上述问题中的一或多个。

发明内容

[0004] 本公开的一个方面提供一种存储器装置, 其包括: 至少一个字线驱动器, 所述字线驱动器包括第一开关装置和第二开关装置, 其中所述字线驱动器经配置以激活电耦合到包含在存储器组中的一或多个存储器单元的字线; 以及存储器组控制器, 其可操作地耦合到所述至少一个字线驱动器, 其中所述存储器组控制器经配置以: 向所述至少一个字线驱动器提供字线电源 (PH) 信号、字线接通控制 (GR) 信号和字线断开控制 (PHF) 信号; 并且调整所述 PH 信号、所述 GR 信号和所述 PHF 信号的定时, 以减少或消除所述第一开关装置、所述第二开关装置或其组合的不导电应力 (NCS) 条件、时间相关的温度不稳定性 (TDDB) 条件, 或其组合。

[0005] 本公开的另一方面提供一种用于操作存储器装置的方法, 所述方法包括: 向包含在所述存储器装置的存储器组中的至少一个字线驱动器提供字线电源 (PH) 信号、字线接通控制 (GR) 信号和字线断开控制 (PHF) 信号, 其中所述至少一个字线驱动器包括第一开关装置和第二开关装置, 且其中所述至少一个字线驱动器经配置以激活电耦合到所述存储器组的一或多个存储器单元的字线; 以及调整所述 PH 信号、所述 GR 信号和所述 PHF 信号的定时, 以减少或消除所述第一开关装置、所述第二开关装置或其组合的不导电应力 (NCS) 条件、时间相关的温度不稳定性 (TDDB) 条件, 或其组合。

[0006] 本公开的另一方面提供一种系统, 所述系统包括: 存储器组控制器, 其可操作地耦合到至少一个字线驱动器, 其中所述存储器组控制器经配置以: 控制存储器组中数据的读取和写入; 向所述至少一个字线驱动器提供字线电源 (PH) 信号、字线接通控制 (GR) 信号和字线断开控制 (PHF) 信号; 以及调整所述 PH 信号、所述 GR 信号和所述 PHF 信号的定时以减少

或消除所述字线驱动器的组件的不导电应力 (NCS) 条件、时间相关的温度不稳定性 (TDDB) 条件,或其组合。

附图说明

[0007] 在阅读以下详细描述并且参考附图之后可以更好地理解本公开的各个方面,在附图中:

[0008] 图1是根据实施例的说明存储器装置的组织的框图,所述存储器装置可包含安置在存储器控制器中的可靠性改进系统 (RIS);

[0009] 图2是根据实施例的个别字线驱动器的简化阵列的框图,所述个别字线驱动器中的每一个可以可操作地耦合到一或多个字线和图1的RIS;

[0010] 图3A是根据实施例的描绘可由包含在图2的每一字线驱动器中的电路所经历的第一条件的图式;

[0011] 图3B是根据实施例的描绘可由包含在图2的每一字线驱动器中的电路所经历的第二条件的图式;

[0012] 图3C是根据实施例的描绘可由包含在图2的每一字线驱动器中的电路所经历的第三条件的图式;

[0013] 图3D是根据实施例的描绘可由包含在图2的每一字线驱动器中的电路所经历第四条件的图式;

[0014] 图4是根据实施例的可由图1的存储器控制器发射的信号的第一时序图和第二时序图;且

[0015] 图5是根据实施例的适用于调整图4的信号的定时以消除或减少图3的电路中的不导电应力 (NCS) 和/或时间相关的温度不稳定性 (TDDB) 问题的过程的流程图。

具体实施方式

[0016] 下文将描述一或多个特定实施例。为了提供这些实施例的简要描述,不会在本说明书中描述实际实施方案的所有特征。应了解,在如任何工程或设计项目的任何此种实际实施方案的开发过程中,众多针对实施方案的决定必须实现开发者的具体目标,例如遵守可能在各个实施方案之间变化的相关系统约束和相关商业约束。此外,应了解,此类开发工作可能是复杂且耗时的,然而对于受益于本公开的所属领域的技术人员来说,这些都是设计、构造和制造中的常规任务。

[0017] 许多电气装置可包含耦合到处理电路的随机存取存储器 (RAM) 装置,且存储器装置可提供存储以供数据处理。RAM装置的实例包含动态RAM (DRAM) 装置和同步DRAM (SDRAM) 装置,这些装置可电子地存储个别位。所存储位可经组织成可寻址存储器元件(例如,字),其可存储在存储器组中。为了接收和发射位,RAM装置可包含某些数据通信电路以及通信线,例如(数字线、字线),用于保存和检索来自存储器组的位。在某些DRAM和SDRAM装置中,连接一行单元的字线可包含某些组件,例如N型金属氧化物半导体 (NMOS) 装置(例如,晶体管)。

[0018] 在字线驱动器的操作期间,字线驱动器电路可以某些电压和某些时间操作。举例来说,在行活动时间 (t_{RAS}) 期间,包含在字线驱动器中的NMOS装置可在某些时间处经历处

于例如-1V到+5V的特定低和高范围的电压,所述电压在操作过程期间可能导致老化的应力(例如,不导电应力[NCS]和时间相关的温度不稳定性(TDDB))。为了帮助缓解此问题,本文中进一步描述的实施例可包含可靠性改进系统(RIS),其可监测和控制某些电路,例如字线驱动器电路,以识别状态和/或操作条件并修改由电路所使用的电压(例如,控制信号)。

[0019] 举例来说,递送到字线电路的定时信号可经修改成使得例如高电压等电压可以被降低,同时仍产生标准的操作。也就是说,RIS可经由电压改变、定时改变或其组合修改定时信号,使得存储器单元的读取/写入可改进NMOS操作的可靠性,如下文进一步描述。

[0020] 现在转而参看附图,图1是说明存储器装置10的某些特征的简化框图。具体地说,图1的框图是说明存储器装置10的某些功能性的功能框图。根据一个实施例,存储器装置10可以是双数据速率类型五同步动态随机存取存储器(DDR5SDRAM)装置。DDR5SDRAM的各种特性如本文进一步描述允许与先前各代DDR SDRAM相比减少的功率消耗、更多的带宽以及更多的存储容量。

[0021] 存储器装置10可以包含数个存储器组12。存储器组12可以是例如DDR5SDRAM存储器组。存储器组12可以提供于布置在双列直插式存储器模块(DIMMS)上的一或多个芯片(例如,SDRAM芯片)上。每一DIMM可以包含数个SDRAM存储器芯片(例如,x8或x16存储器芯片),如将了解。每一SDRAM存储器芯片可包含一或多个存储器组12。存储器装置10表示具有数个存储器组12的单个存储器芯片(例如,SDRAM芯片)的一部分。对于DDR5,存储器组12可进一步经布置以形成组群。举例来说,对于8千兆字节(Gb)DDR5SDRAM,存储器芯片可包含16个存储器组12,布置成8个组群,每一组群包含2个存储器组。对于16Gb DDR5SDRAM,存储器芯片可例如包含32个存储器组12,布置成8个组群,每一组群包含4个存储器组。取决于总体系统的应用和设计,可以利用存储器装置10上的存储器组12的各种其它配置、组织和大小。

[0022] 存储器装置10可包含命令接口14和输入/输出(I/O)接口16。命令接口14经配置以提供来自外部装置(未展示)的多个信号(例如,信号15),所述外部装置例如处理器或控制器。处理器或控制器可以将各种信号15提供到存储器装置10以促进待写入到存储器装置10或从存储器装置10读取的数据的发射和接收。

[0023] 如将了解,命令接口14可包含数个电路,例如时钟输入电路18和命令地址输入电路20,以保障信号15的恰当处置。命令接口14可以从外部装置接收一或多个时钟信号。一般而言,双数据速率(DDR)存储器利用系统时钟信号的差分对,在本文中被称作真时钟信号(C1k_t/)和互补时钟信号(C1k_c)。DDR的正时钟边沿是指上升真时钟信号C1k_t/与下降互补时钟信号C1k_c交叉的点,而负时钟边沿指示下降真时钟信号C1k_t的转变和互补时钟信号C1k_c的上升。命令(例如,读取命令、写入命令(WrCmd)等)通常在时钟信号的正边沿上输入,且数据在正和负时钟边沿上发射和接收。

[0024] 时钟输入电路18接收真时钟信号(C1k_t/)和互补时钟信号(C1k_c)且产生内部时钟信号CLK。内部时钟信号CLK供应到内部时钟产生器,例如延迟锁定回路(DLL)电路30。DLL电路30基于所接收内部时钟信号CLK产生相位控制内部时钟信号LCLK。相位控制内部时钟信号LCLK供应到例如I/O接口16,并用作用于确定读取数据的输出定时的定时信号。

[0025] 内部时钟信号CLK也可以提供到存储器装置10内的各种其它组件,且可用以产生各种额外内部时钟信号。举例来说,内部时钟信号CLK可以被提供到命令解码器32。命令解码器32可以从命令总线34接收命令信号,且可以对命令信号进行解码以提供各种内部命

令。举例来说,命令解码器32可通过总线36向DLL电路30提供命令信号,以协调相位控制内部时钟信号LCLK的产生。相位控制内部时钟信号LCLK可用以例如通过IO接口16对数据进行计时。

[0026] 另外,命令解码器32可对命令进行解码,例如,读取命令、写入命令、模式寄存器集命令、激活命令等,并且经由总线路径40提供对应于命令的特定存储器组12的存取。如将了解,存储器装置10可包含各种其它解码器,例如,行解码器和列解码器,以促进对存储器组12的存取。在一个实施例中,每一存储器组12包含组控制块22(例如,存储器组控制器),其提供必需的解码(例如,行解码器和列解码器),以及其它特征,例如定时控制、电压控制和数据控制,以促进到和来自存储器组12的命令的执行。

[0027] 存储器装置10基于从例如处理器的外部装置接收的命令/地址信号而执行例如读取命令和写入命令的操作。在一个实施例中,命令/地址总线可以用以容纳命令/地址信号(CA<13:0>)的14位总线。使用时钟信号(Clk_t/和Clk_c)将命令/地址信号定时到命令接口14。所述命令接口可包含命令地址输入电路20,其经配置以通过例如命令解码器32而接收和发射命令以提供对存储器组12的存取。另外,命令接口14可以接收芯片选择信号(CS_n)。CS_n信号使得存储器装置10能够处理传入CA<13:0>总线上的命令。对存储器装置10内的特定组12的存取通过命令编码于CA<13:0>总线上。

[0028] 另外,命令接口14可经配置以接收数个其它命令信号。举例来说,可提供命令/地址裸片上终止(CA_ODT)信号以促进存储器装置10内的恰当阻抗匹配。复位命令(RESET_n)可用以例如在加电期间复位命令接口14、状态寄存器、状态机等等。命令接口14还可接收命令/地址反转(CAI)信号,其可经提供以例如取决于用于特定存储器装置10的命令/地址路由而反转命令/地址总线上的命令/地址信号CA<13:0>的状态。也可以提供镜像(MIR)信号以促进镜像功能。基于特定应用中的多个存储器装置的配置,MIR信号可用于多路复用信号以使得它们可调换以用于实现信号到存储器装置10的某些路由。还可提供用以促进存储器装置10的测试的各种信号,例如测试启用(TEN)信号。举例来说,TEN信号可用以使存储器装置10进入测试模式以用于连接性测试。

[0029] 命令接口14也可用于针对可以检测的某些错误将警告信号(ALERT_n)提供到系统处理器或控制器。举例来说,警告信号(ALERT_n)可在检测到循环冗余检查(CRC)错误的情况下从存储器装置10发射。也可以产生其它警告信号。此外,用于从存储器装置10发射警告信号(ALERT_n)的总线和引脚可以在某些操作期间用作输入引脚,所述操作例如如上文所描述的使用TEN信号执行的连接性测试模式。

[0030] 可通过经由IO接口16发射和接收数据信号44来使用上文所论述的命令和时钟信号从存储器装置10发送用于读取和写入命令的数据且将用于读取和写入命令的数据发送到存储器装置10。更具体地说,数据可经由包含多个双向数据总线的数据总线46发送到存储器组12或从存储器组12检索数据。一般称为DQ信号的数据IO信号一般在一或多个双向数据总线中发射和接收。对于例如DDR5SDRAM存储器装置等某些存储器装置,IO信号可划分成上部和下部字节。举例来说,对于x16存储器装置,IO信号可划分成对应于例如数据信号的上部和下部字节的上部和下部IO信号(例如,DQ<15:8>和DQ<7:0>)。

[0031] 用于读取和写入的数据(例如,IO信号)可经定址到存储器组12中的某一存储器(例如,存储器单元)。包含可靠性改进系统(RIS)50的本文中所描述的技术可例如在行活动

时间(t_{RAS})期间提供电压和/或定时改变。如本文所描述, t_{RAS} 可指某一行存储器单元保持“活动”以便读取例如经定址到所述行中的一或多个存储器单元的时间。通过改变某些组件,例如在存储器单元上操作(例如,读取和/或写入)的NMOS组件,的电压和/或定时,组件可经历更长的操作生命周期。RIS 50描绘为包含在组控制22中。在操作期间,RIS 50可确定某些定时和/或电压应经操纵以增强组件可靠性。因此,RIS 50可基于某些操作(例如,在 t_{RAS} 期间)改变例如字线驱动器电路52等某些存储器组电路的定时和/或电压,以减少NMOS组件中的不导电应力(NCS)和/或时间相关的温度不稳定性TDDDB问题。通过操纵字线驱动器电路52的定时和/或电压,RIS可因此延伸NMOS组件的操作寿命。

[0032] 阻抗(ZQ)校准信号还可通过IO接口16提供到存储器装置10。ZQ校准信号可提供到参考引脚且用以通过在过程、电压和温度(PVT)值的改变中调整存储器装置10的上拉和下拉电阻器来调谐输出驱动器和ODT值。因为PVT特性可能影响ZQ电阻器值,所以ZQ校准信号可提供到ZQ参考引脚以用于调整电阻而将输入阻抗校准到已知的值。如将了解,精度电阻器一般耦合于存储器装置10上的ZQ引脚与存储器装置10外部的GND/VSS之间。此电阻器充当用于调整内部ODT和IO引脚的驱动强度的参考。

[0033] 另外,环回信号(LOOPBACK)可通过IO接口16提供到存储器装置10。环回信号可在测试或调试阶段期间使用以将存储器装置10设定到其中信号经由同一引脚环回通过存储器装置10的模式中。举例来说,环回信号可用于设定存储器装置10以测试存储器装置10的数据输出(DQ)。环回可包含数据和和选通,或者可能仅包含数据引脚。这一般既定用以监视在IO接口16处由存储器装置10捕获的数据。

[0034] 如将了解,例如电源电路(用于接收外部VDD和VSS信号)、模式寄存器(用以界定可编程操作和配置的各种模式)、读取/写入放大器(用以在读取/写入操作期间放大信号)、温度传感器(用于感测存储器装置10的温度)等各种其它组件也可以并入到存储器系统10中。因此,应理解仅提供图1的框图以突出存储器装置10的某些功能特征以辅助后续的详细描述。举例来说,可靠性改进系统(RIS) 50或RIS系统50的某些电路可安置为一个存储器组控制22或所有存储器组控制22或其组合的部分。

[0035] 有益的是说明可受益于本文中所描述的技术的某些字线驱动器的实施例。因此,图2描绘个别字线驱动器54、56、58、60、62、64、66、68(例如,子词线路驱动器)的简化阵列52的实施例,所述驱动器中的每一个可以分别可操作地耦合到存储器组12的一或多个字线70、72、74、76、78、80、82和84。也就是说,字线70、72、74、76、78、80、82和84可表示存储器组12的存储器单元的阵列中的行,并且因此,字线70、72、74、76、78、80、82和84中的每一个可耦合到多个存储器单元,例如用以将数据存储于存储器装置10中的电容器(未展示)。

[0036] 应理解,所描绘的简化实施例是仅用于说明的实例,且其它字线阵列52和字线驱动器54、56、58、60、62、64、66、68可包含更多或更少电子组件和/或连接。在所描绘的实施例中,每一字线驱动器54、56、58、60、62、64、66、68分别通信地耦合到字线“接通”控制线(GR) 86、88、90、92、94、96、98、100以及字线Vccph电源电压线(PH) 102。

[0037] 在某些实施例中,发射到线GR 86、88、90、92、94、96、98、100和PH 102的控制信号可使用解码逻辑例如经由RIS 50由存储器组控制器22发射。举例来说,选择使用GR中的哪一个可通过解码存储器地址的位0-2来导出,并且选择PH 102可以通过解码比位3-n(最高地址位)来导出。在一个实例中,当不选择字线70、72、74、76、78、80、82和84(例如,标记为0-

7) 中的任一个时, PH0变低且所有字线70、72、74、76、78、80、82和84(例如, 标记为0-7)可“关断”。然而, 当选择字线70(例如, 标记为WL0)时, PH0 102和GR 86(标记为GR0)变为逻辑高, 同时其它GR 88、90、92、94、96、98和100变为逻辑低。同样地, 当选择字线78(例如, 标记为WL1)时, PH0和GR1变为逻辑高, 同时其它GR 86、88、90、92、96、98和100变为逻辑低。因此, 标记为WL0-WL7的字线中的每一个可经由例如RIS 50中的解码逻辑选择, 以接通或关断。然而, 某些电压可能影响字线驱动器54、56、58、60、62、64、66、68中的每一个中的电子部件的寿命。

[0038] 因此, RIS 50可包含某些系统以改变电压和/或调整字线驱动器54、56、58、60、62、64、66、68的定时。举例来说, 电平位移器系统61可用于将信号从一个逻辑电平或电压域转变到第二逻辑电平或电压域。电平位移器系统61可使用例如固定功能电平电路的任何电平位移电路、可配置混合信号电路等等, 适用于用于将第一逻辑电平(例如, 4.2V)转变成第二电压电平(例如, 3.2V)的实例。还可使用延迟链系统63来例如引入定时延迟。举例来说, 延迟链系统63可包含延迟锁定回路电路、锁相回路电路、延时线电路、触发器, 或其组合。电源开关系统65还可例如用于以第一逻辑电平从第一电源发射电压, 以第二逻辑电平从第二电源发射电压等等。系统61、63和65可单独使用或可彼此组合使用。RIS 50可接着如关于图3中所展示的某些字线条件所进一步描述来调整电压和/或定时。

[0039] 图3是描绘四个字线驱动器条件120、122、124、126的实施例的图式。更具体地说, 所描绘的条件120、122、124、126可由电路128经历, 所述电路128可包含在字线驱动器54、56、58、60、62、64、66和68中的每一个中。在所描绘实施例中, 条件120、122、124和126可在 t_{RAS} 期间发生。在条件120期间, 包含在电路中的开关装置130(例如, NMOS装置)可接收其栅极处的电源(PH)电压(例如, 4.2V), 而开关装置132(例如, NMOS装置)可接收其栅极处的“断开”(PHF)信号(例如, -0.2V)。字线控制(GR)(例如发送到装置130的漏极)处的电压可经由电源V_{ccp}(例如, 3.2V)设定成“接通”。因此, 字线可变为“活动”, 以将某些电压(例如, 3.2V)提供到存储器组的一或多个存储器单元。

[0040] 在条件122期间, 字线控制(GR)可仍是“接通”的(例如, 3.2V), 但全电源(PH)电压可降低到负字线偏压(V_{nwl})(例如, -0.2V)。PHF信号现可处于驱动电压(V_{drv})(例如, 2.5V)。因此, 字线(WL)可处于V_{nwl}(例如, -0.2V)。在条件122中, NMOS装置130可能正在经历不导电应力(NCS)。在NCS期间, 即使在关断NMOS装置130时也可产生热载流子(HC), 从而产生与在接通状态操作期间所引发的劣化效应相当的劣化效应。特别在高速存储器读取或写入中, 侧向电场在其栅极电压低于阈值时可克服NMOS装置130规格。引发的不利效应(例如, NCS效应)可随着时间推移降低NMOS装置130的性能, 且因此降低字线驱动器54、56、58、60、62、64、66、68的性能。

[0041] 在条件124中, 字线控制(GR)可以设定成V_{nwl}(例如, -0.2V), PH电压可以是接通的(例如, 4.2V), 且PHF信号现可处于V_{nwl}(例如, -0.2V)。因此, 字线(WL)也处于V_{nwl}(例如, -0.2V)。在条件124中, NMOS装置130可经历时间相关的温度不稳定性(TDDB)。TDDB可展现为阈值电压的增大和随后NMOS装置130的漏极电流和跨导的减小, 因此再次随着时间推移降低NMOS装置130的性能, 且因此降低字线驱动器54、56、58、60、62、64、66、68的性能。TDDB可呈现时间的对数相关性。

[0042] 在条件126中, 字线控制(GR)和PH电压均可处于V_{nwl}(例如, -0.2V), 同时PHF信号

现可处于Vdrv (例如, 2.5V)。相应地, 字线(WL)可处于Vnw1 (例如, -0.2V)。应注意, 虽然将Vnw1、Vdrv和电源电压分别描绘为-0.2V、2.5V和4.2V, 但是这些电压值仅是示例性的, 且可使用其它值。可能需要减少或消除可能在条件120和124期间发生的NCS和/或TDDB。因此, 本文中所描述的技术可控制某些电压定时, 如下文更详细地描述, 以通过减少或消除NCS和TDDB来改进字线驱动器54、56、58、60、62、64、66、68的操作。

[0043] 应理解, 虽然所描绘的实施例展示Vccph (例如, 其可被称为全字线电源电压) 处于4.2V, Vccp (例如, 其可被称为全字线接通电压) 处于3.2V, Vnw1处于-0.2V, 且Vdrv处于2.5V, 但是其它实施例可使用不同电压来激活和去激活字线。还应理解, 虽然本文中所描述的技术适用于NMOS装置, 例如晶体管, 但是其它电子装置, 例如互补金属氧化物半导体(CMOS)装置、金属氧化物半导体场效应晶体管(MOSFET)装置等等, 可受益于所描述的技术。

[0044] 图4说明两个时序图150和152的实施例, 每一图式具有X轴中的时间和Y轴中的电压。时序图150可由存储器组控制22用以操作某些字线驱动器 (例如, 字线驱动器54、56、58、60、62、64、66、68), 但时序图152可以是时序图150在定时方面的修改, 以减少或消除NCS和/或TDDB。时序图152例如可基于时序图150经由存储器组控制22的RIS 50实施。

[0045] 在所描绘的实施例中, 时序图150包含先前关于电路128所描述的信号PH 154、GR 156和PHF 158。在操作期间, 例如在tRAS期间, 存储器组控制器22可使PH 154转变到电源电压 (例如, 到4.2V), 同时另外在时间T1处使PHF转变到Vnw1 (例如, -0.2V)。在时间T2处, 存储器组控制器22可使GR 156转变到电源Vccp电压 (例如, 3.2V)。因此, 字线驱动器的字线(WL)可在时间T2之后变得活动, 例如转变到Vccp (例如, 3.2V)。在读取/写入操作结束后, 存储器组控制器22可在时间T3处使GR 156转变到Vnw1 (例如, -0.2V), 且另外在时间T4处使PH 154也转变到Vnw1 (例如, 0.2V)。在时间T5处, 存储器组控制器22可接着使PHF 158转变到Vdrv (例如, 2.5V), 因此完成读取/写入操作。

[0046] 包含在存储器组控制22中的RIS 50可将时序图150修改成时序图152, 以便减少或消除NCS和/或TDDB。更具体地说, 时序图152中的时间T1和T2将如前所述一般表现 (例如, 如时序图150中一般), 但在时间T2+W处, RIS 50可使GR 162转变到小于全Vccp电源电压的电压量, 例如Vccp-1V (例如, 2.2V)。另外, 在T1+X处RIS 50可使PH 160转变到小于全Vccph电源电压的电压量, 例如Vccph-1V (例如, 3.2V)。在时间T3-Y处, RIS 50可使GR 162从Vccp-1V转变回到Vccp电压 (例如, 3.2V), 且在时间T4-Z处, RIS 50可使PH 160从Vccph-1V (例如, 3.2V)转变回到Vccph电压 (例如, 4.2V)。时间T3、T4和T5可接着也如前所述一般表现 (例如, 如时序图150中一般)。类似地, 时序图152的PHF 164可相比于时序图150的PHF 158而保持不变。通过略微降低电压 (例如, 在时间T2+W、T1+X处), 且接着恢复所降低的电压 (例如, 在时间T3-Y、T4-Z处), 本文中所描述的技术可在NMOS装置130处提供电压, 这样可减少或消除NCS和/或TDDB。应注意W、X、Y和Z时间的值可在0.01到100纳秒之间。在一些实施例中, W、X、Y和Z时间可在0.025到10个周期之间。如先前所提及, RIS 50的系统61、63和/或65可用于调整电压和/或定时。

[0047] 图5是说明过程200的实施例的流程图, 所述过程适用于调整定时, 例如在tRAS期间的定时, 以减少或消除电路例如字线驱动器54、56、58、60、62、64、66、68中的NCS和/或TDDB。过程200可实施于硬件中和/或作为可经由RIS 50执行的软件指令实施。在所描绘的实施例中, 过程200可开始 (块201) 且可首先确定 (决策202) 存储器装置10是否处于行活动

时间 (t_{RAS})。在 t_{RAS} 中,可能存在最小数量的时钟周期,存储器单元的给定行必须是活动的,以便有时间访问所述行中的信息。如果不在 t_{RAS} 中,那么 RIS 50 不采取动作。如果在 t_{RAS} (决策 202) 中,那么过程 200 可针对 t_{RAS} 中的行经由 RIS 50 激活 (块 204) 一或多个字线驱动器 (例如,字线驱动器 54、56、58、60、62、64、66、68)。行的激活可包含 (例如,在 T1 处) 将一或多个字线驱动器的 PH 160 从 V_{nw1} (例如, $-0.2V$) 转变到 V_{ccph} 电源电压 (例如, $4.2V$), 且将 PHF 164 从 V_{drv} 电压 (例如, $2.5V$) 转变到 V_{nw1} 电压 (例如, $-0.2V$)。GR 162 可接着 (例如,在 T2 处) 从 V_{nw1} 电压 (例如, $-0.2V$) 转变到 V_{ccp} 电源电压 (例如, $3.2V$)。

[0048] 过程 200 可接着经由 RIS 50 施加 (块 206) 定时调整以减少或消除 NCS 和/或 TDDB。举例来说,过程 200 可 (例如,在 T1+X 处) 将 PH 160 转变到比当前电压 (例如, $4.2V$) 更低的电压 (例如, $3.2V$)。举例来说,可从 V_{ccph} 电源电压减去 $0.1V$ 到 $2V$ 的值,以得到更低的 PH 160。GR 的当前电压 (例如, $3.2V$) 还可 (例如,在 T2+2 处) 降低到更低电压 (例如, $2.2V$)。举例来说,可从 V_{ccp} 电源电压减去 $0.1V$ 到 $2V$ 的值以得到更低 GR 162。

[0049] 过程 200 可接着在行周期结束时恢复 (块 208) 调整,且接着结束 (块 210)。举例来说,PH 160 可 (例如,在时间 T4-Z 处) 转变回到 V_{ccph} 电源电压 (例如, $4.2V$), 且 GR 162 可 (例如,在时间 T3-Y 处) 转变回到 V_{ccp} 电源电压 (例如, $3.2V$)。恢复 PH 160 和 GR 162 可提供对行中的存储器单元的全数据读取/写入。过程 200 可接着继续 T3、T4 和 T5, 如上文关于图 4 所描述。同样,应注意 W、X、Y 和 Z 时间的值可在 0.1 到 100 纳秒之间。在一些实施例中, W、X、Y 和 Z 时间可在 0.25 到 10 个周期之间。还应注意,电压降低可通过使用单独电源、通过经由电子组件 (例如,将电阻器接通和断开到现有电源中) 的降低或通过其组合来实现。

[0050] 虽然本文中所描述的实施例可能易有各种修改和替代形式,但特定实施例已经在图中借助于实例展示且将在本文中详细描述。然而,应理解,本公开并不意图限于所公开的特定形式。而是,本公开涵盖属于如由所附权利要求书限定的本公开中所描述的技术和系统的精神和范围内的所有修改、等效物和替代方案。

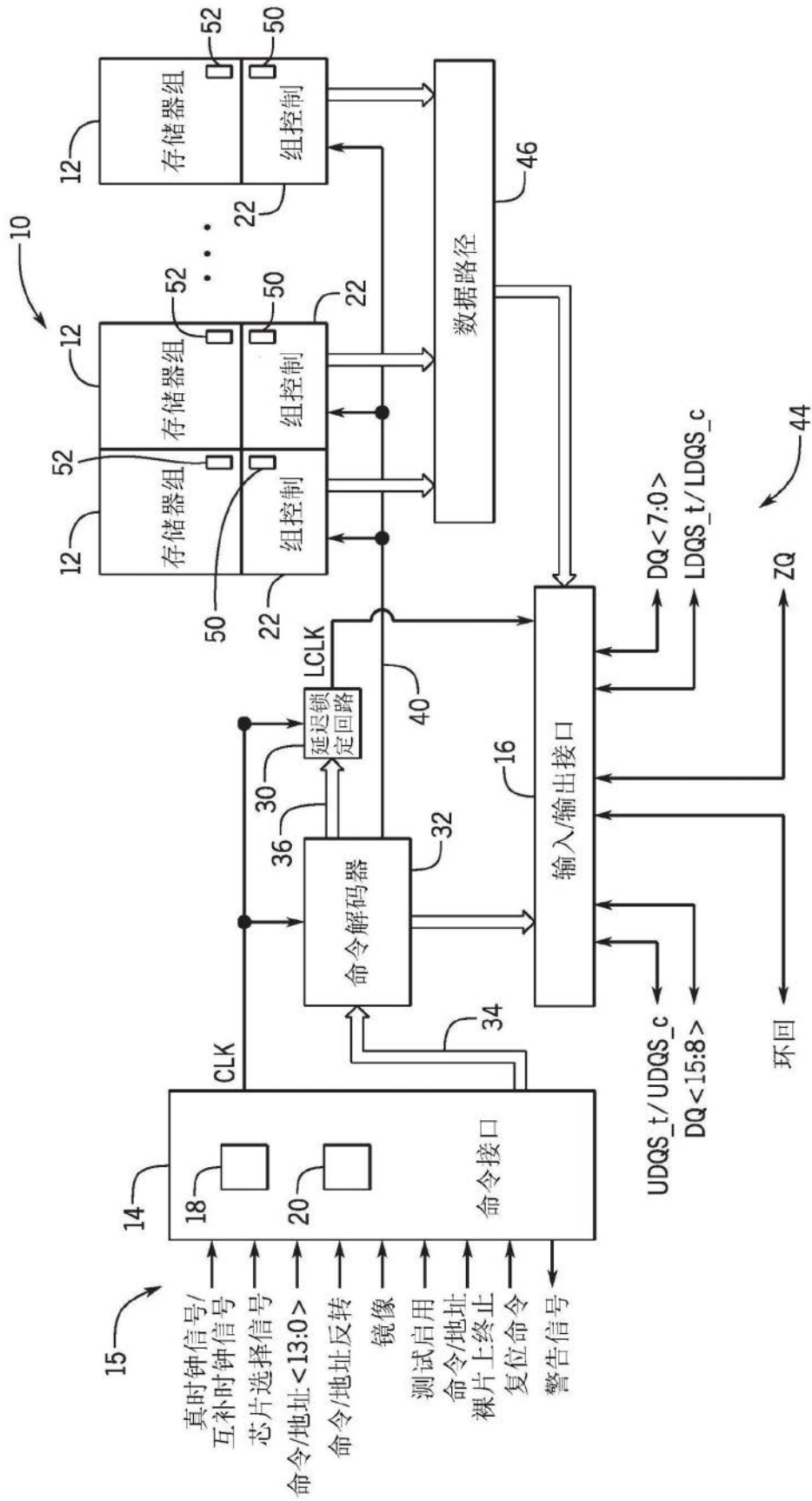


图1

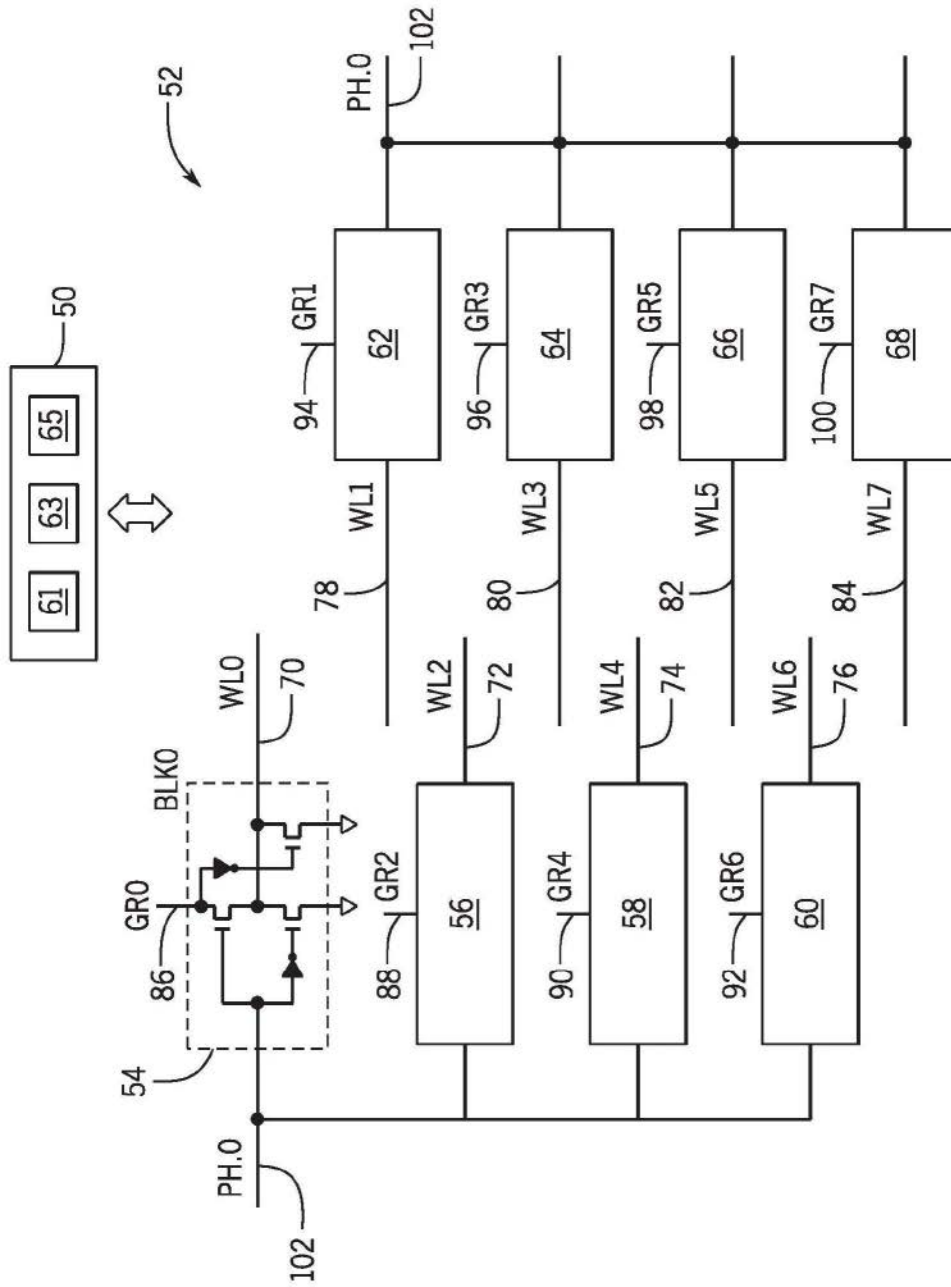


图2

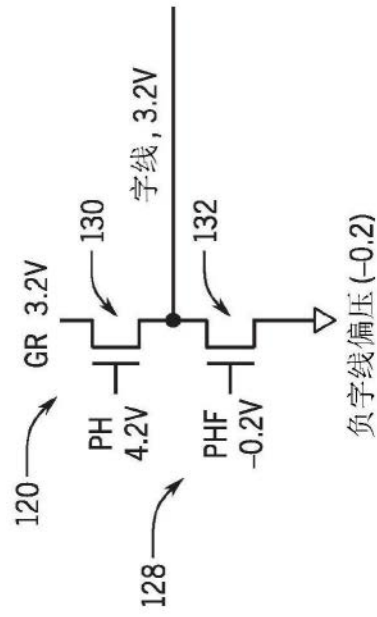


图3A

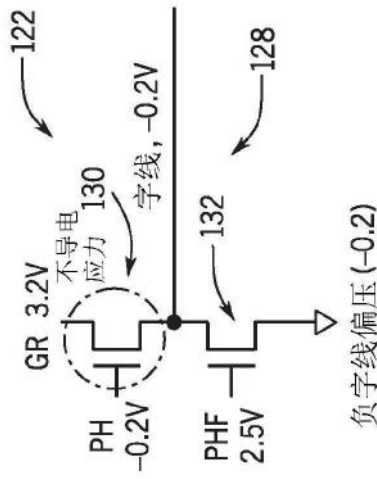


图3B

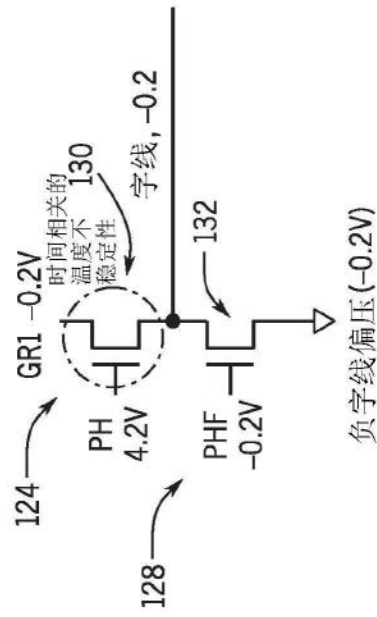


图3C

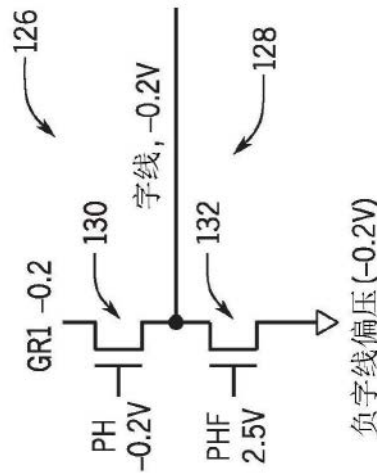


图3D

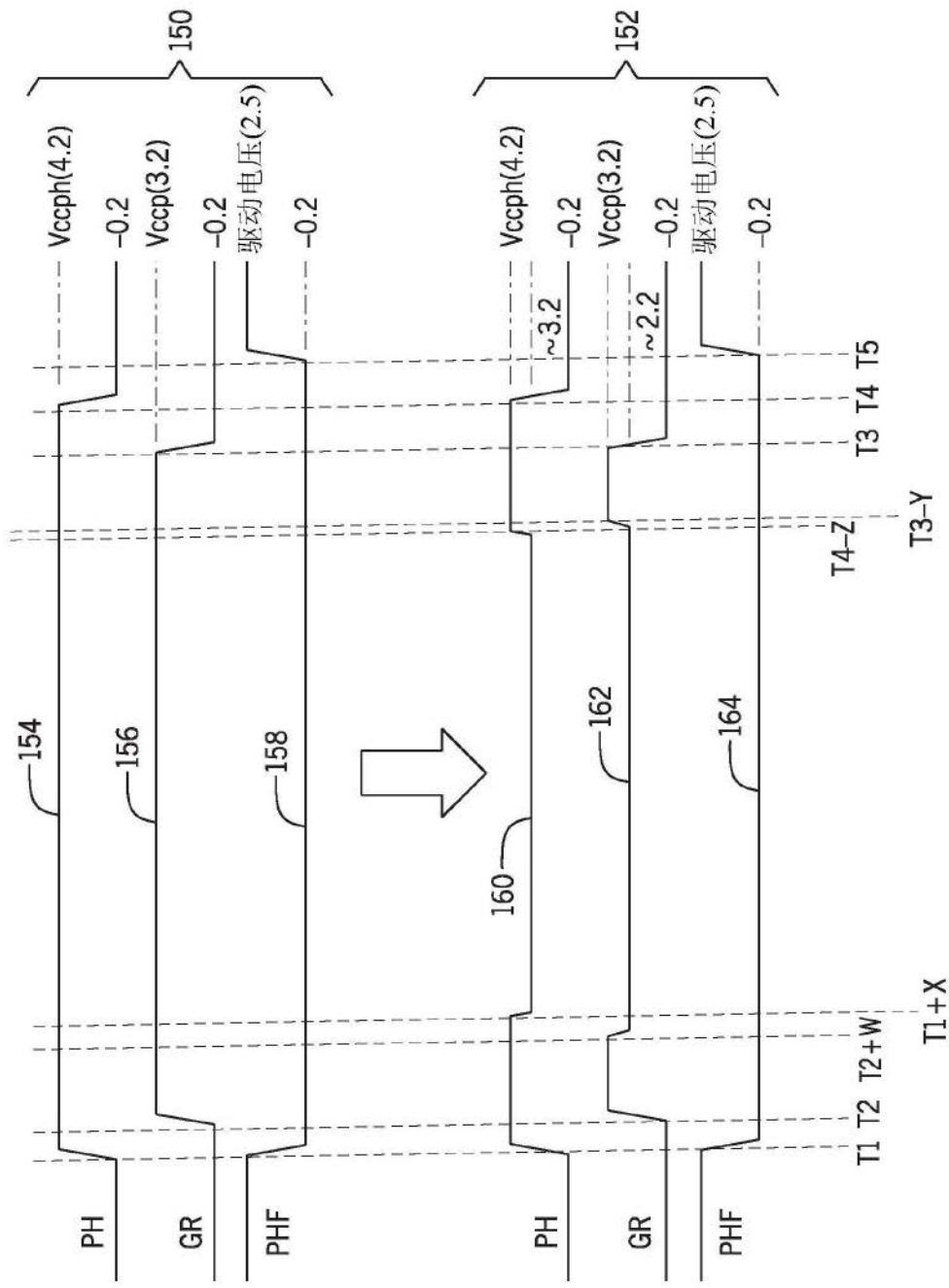


图4

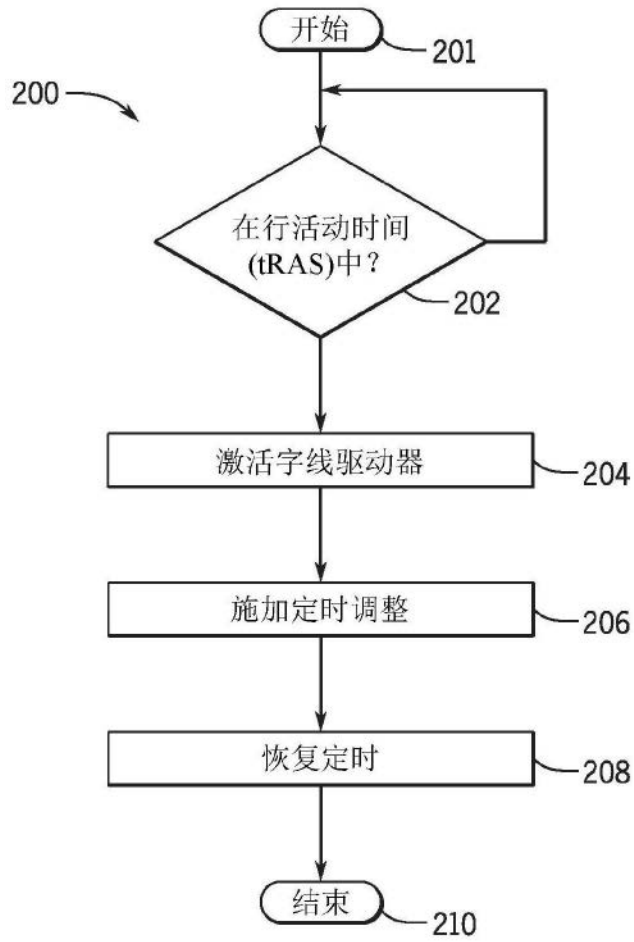


图5