

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-55440
(P2010-55440A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.
G06F 15/17 (2006.01)

F I
G06F 15/17 635 J

テーマコード(参考)
5B045

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2008-220730 (P2008-220730)
(22) 出願日 平成20年8月29日 (2008.8.29)

(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 赤池 幸彦
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
(72) 発明者 鈴木 均
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 5B045 DD01 EE03 EE17

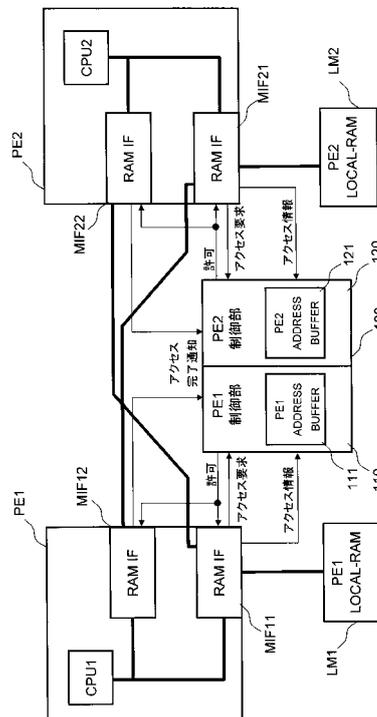
(54) 【発明の名称】 分散共有メモリ型マルチプロセッサ及びデータ処理方法

(57) 【要約】

【課題】 高速読み取りが可能であって、かつ、局所メモリ間のデータの不整合を防止すること。

【解決手段】 第1のプロセッシングエレメントと、その局所メモリである第1のメモリと、第1のプロセッシングエレメントとバスを介して接続された第2のプロセッシングエレメントと、その局所メモリである第2のメモリと、第1及び第2のメモリを含む共有メモリの論理アドレス空間において、1つの論理アドレスに対し、第1及び第2のメモリの物理アドレスが対応付けられた仮想的な共有メモリ領域と、第1のプロセッシングエレメントから前記仮想的な共有メモリ領域に対して書き込みアクセス要求があった場合、第2のプロセッシングエレメントからの前記仮想的な共有メモリ領域に対する書き込みアクセス要求の状況に応じて、第1のプロセッシングエレメントのアクセスを保留にするアービタと、を備える分散共有メモリ型マルチプロセッサ。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 のプロセッシングエレメントと、
前記第 1 のプロセッシングエレメントの局所メモリである第 1 のメモリと、
前記第 1 のプロセッシングエレメントとバスを介して接続された第 2 のプロセッシング
エレメントと、

前記第 2 のプロセッシングエレメントの局所メモリである第 2 のメモリと、
前記第 1 及び第 2 のメモリを含む共有メモリの論理アドレス空間において、1 つの論理
アドレスに対し、前記第 1 及び第 2 のメモリの物理アドレスが対応付けられた仮想的な共
有メモリ領域と、

前記第 1 のプロセッシングエレメントから前記仮想的な共有メモリ領域に対して書き込
みアクセス要求があった場合、前記第 2 のプロセッシングエレメントからの前記仮想的な
共有メモリ領域に対する書き込みアクセス要求の状況に応じて、前記第 1 のプロセッシ
ングエレメントのアクセスを保留にするアービタと、を備える分散共有メモリ型マルチプロ
セッサ。

【請求項 2】

前記アービタは、前記第 1 のプロセッシングエレメントからアクセス要求があった前記
仮想的な共有メモリ領域内のアドレスと、前記第 2 のプロセッシングエレメントからア
クセス要求があった前記仮想的な共有メモリ領域内のアドレスとが一致した場合、前記第 1
のプロセッシングエレメントのアクセスを保留にすることを特徴とする請求項 1 に記載の
分散共有メモリ型マルチプロセッサ。

【請求項 3】

前記アービタは、
前記第 1 のプロセッシングエレメントからアクセス要求があった前記仮想的な共有メモ
リ領域内のアドレスを登録する第 1 のアドレスバッファと、
前記第 2 のプロセッシングエレメントからアクセス要求があった前記仮想的な共有メモ
リ領域内のアドレスを登録する第 2 のアドレスバッファと、を備えることを特徴とする請
求項 2 に記載の分散共有メモリ型マルチプロセッサ。

【請求項 4】

前記第 1 及び第 2 のアドレスバッファは、それぞれ複数のアドレスバッファからなるこ
とを特徴とする請求項 3 に記載の分散共有メモリ型マルチプロセッサ。

【請求項 5】

前記第 1 及び第 2 のプロセッシングエレメントからのアクセス要求のうち少なくとも一
方が、ロックを伴う場合、前記アドレスが一致したのみならずことを特徴とする請求項 2
～ 4 のいずれか一項に記載の分散共有メモリ型マルチプロセッサ。

【請求項 6】

第 1 のプロセッシングエレメントと、
前記第 1 のプロセッシングエレメントの局所メモリである第 1 のメモリと、
前記第 1 のプロセッシングエレメントとバスを介して接続された第 2 のプロセッシング
エレメントと、

前記第 2 のプロセッシングエレメントの局所メモリである第 2 のメモリと、
前記第 1 及び第 2 のメモリを含む共有メモリの論理アドレス空間において、1 つの論理
アドレスに対し、前記第 1 及び第 2 のメモリの物理アドレスが対応付けられた仮想的な共
有メモリ領域と、を備える分散共有メモリ型マルチプロセッサのデータ処理方法であって

、
前記第 1 のプロセッシングエレメントから前記仮想的な共有メモリ領域に対して書き込
みアクセス要求があった場合、前記第 2 のプロセッシングエレメントからの書き込みア
クセス要求の状況に応じて、前記第 1 のプロセッシングエレメントのアクセスを保留にする
データ処理方法。

【請求項 7】

前記第1のプロセッシングエレメントからアクセス要求があった前記仮想的な共有メモリ領域内のアドレスと、前記第2のプロセッシングエレメントからアクセス要求があった前記仮想的な共有メモリ領域内のアドレスとが一致した場合、前記第1のプロセッシングエレメントのアクセスを保留にすることを特徴とする請求項6に記載のデータ処理方法。

【請求項8】

前記第1及び第2のプロセッシングエレメントからのアクセス要求のうち少なくとも一方が、ロックを伴う場合、前記アドレスが一致したものとすることを特徴とする請求項7に記載のデータ処理方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、分散共有メモリ型マルチプロセッサ及びそのデータ処理方法に関する。

【背景技術】

【0002】

近年、単一のプロセッサでの処理速度には限界が見え始め、複数のプロセッサが並列処理を行うマルチプロセッサが脚光を浴び、すでに実用化されている。マルチプロセッサは、通常、複数のプロセッサが互いにアクセス可能な共有メモリを備えている。このようなマルチプロセッサは共有メモリ型マルチプロセッサと呼ばれる。また、共有メモリ型マルチプロセッサは、複数のプロセッサが1つの共有メモリに接続された集中共有メモリ型と、複数のプロセッサがそれぞれ局所メモリを備える分散共有メモリ型とに大別される。

20

【0003】

図6は本発明の課題を説明するための図であって、分散共有メモリ型マルチプロセッサの模式図である。CPUを備えるプロセッサエレメントPE1及びPE2は各々局所メモリLM1及びLM2を備えている。また、プロセッサエレメントPE1とプロセッサエレメントPE2とは、バスを介して接続されている。そのため、プロセッサエレメントPE1は局所メモリLM2にもアクセスすることができ、プロセッサエレメントPE2は局所メモリLM1にもアクセスすることができる。

【0004】

従って、局所メモリLM1及びLM2は、2つのプロセッサエレメントPE1及びPE2に共有され、1つの論理アドレス空間に配置されている。このような分散共有メモリ型マルチプロセッサでは、自己の局所メモリに対しては、高速にアクセスすることができる。一方、他のプロセッサエレメントの局所メモリに対しては、多段のブリッジを経由するため、アクセスに時間が掛かる。ここで、書き込みはポストエド・ライトによりある程度高速化されているため、読み取りに要する時間が特に問題となる。

30

【0005】

これに対し、特許文献1には、論理アドレス空間にブロードキャスト領域を定義した分散共有メモリ型マルチプロセッサが開示されている。ブロードキャスト領域は、各プロセッサエレメントからは同一のアドレス領域として認識される領域である。他方、実体は、各局所メモリにおいて同一のデータが格納された領域である。ブロードキャスト領域に対する書き込み要求があった場合、各局所メモリに同一のデータが書き込まれる。また、ブロードキャスト領域に対する読み取り要求があった場合、自己の局所メモリからデータが読み取られる。そのため、高速読み取りが可能となる。

40

【特許文献1】特開平5-290000号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に開示された分散共有メモリ型マルチプロセッサでは、自己の局所メモリへの書き込み完了と、他のプロセッサの局所メモリへの書き込み完了のタイミングがずれる。そのため、同一であるべき各局所メモリのデータに不整合が生じる恐れがあった。

50

【 0 0 0 7 】

例えば、ブロードキャスト領域の同一アドレスに対し、プロセッサエレメント P E 1 からの書き込み要求と、プロセッサエレメント P E 2 からの書き込み要求とがほぼ同時にあった場合を考える。その場合、プロセッサエレメント P E 1 の要求は、まず局所メモリ L M 1 に到達し、次に局所メモリ L M 2 に到達する。また、プロセッサエレメント P E 2 の要求は、まず局所メモリ L M 2 に到達し、次に局所メモリ L M 1 に到達する。

【 0 0 0 8 】

そのため、局所メモリ L M 1 へは、まずプロセッサエレメント P E 1 により書き込まれ、次にプロセッサエレメント P E 2 により書き換えられる。一方、局所メモリ L M 2 へは、まずプロセッサエレメント P E 2 により書き込まれ、次にプロセッサエレメント P E 1 により書き換えられる。従って、局所メモリ L M 1 と L M 2 とに書き込まれたデータに不整合が生じることになる。

【 0 0 0 9 】

なお、上記の場合、メモリインターフェース M I F 1 及び M I F 2 では、各プロセッサエレメントからの書き込み要求は競合していない。そのため、上記のデータ不整合は、メモリインターフェース M I F 1 及び M I F 2 が備えるアービタ（不図示）により防止することはできない。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明の一態様は、
第 1 のプロセッシングエレメントと、
前記第 1 のプロセッシングエレメントの局所メモリである第 1 のメモリと、
前記第 1 のプロセッシングエレメントとバスを介して接続された第 2 のプロセッシングエレメントと、
前記第 2 のプロセッシングエレメントの局所メモリである第 2 のメモリと、
前記第 1 及び第 2 のメモリを含む共有メモリの論理アドレス空間において、1 つの論理アドレスに対し、前記第 1 及び第 2 のメモリの物理アドレスが対応付けられた仮想的な共有メモリ領域と、
前記第 1 のプロセッシングエレメントから前記仮想的な共有メモリ領域に対して書き込みアクセス要求があった場合、前記第 2 のプロセッシングエレメントからの前記仮想的な共有メモリ領域に対する書き込みアクセス要求の状況に応じて、前記第 1 のプロセッシングエレメントのアクセスを保留にするアービタと、を備える分散共有メモリ型マルチプロセッサである。

【 発明の効果 】

【 0 0 1 1 】

本発明によれば、高速読み取りが可能であって、かつ、局所メモリ間のデータの不整合を防止した分散共有メモリ型マルチプロセッサを提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 2 】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。ただし、本発明が以下の実施の形態に限定される訳ではない。また、説明を明確にするため、以下の記載及び図面は、適宜、簡略化されている。

【 0 0 1 3 】

実施の形態 1

以下、図面を参照して本発明の実施形態について説明する。図 1 は、実施の形態 1 に係る分散共有メモリ型マルチプロセッサのブロック図である。図 1 に示すように、実施の形態 1 に係るマルチプロセッサは、プロセッサエレメント P E 1、プロセッサエレメント P E 2、局所メモリ L M 1、局所メモリ L M 2、同期ウィンドウアービタ 1 0 0 を備えている。なお、当該実施の形態は、複数のマルチプロセッサと、各マルチプロセッサの局所メモリを備えた分散共有メモリ型マルチプロセッサを代表する例であって、マルチプロセッ

サ及び局所メモリの数が2つに限定されないことは言うまでもない。

【0014】

プロセッサエレメントPE1は、CPU1、RAMインターフェースMIF11、PE間RAMインターフェースMIF12を備えている。CPU1は、バスを介して、RAMインターフェースMIF11及びPE間RAMインターフェースMIF12に接続されている。RAMインターフェースMIF11は、バスを介して、プロセッサエレメントPE1のローカルRAMである局所メモリLM1に接続されている。そのため、CPU1は局所メモリLM1にアクセスすることができる。

【0015】

プロセッサエレメントPE2は、CPU2、RAMインターフェースMIF21、PE間RAMインターフェースMIF22を備えている。CPU2は、バスを介して、RAMインターフェースMIF21及びPE間RAMインターフェースMIF22に接続されている。RAMインターフェースMIF21は、バスを介して、プロセッサエレメントPE2のローカルRAMである局所メモリLM2に接続されている。そのため、CPU2は局所メモリLM2にアクセスすることができる。

10

【0016】

また、プロセッサエレメントPE1のPE間RAMインターフェースMIF12とプロセッサエレメントPE2のRAMインターフェースMIF21とは、バスを介して接続されている。そのため、CPU1は局所メモリLM2にもアクセスすることができる。一方、プロセッサエレメントPE2のPE間RAMインターフェースMIF22とプロセッサ

20

【0017】

このように、局所メモリLM1及びLM2は、2つのプロセッサエレメントPE1及びPE2に共有され、1つの論理アドレス空間に配置されている。また、実施の形態1に係る分散共有メモリ型マルチプロセッサは、論理アドレス空間に各プロセッサエレメントPE1、PE2から同一のアドレス領域として認識される仮想的な共有メモリ領域を備えている。本明細書では、当該領域を同期ウィンドウ領域と呼ぶ。なお、当該領域は特許文献1では、ブロードキャスト領域と呼ばれていたものである。

【0018】

同期ウィンドウ領域の実体は、各局所メモリにおいて同一のデータが格納される領域である。同期ウィンドウ領域に対する書き込み要求があった場合、各局所メモリに同一のデータが書き込まれる。また、同期ウィンドウ領域に対する読み取り要求があった場合、自己の局所メモリからデータが読み取られる。そのため、高速読み取りが可能となる。

30

【0019】

ここで、図2を用いて、同期ウィンドウ領域についてさらに詳細に説明する。図2(a)は実施の形態1に係る分散共有メモリ型マルチプロセッサにおける共有メモリのメモリマップイメージである。図2(a)に示すように、メモリマップには、プロセッサエレメントPE1のローカルRAMである局所メモリLM1のメモリ領域(図中、PE1-RAM)と、プロセッサエレメントPE2のローカルRAMである局所メモリLM2のメモリ

40

【0020】

図2(a)では、これら3つの領域の容量は、いずれも2MBである。また、同期ウィンドウ領域は、論理アドレスFEE00000~FEFFFFFFにより指定されている。局所メモリ領域PE1-RAMは、論理アドレスFEC00000~FEDFFFFFFにより指定されている。局所メモリ領域PE2-RAMは、論理アドレスFEA00000~FEBFFFFFFにより指定されている。

【0021】

図2(b)は、プロセッサエレメントPE1からライト要求があった場合のイメージ図である。例えば、プロセッサエレメントPE1から同期ウィンドウ領域の論理アドレスF

50

EE00100へのライト要求があった場合、局所メモリ領域PE1-RAM及び局所メモリ領域PE2-RAMの物理アドレス00100へ、同一データが書き込まれる。なお、プロセッサエレメントPE2からのライト要求の場合も同様である。

【0022】

図2(c)は、プロセッサエレメントPE1からリード要求があった場合のイメージ図である。例えば、プロセッサエレメントPE1から同期ウィンドウ領域の論理アドレスEE00100へのリード要求があった場合、自己の局所メモリ領域PE1-RAMの物理アドレス00100から読み取る。なお、プロセッサエレメントPE2からのリード要求の場合も同様に、自己の局所メモリ領域PE2-RAMから読み取る。

【0023】

同期ウィンドウアービタ100は、プロセッサエレメントPE1からの書き込みアクセスと、プロセッサエレメントPE2からの書き込みアクセスとを、調停する役割を担っている。なお、読み取りアクセスの場合、各プロセッサエレメントは自己の局所メモリにアクセスするのみであるから調停は不要である。同期ウィンドウアービタ100は、PE1制御部110、PE2制御部120を備える。また、PE1制御部110、PE2制御部120は各々PE1アドレスバッファ111、PE2アドレスバッファ121を備える。

【0024】

図1を用いてプロセッサエレメントPE1から書き込みアクセス要求があった場合の動作について説明する。書き込みアクセスの場合、アクセス要求が、RAMインターフェースMIF11から同期ウィンドウアービタ100のPE1制御部110へ入力される。また、対象アドレス、ロック要求、アクセス種別(リード/ライト)などのアクセス情報も、RAMインターフェースMIF11から同期ウィンドウアービタ100のPE1制御部へ入力される。ここで、対象アドレスはPE1アドレスバッファ111に登録される。なお、読み取りアクセスのみの場合、RAMインターフェースMIF11からアクセス要求は出力されないが、リードモディファイライトのような、読み取りと書き込みが混在したアトミックアクセスの場合は、アクセス要求を出力する。

【0025】

同期ウィンドウアービタ100は、アクセス要求アドレスと同じアドレスがPE2アドレスバッファ121に登録されていなければ、直ちに、プロセッサエレメントPE1に対してアクセス許可を出力する。一方、アクセス要求アドレスと同じアドレスがPE2アドレスバッファ121に登録されていれば、PE2アドレスバッファ121が開放されてから、プロセッサエレメントPE1に対してアクセス許可を出力する。すなわち、先のアクセス要求が優先される。このアクセス許可は、RAMインターフェースMIF11及びPE間RAMインターフェースMIF12に入力される。

【0026】

そして、プロセッサエレメントPE1のPE間RAMインターフェースMIF12からアクセス完了通知が入力されると、PE1アドレスバッファ111を開放する。プロセッサエレメントPE2からのアクセス要求があった場合についても同様である。なお、プロセッサエレメントPE1及びPE2から同時にアクセス要求があった場合、所定の取り決めによりアクセス順序を決定すればよい。本実施の形態では、前回許可されたプロセッサエレメントが待たされる。

【0027】

以上のように、各プロセッサエレメントからの書き込みアクセスは、同期ウィンドウアービタ100に許可を得てから行われる。そのため、同一であるべきデータに不整合が生じることがない。

【0028】

図3は、同期ウィンドウアービタ100の詳細なブロック図である。同期ウィンドウアービタ100は、PE1制御部110、PE2制御部120、PE間制御部130を備えている。また、PE1制御部110は、アドレスバッファ111、アクセス許可制御部112、保留判定部113、アドレスバッファ制御部114、比較器115を備えている。

10

20

30

40

50

【 0 0 2 9 】

アクセス許可制御部 1 1 2 は、保留判定部 1 1 3 及びアドレスバッファ制御部 1 1 4 と接続されている。アドレスバッファ制御部 1 1 4 はアドレスバッファ 1 1 1 に接続されている。図 3 では、アドレスバッファ 1 1 1 は 3 つ設けられている。また、比較器 1 1 5 も 3 つ設けられている。そして、各アドレスバッファ 1 1 1 が 1 つの比較器 1 1 5 に接続されている。アドレスバッファの段数は、PE 間 RAM インターフェース M I F 1 2、2 2 の有するバッファ段数と同数にするのが好ましい。また、3 つに限定されるものではないが、複数のアドレスを登録可能とするために、複数段であることが好ましい。なお、PE 2 制御部 1 2 0 の詳細は、PE 1 制御部 1 1 0 と同様であるため、省略されている。

【 0 0 3 0 】

図 3 を用いて、同期ウィンドウアービタ 1 0 0 の動作の詳細について説明する。最初に、プロセッサエレメント PE 1 からのアクセス要求とプロセッサエレメント PE 2 からのアクセス要求が同時でない場合について説明する。ロック (l o c k) を伴うアクセスについては後述する。プロセッサエレメント PE 1 からのアクセス要求とプロセッサエレメント PE 2 からのアクセス要求が同時でないため、PE 間制御部 1 3 0 は関与しない。

【 0 0 3 1 】

まず、プロセッサエレメント PE 1 からのアクセス要求信号とともに、リード/ライト信号、アドレス (a d d r e s s) 信号が、PE 1 制御部 1 1 0 に入力される。アクセス要求はアクセス許可制御部 1 1 2 に入力される。リード/ライト信号は、アクセス許可制御部 1 1 2 及びアドレスバッファ制御部に入力される。アドレス信号は、アドレスバッファ 1 1 1 に入力される。また、このアドレス信号 (PE 1 アドレス信号) はプロセッサエレメント PE 2 にも入力される。

【 0 0 3 2 】

アクセス要求がアクセス許可制御部 1 1 2 に入力されると、アクセス許可制御部 1 1 2 は、アドレスバッファ制御部 1 1 4 及び保留判定部 1 1 3 に対し、バッファセット信号を出力する。バッファセット信号に基づき、アドレスバッファ制御部 1 1 4 はバッファ登録信号 (PE 1 バッファ登録信号) をアドレスバッファ 1 1 1 に対して出力する。これにより、要求アドレスがアドレスバッファ 1 1 1 に登録される。また、アドレスバッファ制御部 1 1 4 から出力された PE 1 バッファ登録信号は、プロセッサエレメント PE 2 の保留判定部 1 1 3 にも入力され、プロセッサエレメント PE 2 における保留判定に用いられる。

【 0 0 3 3 】

他方、バッファセット信号がトリガーとなって、保留判定部 1 1 3 は、プロセッサエレメント PE 2 から入力される PE 2 アドレス一致信号、PE 2 バッファ登録信号、PE 2 バッファ開放信号に基づいて、「許可」又は「保留」の保留判定信号を生成する。具体的には、プロセッサエレメント PE 2 のアドレスバッファ 1 2 1 に登録されたアドレスと PE 1 からのアクセス要求アドレスが一致している場合、「保留」となり、それ以外の場合は「許可」となる。この信号がアクセス許可制御部 1 1 2 に入力される。アクセスが許可されると、アクセス許可制御部 1 1 2 はアクセス許可信号をプロセッサエレメント PE 1 に対して出力する。また、アクセス許可制御部 1 1 2 は許可状態通知を PE 間制御部 1 3 0 に対して出力する。

【 0 0 3 4 】

両方の局所メモリへのアクセスが完了すると、PE 1 からアクセス完了通知がアドレスバッファ制御部 1 1 4 へ入力される。アクセス完了通知に基づき、アドレスバッファ制御部 1 1 4 はバッファ開放信号 (PE 1 バッファ開放信号) をアドレスバッファに対して出力する。これにより、アドレスが登録していたアドレスバッファ 1 1 1 が開放される。また、アドレスバッファ制御部 1 1 4 から出力された PE 1 バッファ開放信号は、プロセッサエレメント PE 2 の保留判定部 1 1 3 にも入力され、プロセッサエレメント PE 2 における保留判定に用いられる。

【 0 0 3 5 】

10

20

30

40

50

アドレスバッファ 1 1 1 に登録されたアドレスは、比較器 1 1 5 に入力される。比較器 1 1 5 は、プロセッサエレメント P E 2 のアクセス要求があった場合、そのアドレス (P E 2 アドレス信号) とアドレスバッファ 1 1 1 に登録されたアドレスとを比較して、P E 1 アドレス一致信号を生成する。この信号はプロセッサエレメント P E 2 の保留判定部 1 1 3 に入力され、プロセッサエレメント P E 2 における保留判定に用いられる。

【 0 0 3 6 】

次に、プロセッサエレメント P E 1 からのアクセス要求とプロセッサエレメント P E 2 からのアクセス要求が同時である場合について説明する。ロック (l o c k) を伴うアクセスについては後述する。プロセッサエレメント P E 1 からのアクセス要求とプロセッサエレメント P E 2 からのアクセス要求が同時であるため、P E 間制御部 1 3 0 が関与する。

10

【 0 0 3 7 】

P E 間制御部 1 3 0 には、P E 1 アドレス信号及び P E 2 アドレス信号が入力されている。また、各プロセッサエレメント P E 1、P E 2 からバッファセット信号及び許可状態通知が入力されている。P E 間制御部 1 3 0 は各プロセッサエレメント P E 1、P E 2 からバッファセット信号に基づき、同時のアクセスが否か判断できる。また、P E 1 アドレス信号及び P E 2 アドレス信号からアクセス要求アドレスが一致しているか否か判断できる。

【 0 0 3 8 】

P E 間制御部 1 3 0 は、同時かつアドレスが一致したアクセスの場合、プロセッサエレメント P E 1 及び P E 2 に対し、アドレス一致信号及びプライオリティ (p r i o r i t y) 通知を出力する。プライオリティ通知は、いずれのプロセッサエレメントを優先して許可するかについての信号であって、許可状態通知に基づき生成される。本実施の形態の場合、前回許可されていたプロセッサエレメントが待たされ、他方が許可される。アドレス一致信号及びプライオリティ通知は各プロセッサエレメントの保留判定部 1 1 3 に入力される。これらの情報に基づき、保留判定部 1 1 3 が保留判定信号を生成する。その他の動作については、上述した同時でないアクセスの場合と同様である。

20

【 0 0 3 9 】

次に、ロック (l o c k) を伴うアクセスについて説明する。プロセッサエレメント P E 1 からのロックを伴うアクセス要求があった場合、アクセス要求信号、リード/ライト信号、アドレス (a d d r e s s) 信号に加え、ロック信号が P E 1 制御部 1 1 0 に入力される。具体的には、ロック信号はアドレスバッファ制御部 1 1 4 へ入力される。これに基づき、アドレスバッファ制御部 1 1 4 はロック要求 (P E 1 ロック要求) を出力する。ロック要求はアドレスバッファ 1 1 1 に入力される。この場合、比較器 1 1 5 からはアドレスの一致を示すアドレス一致信号が出力される。P E 1 ロック要求は、P E 2 制御部の比較器 1 1 5 にも入力される。

30

【 0 0 4 0 】

他方、プロセッサエレメント P E 2 からのロックを伴うアクセス要求があった場合、P E 2 からのロック要求 (P E 2 ロック要求) が、プロセッサエレメント P E 1 の比較器 1 1 5 に入力される。この場合も、比較器 1 1 5 からはアドレスの一致を示すアドレス一致信号が出力される。

40

【 0 0 4 1 】

また、P E 1 ロック要求及び P E 2 ロック要求は P E 間制御部 1 3 0 にも入力される。そのため、同時にアクセス要求があつて、かつ、少なくともいずれかのアクセス要求がロックを伴う場合には、P E 間制御部 1 3 0 はアドレスが一致したものとみなし、アドレス一致信号を出力する。

【 0 0 4 2 】

以上のように、ロックを伴う書き込みアクセス要求では、他方のプロセッサからのアクセス要求アドレスとアドレスが一致していなくても、アドレスが一致したものとして処理される。ロックを伴うアトミックなアクセスにおいて、関連するアクセスアドレスに対し

50

て競合判定を行なおうとすると、アドレス判定に要するハードウェアの構成が複雑となってしまうが、本実施の形態によれば、ハードウェア上、簡易な構成とすることができる。ロックを伴うアトミックなアクセスは元来、ロックにより他のプロセッサエレメントからのアクセスを保留させるため、上記のような処理による処理速度上のデメリットも少ない。

【0043】

次に、図4及び5のタイミングチャート及び図1を用いて、動作について説明する。図5は、同期ウィンドウ領域の同一アドレスに対して、プロセッサエレメントPE1がライト要求をし、プロセッサエレメントPE2がリード要求をした場合である。リードの場合、自己の局所メモリのみへのアクセスであるため、アクセス許可を取得する必要がない。そのため、プロセッサエレメントPE2のCPU2は待つことなく、RAMインターフェースMIF21を介して、自己の局所メモリLM2からデータを読み取り、動作が完了する。

10

【0044】

一方、プロセッサエレメントPE1のCPU1は、データバスを介して、同期ウィンドウアービタ100にアクセス要求を行う。そして、プロセッサエレメントPE1用のアドレスバッファ111にアクセス要求アドレスが登録される。図4の例では、プロセッサエレメントPE2の要求がリードであるため、競合は起こらない。そのため、すぐに同期ウィンドウアービタ100からアクセス許可が出力される。このアクセス許可に基づいて、CPU1はRAMインターフェースMIF11を介して自己の局所メモリLM1に書き込む。また、PE間RAMインターフェースMIF12にポスト・ライト方式によりライト要求を行う。これにより、CPU1の動作は完了する。

20

【0045】

その後、PE間RAMインターフェースMIF12に保持されたデータは、プロセッサエレメントPE2のRAMインターフェースMIF21を介して局所メモリLM2に書き込まれる。これにより、PE間RAMインターフェースMIF12の動作が完了する。そして、プロセッサエレメントPE1用のアドレスバッファ111が開放される。

【0046】

図5は、同期ウィンドウ領域の同一アドレスに対して、プロセッサエレメントPE1及びPE2がいずれもライト要求をした場合のタイミングチャートである。また、図5は、同時にアクセス要求があった場合であって、かつ、プロセッサエレメントPE1が優先された場合である。なお、プロセッサエレメントPE1からのアクセスが早い場合も同様の処理となる。

30

【0047】

プロセッサエレメントPE1のCPU1は、データバスを介して、同期ウィンドウアービタ100にアクセス要求を行う。そして、プロセッサエレメントPE1用のアドレスバッファ111にアクセス要求アドレスが登録される。一方、プロセッサエレメントPE2のCPU2は、データバスを介して、同期ウィンドウアービタ100にアクセス要求を行う。そして、プロセッサエレメントPE2用のアドレスバッファ121にアクセス要求アドレスが登録される。

40

【0048】

図5の例では、両プロセッサエレメントの要求がいずれもライトであるため、競合が起こる。まず、プロセッサエレメントPE1に対し、同期ウィンドウアービタ100からアクセス許可が出力される。このアクセス許可に基づいて、CPU1はRAMインターフェースMIF11を介して自己の局所メモリLM1に書き込む。また、PE間RAMインターフェースMIF12にポスト・ライト方式によりライト要求を行う。これにより、CPU1の動作は完了する。

【0049】

その後、PE間RAMインターフェースMIF12に保持されたデータは、プロセッサエレメントPE2のRAMインターフェースMIF21を介して局所メモリLM2に書き

50

込まれる。これにより、PE間RAMインターフェースMIF12の動作が完了する。そして、プロセッサエレメントPE1用のアドレスバッファ111が開放される。

【0050】

上記アドレスバッファ111が開放されると、それまで保留されていたプロセッサエレメントPE2に対するアクセス許可が、同期ウィンドウアービタ100から出力される。このアクセス許可に基づいて、CPU2はRAMインターフェースMIF21を介して自己の局所メモリLM2に書き込む。また、PE間RAMインターフェースMIF22にポステッド・ライト方式によりライト要求を行う。これにより、CPU2の動作は完了する。

【0051】

その後、PE間RAMインターフェースMIF22に保持されたデータは、プロセッサエレメントPE1のRAMインターフェースMIF11を介して局所メモリLM1に書き込まれる。これにより、PE間RAMインターフェースMIF22の動作が完了する。そして、プロセッサエレメントPE2用のアドレスバッファ121が開放される。

【0052】

以上のように、本発明に係る分散共有メモリ型マルチプロセッサは、同期ウィンドウを有しているため、高速読み取りが可能である。また、同期ウィンドウアービタ100を備えているため、各局所メモリに格納された同一であるべきデータに不整合が生じることもない。また、アクセス要求アドレスが一致した書き込み要求同士の場合にのみ、競合と判断するため、保留の機会を最小限に留め、高速処理が可能となる。さらに、ロックを伴うアクセス要求はアドレスが一致したとみなすことにより、関連するアクセスのアドレス判定に必要なハードウェアを省略でき、簡易な構成とすることができる。

【図面の簡単な説明】

【0053】

【図1】実施の形態1に係る分散共有メモリ型マルチプロセッサのブロック図である。

【図2】共有メモリのメモリマップイメージである。

【図3】同期ウィンドウアービタ100の詳細なブロック図である。

【図4】実施の形態1に係る分散共有メモリ型マルチプロセッサの動作タイミングを示すタイミングチャートである。

【図5】実施の形態1に係る分散共有メモリ型マルチプロセッサの動作タイミングを示すタイミングチャートである。

【図6】本発明の課題を説明するための図である。

【符号の説明】

【0054】

PE1、PE2 プロセッサエレメント

LM1、LM2 局所メモリ

CPU1、CPU2 CPU

MIF11、MIF21 RAMインターフェース、

MIF12、MIF22 PE間RAMインターフェース

100 同期ウィンドウアービタ

110 PE1制御部

111 PE1アドレスバッファ

112 アクセス許可制御部

113 保留判定部

114 アドレスバッファ制御部

115 比較器

120 PE2制御部

121 PE2アドレスバッファ

130 PE間制御部

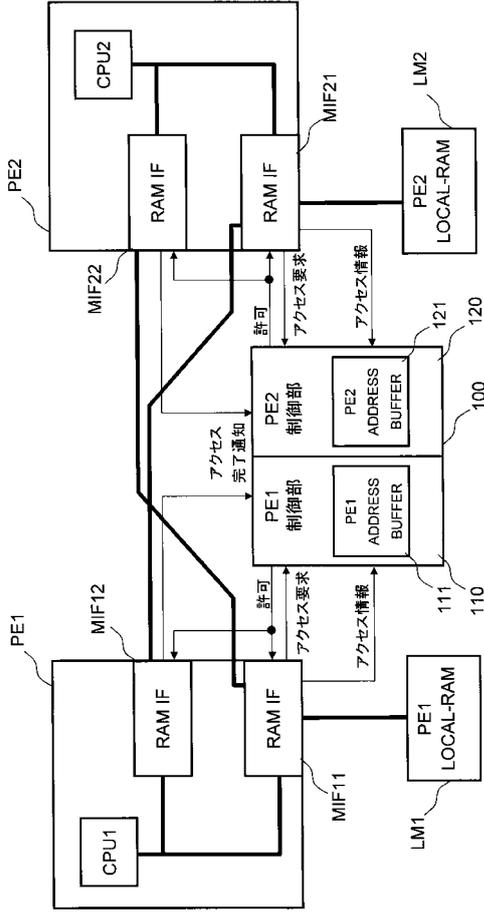
10

20

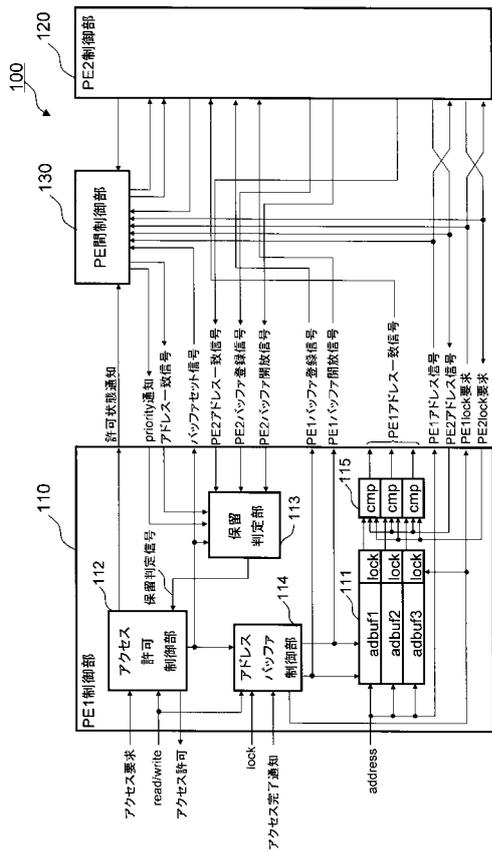
30

40

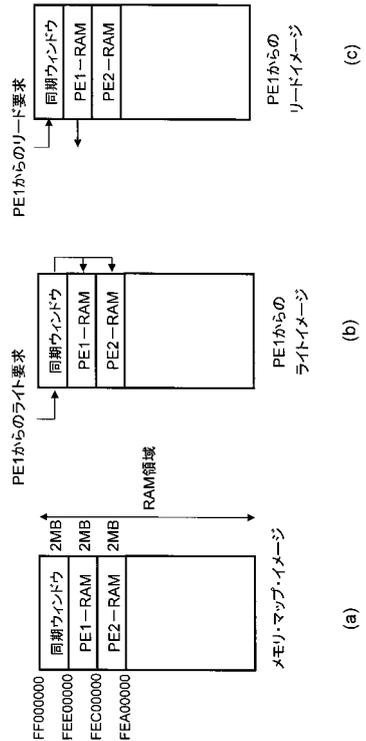
【 図 1 】



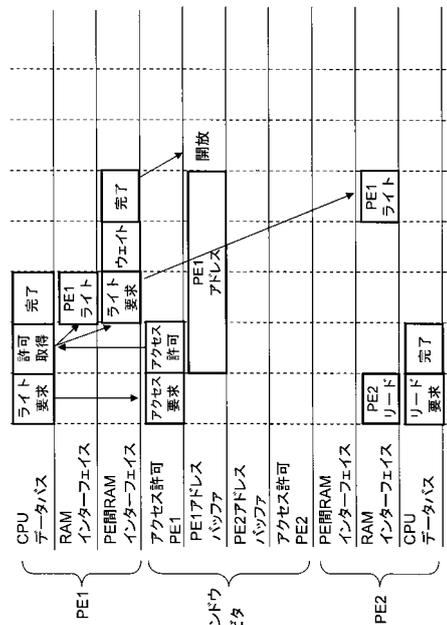
【 図 3 】



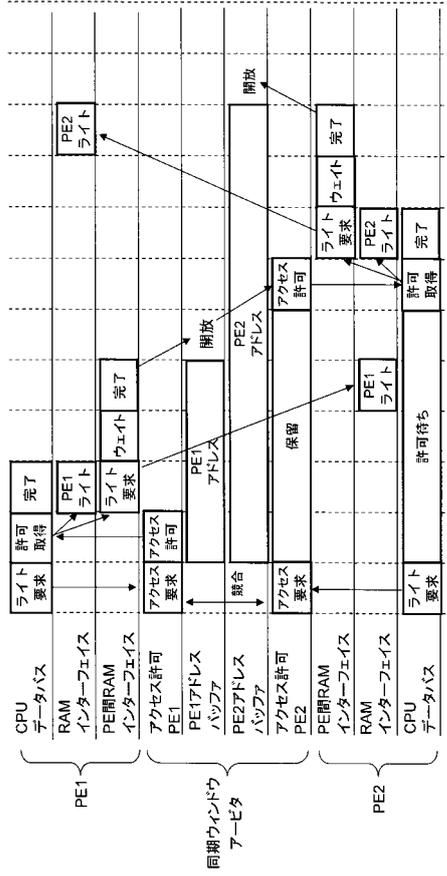
【 図 2 】



【 図 4 】



【図5】



【図6】

