



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월15일

(11) 등록번호 10-1559345

(24) 등록일자 2015년10월05일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/115* (2006.01) *H01L 21/8247* (2006.01)  
 (21) 출원번호 10-2010-0082753  
 (22) 출원일자 2010년08월26일  
 심사청구일자 2014년10월29일  
 (65) 공개번호 10-2012-0019529  
 (43) 공개일자 2012년03월07일  
 (56) 선행기술조사문헌  
 JP2009206152 A  
 KR1020080080055 A  
 KR1020080086183 A  
 KR1020090008582 A

(73) 특허권자  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
**오상우**  
 서울 노원구 노원로 214, 5동 1004호 (하계동, 삼익선경아파트)  
**김대신**  
 경기도 용인시 기흥구 사은로 64, 선비마을 삼정아파트 103동 102호 (보라동)  
 (뒷면에 계속)  
 (74) 대리인  
**박영우**

전체 청구항 수 : 총 23 항

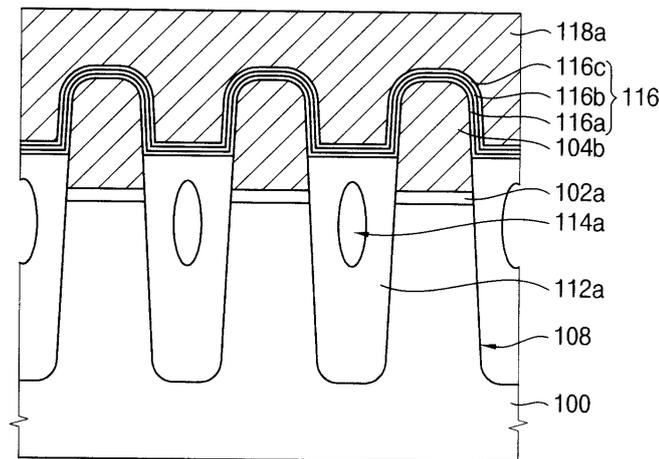
심사관 : 류정현

(54) 발명의 명칭 **비휘발성 메모리 소자 및 그 제조 방법**

**(57) 요약**

비휘발성 메모리 소자 및 그 제조 방법에서, 비휘발성 메모리 소자는 제1 방향으로 연장되면서 반복 배치되는 액티브 영역 및 액티브 영역 사이의 소자 분리용 트렌치를 포함하는 기관 상에, 터널 절연막, 전하 저장막 패턴, 유전막 및 콘트롤 게이트 전극을 포함하는 게이트 구조물이 구비된다. 상기 소자 분리용 트렌치 내부 및 상기 게이트 구조물 사이의 갭 내부에 제1 방향으로 연장되고, 내부에는 상기 전하 저장막 패턴의 측벽과 대향하는 위치에 제1 에어 갭이 포함된 제1 절연막 패턴이 구비된다. 또한, 상기 게이트 구조물 사이의 갭에는 상기 제1 방향과 수직인 제2 방향으로 연장되는 제2 절연막 패턴이 구비된다. 상기 제1 에어 갭이 포함됨으로써 기생 커패시턴스가 감소된다.

**대표도** - 도1



(72) 발명자

**박영관**

경기도 수원시 영통구 매봉로27번길 11, 104동 90  
1호 (매탄동, 극동아파트)

**이근호**

경기 성남시 분당구 수내로192번길 25, 403동 160  
3호 (수내동, 푸른마을아파트)

**이선영**

서울특별시 중랑구 망우로 270, 125동 18호 201호  
(상봉동)

## 명세서

### 청구범위

#### 청구항 1

제1 방향으로 연장되고 제1 트렌치를 포함하는 복수의 트렌치와, 상기 제1 방향으로 연장되는 복수의 액티브 영역들을 포함하고, 상기 액티브 영역들은 상기 복수의 트렌치들에 의해 정의되고, 상기 제1 방향과 수직하는 제2 방향으로 서로 이격되는 기판;

상기 기판 상에 형성되고, 터널 절연막 패턴, 플로팅 게이트, 유전막 패턴 및 콘트롤 게이트 전극이 적층되고, 제1 게이트 구조물들 및 제2 게이트 구조물들을 포함하는 복수의 게이트 구조물;

상기 제1 트렌치 내부에 형성되고, 상기 제1 및 제2 게이트 구조물의 콘트롤 게이트 전극 아래에서 연장되는 제1 에어 갭이 포함된 소자 분리막 패턴; 및

상기 제1 및 제2 게이트 구조물 사이에 형성되고, 상기 제2 방향으로 연장되는 층간 절연막 패턴을 포함하고, 상기 층간 절연막 패턴에는 상기 제2 방향으로 연장되고 상기 제1 에어 갭과 연통하는 제2 에어 갭을 가지는 비휘발성 메모리 소자.

#### 청구항 2

제1항에 있어서, 상기 소자 분리막 패턴 내의 상기 제1 에어 갭은 상기 제1 방향으로 연장되는 비휘발성 메모리 소자.

#### 청구항 3

제1항에 있어서, 상기 제1 에어 갭은 적어도 하나의 인접하는 한 쌍의 플로팅 게이트의 측벽과 이웃하고, 상기 제1 에어 갭의 저면은 상기 트렌치 내부에 위치하는 비휘발성 메모리 소자.

#### 청구항 4

제1항에 있어서, 상기 제1 에어 갭의 상부면은 상기 플로팅 게이트의 적어도 하나의 하부면보다 높게 위치하고, 상기 제1 에어 갭의 하부면은 상기 트렌치 저면보다 높게 위치하는 비휘발성 메모리 소자.

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

제1항에 있어서, 상기 유전막 패턴은 상기 플로팅 게이트의 상부면과 상부 측벽 및 소자 분리막 패턴의 상부면 상에 형성된 비휘발성 메모리 소자.

#### 청구항 9

삭제

#### 청구항 10

삭제

**청구항 11**

제8항에 있어서, 상기 유전막 패턴은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막의 적층 구조를 포함하는 비휘발성 메모리 소자.

**청구항 12**

제8항에 있어서, 상기 유전막 패턴은 유전율이 10 보다 큰 금속 산화물을 포함하는 비휘발성 메모리 소자.

**청구항 13**

삭제

**청구항 14**

제1항에 있어서, 상기 제1 에어 갭은 상기 제1 게이트 구조물의 2개의 인접하는 플로팅 게이트 사이에 위치하는 비휘발성 메모리 소자.

**청구항 15**

제1항에 있어서, 상기 제1 및 제2 게이트 구조물은 각각 제1 및 제2 콘트롤 게이트 전극을 포함하고, 상기 소자 분리막 패턴은 상기 제1 및 제2 콘트롤 게이트 전극과 그 사이 영역의 아래에서 연장되고, 상기 제1 에어 갭은 상기 제1 및 제2 콘트롤 게이트 전극과 그 사이 영역의 아래에서 상기 소자 분리막 패턴을 관통하여 라인 형상으로 연장되는 비휘발성 메모리 소자.

**청구항 16**

제15항에 있어서, 상기 제1 에어 갭의 상부면은 인접하는 2개의 플로팅 게이트의 저면보다 높게 위치하는 비휘발성 메모리 소자.

**청구항 17**

제16항에 있어서, 상기 제1 에어 갭의 상부면은 적어도 하나의 이웃하는 2개의 플로팅 게이트의 중간 부위보다 낮게 위치하는 비휘발성 메모리 소자.

**청구항 18**

제17항에 있어서, 상기 제2 에어 갭은 적어도 2개의 상기 트렌치의 위에서 연장되는 비휘발성 메모리 소자.

**청구항 19**

제1항에 있어서, 상기 제2 에어 갭은 적어도 2개의 상기 트렌치의 위에서 연장되는 비휘발성 메모리 소자.

**청구항 20**

기관;

제1 방향으로 연장되고, 상기 기관의 트렌치 부위 내에 위치하고, 상기 기관의 상부면보다 높은 상부면을 갖는 복수의 소자 분리막 패턴;

상기 소자 분리막 패턴의 하나를 관통하여 제1 방향으로 연장되고, 상기 기관의 상부면보다 높은 상부면을 갖는 제1 터널;

상기 제1 방향으로 연장되고, 상기 소자 분리막 패턴들 사이에 위치하는 복수의 액티브 영역;

상기 복수의 소자 분리막 패턴 및 액티브 영역의 위를 가로지르도록 제2 방향으로 연장되는 복수의 콘트롤 게이트;

상기 복수의 콘트롤 게이트에 해당되는 부위 아래와, 상기 액티브 영역들에 해당되는 부위 위에 위치하는 복수의 플로팅 게이트;

상기 제2 방향으로 연장되고, 이웃하는 콘트롤 게이트들 사이에 개재되는 복수의 분리막 패턴; 및

상기 복수의 분리막 패턴 내에서 상기 제2 방향으로 연장되고, 상기 제1 터널과 연통되는 제2 터널을 포함하는 비휘발성 메모리 소자.

**청구항 21**

제20항에 있어서 상기 제1 터널의 상부면은 이웃하는 2개의 플로팅 게이트의 저면보다 높게 위치하는 비휘발성 메모리 소자.

**청구항 22**

제20항에 있어서, 상기 제1 터널의 상부면은 적어도 하나의 인접하는 2개의 플로팅 게이트의 중간 부위보다 낮게 위치하는 비휘발성 메모리 소자.

**청구항 23**

제20항에 있어서, 상기 제2 터널은 적어도 2개의 상기 트렌치의 위에서 연장되는 비휘발성 메모리 소자.

**청구항 24**

제20항에 있어서, 상기 콘트롤 게이트에 해당되는 부위 아래에 위치하고, 상기 복수의 플로팅 게이트의 상부면과 측벽에 형성되어 연장되는 복수의 유전막 패턴을 더 포함하는 비휘발성 메모리 소자.

**청구항 25**

제24항에 있어서, 상기 유전막 패턴은 산화막, 질화막 및 산화막의 적층 구조를 포함하는 비휘발성 메모리 소자.

**청구항 26**

제24항에 있어서, 상기 유전막 패턴은 유전율이 10 보다 큰 물질을 갖는 비휘발성 메모리 소자.

**청구항 27**

제26항에 있어서 상기 제1 터널은 적어도 2개의 상기 복수의 게이트 구조물들의 아래에서 연장되는 비휘발성 메모리 소자.

**청구항 28**

제20항에 있어서 상기 제1 터널은 적어도 2개의 상기 복수의 게이트 구조물들의 아래에서 연장되는 비휘발성 메모리 소자.

**청구항 29**

기판;

제1 방향으로 각각 연장되고, 상기 기판의 트렌치 부위 내에 위치하고, 상기 기판의 상부면보다 높은 상부면을 갖는 복수의 소자 분리막 패턴;

상기 소자 분리막 패턴의 하나를 관통하여 제1 방향으로 연장되고, 상기 기판의 상부면보다 높은 상부면을 갖는 제1 터널;

상기 제1 방향으로 각각 연장되고, 상기 소자 분리막 패턴들 사이에 위치하는 복수의 액티브 영역;

상기 복수의 소자 분리막 패턴 및 액티브 영역의 위를 가로지르도록 제2 방향으로 연장되는 복수의 콘트롤 게이트;

상기 복수의 콘트롤 게이트와 대응되는 부위 아래와, 상기 액티브 영역들과 대응되는 부위 위에 위치하는 복수의 플로팅 게이트;

상기 콘트롤 게이트와 대응되는 부위 아래에 위치하고, 상기 복수의 플로팅 게이트의 상부면과 측벽에 형성되어 연장되는 복수의 유전막 패턴;

상기 제2 방향으로 연장되고, 이웃하는 콘트롤 게이트들 사이에 개재되는 복수의 분리막 패턴; 및  
 상기 복수의 분리막 패턴 내에서 상기 제2 방향으로 연장되고, 상기 제1 터널과 연통되는 제2 터널을 포함하고,  
 상기 제1 터널의 상부면은 이웃하는 2개의 플로팅 게이트의 저면보다 높게 위치하고, 이웃하는 2개의 플로팅 게이트의 중간보다 낮게 위치하고,  
 상기 제1 터널은 적어도 2개의 상기 복수의 게이트 구조물들의 아래에서 연장되고,  
 상기 제2 터널은 적어도 2개의 상기 복수의 트렌치의 위에 연장되는 비휘발성 메모리 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 기생커패시터가 감소된 구조의 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 최근 비휘발성 메모리 소자가 고집적화됨에 따라, 배선 라인, 게이트, 액티브 영역들 사이에서 기생 커패시터가 증가되는 등의 문제가 빈번하게 발생한다. 이에 따라, 상기 기생 커패시턴스를 감소시킬 수 있는 구조의 비휘발성 메모리 소자 및 그 제조 방법이 요구되고 있다. 그러나, 기생 커패시턴스가 감소되면서도 각 메모리 셀의 동작 특성이 유지되고, 높은 신뢰성을 갖는 비휘발성 메모리 소자를 제조하는 것이 용이하지 않다.

**발명의 내용**

**해결하려는 과제**

[0003] 이에 따라, 본 발명의 목적은 기생 커패시턴스가 감소되면서 높은 신뢰성을 갖는 비휘발성 메모리 소자를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 상기한 비휘발성 메모리 소자의 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0005] 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자는, 제1 방향으로 연장되면서 반복 배치되는 액티브 영역 및 액티브 영역 사이의 소자 분리용 트렌치를 포함하는 기판이 구비된다. 상기 기판 상에 형성되고, 터널 절연막, 전하 저장막 패턴, 유전막 및 콘트롤 게이트 전극을 포함하는 게이트 구조물이 구비된다. 상기 소자 분리용 트렌치 내부 및 상기 게이트 구조물 사이의 갭 내부에 제1 방향으로 연장되고, 내부에는 상기 전하 저장막 패턴의 측벽과 대향하는 위치에 제1 에어 갭이 포함된 제1 절연막 패턴이 구비된다. 또한, 상기 게이트 구조물 사이의 갭에는 상기 제1 방향과 수직한 제2 방향으로 연장되는 제2 절연막 패턴이 구비된다.

[0006] 예시적인 실시예들에 따르면, 상기 제1 에어 갭은 상기 전하 저장막 패턴과 대향하는 위치에 각각 구비되거나 또는 상기 소자 분리용 트렌치의 연장 방향을 따라 연장되는 터널 형상을 가질 수 있다.

[0007] 예시적인 실시예들에 따르면, 상기 제1 에어 갭은 상기 전하 저장막 패턴의 사이 부위 및 상기 소자 분리용 트렌치 사이 부위에 위치하도록 하방으로 연장되는 형상을 가질 수 있다.

[0008] 예시적인 실시예들에 따르면, 상기 제1 에어 갭의 상부면은 상기 전하 저장막 패턴의 하부면보다 높게 위치하고, 상기 제1 에어 갭의 하부면은 상기 소자 분리용 트렌치 저면보다 높게 위치할 수 있다.

[0009] 예시적인 실시예들에 따르면, 상기 제2 절연막 패턴 내부에 제2 에어 갭이 포함될 수 있다.

[0010] 예시적인 실시예들에 따르면, 상기 제2 에어 갭은 상기 제2 방향으로 연장되는 에어 터널 형상을 가질 수 있다.

[0011] 예시적인 실시예들에 따르면, 상기 제1 에어 갭은 제1 방향으로 연장되는 터널 형상을 갖고, 상기 제2 에어 갭은 상기 제1 에어 갭과 서로 연통된 형상을 가질 수 있다.

- [0012] 예시적인 실시예들에 따르면, 상기 제1 에어 갭은 상기 전하 저장막 패턴과 대향하는 위치에 각각 구분되어 구비되고, 상기 제2 에어 갭은 상기 제1 에어 갭과 서로 연통된 형상을 가질 수 있다.
- [0013] 예시적인 실시예들에 따르면, 상기 제1 에어 갭은 제1 방향으로 연장되는 터널 형상을 갖고, 상기 제2 에어 갭은 상기 제1 에어 갭과는 서로 구분된 형상을 가질 수 있다.
- [0014] 예시적인 실시예들에 따르면, 상기 제1 에어 갭은 상기 전하 저장막 패턴과 대향하는 위치에 각각 구분되어 구비되고, 상기 제2 에어 갭은 상기 제1 에어 갭과는 서로 구분된 형상을 가질 수 있다.
- [0015] 예시적인 실시예들에 따르면, 상기 유전막은 상기 전하 저장막 패턴의 상부면, 상부 측벽 및 제1 절연막 상부면 상에 형성된 것일 수 있다.
- [0016] 예시적인 실시예들에 따르면, 상기 전하 저장막 패턴은 상기 게이트 절연막 두께의 0.1 내지 2배의 두께를 갖고, 상기 유전막은 상기 전하 저장막 패턴의 상부면 및 제1 절연막 상부면 상에 구비될 수 있다.
- [0017] 예시적인 실시예들에 따르면, 상기 전하 저장막 패턴은 플로팅 게이트 전극 또는 전하 트랩막 패턴일 수 있다.
- [0018] 예시적인 실시예들에 따르면, 상기 전하 저장막 패턴은 상기 액티브 영역 상에 고립된 형상을 갖고, 상기 콘트롤 게이트 전극은 상기 전하 저장막 패턴 상부면과 대향하면서 상기 제2 방향으로 연장되는 라인 형상을 가질 수 있다.
- [0019] 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법으로, 기판 상에 터널 절연막 및 예비 전하 저장막 패턴을 형성한다. 상기 예비 전하 저장막 패턴 사이의 터널 절연막 및 기판을 식각하여 제1 방향으로 연장되는 소자 분리용 트렌치를 형성한다. 상기 소자 분리용 트렌치 내부 및 예비 전하 저장막 패턴 사이의 갭에 제1 에어 갭을 포함하는 제1 절연막 패턴을 형성한다. 상기 예비 전하 저장막 패턴 상에 유전막 및 콘트롤 게이트 전극막을 형성한다. 또한, 상기 콘트롤 게이트 전극막, 유전막 및 예비 전하 저장막 패턴을 패터닝하여 콘트롤 게이트 전극, 유전막 패턴 및 전하 저장막 패턴을 형성한다.
- [0020] 예시적인 실시예들에 따르면, 상기 콘트롤 게이트 전극들 사이의 갭 내에 제2 절연막 패턴을 형성하는 공정을 더 포함할 수 있다.
- [0021] 예시적인 실시예들에 따르면, 상기 제2 절연막 패턴 내부에 제2 에어 갭을 형성하는 공정을 포함할 수 있다.
- [0022] 예시적인 실시예들에 따르면, 상기 제1 에어 갭은 상기 전하 저장막 패턴과 대향하는 위치에 각각 구비되거나 또는 상기 소자 분리용 트렌치의 연장 방향을 따라 연장되는 터널 형상을 갖도록 형성할 수 있다.
- [0023] 예시적인 실시예들에 따르면, 상기 제1 에어 갭은 상기 전하 저장막 패턴의 사이 부위 및 상기 소자 분리용 트렌치 사이 부위에 위치하도록 하방으로 연장되도록 형성할 수 있다.
- [0024] 예시적인 실시예들에 따르면, 상기 전하 저장막 패턴은 플로팅 게이트 전극 또는 전하 트랩막 패턴으로 형성할 수 있다.

**발명의 효과**

- [0025] 전술한 바와 같이 본 발명에 따른 비휘발성 메모리 소자는 액티브 영역 및 전하 저장 패턴 사이에 비트 라인 연장 방향으로 에어 갭이 구비된다. 그러므로, 상기 전하 저장 패턴들 간의 기생 커패시턴스 및 전하 저장 패턴들과 액티브 영역간의 기생 커패시턴스를 감소시킬 수 있다. 또한, 본 발명에 따른 비휘발성 메모리 소자는 비트 라인 방향으로 높은 커플링 율을 가지므로, 메모리 셀의 동작 특성이 우수하고 높은 신뢰성을 갖는다.

**도면의 간단한 설명**

- [0026] 도 1은 본 발명의 실시예 1에 따른 비휘발성 메모리 소자를 나타내는 단면도이다.
- 도 2는 도 1에 도시된 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 3은 도 1에 도시된 비휘발성 메모리 소자를 나타내는 평면도이다.
- 도 4 내지 도 10은 도 1 내지 3에 도시된 비휘발성 메모리 장치의 제조 방법을 나타내는 단면도들이다.
- 도 11 내지 도 18은 도 1 내지 3에 도시된 비휘발성 메모리 장치를 제조하는 다른 방법을 설명하기 위한 단면도들이다.

- 도 19a는 본 발명의 실시예 2에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 19b는 도 19a에 도시된 비휘발성 메모리 소자를 나타내는 단면도이다.
- 도 20a는 본 발명의 실시예 3에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 20b는 도 20a에 도시된 비휘발성 메모리 소자를 나타내는 단면도이다.
- 도 21a는 본 발명의 실시예 4에 따른 비휘발성 메모리 소자를 나타내는 사시도이다. 도 21b는 도 21a에 도시된 비휘발성 메모리 소자를 나타내는 평면도이다.
- 도 22는 본 발명의 실시예 5에 따른 비휘발성 메모리 소자를 나타내는 단면도이다.
- 도 23은 도 22에 도시된 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 24 내지 도 26은 도 22에 도시된 비휘발성 메모리 장치의 제조 방법을 개략적으로 나타내는 단면도들이다.
- 도 27은 도 22에 도시된 비휘발성 메모리 장치의 제조 방법을 개략적으로 나타내는 사시도이다.
- 도 28은 본 발명의 실시예 6에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 29는 본 발명의 실시예 7에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 30은 본 발명의 실시예 8에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 31은 본 발명의 실시예 9에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 32는 본 발명의 실시예 10에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- 도 33은 각 샘플들 및 비교 샘플에서 측정된 기생 커패시터를 나타내는 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

- [0027] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- [0028] 본 발명의 각 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.
- [0029] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0030] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기관, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기관, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기관 상에 추가적으로 형성될 수 있다.
- [0032] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.
- [0033] 즉, 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [0034] 실시예 1
- [0035] 도 1은 본 발명의 실시예 1에 따른 비휘발성 메모리 소자를 나타내는 단면도이다. 도 2는 도 1에 도시된 비휘발성 메모리 소자를 나타내는 사시도이다. 도 3은 도 1에 도시된 비휘발성 메모리 소자를 나타내는 평면도이다.
- [0036] 도 1 내지 도 3을 참조하면, 소자 분리용 트렌치(108)가 생성되어 있는 기판(100)이 구비된다. 상기 소자 분리용 트렌치(108)는 제1 방향으로 연장되는 형상을 가지며, 반복 배치된다. 상기 소자 분리용 트렌치(108)가 생성되지 않은 평탄한 상부면 부위는 기판(100)의 액티브 영역이 된다. 상기 액티브 영역은 제1 방향으로 연장되는 라인 형상을 갖는다.
- [0037] 상기 액티브 영역의 기판(100) 상에는 터널 절연막(102a)이 구비된다. 상기 터널 절연막(102a)은 실리콘 산화물, 실리콘 산질화물과 같은 산질화물, 불순물이 도핑된 실리콘 산화물 혹은 저유전 물질 등을 사용하여 형성할 수 있다.
- [0038] 상기 터널 절연막(102a) 상에 플로팅 게이트 전극(104b)이 구비된다. 상기 플로팅 게이트 전극(104b)은 고립된 패턴 형상을 가지면서 규칙적으로 배치된다. 즉, 상기 플로팅 게이트 전극(104b)은 제1 방향으로 연장되는 라인 형상의 액티브 영역 상에 다수개가 규칙적으로 배치된다. 하나의 메모리 셀 내에는 하나의 고립된 형상의 플로팅 게이트 전극(104b)이 구비되므로, 각 플로팅 게이트 전극(104b)이 형성된 위치에서 각각의 메모리 셀이 형성된다.
- [0039] 상기 플로팅 게이트 전극(104b)은 폴리실리콘 물질로 이루어질 수 있다.
- [0040] 비휘발성 메모리 소자의 커플링율을 높이기 위하여, 상기 플로팅 게이트 전극(104b)의 두께는 500Å보다 두꺼운 것이 바람직하다. 상기 플로팅 게이트 전극(104b)은 500 내지 3000Å의 범위 내의 두께를 가질 수 있다.
- [0041] 상기 소자 분리용 트렌치(108) 내에는 제1 절연막 패턴(112a)이 구비된다. 상기 제1 절연막 패턴(112a)의 상부면은 상기 플로팅 게이트 전극(104b) 높이의 중간보다 낮고, 상기 액티브 영역의 기판(100) 표면보다는 높게 위치하도록 한다. 상기 제1 절연막 패턴(112a)은 실리콘 산화물을 포함할 수 있다. 상기 제1 절연막 패턴(112a)은 소자 분리막 패턴으로 제공된다.
- [0042] 상기 제1 절연막 패턴(112a) 내부에는 에어 갭(114a)이 구비된다. 상기 에어 갭(114a)은 상기 플로팅 게이트 전극들(104b) 하부 측벽 사이로부터 하방으로 연장된다. 상기 에어 갭(114a)의 저면부는 상기 소자 분리용 트렌치(108) 내부에 위치하게 된다.
- [0043] 즉, 상기 에어 갭(114a)의 상부는 플로팅 게이트 전극(104b)의 중심부 측벽으로부터 상기 플로팅 게이트 전극(104b)의 하부면과 동일 평면의 사이에 위치하는 것이 바람직하다. 또한, 상기 에어 갭(114a)의 하부는 상기 플로팅 게이트 전극(104b)의 하부면과 동일 평면으로부터 상기 소자 분리용 트렌치(108) 저면 사이에 위치하는 것이 바람직하다.
- [0044] 상기 에어 갭(114a)은 상기 소자 분리용 트렌치(108)를 따라 형성된 플로팅 게이트 전극들(104b) 사이에 각각 구비된다. 그러므로, 상기 소자 분리용 트렌치(108) 내부에는 서로 구분된 복수개의 에어 갭(114a)이 구비된다. 상기 에어 갭(114a)의 수직 단면은 상, 하로 긴 형상을 갖는 타원 형상을 갖거나 또는 상부가 평탄한 형상을 가지고 하부는 상, 하로 긴 타원 형상을 가질 수 있다.
- [0045] 도 2에 도시된 것과 같이, 상기 액티브 영역 및 플로팅 게이트 전극(104b) 하부 측벽 사이에는 제2 방향 즉, 비트 라인의 연장 방향으로 복수의 에어 갭(114a)이 각각 구비된다. 그러므로, 상기 플로팅 게이트 전극들(104b) 간의 기생 커패시턴스 및 플로팅 게이트 전극들(104b)과 액티브 영역간의 기생 커패시턴스를 감소시킬 수 있다. 본 실시예의 경우, 상기 플로팅 게이트 전극(104b)이 서로 대향하고 있지 않은 부위의 제1 절연막 패턴(112a)에는 상기 에어 갭이 형성되지 않는다.
- [0046] 상기 제1 절연막 패턴(112a) 및 플로팅 게이트 전극(104a)의 측벽 및 상부면을 따라 유전막(116)이 구비된다. 상기 유전막(116)은 상기 제1 방향과 수직한 제2 방향으로 연장되는 라인 형상을 가질 수 있다. 상기 유전막(116)은 산화물(116a), 질화물(116b), 산화물(116c)이 적층된 막(ONO막)을 사용할 수 있다. 이와는 달리, 상기 유전막(116)은 유전율이 적어도 10 이상인 고유전율을 갖는 금속 산화물로 형성될 수도 있다.
- [0047] 상기 유전막(116) 상에는 콘트롤 게이트 전극(118a)이 구비된다. 상기 콘트롤 게이트 전극(118a)은 상기 플로팅 게이트 전극(104b) 측벽 사이의 갭을 채우면서 상기 플로팅 게이트 전극(104b) 상부면에 상기 제2 방향으로 연

장되는 라인 형상을 갖는다. 상기 플로팅 게이트 전극(104b) 측벽 사이의 갭에 형성된 콘트롤 게이트 전극(118a)은 상기 플로팅 게이트 전극(104b) 측벽과 대향하는 구조를 갖는다. 이와같이, 상기 플로팅 게이트 전극(104b) 및 콘트롤 게이트 전극(118a)이 서로 대향하는 면적이 증가됨으로써 높은 커플링율을 가질 수 있다.

[0048] 상기 콘트롤 게이트 전극(118a)은 폴리실리콘 물질을 포함할 수 있다. 이와는 달리, 상기 콘트롤 게이트 전극(118a)은 금속 물질을 포함할 수 있다.

[0049] 상기 콘트롤 게이트 전극(118a) 사이의 갭에는 제2 절연막 패턴(122)이 구비된다. 상기 제2 절연막 패턴(122)은 상기 콘트롤 게이트 전극(118a) 사이의 갭 및 그 아래에 위치하는 플로팅 게이트 전극(104b) 사이의 갭을 채우는 형상을 갖는다. 상기 제2 절연막 패턴(122)은 실리콘 산화물로 이루어질 수 있다.

[0050] 이하에서는, 본 발명의 실시예 1에 따른 비휘발성 메모리 장치를 제조하는 방법에 대하여 설명한다.

[0051] 도 4 내지 도 10은 도 1 내지 3에 도시된 비휘발성 메모리 장치의 제조 방법을 나타내는 단면도들이다.

[0052] 도 4를 참조하면, 단결정 실리콘으로 이루어지는 반도체 기판(100) 상에 예비 터널 절연막(102) 및 플로팅 게이트막(104)을 순차적으로 형성한다.

[0053] 상기 예비 터널 절연막(102)은 상기 반도체 기판(100)을 열산화시킴으로써 형성할 수 있다.

[0054] 상기 플로팅 게이트막(104)은 전하들을 보유 및 방출할 수 있도록 폴리실리콘을 증착시켜 형성한다. 상기 플로팅 게이트막(104)은 1000Å 이상의 두께로 형성할 수 있다.

[0055] 상기 플로팅 게이트막(104) 상에 제1 마스크 패턴(106)을 형성한다. 상기 제1 마스크 패턴(106)은 소자 분리용 트렌치를 형성하기 위한 마스크이며, 상기 제1 방향으로 연장되는 라인 형상을 갖는다. 상기 마스크 패턴(106)은 포토레지스트 패턴 또는 하드 마스크 패턴일 수 있다.

[0056] 도 5를 참조하면, 상기 제1 마스크 패턴(106)을 사용하여 상기 플로팅 게이트막(104), 예비 터널 절연막(102) 및 기판(100)을 순차적으로 식각한다. 이로써, 라인 형상의 예비 플로팅 게이트 전극(104a), 터널 절연막(102a)이 형성되고, 기판(100)에는 소자 분리용 트렌치(108)가 형성된다. 상기 소자 분리용 트렌치(108)가 형성되지 않은 기판의 상부 평탄면은 액티브 영역이 된다.

[0057] 도 6을 참조하면, 상기 소자 분리용 트렌치(108), 예비 플로팅 게이트 전극(104a) 사이의 갭 부위 및 예비 플로팅 게이트 전극(104a) 상부면을 따라 제1 절연막(110)을 형성한다. 상기 제1 절연막(110)에 의해 상기 소자 분리용 트렌치(108) 및 예비 플로팅 게이트 전극(104a) 사이의 갭의 폭이 감소된다. 도시하지는 않았지만, 상기 제1 절연막(110)의 일부분을 습식 식각 공정을 통해 제거하는 공정이 더 포함될 수 있다. 상기 제1 절연막(110)의 최하부면은 후속 공정에서 형성될 에어 갭의 저면이 된다. 그러므로, 상기 습식 식각 공정을 통해 상기 에어 갭의 저면 위치를 조절할 수 있다.

[0058] 도 7을 참조하면, 상기 소자 분리용 트렌치(108) 및 예비 플로팅 게이트 전극(104a) 사이의 갭의 상부를 덮도록 제2 절연막(도시안함)을 형성한다. 상기 제2 절연막은 스텝커버리지 특성이 좋지 않은 증착 특성을 갖는 절연 물질 및 증착 방법을 사용하여 형성할 수 있다. 상기 제2 절연막은 플라즈마 증대 산화물(PEOX) 혹은 중온 산화물(MTO) 등과 같은 실리콘 산화물을 사용하여 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정 혹은 저압 화학 기상 증착(LP-CVD) 공정에 의해 형성될 수 있다.

[0059] 이 후, 상기 제1 마스크 패턴(106)의 상부면이 노출되도록 상기 제2 절연막을 연마한다. 이로써, 상기 소자 분리용 트렌치(108) 및 예비 플로팅 게이트 전극(104a) 사이의 갭 내에 예비 제1 절연막 패턴(112)을 형성한다.

[0060] 상기 예비 제1 절연막 패턴(112) 내에는 에어 터널(114)이 생성된다. 상기 에어 터널(114)은 상기 소자 분리용 트렌치(108)의 연장 방향인 제1 방향으로 연장된다.

[0061] 상기 예비 제1 절연막 패턴(112) 내에 형성되는 에어 터널(114)의 상부는 상기 예비 플로팅 게이트 전극(104a)의 중심부 측벽으로부터 상기 예비 플로팅 게이트 전극(104a)의 하부면과 동일 평면의 사이에 위치하도록 형성하는 것이 바람직하다. 또한, 상기 에어 터널(114)의 하부는 상기 예비 플로팅 게이트 전극(104a)의 하부면과 동일 평면으로부터 상기 소자 분리용 트렌치(108) 저면 사이에 위치하도록 형성하는 것이 바람직하다.

[0062] 도 8 및 9를 참조하면, 상기 예비 제1 절연막 패턴(112)의 상부를 부분적으로 식각함으로써 제1 절연막 패턴(112a)을 형성한다. 상기 예비 제1 절연막 패턴(112)을 식각하는 공정에서, 상기 에어 터널(114)이 노출되지 않

도록 하여야 한다. 상기 제1 절연막 패턴(112a)의 상부면은 상기 예비 플로팅 게이트 전극(104a)의 두께의 중심 부위보다는 낮게 위치하는 것이 바람직하다.

[0063] 도시된 것과 같이, 상기 예비 플로팅 게이트 전극(104a) 및 제1 절연막 패턴(112a) 상에 유전막(116)을 형성한다. 상기 유전막(116)은 실리콘 산화물(116a), 실리콘 질화물(116b) 및 실리콘 산화물(116c)을 순차적으로 적층시켜 형성할 수 있다. 이와는 달리, 상기 유전막(116)은 유전 상수가 10 이상인 금속 산화물을 증착시켜 형성할 수 있다.

[0064] 상기 유전막(116) 상에 도전막(118)을 형성한다. 상기 도전막(118)은 폴리실리콘 또는 금속 물질을 포함할 수 있다.

[0065] 도 10을 참조하면, 상기 도전막(118) 상에 제2 마스크 패턴(도시안함)을 형성한다. 상기 제2 마스크 패턴은 콘트롤 게이트 전극을 형성하기 위한 식각 마스크로 제공된다. 상기 제2 마스크 패턴은 상기 제2 방향으로 연장되는 라인 형상을 갖는다.

[0066] 상기 제2 마스크 패턴을 식각 마스크로 사용하여 상기 도전막(118), 유전막(116), 예비 플로팅 게이트 전극(104a) 및 제1 절연막 패턴(112a)의 일부를 차례로 식각한다. 이로써, 터널 절연막(102a), 플로팅 게이트 전극(104b), 유전막(116) 및 콘트롤 게이트 전극(118a)을 포함하는 구조물이 형성된다. 또한, 상기 구조물 사이에는 개구부(120)가 생성된다. 상기 플로팅 게이트 전극(104b)은 고립된 패턴 형상을 갖고, 상기 액티브 영역의 기판 상부면을 따라 규칙적으로 배치된다.

[0067] 상기 식각 공정에 의해 생성된 개구부(120)는 상기 제1 방향으로 연장된 에어 터널들(114)과 연통하게 된다.

[0068] 이 후, 도 1 및 도 2에 도시된 것과 같이, 상기 구조물들 사이의 개구부(120)들을 채우도록 제2 절연막 패턴(122)을 형성한다. 상기 제2 절연막 패턴(122)을 형성하는 공정에서, 상기 개구부(120)와 연통하는 상기 에어 터널(114)의 일부분이 채워진다. 그러므로, 상기 플로팅 게이트 사이 부위에 각각 형성되는 서로 분리된 형상의 에어 갭(114a)들이 형성된다.

[0069] 상기 공정들을 수행함으로써, 도 1에 도시된 비휘발성 메모리 소자를 제조할 수 있다.

[0070] 도 11 내지 도 18은 도 1 내지 3에 도시된 비휘발성 메모리 장치를 제조하는 다른 방법을 설명하기 위한 단면도들이다.

[0071] 도 11을 참조하면, 단결정 실리콘으로 이루어지는 반도체 기판(100) 상에 예비 터널 절연막 및 플로팅 게이트막을 순차적으로 형성한다. 상기 플로팅 게이트막 상에 제1 마스크 패턴을 형성한다.

[0072] 상기 제1 마스크 패턴을 사용하여 상기 플로팅 게이트막, 예비 터널 절연막 및 기판을 순차적으로 식각한다. 이로써, 라인 형상의 예비 플로팅 게이트 전극(104a), 터널 절연막(102a)이 형성되고, 기판(100)에는 소자 분리용 트렌치(108)가 형성된다. 상기 소자 분리용 트렌치(108)가 형성되지 않은 기판(100)의 상부 평탄면은 액티브 영역이 된다. 상기 설명한 공정은 도 4 및 도 5를 참조로 설명한 것과 동일하다.

[0073] 상기 소자 분리용 트렌치(108), 예비 플로팅 게이트 전극(104a) 사이의 갭 부위를 완전하게 채우도록 제1 예비 소자 분리막을 형성한다. 상기 제1 예비 소자 분리막은 갭 필 특성이 우수하고 결합 구조가 치밀하지 않은 산화물을 사용하여 형성한다. 일 예로, 상기 제1 예비 소자 분리막은 스핀 온 글라스 물질, 또는 유동성 산화물을 사용하여 형성할 수 있다. 이 후, 상기 제1 예비 소자 분리막의 상부면이 평탄해지도록 화학 기계적 연마 공정 또는 에치백 공정을 수행한다. 이로써, 제1 예비 소자 분리막 패턴(140)을 형성한다. 상기 평탄화 공정을 수행할 때 상기 제1 마스크 패턴은 대부분 제거될 수 있다.

[0074] 도 12를 참조하면, 상기 제1 예비 소자 분리막 패턴(140)의 상부면의 일부분을 식각함으로써, 제2 예비 소자 분리막 패턴(140a)을 형성한다. 이 때, 상기 제2 예비 소자 분리막 패턴(140a)의 상부면은 상기 예비 플로팅 게이트 전극(104a)의 상부면보다는 낮고, 상기 터널 절연막(102a) 상부면보다는 높게 위치하도록 형성된다. 상기 제2 예비 소자 분리막 패턴(140a)을 형성하기 위한 식각 공정은 습식 식각 공정이 바람직하지만, 건식 식각 공정으로 수행할 수도 있다. 이로써, 상기 예비 플로팅 게이트 전극(104a)들 사이에는 갭이 생성된다.

[0075] 이 후, 상기 예비 플로팅 게이트 전극(104a) 및 제2 예비 소자 분리막 패턴(140a)의 상부면 프로파일을 따라 제1 절연막(142)을 형성한다. 상기 제1 절연막(142)은 실리콘 산화물로 형성할 수 있으며, 보다 구체적으로 중온 산화물(MTO)로 형성할 수 있다. 상기 제1 절연막(142)에 의해 상기 예비 플로팅 게이트 전극(104a)들 사이의 갭

의 폭이 감소된다.

- [0076] 도 13을 참조하면, 상기 제1 절연막(142) 상부면 프로파일을 따라 제2 절연막(144)을 형성한다. 상기 제2 절연막(144)은 상기 제1 절연막(142) 및 제2 예비 소자 분리막 패턴(140a)와 각각 식각 선택비가 높은 물질로 형성할 수 있다. 일 예로, 상기 제2 절연막(144)은 실리콘 질화물로 형성할 수 있다. 상기 제2 절연막(144)은 상기 예비 플로팅 게이트 전극(104a) 사이의 갭을 완전히 채우지 않는 형상을 갖도록 형성된다. 그러므로, 상기 제2 절연막(144)에 의해 상기 예비 플로팅 게이트 전극(104a) 사이의 갭의 폭은 더욱 좁아지게 된다.
- [0077] 도 14를 참조하면, 상기 제2 절연막(144)을 선택적으로 이방성 식각함으로써, 스페이서 형상의 제2 절연막 패턴(144a)을 형성한다.
- [0078] 계속하여, 실리콘 질화물이 선택적으로 식각되는 조건으로 상기 형성된 구조물을 이방성 식각한다. 상기 식각 공정을 수행하면, 상기 제1 절연막(142) 및 상기 갭 사이에 노출되어 있는 제2 예비 소자 분리막 패턴(140a)의 일부가 식각된다. 따라서, 상부에 보이드(146)가 생성된 제3 예비 소자 분리막 패턴(140b)이 형성된다. 또한, 상기 제2 절연막 패턴(144a)의 외측벽에 제1 절연막 패턴(142a)이 형성된다.
- [0079] 도 15를 참조하면, 상기 제2 절연막 패턴(144a)을 습식 식각 공정을 통해 제거한다. 상기 제2 절연막 패턴(144a)을 제거하는 공정에서, 포러스한 결합을 갖는 제3 예비 소자 분리막 패턴(140b)도 일부 제거된다. 따라서, 상부에 보이드(146a)가 더욱 확장된 형상을 갖는 제4 예비 소자 분리막 패턴(140c)이 형성된다. 상기 제4 예비 소자 분리막 패턴(140c)에 형성되는 보이드(146a)의 하부면은 제1 방향으로 생성되는 에어 갭의 하부면이 된다. 그러므로, 상기 습식 식각 공정 조건을 조절함으로써, 에어 갭의 형상 및 깊이를 변화시킬 수 있다.
- [0080] 도 16을 참조하면, 상기 제1 절연막 패턴(142a) 및 상기 예비 플로팅 게이트 전극(104a) 상부면을 따라 제3 절연막(148)을 형성한다. 상기 제3 절연막(148)은 스텝커버리지 특성이 양호하지 않아서, 상기 제1 절연막 패턴(142a)의 상부면 위로만 박막이 증착되며, 상기 제4 예비 소자 분리막 패턴(140c)에 생성된 보이드(146a) 내부에는 박막이 증착되지 않는다. 따라서, 상기 제3 절연막(148)을 형성함으로써, 상기 소자 분리용 트렌치 내부에는 에어 터널(114)이 형성된다.
- [0081] 도 17을 참조하면, 상기 예비 플로팅 게이트 전극(104a) 상부면에 형성된 제3 절연막(148)이 제거되도록 상기 제3 절연막(148)의 일부분을 식각함으로써 제3 절연막 패턴(148a)이 형성된다. 이 때, 상기 예비 플로팅 게이트 전극 사이의 갭 부위에 형성된 제3 절연막이 완전하게 제거되지 않도록 함으로써, 상기 소자 분리용 트렌치 내부에 에어 터널이 유지되도록 한다.
- [0082] 계속하여, 상기 예비 플로팅 게이트 전극(104a) 및 제4 예비 소자 분리막 패턴(140c) 상에 유전막(116)을 형성한다. 상기 유전막(116)은 실리콘 산화물(116a), 실리콘 질화물(116b) 및 실리콘 산화물(116c)을 순차적으로 적층시켜 형성할 수 있다. 이와는 달리, 상기 유전막(116)은 유전 상수가 10 이상인 금속 산화물을 증착시켜 형성할 수 있다.
- [0083] 상기 유전막(116) 상에 도전막(118)을 형성한다. 상기 도전막(118)은 폴리실리콘 또는 금속 물질을 포함할 수 있다.
- [0084] 도 18을 참조하면, 상기 도전막(118) 상에 제2 마스크 패턴(도시안함)을 형성한다. 상기 제2 마스크 패턴은 콘트롤 게이트 전극을 형성하기 위한 식각 마스크로 제공된다. 상기 제2 마스크 패턴은 상기 제2 방향으로 연장되는 라인 형상을 갖는다.
- [0085] 상기 제2 마스크 패턴을 식각 마스크로 사용하여 상기 도전막(118), 유전막(116), 예비 플로팅 게이트 전극(104a) 및 제4 예비 소자 분리막 패턴(140c)의 일부를 차례로 식각한다. 이로써, 터널 절연막(102a), 플로팅 게이트 전극(104b), 유전막(116) 및 콘트롤 게이트 전극(118a)을 포함하는 구조물이 형성된다. 또한, 상기 구조물 사이에는 개구부(도시안함)가 생성된다. 상기 플로팅 게이트 전극(104b)은 고립된 패턴 형상을 갖고, 상기 액티브 영역의 기판 상부면을 따라 규칙적으로 배치된다.
- [0086] 상기 식각 공정에 의해 생성된 개구부는 상기 제1 방향으로 연장된 에어 터널들(114)과 연통하게 된다. 따라서, 소자 분리막 패턴(112a)이 형성된다.
- [0087] 이 후, 도 1 및 도 2에 도시된 것과 같이, 상기 구조물들 사이의 개구부들을 채우도록 매립 층간 절연막 패턴을 형성한다. 상기 매립 층간 절연막 패턴(122)을 형성하는 공정에서, 상기 개구부와 연통하는 상기 에어 터널(114)의 일부가 채워진다. 그러므로, 상기 플로팅 게이트 사이 부위에 각각 형성되는 서로 분리된 형상의 에

어 갭(114a)들이 형성된다.

- [0088] 상기 공정들을 수행함으로써, 도 1에 도시된 것과 같이 플로팅 게이트 사이 부위에 서로 분리된 형상의 에어 갭(114a)들을 갖는 비휘발성 메모리 소자를 제조할 수 있다. 상기 방법에 의해 형성되는 비휘발성 메모리 소자의 경우, 에어 갭의 상부면이 평탄한 형상을 가질 수 있다. 또한, 상기 에어 갭의 크기 및 위치를 용이하게 조절할 수 있다.
- [0089] 실시예 2
- [0090] 도 19a는 본 발명의 실시예 2에 따른 비휘발성 메모리 소자를 나타내는 사시도이다. 도 19b는 도 19a에 도시된 비휘발성 메모리 소자를 나타내는 단면도이다.
- [0091] 도 19a에 도시된 비휘발성 메모리 소자는 제2 절연막 패턴 형상을 제외하고는 실시예 1의 비휘발성 메모리 소자와 동일하다.
- [0092] 도 19a 및 도 19b를 참조하면, 소자 분리용 트렌치(108)가 생성되어 있는 기판(100)에 터널 절연막(102a), 플로팅 게이트 전극(104b), 유전막(116) 및 콘트롤 게이트 전극(118a)이 적층된다.
- [0093] 상기 플로팅 게이트 전극(104b)이 서로 대향하는 부위의 소자 분리용 트렌치(108) 내에는 제1 에어갭(114a)을 포함하는 제1 절연막 패턴(112a)이 구비된다. 상기 제1 에어 갭(114a)의 형상은 실시예 1과 동일하다.
- [0094] 상기 콘트롤 게이트 전극(118a) 사이에는 제2 방향으로 연장되는 제2 절연막 패턴(124)이 구비된다. 상기 제2 절연막 패턴(124)의 내부에는 제2 에어갭(124a)을 포함한다. 상기 제2 에어 갭(124a)은 상기 콘트롤 게이트 전극(118a)과 서로 대향하도록 배치될 수 있다. 상기 제2 에어 갭(124a)은 제2 방향으로 연장되는 에어 터널 형상을 가질 수 있다. 이와는 달리, 상기 제2 에어 갭(124a)은 각각 분리된 형상을 가질 수도 있다.
- [0095] 도 19a에 도시된 비휘발성 메모리 소자는 실시예 1을 참조로 설명한 것과 거의 동일한 공정을 통해 형성할 수 있다.
- [0096] 즉, 도 4 내지 도 10을 참조로 설명한 공정을 수행한 후, 제2 절연막 패턴(124)을 형성하기 위한 증착 공정에서 개구부(120)와 연통하는 에어 터널 부위는 절연 물질로 채우고, 상기 콘트롤 게이트 전극(118a) 사이에는 제2 에어 갭(124a)이 생성되도록 한다. 이로써, 도 19a에 도시된 비휘발성 메모리 소자를 형성할 수 있다.
- [0097] 실시예 3
- [0098] 도 20a는 본 발명의 실시예 3에 따른 비휘발성 메모리 소자를 나타내는 사시도이다. 도 20b는 도 20a에 도시된 비휘발성 메모리 소자를 나타내는 단면도이다.
- [0099] 도 20a에 도시된 비휘발성 메모리 소자는 제1 절연막 패턴에 생성되는 에어 갭의 형상을 제외하고는 실시예 1의 비휘발성 메모리 소자와 동일하다.
- [0100] 도 20a를 참조하면, 소자 분리용 트렌치(108)가 생성되어 있는 기판에 터널 절연막(102a), 플로팅 게이트 전극(104b), 유전막(116) 및 콘트롤 게이트 전극(118a)이 적층된다.
- [0101] 상기 플로팅 게이트 전극(104b)이 서로 대향하는 부위의 소자 분리용 트렌치(108) 내에는 제1 에어 갭(126a)을 포함하는 제1 절연막 패턴(126)이 구비된다. 상기 제1 에어 갭(126a)은 상기 소자 분리용 트렌치(108)의 연장 방향인 제1 방향으로 연장되는 에어 터널의 형상을 갖는다. 상기 콘트롤 게이트 전극(118a) 사이의 개구부(128)에는 제2 방향으로 연장되는 제2 절연막 패턴(130)이 구비된다.
- [0102] 도 20a에 도시된 비휘발성 메모리 소자는 실시예 1을 참조로 설명한 것과 거의 동일한 공정을 통해 형성할 수 있다.
- [0103] 즉, 도 4 내지 도 9를 참조로 설명한 공정을 수행한 후, 상기 도전막(118), 유전막(116) 및 예비 플로팅 게이트 전극(104a)을 식각하여 플로팅 게이트 전극(104b), 유전막(116) 및 콘트롤 게이트 전극(118a)을 형성한다. 상기 식각 공정에서, 상기 콘트롤 게이트 전극(118a) 사이에 형성되는 개구부(128)의 저면이 상기 제1 절연막 패턴(126)에 형성된 에어 터널 형상의 제1 에어 갭(126a)과 연통되지 않도록 한다. 이 후, 상기 개구부(128) 내부에 제2 절연막 패턴(130)을 형성함으로써, 도 20a에 도시된 비휘발성 메모리 소자를 완성한다.

- [0104] 실시예 4
- [0105] 도 21a는 본 발명의 실시예 4에 따른 비휘발성 메모리 소자를 나타내는 사시도이다. 도 21b는 도 21a에 도시된 비휘발성 메모리 소자를 나타내는 평면도이다.
- [0106] 도 21a에 도시된 비휘발성 메모리 소자는 제2 절연막 패턴에 제2 에어 갭이 생성되는 것을 제외하고는 실시예 3의 비휘발성 메모리 소자와 동일하다.
- [0107] 도 21a 및 도 21b를 참조하면, 소자 분리용 트렌치(108)가 생성되어 있는 기관(100)에 터널 절연막(102a), 플로팅 게이트 전극(104b), 유전막 (116) 및 콘트롤 게이트 전극(118a)이 적층된다.
- [0108] 상기 플로팅 게이트 전극(104b)이 서로 대향하는 부위의 소자 분리용 트렌치(108) 내에는 제1 에어 갭(126a)을 포함하는 제1 절연막 패턴(126)이 구비된다. 상기 제1 에어 갭(126a)은 상기 소자 분리용 트렌치(108)의 연장 방향인 제1 방향으로 연장되는 에어 터널의 형상을 갖는다.
- [0109] 상기 콘트롤 게이트 전극(118a) 사이에는 상기 제1 방향과 수직한 제2 방향으로 연장되는 제2 절연막 패턴(130)이 구비된다. 상기 제2 절연막 패턴(130)에는 제1 에어 갭(126a)과 연통하는 제2 에어 갭(130a)이 포함된다. 상기 제2 에어 갭(130a)은 상기 제2 방향으로 연장되는 에어 터널의 형상을 가질 수 있다.
- [0110] 도 21a에 도시된 비휘발성 메모리 소자는 실시예 1을 참조로 설명한 것과 거의 동일한 공정을 통해 형성할 수 있다.
- [0111] 즉, 도 4 내지 도 10을 참조로 설명한 공정을 수행한다. 이 후, 상기 개구부 상부 및 측벽에만 제2 절연막 패턴(130)을 형성한다. 따라서, 상기 제2 절연막 패턴(130)의 중심 부위에는 에어 터널 형상의 제2 에어 갭(130a)을 형성한다. 이 때, 상기 제2 에어 갭(130a)은 상기 제1 절연막 패턴(126)에 형성되어 있는 에어 터널 형상의 제1 에어 갭(126a)과 연통된다.
- [0112] 실시예 5
- [0113] 도 22는 본 발명의 실시예 5에 따른 비휘발성 메모리 소자를 나타내는 단면도이다. 도 23은 도 22에 도시된 비휘발성 메모리 소자를 나타내는 사시도이다.
- [0114] 도 22 및 도 23을 참조하면, 소자 분리용 트렌치(206)가 생성되어 있는 기관(200)이 구비된다. 상기 소자 분리용 트렌치(206)는 제1 방향으로 연장되는 형상을 가지며, 반복 배치된다.
- [0115] 상기 기관(200) 상에는 터널 절연막(202a)이 구비된다. 상기 터널 절연막(202a)은 실리콘 산화물, 실리콘 산질화물과 같은 산질화물, 불순물이 도핑된 실리콘 산화물 혹은 저유전 물질 등을 사용하여 형성할 수 있다.
- [0116] 상기 터널 절연막(202a) 상에 전하 저장막 패턴(204b)이 구비된다. 상기 전하 저장막 패턴(204b)은 고립된 패턴 형상을 가지면서 규칙적으로 배치된다. 즉, 상기 전하 저장막 패턴(204b)은 제1 방향으로 연장되는 라인 형상의 액티브 영역 상에 규칙적으로 배치된다. 상기 전하 저장막 패턴(204b)은 플로팅 게이트 전극 또는 전하 트랩막 패턴일 수 있다. 상기 전하 저장막 패턴(204b)이 플로팅 게이트 전극일 경우, 폴리실리콘을 포함할 수 있다. 또한, 상기 전하 저장막 패턴(204b)이 전하 트랩막 패턴일 경우, 실리콘 질화물을 포함할 수 있다. 이하에서는, 상기 전하 저장막 패턴(204b)이 플로팅 게이트 전극인 것으로 설명한다.
- [0117] 하나의 메모리 셀 내에는 하나의 고립된 형상의 플로팅 게이트 전극(204b)이 구비된다. 그러므로, 각 플로팅 게이트 전극이 형성된 위치에서 각각의 메모리 셀이 형성된다.
- [0118] 본 실시예에서, 상기 플로팅 게이트 전극(204b)은 상기 터널 절연막(202a) 두께의 0.1 내지 10배의 두께를 갖는다. 도시된 것과 같이, 상기 플로팅 게이트 전극(204b)은 얇은 두께를 갖게된다.
- [0119] 상기 플로팅 게이트 전극(204b)의 두께가 두꺼워져 이웃하는 플로팅 게이트 전극(204b)들 간의 기생 커패시턴스가 증가하게 되면 이웃하는 셀 간의 간섭 현상이 발생된다. 상기 셀 간의 간섭 현상이 현저해지면, 이웃하는 셀에 저장되어 있는 데이터에 의해 기준 셀 트랜지스터의 문턱 전압이 변화하게 되는 등의 불량이 발생된다. 특히, 비휘발성 메모리 장치의 디자인 룰이 감소될수록 상기 플로팅 게이트 전극(204b) 간의 간격이 협소해지게 되어, 상기 간섭 현상에 의한 불량이 더욱 증가하게 된다. 그러나, 본 실시예에 따르면 상기 플로팅 게이트 전

극(204b)의 두께가 매우 얇아서 상기 간섭 현상을 충분히 감소시킬 수 있다.

- [0120] 상기 플로팅 게이트 전극(204b)은 액티브 영역의 중심으로부터 이웃하는 액티브 영역의 중심까지의 거리의 0.1 내지 1배의 너비를 가질 수 있다. 도시하지는 않았지만, 상기 플로팅 게이트 전극(204b)의 너비는 상기 액티브 영역의 상부면 너비보다 더 넓을 수도 있다. 이 경우, 비휘발성 메모리 소자의 커플링율이 높아진다.
- [0121] 상기 플로팅 게이트 전극(204b) 상부면을 덮으면서, 상기 플로팅 게이트 전극들(204b) 사이의 갭 및 상기 소자 분리용 트렌치(206) 내부에 제1 절연막 패턴(208a)이 구비된다. 상기 제1 절연막 패턴(208a)은 실리콘 산화물로 이루어진다.
- [0122] 상기 플로팅 게이트 전극(204b)의 상부면에 위치하는 제1 절연막 패턴(208a)은 계면막으로 사용된다. 그러므로, 상기 플로팅 게이트 전극(204b) 상부의 제1 절연막 패턴(208a)은 100Å 이하의 얇은 두께를 갖는다. 상기 제1 절연막 패턴(208a)은 소자 분리막 패턴으로 사용된다. 상기 제1 절연막 패턴(208a) 내에는 에어 갭(210a)이 포함되어 있다.
- [0123] 상기 에어 갭(210a)의 상부는 유전막 패턴 아래로부터 플로팅 게이트 전극(204b) 하부면과 동일 평면의 사이에 위치하는 것이 바람직하다. 또한, 상기 에어 갭의(210a) 하부는 상기 플로팅 게이트 전극(204b)의 하부면과 동일 평면으로부터 상기 소자 분리용 트렌치(206) 저면 사이에 위치하는 것이 바람직하다. 상기 에어 갭은(210a) 상기 소자 분리용 트렌치(206)를 따라 형성된 플로팅 게이트 전극(214a)들 사이에 각각 구비된다. 그러므로, 도 1 및 2에 도시된 것과 동일하게, 상기 소자 분리용 트렌치(206) 내부에는 복수개의 에어 갭(210a)이 구비된다. 상기 에어 갭(210a)의 단면은 상, 하로 긴 형상을 갖는 타원 형상 또는 상부는 평탄하고 하부는 타원 형상을 가질 수 있다.
- [0124] 설명한 것과 같이, 상기 액티브 영역 및 플로팅 게이트 전극 사이에는 에어 갭(210a)을 포함하는 제1 절연막 패턴(208a)이 구비된다. 그러므로, 상기 플로팅 게이트 전극들(204b) 간의 기생 커패시턴스 및 플로팅 게이트 전극들(204b)과 액티브 영역간의 기생 커패시턴스를 감소시킬 수 있다.
- [0125] 상기 제1 절연막 패턴(208a) 상에 고유전율을 갖는 유전막 패턴(212a)이 구비된다. 도시된 것과 같이, 상기 유전막 패턴(212a)은 상기 제1 방향과 수직인 방향으로 연장되는 라인 형상을 가질 수 있다. 이와는 다른 실시예로, 상기 유전막 패턴(212a)은 상기 절연막 패턴 상부면 전체를 덮는 형상을 가질 수도 있다.
- [0126] 상기 유전막 패턴(212a)은 유전율이 적어도 10 이상인 고유전율을 갖는 금속 산화물을 포함할 수 있다. 상기 유전막 패턴(212a)은 탄탈륨 산화물( $Ta_2O_5$ ), 티타늄 산화물( $TiO_2$ ), 하프늄 산화물( $HfO_2$ ), 지르코늄 산화물( $ZrO_2$ ), 하프늄 실리케이트( $HfSi_xO_y$ ), 지르코늄 실리케이트( $ZrSi_xO_y$ ), 질화 하프늄 실리케이트( $HfSi_xO_yN_z$ ), 질화 지르코늄 실리케이트( $ZrSi_xO_yN_z$ ), 알루미늄 산화물( $Al_2O_3$ ), 질화 알루미늄 산화물( $Al_xO_yN_z$ ), 하프늄 알루미늄이트( $HfAl_xO_y$ ), 이트륨 산화물( $Y_2O_3$ ), 니오븀 산화물( $Nb_2O_5$ ), 세슘 산화물( $CeO_2$ ), 인듐 산화물( $InO_3$ ), 란타넘 산화물( $LaO_2$ ), 스트론튬 티타늄 산화물( $SrTiO_3$ ), 납 티타늄 산화물( $PbTiO_3$ ), 스트론튬 루테튬 산화물( $SrRuO_3$ ), 칼슘 루테튬 산화물( $CaRuO_3$ )물 등으로 이루어질 수 있다. 이들은 단독 또는 혼합하여 형성할 수 있다.
- [0127] 상기 유전막 패턴(212a)이 고유전율을 갖는 금속 산화물로 형성됨으로서, 상기 유전막 패턴(212a)의 커패시턴스를 증가시킬 수 있다. 상기 유전막 패턴(212a)의 커패시턴스가 증가함에 따라, 프로그래밍 및 소거 동작 특성에 중요한 영향을 미치는 커플링 비를 더욱 향상시킬 수 있다.
- [0128] 상기 유전막 패턴(212a) 상에 콘트롤 게이트 전극(214a)이 구비된다. 상기 콘트롤 게이트 전극(214a)은 상기 제 2 방향으로 연장되는 라인 형상을 갖는다.
- [0129] 상기 콘트롤 게이트 전극(214a)은 상기 플로팅 게이트 전극(204b)의 측벽 부위와 서로 대향하지 않는다. 상기 콘트롤 게이트 전극(214a)은 4.6 내지 5.2 eV의 높은 일함수를 갖는 금속 질화막 패턴으로 이루어지는 것이 바람직하다. 상기 금속 질화막 패턴은 탄탈륨 질화물 및 티타늄 질화물을 포함한다. 이들은 단독 또는 혼합하여 사용할 수 있다.
- [0130] 상기와 같이 높은 일함수를 갖는 금속 질화막 패턴을 형성하는 경우, 콘트롤 게이트 전극(214a)과 유전막 패턴(212a)간의 에너지 장벽이 커지게 되고, 이로 인해 상기 콘트롤 게이트 전극(214a)으로부터 상기 유전막 패턴(212a)으로 전하들이 역터널링하는 것을 감소시킬 수 있다.
- [0131] 도시하지는 않았지만, 상기 금속 질화막 패턴으로 이루어지는 콘트롤 게이트 전극(214a) 상에 선택적으로 폴리

실리콘 패턴이 더 구비될 수 있다.

- [0132] 상기 유전막 패턴(212a)으로 금속 산화물을 사용하는 경우에는 페르미 레벨 피닝 현상으로 인해 폴리실리콘을 전극으로 사용하기가 어렵다. 구체적으로, 상기 금속 산화물로 이루어진 유전막 패턴(212a) 상에 폴리실리콘을 형성하는 경우 실리콘 산화막 상에 형성되는 폴리실리콘에 비해 일함수가 매우 낮아지게 될 뿐 아니라, 불순물에 의해 폴리실리콘의 일함수가 조절되지 않고 고정된 일함수 값을 가지게 되기 때문이다. 때문에, 설명한 것과 같이 상기 유전막(212a) 상에는 금속 질화물로 이루어지는 콘트롤 게이트 전극(214a)이 사용되는 것이 바람직하다.
- [0133] 상기 콘트롤 게이트 전극(214a) 사이의 개구부(216) 내부에는 제2 절연막 패턴(218)이 구비된다. 상기 제2 절연막 패턴(218)은 상기 제2 방향으로 연장된다. 상기 제2 절연막 패턴(218)에 의해 상기 제1 절연막 패턴(208a) 내에 형성된 에어 갭(210a)들이 각각 구분되는 형상을 갖게된다.
- [0134] 상기 구성을 갖는 비휘발성 메모리 장치는 이웃하는 메모리 셀들 간에 기생 커패시턴스에 의한 간섭 현상이 감소된다. 따라서, 상기 비휘발성 메모리 소자는 프로그래밍 및 소거에 관한 윈도우 마진이 증가하게 되고, 이로 인해 하나의 셀에 다수의 데이터를 쓰거나 읽는 멀티 레벨 동작(MLC)을 수행할 수 있다. 또한, 상기 비휘발성 메모리 장치는 고도로 집적화되면서도 우수한 동작 특성 및 높은 신뢰성을 가질 수 있다.
- [0135] 이하에서는, 본 발명의 실시예 5에 따른 비휘발성 메모리 장치를 제조하는 방법에 대하여 설명한다.
- [0136] 도 24 내지 도 26은 도 22에 도시된 비휘발성 메모리 장치의 제조 방법을 개략적으로 나타내는 단면도들이다. 도 27은 도 22에 도시된 비휘발성 메모리 장치의 제조 방법을 개략적으로 나타내는 사시도이다.
- [0137] 도 24를 참조하면, 단결정 실리콘으로 이루어지는 반도체 기판(200) 상에 예비 터널 절연막(202) 및 전하 저장막(204)을 순차적으로 형성한다. 상기 예비 터널 절연막(202)은 상기 반도체 기판(200)을 열산화시킴으로써 형성할 수 있다.
- [0138] 상기 전하 저장막(204)은 전하들을 보유 및 방출할 수 있도록 폴리실리콘을 증착시켜 형성한다. 이와는 달리, 상기 전하 저장막(204)은 전하들을 트랩핑할 수 있도록 실리콘 질화물을 증착하여 형성할 수도 있다. 상기 전하 저장막(204)은 상기 예비 터널 절연막(202) 두께의 0.1 내지 10배의 두께로 형성할 수 있다. 이하에서는, 상기 전하 저장막(204)을 폴리실리콘으로 형성하는 것으로 설명한다.
- [0139] 상기 전하 저장막(204) 상에 제1 마스크 패턴(205)을 형성한다. 상기 제1 마스크 패턴(205)은 소자 분리용 트렌치를 형성하기 위한 마스크이며, 상기 제1 방향으로 연장되는 라인 형상을 갖는다. 상기 제1 마스크 패턴(205)은 포토레지스트 패턴 또는 하드 마스크 패턴일 수 있다.
- [0140] 도 25를 참조하면, 상기 제1 마스크 패턴(205)을 사용하여 상기 플로팅 게이트막(204), 예비 터널 절연막(202) 및 기판(200)을 순차적으로 식각한다. 이로써, 라인 형상의 예비 플로팅 게이트 전극(204a), 터널 절연막(202a)이 형성되고, 기판(200)에는 소자 분리용 트렌치(206)가 형성된다. 상기 소자 분리용 트렌치(206)가 형성되지 않은 기판(200)의 상부 평탄면은 액티브 영역이 된다.
- [0141] 상기 소자 분리용 트렌치(206), 예비 플로팅 게이트 전극(204a) 사이의 갭 부위 및 예비 플로팅 게이트 전극(204a) 상부면을 따라 예비 제1 절연막 패턴(208)을 형성한다. 이 때, 상기 예비 제1 절연막 패턴 내부에는 에어 터널(210)이 생성되도록 한다. 상기 에어 터널(210)은 상기 소자 분리용 트렌치(206)를 따라 연장되는 형상을 갖는다.
- [0142] 상기 예비 제1 절연막 패턴(208)은 상기 예비 플로팅 게이트 전극(204a) 상부면과, 상기 예비 플로팅 게이트 전극(204a) 사이 갭의 상부를 덮으면서 상기 예비 플로팅 게이트 전극(204a) 및 트렌치(206)의 내벽을 따라 증착되도록 형성한다.
- [0143] 상기 예비 제1 절연막 패턴(208)은 플라즈마 증대 산화물(PEOX) 혹은 증은 산화물(MTO) 등과 같은 실리콘 산화물을 사용하여 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정 혹은 저압 화학 기상 증착(LP-CVD) 공정에 의해 형성될 수 있다.
- [0144] 상기 예비 제1 절연막 패턴(208) 내에 형성되는 에어 터널(210)의 상부는 유전막 패턴 아래로부터 플로팅 게이트 전극(204a) 하부면과 동일 평면의 사이에 위치하는 것이 바람직하다. 또한, 상기 에어 터널(210)의 하부는 상기 플로팅 게이트 전극(204a)의 하부면과 동일 평면으로부터 상기 소자 분리용 트렌치(206) 저면 사이에 위치

하는 것이 바람직하다.

- [0145] 이 후, 상기 예비 제1 절연막 패턴(208)의 상부면을 평탄화시키기 위한 연마 공정을 추가적으로 수행할 수 있다. 상기 연마 공정을 수행한 후 예비 제1 절연막 패턴(208)의 상부면에 에어 터널(210)이 노출되지 않도록 하여야 한다.
- [0146] 도 26을 참조하면, 상기 예비 제1 절연막 패턴(208) 상에 유전막(212)을 형성한다. 상기 유전막(212)은 유전 상수가 10 이상인 금속 산화물을 증착시켜 형성한다. 구체적으로, 상기 유전막(212)은 탄탈륨 산화물( $Ta_2O_5$ ), 티타늄 산화물( $TiO_2$ ), 하프늄 산화물( $HfO_2$ ), 지르코늄 산화물( $ZrO_2$ ), 하프늄 실리케이트( $HfSi_xO_y$ ), 지르코늄 실리케이트( $ZrSi_xO_y$ ), 질화 하프늄 실리케이트( $HfSi_xO_yN_z$ ), 질화 지르코늄 실리케이트( $ZrSi_xO_yN_z$ ), 알루미늄 산화물( $Al_2O_3$ ), 질화 알루미늄 산화물( $Al_xO_yN_z$ ), 하프늄 알루미늄에이트( $HfAl_xO_y$ ), 이트륨 산화물( $Y_2O_3$ ), 니오븀 산화물( $Nb_2O_5$ ), 세슘 산화물( $CeO_2$ ), 인듐 산화물( $InO_3$ ), 란타륨 산화물( $LaO_2$ ), 스트론튬 티타늄 산화물( $SrTiO_3$ ), 납 티타늄 산화물( $PbTiO_3$ ), 스트론튬 루테튬 산화물( $SrRuO_3$ ), 칼슘 루테튬 산화물( $CaRuO_3$ )물 등으로 이루어질 수 있다. 상기 막들은 단독 또는 혼합하여 적층될 수 있다.
- [0147] 일 예로, 상기 물질막들 중에서 유전율이 약 20 정도로 매우 높은 하프늄 산화막 또는 하프늄 알루미늄에이트( $HfAl_xO_y$ )를 사용할 수 있다.
- [0148] 상기 유전막(212) 상에 금속 질화막(214)을 형성한다. 상기 금속 질화막은 4.5eV 이상의 일함수를 가지는 물질로 형성된다. 또한, 상기 금속 질화막은 하부의 유전막의 특성이 변하지 않도록 하는 물질로 형성된다. 구체적으로, 상기 금속 질화막은 탄탈륨 질화물 또는 티타늄 질화물로 이루어질 수 있다.
- [0149] 상기와 같이 높은 일함수를 갖는 금속 질화막(214)을 사용하여 콘트롤 게이트 전극을 형성하는 경우 콘트롤 게이트 전극과 유전막간의 에너지 장벽이 커지게 되고, 이로 인해 상기 콘트롤 게이트 전극으로부터 상기 유전막(212)으로 전하들이 역터널링하는 것을 감소시킬 수 있다.
- [0150] 선택적으로, 상기 금속 질화막(214) 상에 폴리실리콘막(도시안함)을 형성할 수 있다.
- [0151] 도 27을 참조하면, 상기 금속 질화막(214) 상에 제2 마스크 패턴(도시안함)을 형성한다. 상기 제2 마스크 패턴은 상기 제1 방향과 수직인 제2 방향으로 연장되는 라인 형상을 갖는다. 상기 제2 마스크 패턴은 콘트롤 게이트 전극을 형성하기 위한 식각 마스크로 제공된다. 상기 제2 마스크 패턴은 상기 플로팅 게이트 전극과 수직 방향으로 서로 대향하도록 배치된다.
- [0152] 상기 제2 마스크 패턴을 식각 마스크로 사용하여 상기 금속 질화막(214), 유전막(212), 예비 제1 절연막 패턴(208) 및 예비 플로팅 게이트 전극(204a)을 차례로 식각한다. 이로써, 플로팅 게이트 전극(204b), 유전막 패턴(212a), 콘트롤 게이트 전극(214a)을 포함하는 구조물이 형성된다. 또한, 상기 구조물 사이에는 개구부(216)가 생성된다. 상기 구조물 사이에 생성된 개구부(216)는 하부의 에어 터널(210)과 서로 연통한다.
- [0153] 상기 플로팅 게이트 전극(204b)은 고립된 패턴 형상을 갖고, 상기 액티브 영역의 기관(200) 상부면을 따라 규칙적으로 배치된다.
- [0154] 이 후, 도 23에 도시된 것과 같이, 상기 구조물들 사이에 생성된 개구부(216)들을 채우도록 제2 절연막 패턴(218)을 형성한다. 상기 제2 절연막 패턴(218)을 형성할 때 상기 개구부(216) 하부에 연통된 에어 터널(210)에도 절연물질이 채워지도록 한다. 이로써, 상기 소자 분리용 트렌치(206) 내에서 상기 플로팅 게이트 전극과 대향하는 부위에는 각각 제1 에어 갭(210a)들이 생성된다. 또한, 상기 제1 에어 갭(210a)들을 포함하는 제1 절연막 패턴(208a)이 형성된다.
- [0155] 실시예 6
- [0156] 도 28은 본 발명의 실시예 6에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- [0157] 도 28에 도시된 비휘발성 메모리 소자는 제2 절연막 패턴 형상을 제외하고는 실시예 5의 비휘발성 메모리 소자와 동일하다.
- [0158] 도 28을 참조하면, 소자 분리용 트렌치(206)가 생성되어 있는 기관(200)에 터널 절연막(202a), 플로팅 게이트 전극(204b), 유전막 패턴(212a) 및 콘트롤 게이트 전극(214a)이 적층된다.

- [0159] 상기 플로팅 게이트 전극(204b)이 서로 대향하는 부위의 소자 분리용 트렌치(206) 내에는 제1 에어 갭(210a)을 포함하는 제1 절연막 패턴(208a)이 구비된다. 상기 제1 에어 갭(210a)의 형상은 실시예 5의 에어 갭과 동일하다.
- [0160] 상기 콘트롤 게이트 전극(214a) 사이에는 제2 방향으로 연장되는 제2 절연막 패턴(222)이 구비된다. 상기 제2 절연막 패턴(222)은 상기 콘트롤 게이트 전극(214a)이 대향하고 있는 부위에 형성되며 내부에 제2 에어 갭(224)을 갖는다. 상기 제2 에어 갭(224)은 갭 형상 또는 에어 터널 형상을 가질 수 있다.
- [0161] 도 28에 도시된 비휘발성 메모리 소자는 실시예 5를 참조로 설명한 것과 거의 동일한 공정을 통해 형성할 수 있다.
- [0162] 즉, 도 24 내지 도 27을 참조로 설명한 공정을 수행한 후, 제2 절연막 패턴(222)을 형성하는 공정에서 상기 개구부(216)와 연통하는 에어 터널 부위는 절연 물질로 채우면서 상기 콘트롤 게이트 전극(214a) 사이에 제2 에어 갭(224)이 생성되도록 한다. 따라서, 제1 에어 갭(210a)을 포함하는 제1 절연막 패턴(208a)이 형성된다.
- [0163] 실시예 7
- [0164] 도 29는 본 발명의 실시예 7에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- [0165] 도 29에 도시된 비휘발성 메모리 소자는 제1 절연막 패턴에 생성되는 에어 갭의 형상을 제외하고는 실시예 5의 비휘발성 메모리 소자와 동일하다.
- [0166] 도 29를 참조하면, 소자 분리용 트렌치(206)가 생성되어 있는 기판(200)에 터널 절연막(202a), 플로팅 게이트 전극(204b), 유전막 패턴(212a) 및 콘트롤 게이트 전극(214a)이 적층된다.
- [0167] 상기 소자 분리용 트렌치(206) 내에는 제1 에어 갭(220a)을 포함하는 제1 절연막 패턴(220)이 구비된다. 상기 제1 에어 갭(220a)은 상기 소자 분리용 트렌치(206)의 연장 방향으로 연장되는 에어 터널의 형상을 갖는다.
- [0168] 도 29에 도시된 비휘발성 메모리 소자는 실시예 5를 참조로 설명한 것과 거의 동일한 공정을 통해 형성할 수 있다.
- [0169] 즉, 도 24 내지 도 26을 참조로 설명한 공정을 수행한 후, 하부막을 식각하여 플로팅 게이트 전극(204b), 유전막 패턴(212a) 및 콘트롤 게이트 전극(214a)을 형성한다. 상기 식각 공정에서, 상기 콘트롤 게이트 전극(214a) 사이에 형성되는 개구부(216a)의 저면이 상기 제1 절연막 패턴(220)에 포함된 에어 터널 형상의 제1 에어 갭(220a)과 연통되지 않도록 한다. 이 후, 상기 개구부(216a) 내부에 제2 절연막 패턴(218)을 형성한다. 이로써, 도 29에 도시된 비휘발성 메모리 소자를 완성한다.
- [0170] 실시예 8
- [0171] 도 30은 본 발명의 실시예 8에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- [0172] 도 30에 도시된 비휘발성 메모리 소자는 제2 절연막 패턴에 에어 갭이 생성되는 것을 제외하고는 실시예 7의 비휘발성 메모리 소자와 동일하다.
- [0173] 도 30을 참조하면, 소자 분리용 트렌치(206)가 생성되어 있는 기판(200)에 터널 절연막(202a), 플로팅 게이트 전극(204b), 유전막 패턴(212a) 및 콘트롤 게이트 전극(214a)이 적층된다.
- [0174] 상기 플로팅 게이트 전극(204b)이 서로 대향하는 부위의 소자 분리용 트렌치(206) 내에는 제1 에어 갭(220a)을 포함하는 제1 절연막 패턴(220)이 구비된다. 상기 제1 에어 갭(220a)은 상기 소자 분리용 트렌치(206)의 연장 방향으로 연장되는 에어 터널의 형상을 갖는다.
- [0175] 상기 콘트롤 게이트 전극(214a) 사이에는 제2 방향으로 연장되는 제2 절연막 패턴(226)이 구비된다. 상기 제2 절연막 패턴(226)에는 제1 에어 갭과 연통하는 제2 에어 갭(228)이 포함된다. 상기 제2 에어 갭(228)은 상기 제2 방향으로 연장되는 에어 터널의 형상을 가질 수 있다.
- [0176] 도 30에 도시된 비휘발성 메모리 소자는 실시예 5를 참조로 설명한 것과 거의 동일한 공정을 통해 형성할 수 있다.

- [0177] 즉, 도 24 내지 도 27을 참조로 설명한 공정을 수행한 후, 하부막을 식각하여 플로팅 게이트 전극(204b), 유전막 패턴(212a) 및 콘트롤 게이트 전극(214a)을 형성한다. 이 후, 상기 식각 공정에 의해 생성된 개구부 상부에만 제2 절연막 패턴(226)을 형성한다. 따라서, 상기 제2 절연막 패턴(226)의 중심 부위에는 에어 터널 형상의 제2 에어 갭(228)을 형성한다. 이 때, 상기 제2 에어 갭(228)은 상기 제1 절연막 패턴(220)의 에어 터널과 연통된다.
- [0178] 실시예 9
- [0179] 도 31은 본 발명의 실시예 9에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- [0180] 도 31에 도시된 비휘발성 메모리 소자는 상기 플로팅 게이트 전극 상에 형성되는 유전막 패턴이 고립된 형상을 갖는 것을 제외하고는 실시예 5의 비휘발성 메모리 소자와 동일하다.
- [0181] 도 31을 참조하면, 소자 분리용 트렌치(206)가 생성되어 있는 기판에 터널 절연막(202a), 플로팅 게이트 전극(204b), 유전막 패턴(230) 및 콘트롤 게이트 전극(232)이 적층된다. 상기 유전막 패턴(230)은 상기 플로팅 게이트 전극(204b) 상에서 고립된 형상을 갖는다.
- [0182] 상기 플로팅 게이트 전극(204b)이 서로 대향하는 부위의 소자 분리용 트렌치(206) 내에는 제1 에어 갭(210a)을 포함하는 제1 절연막 패턴(208a)이 구비된다. 상기 제1 에어 갭(210a)의 형상은 실시예 5의 에어 갭과 동일하다.
- [0183] 도 31에 도시된 비휘발성 메모리 소자는 실시예 5를 참조로 설명한 것과 거의 동일한 공정을 통해 형성할 수 있다.
- [0184] 먼저, 단결정 실리콘으로 이루어지는 반도체 기판 상에 터널 산화막, 플로팅 게이트막 및 유전막을 순차적으로 형성한다. 상기 유전막 상에 제1 마스크 패턴을 형성한다. 상기 제1 마스크 패턴은 소자 분리용 트렌치를 형성하기 위한 마스크이며, 상기 제1 방향으로 연장되는 라인 형상을 갖는다. 상기 마스크 패턴은 포토레지스트 패턴 또는 하드 마스크 패턴일 수 있다. 설명한 것과 같이, 소자 분리용 트렌치를 형성하기 이전에 유전막을 미리 형성한다.
- [0185] 이 후, 도 25를 참조로 설명한 것과 같이, 트렌치를 형성한 후 제1 예비 절연막 패턴을 형성한다. 계속하여, 상기 제1 예비 절연막 패턴 및 유전막 상에 콘트롤 게이트 전극막을 형성하고 이를 패터닝함으로써, 콘트롤 게이트 전극, 유전막 패턴 및 플로팅 게이트 전극을 형성한다. 또한, 상기 패터닝 공정을 통해 생성되는 개구부 내부에 제2 절연막 패턴을 형성한다. 이로써, 도 31에 도시된 비휘발성 메모리 소자를 완성한다.
- [0186] 실시예 10
- [0187] 도 32는 본 발명의 실시예 10에 따른 비휘발성 메모리 소자를 나타내는 사시도이다.
- [0188] 도 32를 참조하면, 소자 분리용 트렌치(306)가 생성되어 있는 기판에 터널 절연막(302a)이 마련된다. 상기 소자 분리용 트렌치(306)는 제1 방향으로 연장되는 형상을 갖는다.
- [0189] 상기 소자 분리용 트렌치(306)의 내부에는 제1 에어 갭(320a)이 생성된 제1 절연막 패턴(320)이 구비된다. 상기 제1 절연막 패턴(320)은 소자 분리막 패턴으로 제공된다. 상기 제1 에어 갭(320a)은 상기 제1 방향으로 연장되는 에어 터널의 형상을 가질 수 있다.
- [0190] 상기 제1 절연막 패턴(320) 및 터널 절연막(302a) 상에 전하 트랩막(304), 유전막(312) 및 콘트롤 게이트 전극(314a)이 적층된다. 상기 전하 트랩막(304) 및 유전막(312)은 액티브 영역 및 소자 분리 영역을 포함하는 기판 전면 상에 형성될 수 있다.
- [0191] 상기 전하 트랩막(304)은 실리콘 질화물을 포함할 수 있다. 상기 유전막(312)은 고유전율을 갖는 금속 산화물을 포함할 수 있다. 상기 콘트롤 게이트 전극(314a)은 상기 소자 분리용 트렌치의 연장방향과 수직인 방향으로 연장되는 라인 형상을 갖는다.
- [0192] 이하에서는 본 발명에 따른 반도체 소자와 일반적인 구조의 반도체 소자의 특성을 비교한 실험 결과들



212a : 유전막 패턴

214a : 콘트롤 게이트 전극

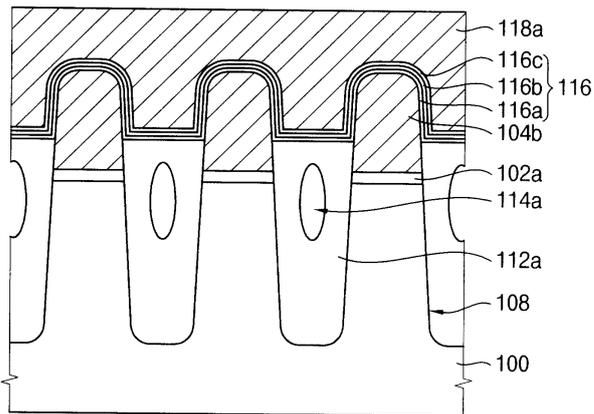
216, 216a : 개구부

218, 222, 226 : 제2 절연막 패턴

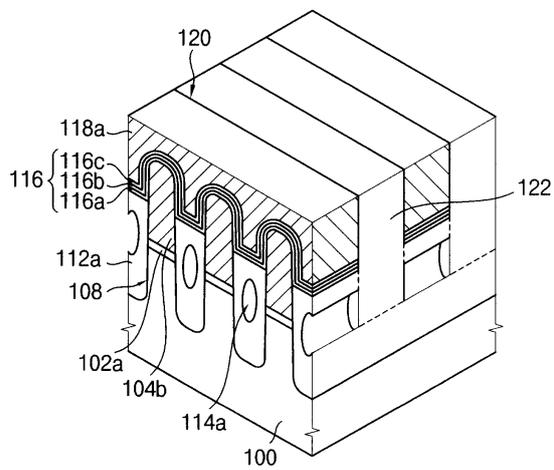
224, 228 : 제2 에어 갭

도면

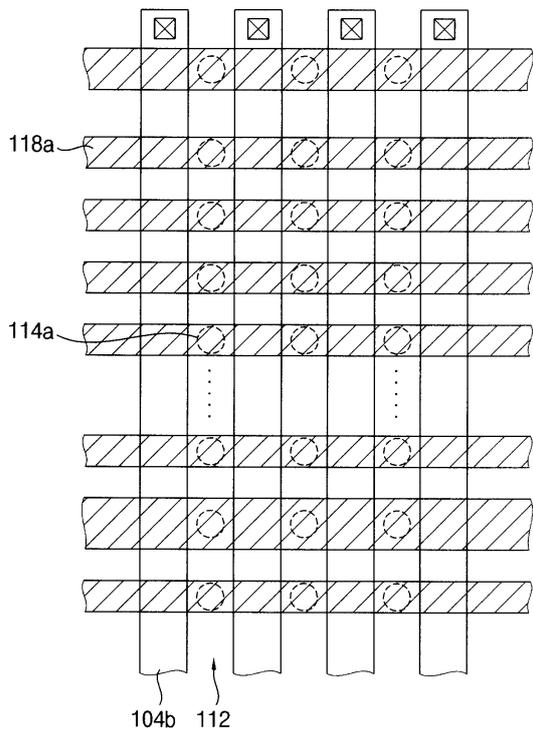
도면1



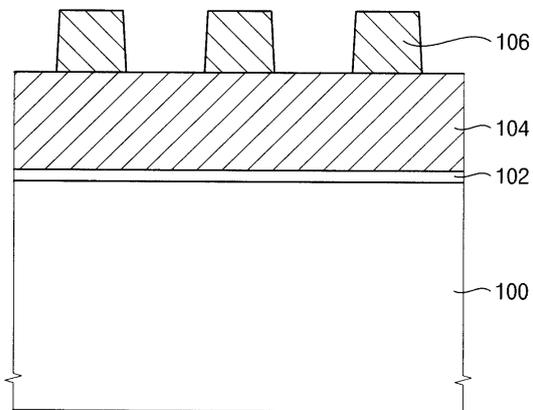
도면2



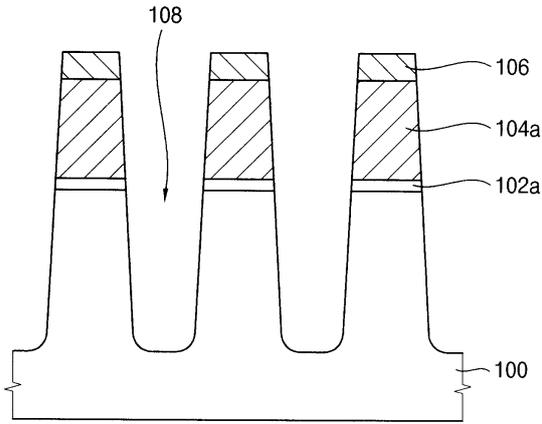
도면3



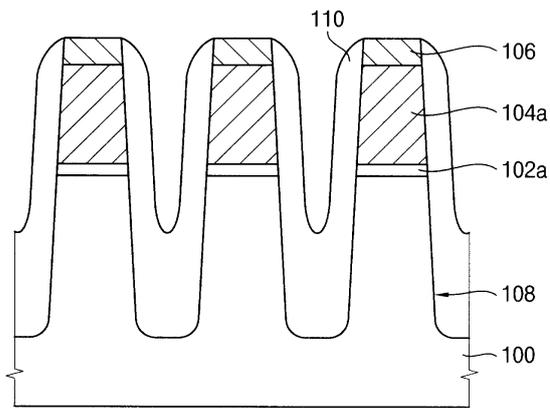
도면4



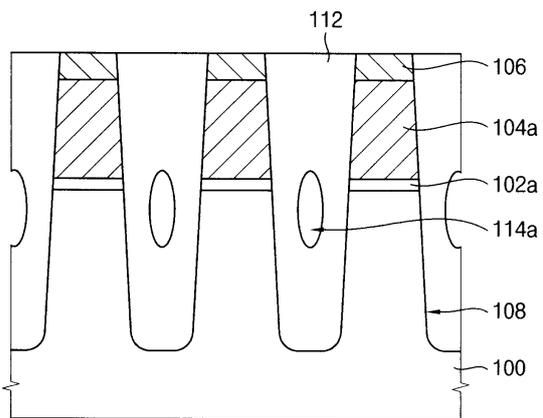
도면5



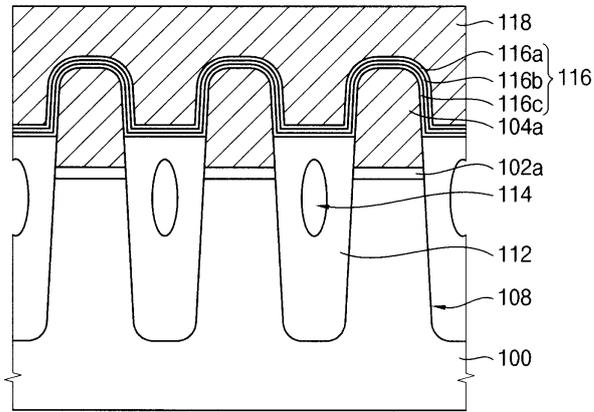
도면6



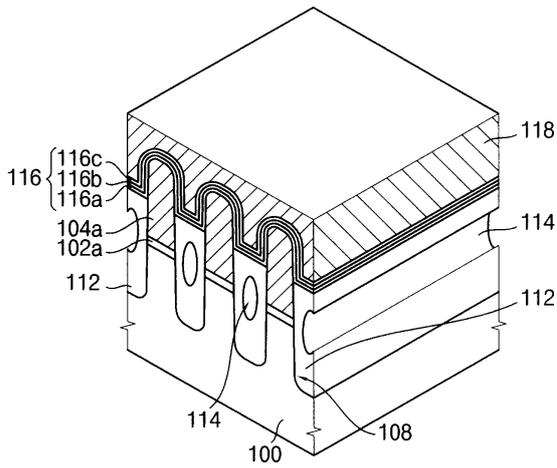
도면7



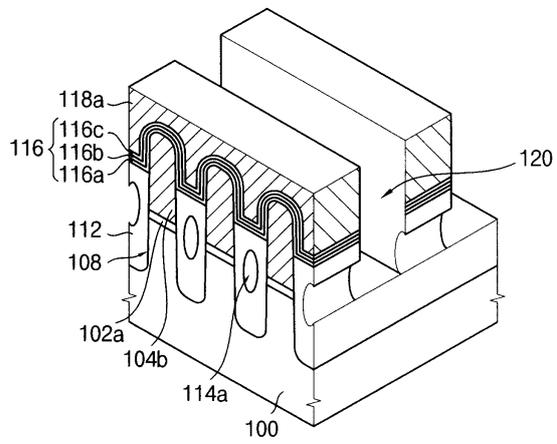
도면8



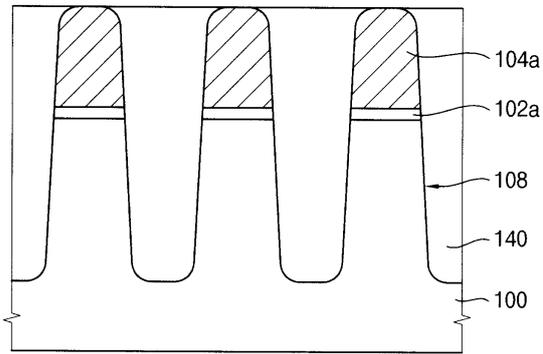
도면9



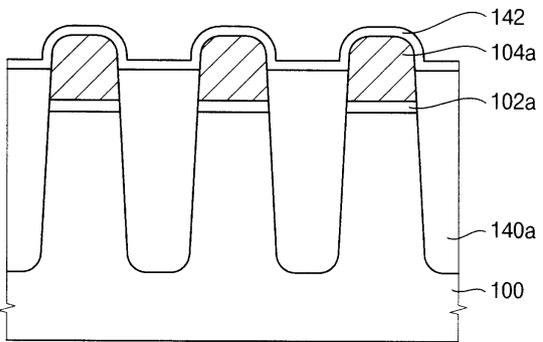
도면10



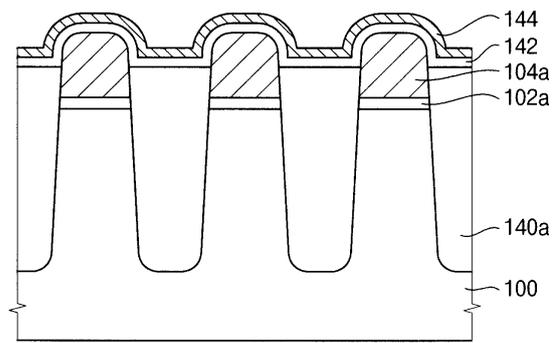
도면11



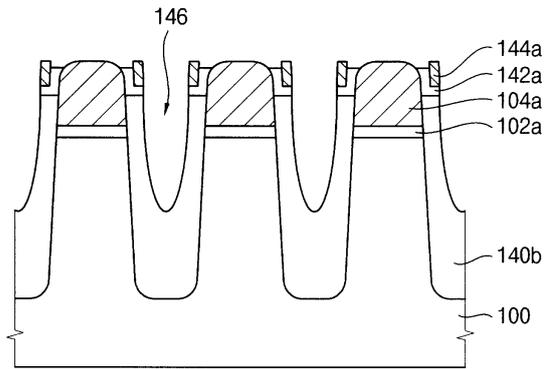
도면12



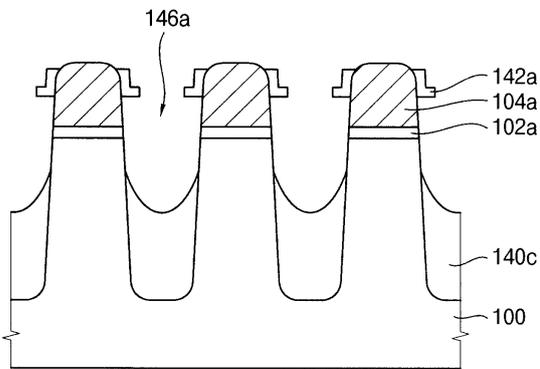
도면13



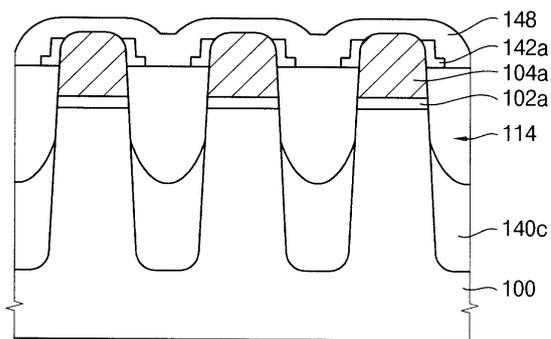
도면14



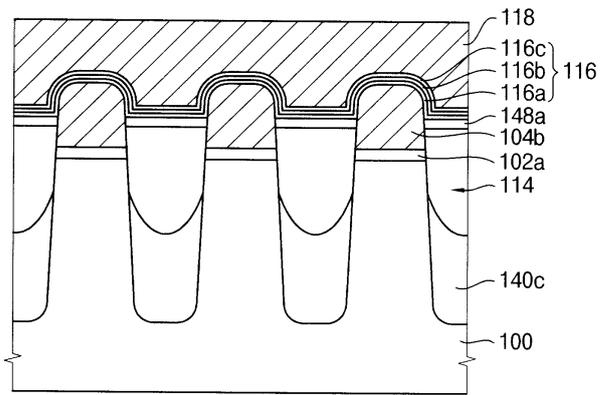
도면15



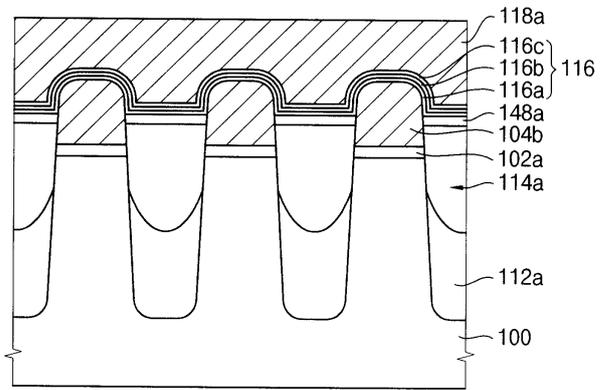
도면16



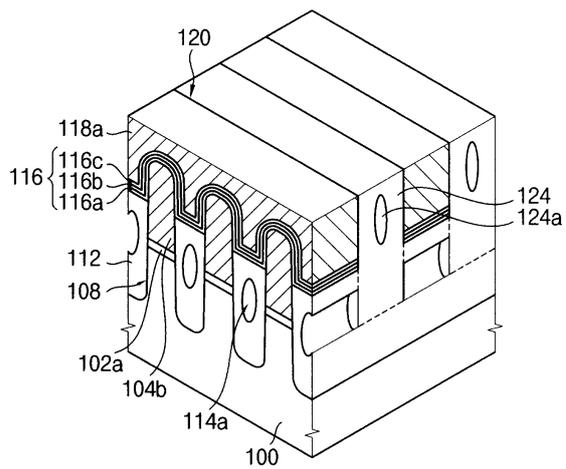
도면17



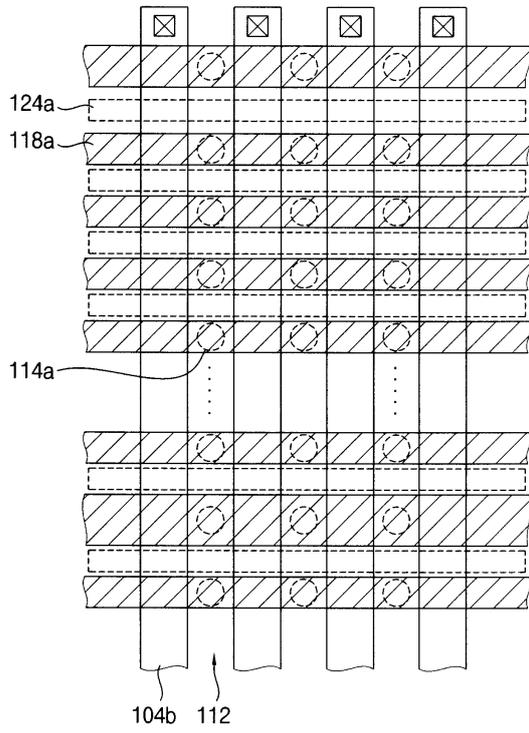
도면18



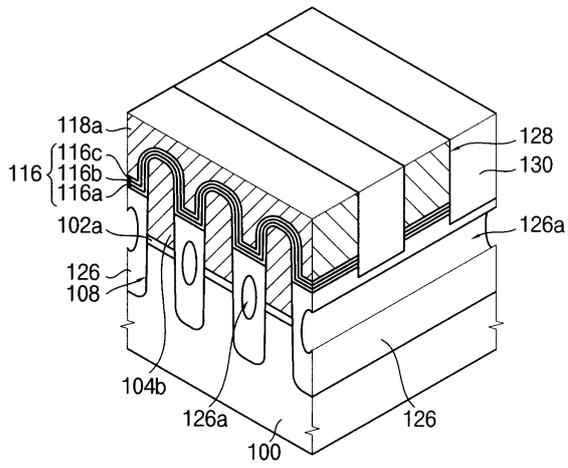
도면19a



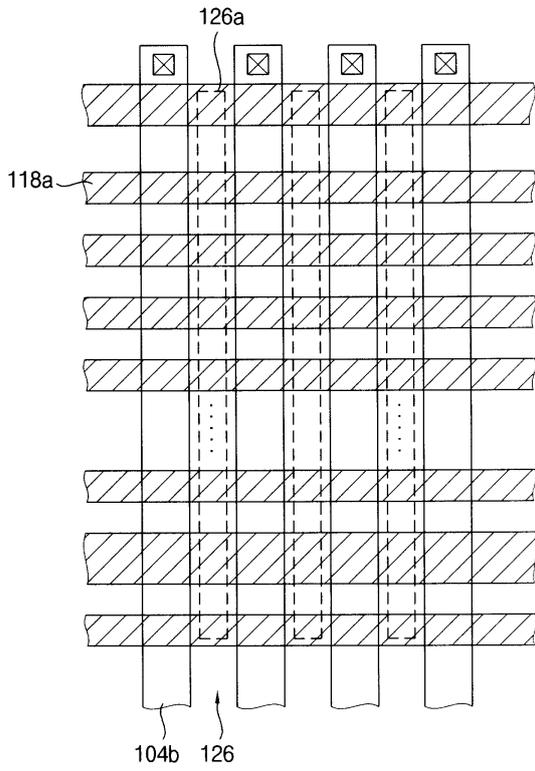
도면19b



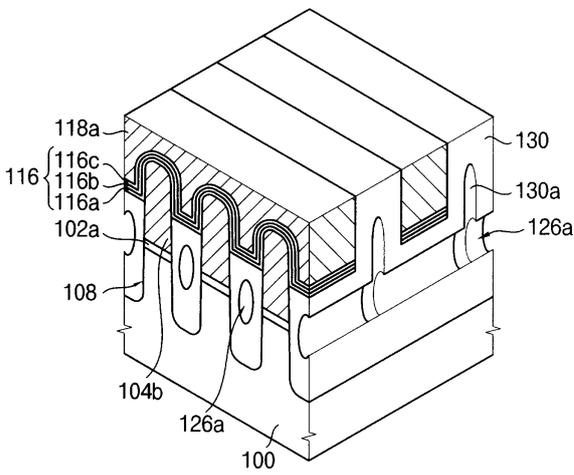
도면20a



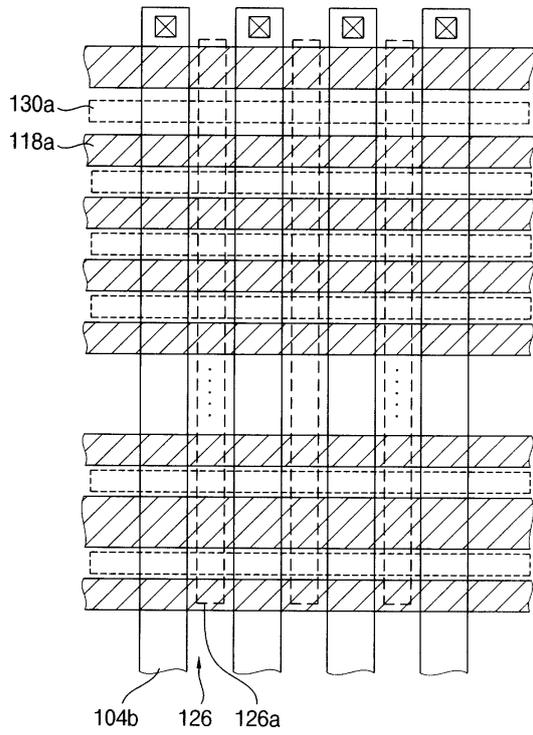
도면20b



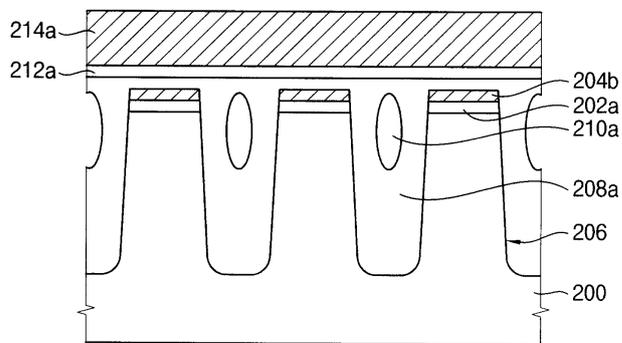
도면21a



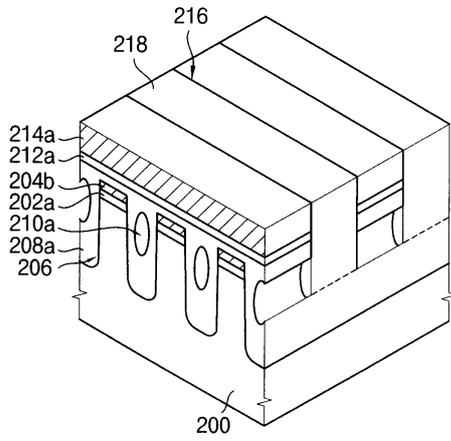
도면21b



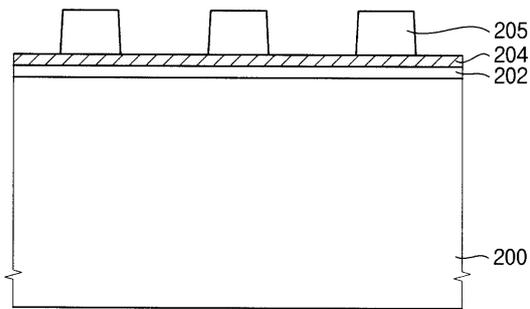
도면22



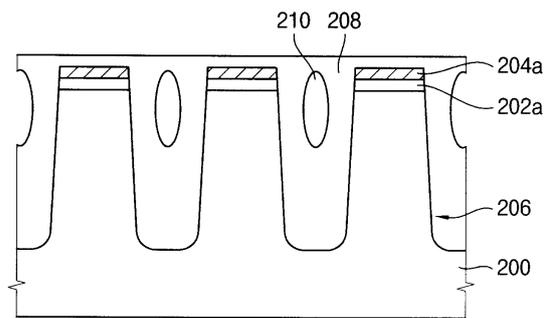
도면23



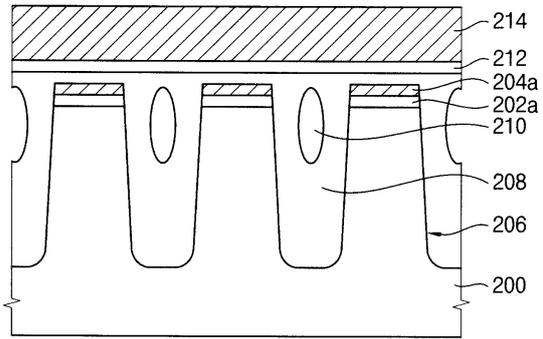
도면24



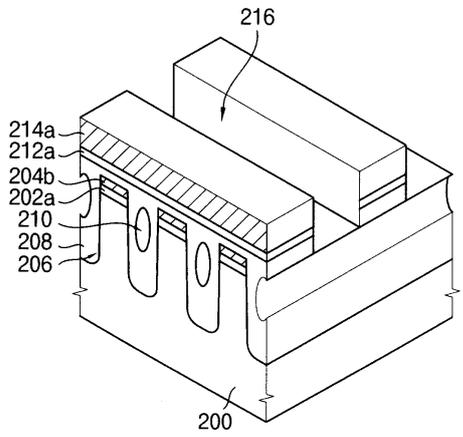
도면25



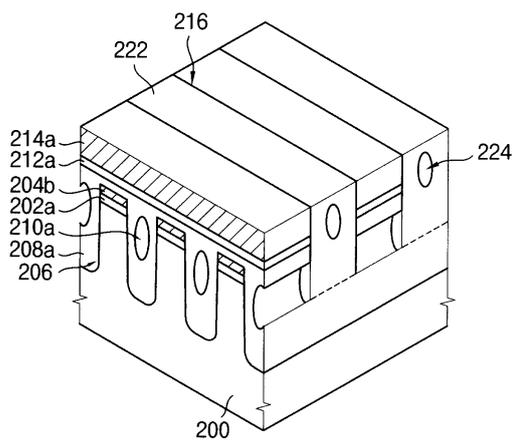
도면26



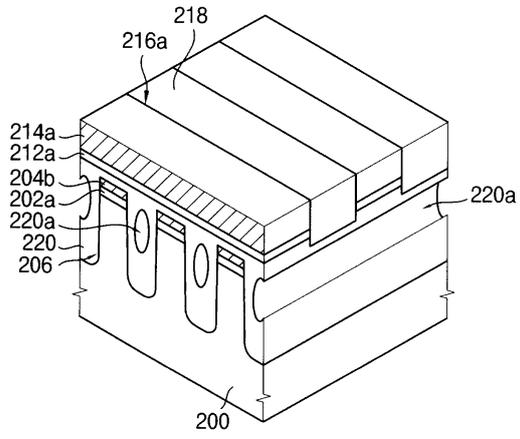
도면27



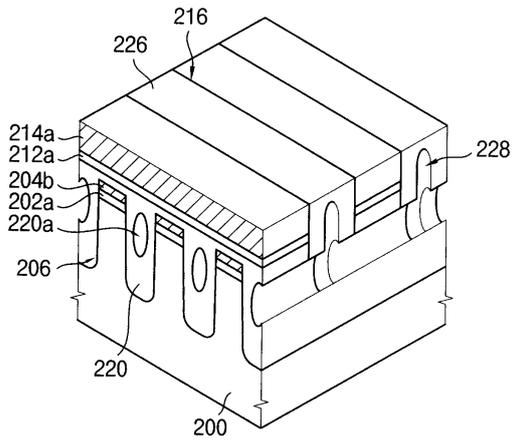
도면28



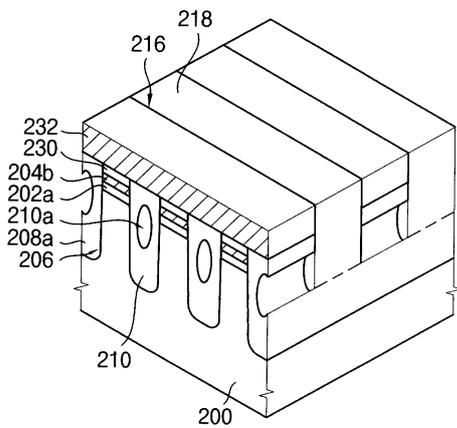
도면29



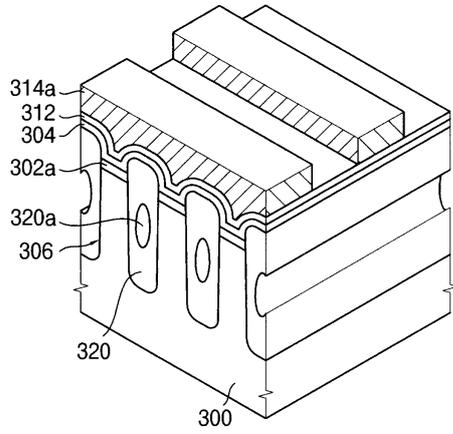
도면30



도면31



도면32



도면33

