

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-19497

(P2006-19497A)

(43) 公開日 平成18年1月19日(2006.1.19)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 21/60 (2006.01) HO 1 L 21/92 GO 2 J
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 SO 1 C

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号	特願2004-195608 (P2004-195608)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成16年7月1日(2004.7.1)	(74) 代理人	100090479 弁理士 井上 一
		(74) 代理人	100090387 弁理士 布施 行夫
		(74) 代理人	100090398 弁理士 大淵 美千栄
		(72) 発明者	小口 勝彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

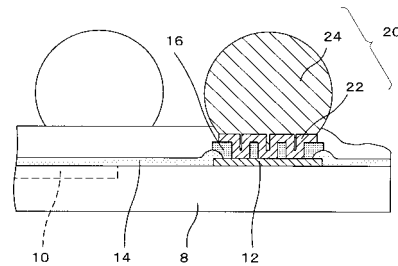
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 信頼性の高い半導体装置及びその製造方法を提供することにある。

【解決手段】 集積回路10と電極12とを有する半導体基板8と、半導体基板8の電極12が形成された面に、電極12の一部を覆うとともに他の部分を露出させるように形成されてなるパッシベーション膜14と、電極12とオーバーラップし、かつ、電極12のパッシベーション膜14からの露出部の少なくとも一部を避けるように形成されてなる樹脂層16と、電極12のパッシベーション膜14及び樹脂層16からの露出部と接触し、かつ、樹脂層16に載るように形成されてなる外部端子20と、を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

集積回路と電極とを有する半導体基板と、
前記半導体基板の前記電極が形成された面に、前記電極の一部を覆うとともに他の部分を露出させるように形成されてなるパッシベーション膜と、
前記電極とオーバーラップし、かつ、前記電極の前記パッシベーション膜からの露出部の少なくとも一部を避けるように形成されてなる樹脂層と、
前記電極の前記パッシベーション膜及び前記樹脂層からの露出部と接触し、かつ、前記樹脂層に載るように形成されてなる外部端子と、
を有する半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、
前記樹脂層は、前記電極に接触する部分と、前記パッシベーション膜に接触する部分と、を含む半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、
前記樹脂層は、前記パッシベーション膜に接触しないように形成されてなる半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、
前記樹脂層は、前記電極に接触しないように形成されてなる半導体装置。

20

【請求項 5】

請求項 1 から請求項 4 のいずれかに記載の半導体装置において、
前記パッシベーション膜は、前記電極の周縁部を覆う部分と、前記電極の中央部の一部を覆う部分と、を含む半導体装置。

【請求項 6】

請求項 1 から請求項 5 のいずれかに記載の半導体装置において、
前記外部端子は、前記電極の一部、前記パッシベーション膜の一部及び前記樹脂層の少なくとも一部に接触する導電層と、前記導電層とは異なる材料で前記導電層上に形成されてなる導電部と、を含む半導体装置。

30

【請求項 7】

集積回路と電極とを有する半導体基板の前記電極が形成された面に、前記電極の一部を覆うとともに他の部分を露出させるようにパッシベーション膜を形成すること、
前記電極とオーバーラップし、かつ、前記電極の前記パッシベーション膜からの露出部の少なくとも一部を避けるように樹脂層を形成すること、
前記電極の一部、前記パッシベーション膜の一部及び前記樹脂層の少なくとも一部に接触するように導電層を形成すること、及び、
前記導電層とは異なる材料で前記導電層上に導電部を形成すること、
を含む半導体装置の製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体装置のパッケージとして、CSP（チップスケール／サイズパッケージ）の普及率が高まってきている。また、パッケージをウエハレベルで製造する技術（ウエハレベルパッケージ）が開発されている。例えば、特許文献 1 は、電極から、追加して設けた応力緩和層の上に再配置配線を引き出して、再配置配線の上に外部端子（ハンダボール等）を形成している。

50

【特許文献1】特開2003-282790号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

この方法で製造されたパッケージ（例えばウエハレベルCSP）は、外部寸法が半導体チップ寸法になっているため、従来のパッケージとは構造が異なっているが、従来のパッケージと同等又はそれ以上の信頼性が要求されている。

【0004】

本発明の目的は、信頼性の高い半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0005】

(1) 本発明に係る半導体装置は、集積回路と電極とを有する半導体基板と、前記半導体基板の前記電極が形成された面に、前記電極の一部を覆うとともに他の部分を露出させるように形成されてなるパッシベーション膜と、前記電極とオーバーラップし、かつ、前記電極の前記パッシベーション膜からの露出部の少なくとも一部を避けるように形成されてなる樹脂層と、前記電極の前記パッシベーション膜及び前記樹脂層からの露出部と接触し、かつ、前記樹脂層に載るように形成されてなる外部端子と、を有する。本発明によれば、電極上に、外部端子に生じる応力を分散させる樹脂層があるので、電極上に外部端子を形成することが可能となり、電極数と同等数の外部端子を形成することができる。また、再配置配線を引き回す必要がなくなり、構造的にシンプルになる半導体装置を提供することができる。

(2) この半導体装置において、前記樹脂層は、前記電極に接触する部分と、前記パッシベーション膜に接触する部分と、を含んでもよい。

(3) この半導体装置において、前記樹脂層は、前記パッシベーション膜に接触しないように形成されてもよい。

(4) この半導体装置において、前記樹脂層は、前記電極に接触しないように形成されてもよい。

(5) この半導体装置において、前記パッシベーション膜は、前記電極の周縁部を覆う部分と、前記電極の中央部の一部を覆う部分と、を含んでもよい。

(6) この半導体装置において、前記外部端子は、前記電極の一部、前記パッシベーション膜の一部及び前記樹脂層の少なくとも一部に接触する導電層と、前記導電層とは異なる材料で前記導電層上に形成されてなる導電部と、を含んでもよい。

(7) この半導体装置の製造方法において、集積回路と電極とを有する半導体基板の前記電極が形成された面に、前記電極の一部を覆うとともに他の部分を露出させるようにパッシベーション膜を形成すること、前記電極とオーバーラップし、かつ、前記電極の前記パッシベーション膜からの露出部の少なくとも一部を避けるように樹脂層を形成すること、前記電極の一部、前記パッシベーション膜の一部及び前記樹脂層の少なくとも一部に接触するように導電層を形成すること、及び、前記導電層とは異なる材料で前記導電層上に導電部を形成すること、を含む。本発明によれば、電極上に、外部端子に生じる応力を分散させる樹脂層を設けるので、電極上に外部端子を形成することが可能となり、電極数と同等数の外部端子を形成することができる。また、再配置配線を引き回す必要がなくなり、構造的にシンプルになる半導体装置の製造方法を提供することができる。

【発明を実施するための最良の形態】

【0006】

10

20

30

40

50

以下、本発明の実施の形態について図面を参照して説明する。

【0007】

図1は、本発明の実施の形態に係る半導体装置の断面図である。図2は、図1に示す半導体装置の一部（導電層22及び導電部24）を除外した平面図である。

【0008】

本実施の形態に係る半導体装置は、半導体基板8を有する。半導体基板8は、半導体チップであってもよいし、半導体ウエハであってもよい。半導体基板8には、1つ又は複数の集積回路10が形成されている。半導体チップには、1つの集積回路10が形成され、半導体ウエハには、複数の集積回路10が形成されている。半導体基板8には、複数の電極（例えばパッド）12が形成されている。電極12は、例えばA1で形成されている。電極12の平面形状は矩形であり、正方形であっても長方形であってもよい。半導体基板8の表面（電極12が形成された面）には、電極12の一部を覆うとともに他の部分を露出させるようにパッシベーション膜14が形成されている。パッシベーション膜14は、電極12の周縁部を覆う部分と、電極12の中央部の一部を覆う部分と、を含んでもよい。パッシベーション膜14は、電極12の中央部を避けて周縁部を覆う部分のみからなってもよい。パッシベーション膜14は、SiN、SiO₂、MgOなどから形成されている。

10

【0009】

本実施の形態に係る半導体装置は、樹脂層16を有する。樹脂層16は、電極12とオーバーラップし、かつ、電極12のパッシベーション膜14からの露出部の少なくとも一部を避けるように形成されている。樹脂層16は、電極12に接触する部分と、パッシベーション膜14に接触する部分と、を含んでもよい。樹脂層16は、感光性レジストにより形成してもよい。樹脂層16は、ポリイミド樹脂、シリコン変性ポリイミド樹脂、エポキシ樹脂、シリコン変性エポキシ樹脂、ベンゾシクロブテン（BCB；benzocyclobutene）、ポリベンゾオキサゾール（PBO；polybenzoxazole）等の樹脂で形成することができる。

20

【0010】

本実施の形態に係る半導体装置は、複数の外部端子20を有する。外部端子20は、電極12のパッシベーション膜14及び樹脂層16からの露出部と接触し、かつ、樹脂層16に載るように形成されている。こうすることで、外部端子20に生じる応力が樹脂層16により分散されるので、電極12上に外部端子20を形成することが可能となり、電極12数と同等数の外部端子20を形成することができる。外部端子20は、電極12の一部、パッシベーション膜14の一部及び樹脂層16の少なくとも一部に接触する導電層22と、導電層22とは異なる材料で導電層22上に形成されてなる導電部24と、を含んでもよい。導電部24は、導電性を有する金属（例えば合金）であって、溶融させて電気的な接続を図るためのもの（例えばハンダ）である。導電部24は、軟ろう（soft solder）又は硬ろう（hard solder）のいずれで形成されてもよい。導電部24は、球状をなしていてもよく、例えばハンダボールであってもよい。

30

【0011】

本実施の形態に係る半導体装置は、上述のように構成されており、以下その製造方法を説明する。本実施の形態では、集積回路10と電極12とを有する半導体基板8の電極12が形成された面に、電極12の一部を覆うとともに他の部分を露出させるようにパッシベーション膜14を形成する。

40

【0012】

樹脂層16を電極12とオーバーラップし、かつ、電極12のパッシベーション膜14からの露出部の少なくとも一部を避けるように形成する。樹脂層16の形成プロセスは、半導体基板8に樹脂前駆体（例えば、熱硬化性樹脂前駆体）を塗布すること、あるいは、半導体基板8上で樹脂前駆体をスピンコートによって広げて、樹脂前駆体層を形成することを含んでもよい。放射線（光線（紫外線、可視光線）、X線、電子線）に感応する性質を有する放射線感応性樹脂前駆体を使用して、連続的又は一体的な樹脂前駆体層を形成し

50

、これを樹脂層 16 にパターンングしてもよい。パターンングにはリソグラフィを適用する。あるいは、印刷（例えば、スクリーン印刷）によって、樹脂層 16 を形成してもよい。樹脂層 16 は、複数層になるように形成してもよいし、1層になるように形成してもよい。樹脂層 16 は、電極 12 に接触する部分と、パッシベーション膜 14 に接触する部分と、を含んでもよい。樹脂層 16 は、感光性レジストにより形成してもよい。

【0013】

外部端子 20 を電極 12 のパッシベーション膜 14 及び樹脂層 16 からの露出部と接触し、かつ、樹脂層 16 に載るように形成する。こうすることで、外部端子 20 に生じる応力が樹脂層 16 により分散されるので、電極 12 上に外部端子 20 を形成することが可能となり、電極 12 数と同等数の外部端子 20 を形成することができる。外部端子 20 は、電極 12 の一部、パッシベーション膜 14 の一部及び樹脂層 16 の少なくとも一部に接触する導電層 22 と、導電層 22 とは異なる材料で導電層 22 上に形成されてなる導電部 24 と、を含んでもよい。導電部 24 は、導電性を有する金属（例えば合金）であって、溶融させて電氣的な接続を図るためのもの（例えばハンダ）である。導電部 24 は、軟ろう（soft solder）又は硬ろう（hard solder）のいずれで形成されてもよい。導電部 24 は、球状をなしていてもよく、例えばハンダボールであってもよい。

10

【0014】

また、集積回路 10 とオーバーラップする位置にも樹脂層 16 を形成してもよい。このとき、集積回路 10 とオーバーラップし、かつ集積回路 10 とオーバーラップする位置の樹脂層 16 上に形成された外部端子、及び該外部端子と電極（例えばパッド）を電氣的に接続する配線を更に有してもよい。

20

【0015】

半導体基板 8 が半導体ウエハである場合、半導体基板 8 を、集積回路 10 ごとに、図示しない、例えばブレードによって切断する。半導体基板 8 を切断して複数の半導体装置が得られる。これによれば、ウエハ単位でパッケージングがなされる。

【0016】

（変形例）

図 3、図 5 は、本発明の実施の形態の変形例に係る半導体装置の断面図である。図 4 は、図 3 に示す半導体装置の一部（導電層 32 及び導電部 34）を除外した平面図である。図 6 は、図 5 に示す半導体装置の一部（導電層 42、導電部 44 及びソルダーレジスト 46）を除外した平面図である。図 7 は、本発明の実施の形態の変形例に係る半導体装置の一部を除外した平面図である。

30

【0017】

図 3、図 4 に示す例では、半導体装置 2 の樹脂層 26 は、パッシベーション膜 14 に接触しないように形成されてもよい。その他の構成については、上記実施の形態で説明した内容を適用することができる。図 3、図 4 に示す半導体装置の製造方法には、上記実施の形態で説明した事項を適用することができる。ただし、外部端子 30 は、電極 12 の一部、パッシベーション膜 14 の一部及び樹脂層 26 の少なくとも一部に接触する導電層 32 と、導電層 32 とは異なる材料で導電層 32 上に形成されてなる導電部 34 と、を含んでもよい。

40

【0018】

図 5、図 6 に示す例では、半導体装置 4 の樹脂層 36 は、電極 12 に接触しないように形成されてもよい。その他の構成については、上記実施の形態で説明した内容を適用することができる。図 5、図 6 に示す半導体装置の製造方法には、上記実施の形態で説明した事項を適用することができる。ただし、外部端子 40 は、電極 12 の一部、パッシベーション膜 14 の一部及び樹脂層 36 の少なくとも一部に接触する導電層 42 と、導電層 42 とは異なる材料で導電層 42 上に形成されてなる導電部 44 と、を含んでもよい。

【0019】

図 7 に示す例では、電極 52 の平面形状は円形であり、楕円であっても真円であってもよい。その他の構成については、上記実施の形態で説明した内容を適用することができる

50

。図 7 に示す半導体装置の製造方法には、上記実施の形態で説明した事項を適用することができる。ただし、樹脂層 5 6 は、電極 5 2 とオーバーラップし、かつ、電極 5 2 のパッシベーション膜 5 4 からの露出部の少なくとも一部を避けるように形成されている。

【 0 0 2 0 】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。さらに、本発明は、実施の形態で説明した技術的事項のいずれかを限定的に除外した内容を含む。あるいは、本発明は、上述した実施の形態から公知技術を限定的に除外した内容を含む。

10

【 図面の簡単な説明 】

【 0 0 2 1 】

【 図 1 】 本発明の実施の形態に係る半導体装置の断面図である。

【 図 2 】 図 1 に示す半導体装置の一部を除外した平面図である。

【 図 3 】 本発明の実施の形態に係る半導体装置の変形例を示す断面図である。

【 図 4 】 図 3 に示す半導体装置の一部を除外した平面図である。

【 図 5 】 本発明の実施の形態に係る半導体装置の変形例を示す断面図である。

20

【 図 6 】 図 5 に示す半導体装置の一部を除外した平面図である。

【 図 7 】 本発明の実施の形態に係る半導体装置の変形例を示す一部を除外した平面図である。

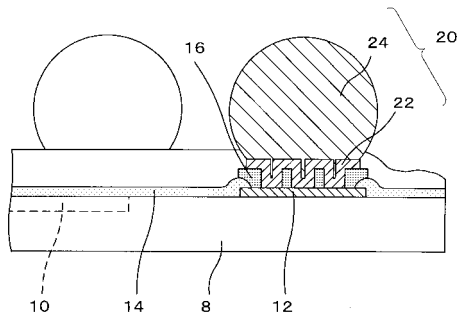
【 符号の説明 】

【 0 0 2 2 】

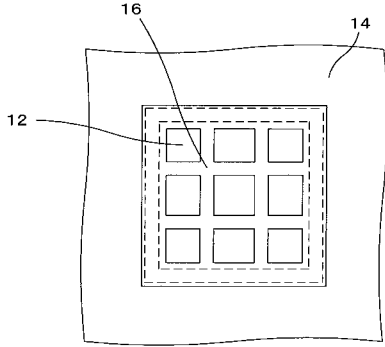
2 ... 半導体装置 4 ... 半導体装置 8 ... 半導体基板 10 ... 集積回路 12 ... 電極 14
 ... パッシベーション膜 16 ... 樹脂層 20 ... 外部端子 22 ... 導電層 24 ... 導電部
 26 ... 樹脂層 30 ... 外部端子 32 ... 導電層 34 ... 導電部 36 ... 樹脂層 40 ... 外
 部端子 42 ... 導電層 44 ... 導電部 46 ... ソルダーレジスト 52 ... 電極 54 ... パ
 ッシベーション膜 56 ... 樹脂層

30

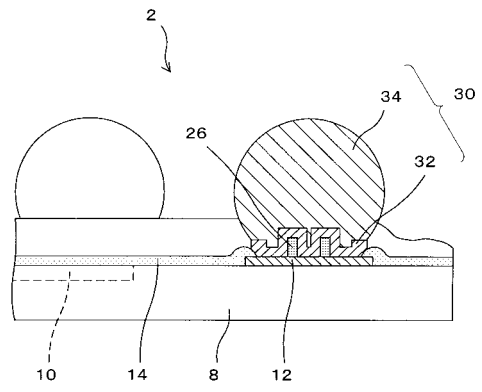
【 図 1 】



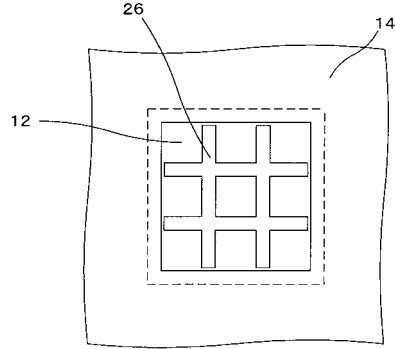
【 図 2 】



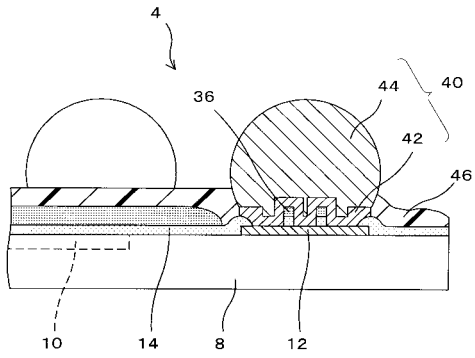
【 図 3 】



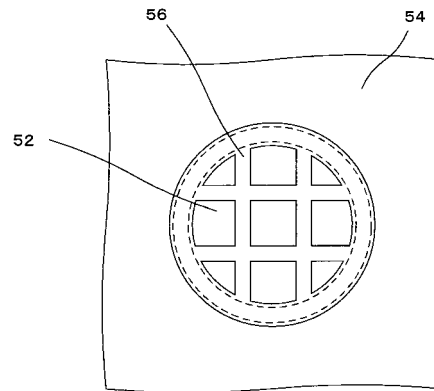
【 図 4 】



【 図 5 】



【 図 7 】



【 図 6 】

