

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-143423
(P2013-143423A)

(43) 公開日 平成25年7月22日(2013.7.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 7 1 B	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 2 1 C	
	HO 1 L 27/10 6 8 1 A	
	HO 1 L 27/10 6 5 1	

審査請求 未請求 請求項の数 14 O L (全 20 頁)

(21) 出願番号 特願2012-2015 (P2012-2015)
(22) 出願日 平成24年1月10日 (2012.1.10)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100123788
弁理士 宮崎 昭夫
(74) 代理人 100106138
弁理士 石橋 政幸
(74) 代理人 100127454
弁理士 緒方 雅昭
(72) 発明者 三笠 典章
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内

最終頁に続く

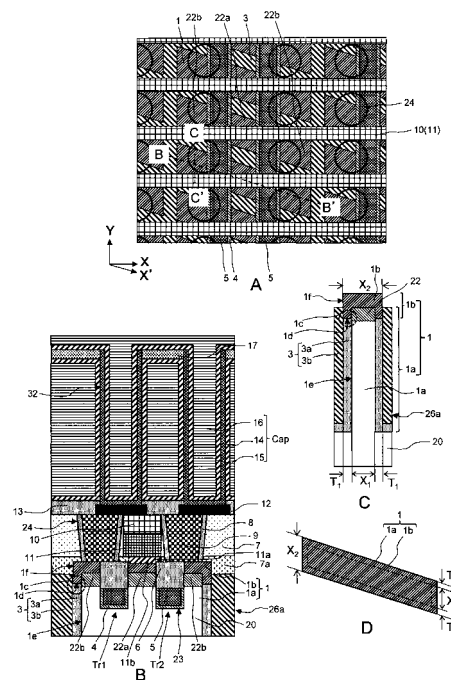
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 活性領域上にコンタクトプラグを形成する際の位置合わせマージンを大きくして、コンタクトプラグの位置合わせ不良による不良品の発生を抑制する。半導体装置の歩留まりを向上させる。

【解決手段】 凸部と、凸部の上面及び側面を覆うように設けられた凹部と、ゲート絶縁膜を介して凸部と対向するように設けられたゲート電極と、凸部内においてゲート電極を挟むように設けられた1対の拡散層と、拡散層に接するように凹部上に設けられたコンタクトプラグと、を有する半導体装置。

【選択図】 図 1 4



【特許請求の範囲】**【請求項 1】**

凸部と、
前記凸部の上面及び側面を覆うように設けられた凹部と、
ゲート絶縁膜を介して、前記凸部と対向するように設けられたゲート電極と、
前記凸部及び凹部内において、前記ゲート電極を挟むように設けられた 1 対の拡散層と、
前記拡散層に電氣的に接続されるように、前記凹部上に設けられたコンタクトプラグと、
を有する半導体装置。

10

【請求項 2】

メモリセル領域に、前記凸部及び凹部を区画するように前記凸部及び凹部の周囲に設けられた第 1 のトレンチの内壁面上に設けられた第 1 の絶縁膜と、前記第 1 のトレンチ内を埋め込むように前記第 1 の絶縁膜上に設けられた第 2 の絶縁膜と、を有する第 1 の素子分離領域を備え、
前記第 1 の絶縁膜の上面は、前記凹部の下面と接する請求項 1 に記載の半導体装置。

【請求項 3】

周辺回路領域に更に、第 2 のトレンチの内壁面上に設けられた前記第 1 の絶縁膜と、前記第 2 のトレンチ内を埋め込むように前記第 1 の絶縁膜上に順に設けられた前記第 2 の絶縁膜と、第 3 の絶縁膜と、を有する第 2 の素子分離領域を備える請求項 2 に記載の半導体装置。

20

【請求項 4】

前記第 1 の絶縁膜は、窒化シリコン膜である請求項 2 又は 3 に記載の半導体装置。

【請求項 5】

前記第 2 の絶縁膜は、酸窒化シリコン膜である請求項 2 ~ 4 の何れか 1 項に記載の半導体装置。

【請求項 6】

前記ゲート電極は、前記凸部内に埋設された埋め込みゲート電極であり、
一方の前記拡散層に電氣的に接続されるように前記コンタクトプラグが設けられ、
前記コンタクトプラグに接続されたキャパシタと、
他方の前記拡散層に電氣的に接続されるように設けられたビット線と、
を有する請求項 1 ~ 5 の何れか 1 項に記載の半導体装置。

30

【請求項 7】

上部の幅が下部の幅よりも大きく、上部と下部の幅が不連続的に変化する段差を有する第 1 の領域と、
ゲート絶縁膜を介して、前記第 1 の領域と対向するように設けられたゲート電極と、
前記第 1 の領域内において、前記ゲート電極を挟むように設けられた 1 対の拡散層と、
前記拡散層に接するように、前記上部上に設けられたコンタクトプラグと、
を有する半導体装置。

【請求項 8】

半導体基板内に第 1 のトレンチを形成することにより、前記第 1 のトレンチで区画された凸部を形成する工程と、
前記凸部の上面及び側面を覆うように凹部を形成する工程と、
を有する半導体装置の製造方法。

40

【請求項 9】

前記凹部を形成する工程は、
メモリセル領域内の前記第 1 のトレンチの内壁上に第 1 の絶縁膜を形成する工程と、
前記第 1 のトレンチを埋め込むと共に前記半導体基板の上面よりも第 2 の絶縁膜の上面が高くなるように、前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、
前記第 2 の絶縁膜の上面よりも導電膜の上面が低くなるように、前記凸部上に導電膜を

50

形成することにより前記凹部を形成する工程と、
を有する請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記凸部を形成する工程では更に、周辺回路領域に第 2 のトレンチを形成し、
前記第 1 の絶縁膜を形成する工程では更に、前記第 2 のトレンチの内壁上に前記第 1 の
絶縁膜を形成し、

前記第 2 の絶縁膜を形成する工程では更に、前記第 2 のトレンチ内の前記第 1 の絶縁膜
上に前記第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜を形成する工程の後に更に、前記第 2 のトレンチを埋め込むように前
記第 2 の絶縁膜上に第 3 の絶縁膜を形成する工程を有する請求項 9 に記載の半導体装置の
製造方法。

10

【請求項 11】

前記第 1 の絶縁膜は、窒化シリコン膜である請求項 9 又は 10 に記載の半導体装置の製
造方法。

【請求項 12】

前記第 2 の絶縁膜は、酸窒化シリコン膜である請求項 9 ~ 11 の何れか 1 項に記載の半
導体装置の製造方法。

【請求項 13】

前記凹部を形成する工程の後に更に、

ゲート絶縁膜を介して、前記凸部と対向するようにゲート電極を形成する工程と、

20

前記凸部及び凹部内において、前記ゲート電極を挟むように 1 対の拡散層を形成する工
程と、

前記拡散層と電氣的に接続されるように前記凹部上にコンタクトプラグを形成する工程
と、

を有する請求項 8 ~ 12 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 14】

前記ゲート電極を形成する工程では、

前記凸部内に埋設されるように埋め込みゲート電極を形成し、

前記コンタクトプラグを形成する工程では、

一方の前記拡散層と電氣的に接続されるように前記コンタクトプラグを設け、

30

更に、

前記コンタクトプラグに接続されるようにキャパシタを形成する工程と、

他方の前記拡散層と電氣的に接続されるようにビット線を形成する工程と、

を有する請求項 13 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

40

大容量メモリを代表する半導体メモリとして D R A M (D y n a m i c R a n d o m
A c c e s s M e m o r y) がある。この D R A M のメモリ容量は近年、増大する傾
向にあり、これに伴って D R A M のメモリセルの集積度を向上させる必要性が生じている
。

【0003】

D R A M の高集積化を実現するためには、メモリセルトランジスタの微細化が最も有効
な手段である。加工寸法 (F) を微細化することで、メモリセルトランジスタを小さくす
ることができ、集積度は向上する。これに加えてセル方式を変更してセルサイズを縮小す
ることも重要である。セルサイズの縮小化に有効なセル方式として、スネーク形状にセル
を配置した方式が提案されている。図 15 に示すように、このセル方式では複数の活性領

50

域 A R 1 と A R 2 から構成され、活性領域 A R 1 及び A R 2 は素子分離領域 3 0 によって囲まれている。活性領域 A R 1 は、X 方向から約 3 0 ° 右下がりに傾斜した X₂ 方向に延在し、Y 方向に等ピッチで配置されている。また、活性領域 A R 2 は、X 方向から約 3 0 ° 右上がりに傾斜した X₁ 方向に延在し、Y 方向に等ピッチで配置されている。A R 1 と A R 2 は、X 方向に交互に等ピッチで配置された構成となっている。各活性領域 A R 1 及び A R 2 内及びこれらの活性領域の上方には、セルトランジスタや容量コンタクトプラグ、キャパシタ（何れも図示していない）が形成され、メモリセルを構成している。

【0004】

しかしながら、スネーク形状のセルを配置したセル方式では、活性領域を形成する際に、A r F レーザを用いたリソグラフィ工程とドライエッチング工程を複数回、実施しなければならず、複雑な工程となっていた。このため、D R A M の微細化の進展に伴い、スネーク形状の活性領域を高精度で形成することが困難になってきた。

10

【0005】

そこで、微細化の観点からは、複数の活性領域が同じ方向に延在するストレート形状の活性領域を配置したセル方式が有望視されている。このセル方式では、各活性領域は同じ方向に延在しており、活性領域の形状がスネーク方式と比べて比較的、単純であるため、簡易な工程での形成を期待できる。

【0006】

特許文献 1（特開 2 0 1 1 - 1 5 9 7 6 0 号公報）及び特許文献 2（特開 2 0 0 9 - 2 1 2 3 6 9 号公報）には、ストレート形状の活性領域が開示されている。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2 0 1 1 - 1 5 9 7 6 0 号公報

【特許文献 2】特開 2 0 0 9 - 2 1 2 3 6 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、ストレート形状の活性領域を用いたセル方式を採用すると、微細化の進展に伴い活性領域の幅も小さくなってきた。このため、活性領域上に、容量コンタクトプラグ等のコンタクトプラグを形成する際の位置合わせマージンが小さくなり、コンタクトプラグの位置合わせが困難になってきた。

30

【課題を解決するための手段】

【0009】

一実施形態は、

凸部と、

前記凸部の上面及び側面を覆うように設けられた凹部と、

ゲート絶縁膜を介して、前記凸部と対向するように設けられたゲート電極と、

前記凸部及び凹部内において、前記ゲート電極を挟むように設けられた 1 対の拡散層と

40

、前記拡散層に電氣的に接続されるように、前記凹部上に設けられたコンタクトプラグと

を有する半導体装置に関する。

【0010】

他の実施形態は、

上部の幅が下部の幅よりも大きく、上部と下部の幅が不連続的に変化する段差を有する第 1 の領域と、

ゲート絶縁膜を介して、前記第 1 の領域と対向するように設けられたゲート電極と、

前記第 1 の領域内において、前記ゲート電極を挟むように設けられた 1 対の拡散層と、

前記拡散層に接するように、前記上部上に設けられたコンタクトプラグと、

50

を有する半導体装置に関する。

【0011】

他の実施形態は、

半導体基板内に第1のトレンチを形成することにより、前記第1のトレンチで区画された凸部を形成する工程と、

前記凸部の上面及び側面を覆うように凹部を形成する工程と、

を有する半導体装置の製造方法に関する。

【発明の効果】

【0012】

活性領域上にコンタクトプラグを形成する際の位置合わせマージンを大きくして、コンタクトプラグの位置合わせ不良による不良品の発生を抑制する。この結果、半導体装置の歩留まりを向上させる。

【図面の簡単な説明】

【0013】

【図1】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図2】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図3】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図4】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図5】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図6】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図7】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図8】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図9】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図10】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図11】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図12】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図13】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図14】第1実施例の半導体装置の製造方法の一工程を説明する図である。

【図15】第2実施例の半導体装置を説明する図である。

【図16】スネーク形状の活性領域を有するセル方式を説明する図である。

【発明を実施するための形態】

【0014】

以下、本発明の好ましい実施例による半導体デバイスについて、DRAM [Dynamic Random Access Memory] を一例として、添付図面を参照しながら詳細に説明する。なお、これらの実施例は、本発明のより一層の深い理解のために示される具体例であって、本発明は、これらの具体例に何ら限定されるものではない。

【0015】

(実施例1)

図14は、本実施例の半導体装置を表す図であり、半導体装置のメモリセル領域の一部の平面図、B図及びC図はそれぞれ、A図のB-B'断面及びC-C'断面を表す図、D図は1つの活性領域1を上方から見た図であり点線部分は活性領域の凸部(下部)1aを透視図として表している。なお、図14Aでは、活性領域1、ビット線11、ゲート電極5の位置関係を明確にするために、キャパシタCap、層間絶縁膜7など一部の構造を省略している。後述する図13Aについても同様である。また、図14Cでは活性領域1及び第1の素子分離領域3のみを示し、その他の構造は省略している。なお、以下の説明において、活性領域1の幅 X_1 及び X_2 とは、平面視において活性領域1の短辺方向(ゲート電極5の延在方向)の幅を表し、この方向は活性領域1の延在方向 X' と垂直の関係にはない。

【0016】

図14に示すように、本実施例の半導体装置は、単結晶のシリコン半導体基板20上で

、X'方向に延在し、Y方向に等ピッチで配置された複数の活性領域1を有する。各活性領域1は、シリコン半導体基板20からなる凸部(下部)1aと、凸部1aの上面及び側面を連続して覆うように設けられた凹部(上部)1bとを有する。図14Cに示すように、凹部(上部)1bは、凹形状を逆さにした形状となっており、凹形状の窪み部分に凸部(下部)1aの先端が接する構造となっている。凹部(上部)1bは、例えば、n型不純物を含む単結晶シリコン膜(導電膜)から構成されている。凹部1bは、後述の製造方法で説明するように、単結晶の半導体基板20上に形成された非晶質シリコン膜を熱処理することによって生じる、半導体基板20の単結晶表面を種とする固相エピタキシャル成長法により単結晶シリコン膜に変換している。凹部1bは、単結晶シリコン膜に限るものではなく、多結晶シリコン膜で構成されても良い。また、凸部1aの頂部には不純物拡散層22が設けられている。図14B~Dに示すように、凹部(上部)1bの幅 X_2 は凸部(下部)1aの幅 X_1 よりも大きく、凹部1bは凸部1aの側面1eから側方に突出するように設けられている。また、凹部1bの幅 X_2 から凸部1aの幅 X_1 まで不連続的にその幅が変化しているため、凹部1bの外側面1fと凸部1aの側面1eとの間には凹部1bの下面1dからなる段差1cが生じている。

10

【0017】

各活性領域1の周りには第1の素子分離領域3が設けられており、第1の素子分離領域3によって各活性領域1は規定されている。第1の素子分離領域3は、第1の素子分離領域用の第1のトレンチ26aの内面を覆うように設けられた窒化シリコン膜(第1の絶縁膜)3aと、窒化シリコン膜3aで構成されるトレンチ26a内の凹部に埋め込まれた酸化シリコン膜(第2の絶縁膜)3bとから構成されている。窒化シリコン膜3aの上面は凸部1aの側面1eよりも側方に突出した凹部1bの下面と接している(図14B及びCに、窒化シリコン膜3aの上面及び凹部1bの下面を面1dとして示す)。窒化シリコン膜3aの一側面は凸部1aの側面1eと接している(図14B及びCに、窒化シリコン膜3aの側面及び凸部1aの側面を面1eとして示す)。このため、上記の凹部(上部)1bの幅 X_2 、凸部(下部)1aの幅 X_1 、及び窒化シリコン膜3aの膜厚 T_1 の関係は、 $X_2 = X_1 + 2 \times T_1$ となる。また、酸化シリコン膜3bは、トレンチ26aを埋め込むように窒化シリコン膜3a上に設けられており、窒化シリコン膜3aの他の側面に接すると共に凹部1bの外側面1fの一部と接している。窒化シリコン膜3aの他の側面と凹部1bの外側面1fとは面一となっている。

20

30

【0018】

図14Aの平面図を参照すると、X方向に延在する複数のビット線11と、X方向に垂直に交差するY方向に延在するワード線となる複数の埋め込みゲート電極5が配置されている。各々の活性領域1の凸部1a及び凹部1bには、Y方向に延在する2本の埋め込みゲート電極5が、凸部1a及び凹部1b内に埋め込まれることにより活性領域1に交差して配置されている。2本の埋め込みゲート電極5の間に位置する活性領域1の部分にはビット線11に接続されるビット線拡散層22aが形成されている。また、活性領域1の両端に位置し、埋め込みゲート電極5と第1の素子分離領域3の間に位置する活性領域1の部分には、キャパシタCapの下部電極14に接続されるキャパシタ拡散層22bがそれぞれ形成されている。Y方向に延在する埋め込みゲート電極5は、Y方向に配置された複数の活性領域1と、複数の活性領域1の間に配置された第1の素子分離領域3に跨って形成されている。また、X方向に延在する複数のビット線11の各々は、X方向に配置された複数の活性領域1のビット線拡散層22aを結ぶ直線上に形成されている。本実施例では、ビット線拡散層22aおよびキャパシタ拡散層22bは、n型不純物を含む拡散層で構成される。

40

【0019】

図14Bに示すように、個々の活性領域1には2つのセルトランジスタTr1およびTr2が形成されている。いずれも埋め込みゲート型のリセスチャネルMOSトランジスタで構成されている。セルトランジスタTr1は、シリコン基板20と、埋め込みゲート電極5と、埋め込みゲート電極5を挟んで両側に位置する凹部1bおよびキャパシタ拡散層

50

22bと、中央の凹部1bおよびビット線拡散層22aと、ゲート絶縁膜4とで構成されている。便宜上、凹部1bとその下のキャパシタ拡散層22bとはドレイン領域であり、凹部1bとその下のビット線拡散層22aとはソース領域となる。バイアス印加状態が逆転すれば各々の領域は入れ替わることとなる。セルトランジスタTr2もTr1と同様に、シリコン基板20と、埋め込みゲート電極5と、埋め込みゲート電極5を挟んで両側に位置する凹部1bおよびビット線拡散層22aと、凹部1bおよびキャパシタ拡散層22bと、ゲート絶縁膜4とで構成されている。便宜上、凹部1bとその下のビット線拡散層22aとはソース領域となり、凹部1bとその下のキャパシタ拡散層22bとはドレイン領域となる。凹部1bとビット線拡散層22aとで構成されるソース領域は2つのセルトランジスタTr1及びTr2に共有される構成となっている。セルトランジスタTr1及びTr2の各々のチャンネル領域は、キャパシタ拡散層22bからビット線拡散層22aに向かうゲートトレンチ23の両側壁部分および底面部分(ゲート絶縁膜4と接するシリコン半導体基板20の表面)に形成される。

10

【0020】

図14Bの断面図を参照すると、p型単結晶シリコン半導体基板(以下、「基板」と記す)20の表面側に形成された第1の素子分離領域3により活性領域1が区画されている。各々の活性領域1には2つのゲートトレンチ23が形成されている。各々のゲートトレンチ23の内面にはゲート絶縁膜4が形成されている。さらに、ゲート絶縁膜4に接してゲートトレンチ23の底部を埋設するように、窒化チタン(TiN)とタングステン(W)の積層膜からなり、ワード線となる埋め込みゲート電極5が形成されている(図14中

20

【0021】

各々のゲートトレンチ23と第1の素子分離領域3の間の基板20の表面にはドレイン領域の一部となるキャパシタ拡散層22bが形成されている。キャパシタ拡散層22bの底面は、基板20の上面に対して埋め込みゲート電極5の上面より浅い位置となっているが、埋め込みゲート電極5の上面と同じ位置まで近接してもかまわない。埋め込みゲート電極5の上面より深い位置になるとゲート絶縁膜4のリーク電流が増加する懸念があるので好ましくない。

30

【0022】

ビット線拡散層22aの上方には、ビット線11が形成されている。ビット線11は、第1層間絶縁膜7aの開口部11aに埋設されたビット線コンタクトプラグ11bの上面に接続され、ビット線コンタクトプラグ11bと、ビット線コンタクトプラグ11bの下面に接続された凹部1bと、を介してビット線拡散層22aに接続されている。ビット線コンタクトプラグ11bはn型不純物を含有する多結晶シリコン膜で構成され、ビット線11は金属膜で構成されている。ビット線コンタクトプラグ11bは第1層間絶縁膜7aの開口部11a内に埋設されており、第1層間絶縁膜7aの上面においてX方向に延在するビット線11は金属膜のみで構成されている。金属膜としては、タングステン膜、金属窒化膜、金属シリサイド膜を適宜、積層して用いることができる。例えば、下層から順に

40

【0023】

第1層間絶縁膜7a上には、第2層間絶縁膜7が形成されている。第2層間絶縁膜7および第1層間絶縁膜7aを貫通して、キャパシタ拡散層22b上の凹部1bを露出させるように容量コンタクトホール24が形成されている。容量コンタクトホール24の内壁側面上には窒化シリコン膜からなるサイドウォール絶縁膜8が設けられ、容量コンタクトホール24内を埋め込むようにDOPOS(Doped Poly Silicon)膜からなる容量コンタクトプラグ9が形成されている。第2層間絶縁膜7上には、容量コンタク

50

トプラグ9に接するようにタンゲステン等の導電膜からなるコンタクトパッド12が設けられている。第2層間絶縁膜7上には窒化シリコン膜13が設けられおり、コンタクトパッド12に接するように下部電極14が形成されている。下部電極14の倒壊を防止する目的で、下部電極14上部の外壁側面に接するようにサポート膜17が設けられている。下部電極14の内壁面及び外壁側面上には順に、容量絶縁膜15及び上部電極16が設けられている。下部電極14、容量絶縁膜15及び上部電極16はキャパシタCapを構成している。上部電極16上には図示しない層間絶縁膜が形成され、図示しないコンタクトプラグが形成されている。コンタクトプラグに接続して上部配線(図示せず)が形成されている。

【0024】

本実施例の半導体装置は、凹部(上部)1bの幅 X_2 が、凸部(下部)1aの幅 X_1 よりも大きくなっている。このため、DRAMの微細化を進め、凸部(下部)の幅 X_1 が小さくなった場合であっても、活性領域1上に容量コンタクトプラグを形成する際の位置合わせマージンを大きくとることができ、容量コンタクトプラグの位置合わせ不良を減らすことができる。また、凹部(上部)1bの幅 X_2 、凸部(下部)1aの幅 X_1 、及び窒化シリコン膜3aの膜厚 T_1 の関係は、 $X_2 = X_1 + 2 \times T_1$ となる。窒化シリコン膜3aはCVD法やALD法などの成膜法を用いて形成されるので、膜厚を高精度で制御することができる。したがって、窒化シリコン膜3aの膜厚 T_1 を調節することによって、凹部1b(活性領域1の上面)を所望の幅とすることができる。後述するように、凹部(上部)1bは平面視で、凸部1aを挟む酸窒化シリコン膜3b間に自己整合的に形成されるため、DRAMの微細化を図った場合であっても、リソグラフィ工程の露光精度等の制約を受けない。このため、微細化に十分に対応した半導体装置とすることができる。また、容量コンタクトプラグ9の位置合わせ不良を減らして、半導体装置の歩留まりを向上させることができる。

【0025】

なお、上記の半導体装置の構成では、凹部1bを活性領域1の一部として説明したが、コンタクトプラグの一部として捉えることもできる。すなわち、容量コンタクトプラグは、凸部1aのキャパシタ拡散層22b上に位置する凹部1bからなる容量第1コンタクトプラグと、第1層間絶縁膜7a及び第2層間絶縁膜7を貫通する容量コンタクトホール24内に埋設され容量第1コンタクトプラグの上面に接続される容量コンタクトプラグ9からなる容量第2コンタクトプラグと、で構成されている。同様に、ビット線コンタクトプラグは、凸部1aのビット線拡散層22a上に位置する凹部1bからなるビット線第1コンタクトプラグと、第1層間絶縁膜7aを貫通する開口部11a内に埋設されビット線第1コンタクトプラグの上面に接続されるビット線コンタクトプラグ11bからなるビット線第2コンタクトプラグと、で構成されている。

【0026】

以下に、図1~図14を用いて、本実施例の半導体装置の製造方法について説明する。図1~11において、A図はメモリセル領域の一部の平面図、B図はA図のA-A'方向の断面図、C図は周辺回路領域の第2の素子分離領域30又はそれに対応する構造の幅方向の断面図を表す。図12A及び12Bは、メモリセル領域の一部の平面図を表す。図13Aはメモリセル領域の一部の平面図、図13Bは図13AのB-B'方向の断面図を表す。

【0027】

図1に示すように、基板20の主面を熱酸化することによって、厚さが3nmのパッド酸化膜25を形成する。次に、公知のリソグラフィ技術とドライエッチング技術を用いて、基板20のメモリセル領域内に第1のトレンチとしてX方向およびY方向の幅 X_3 が各々30nmのトレンチ26aと、周辺回路領域に第2のトレンチとして幅 X_4 が例えば60nmのトレンチ26bを形成する。ここでは、第1および第2のトレンチの深さを250nmとする。これによって、メモリセル領域には、トレンチ26aによって区画されたY方向の幅 X_1 が30nmとなる島状の活性領域1の凸部(下部)1aが形成される。

10

20

30

40

50

凸部 1 a は、Y 方向および X' 方向に各々等ピッチ間隔で規則的に配置されている。

【 0 0 2 8 】

図 2 に示すように、CVD 法によって、基板 2 0 上の全面に厚さ 1 0 n m の窒化シリコン膜 (Si_3N_4) (第 1 の絶縁膜) 3 a を形成する。これにより、Y 方向の幅 X_3 が 3 0 n m のトレンチ 2 6 a の内面を覆うように厚さ 1 0 n m の窒化シリコン膜 3 a が形成されるので、トレンチ 2 6 a の中央には Y 方向の幅が 1 0 n m の凹部が形成される。次に、CVD 法によって、基板 2 0 上の全面に厚さ 1 0 n m の酸窒化シリコン膜 (SiON) (第 2 の絶縁膜) 3 b を形成する。ここでは、酸窒化シリコン膜を構成する O / N 原子数比が 0 . 7 ~ 1 . 5 の範囲、好ましくは 0 . 9 ~ 1 . 1 の範囲となる組成の SiON 膜を形成する。 SiON 膜の形成には、原料ガスに、ジクロロシラン (SiH_2Cl_2) とアンモニア (NH_3) と一酸化二窒素 (N_2O) を用い、6 5 0 ~ 8 0 0 の温度範囲を用いる CVD 法において、アンモニアと一酸化二窒素の供給量を制御することにより上記組成の酸窒化シリコン膜 3 b を得ることができる。これにより、トレンチ 2 6 a の中央に形成された Y 方向の幅が 1 0 n m の凹部は酸窒化シリコン膜 3 b によって埋設される。結果的に、Y 方向の幅 X_3 を 3 0 n m で形成したトレンチ 2 6 a は、窒化シリコン膜 3 a と酸窒化シリコン膜 3 b によって埋設される。一方、トレンチ 2 6 b は幅 X_4 が 6 0 n m となるように形成したため、窒化シリコン膜 3 a と酸窒化シリコン膜 3 b によって完全に埋設されずに、その内部に空洞が残る。

10

【 0 0 2 9 】

図 3 に示すように、回転塗布法を用いて、トレンチ 2 6 b 内に残存している空洞を埋設するように基板 2 0 上の全面に SOD (Spin on Dielectric) 膜 (第 3 の絶縁膜) 2 7 を形成する。これにより、トレンチ 2 6 b 内も、SOD 膜 2 7 で埋設される。SOD 膜 2 7 を形成した後、酸化性雰囲気中で熱処理し、膜を緻密化する。

20

【 0 0 3 0 】

図 4 に示すように、酸窒化シリコン膜 3 b をストッパに用いて、SOD 膜 2 7 に対して CMP 処理を行うことにより、周辺回路領域の SOD 膜 2 7 を平坦化する。

【 0 0 3 1 】

図 5 に示すように、CVD 法により、基板 2 0 上の全面にポリシリコン膜 2 8 を形成した後、公知のリソグラフィ技術とドライエッチング技術を用いてメモリセル領域に形成されているポリシリコン膜 2 8 を除去し、周辺回路領域にのみ残留させる。次に、周辺回路領域に形成されているポリシリコン膜 2 8 をマスクに用いたエッチバックにより、メモリセル領域に窒化シリコン膜 3 a の上面を露出させるまで酸窒化シリコン膜 3 b の上面を下方に後退させる。これにより、メモリセル領域においては、窒化シリコン膜 3 a の上面と酸窒化シリコン膜 3 b の上面 3 c とが面一の状態となる。

30

【 0 0 3 2 】

図 6 に示すように、ポリシリコン膜 2 8 をマスクに用い、薬液としてリン酸を用いたウェットエッチングにより、メモリセル領域に露出している窒化シリコン膜 3 a の一部を除去して、その上面が基板 2 0 の上面 2 0 a よりも低い位置となるまで下方に後退させる。例えば、基板 2 0 の上面 2 0 a よりも 5 ~ 2 0 n m 低い位置とする。リン酸を用いるウェットエッチングでは、窒化シリコン膜はエッチングされるが、酸化シリコン膜はエッチングされない特性を有する。リン酸による窒化シリコン膜 3 a のエッチングでは、酸窒化シリコン膜 3 b もエッチングが進行する。しかし、前述のように、酸窒化シリコン膜 3 b は、膜中の O / N 原子数比を 0 . 7 ~ 1 . 5 の範囲で形成しているので、窒化シリコン膜 3 a のエッチング速度に対して酸窒化シリコン膜 3 b のエッチング速度を 1 / 1 0 程度に低減することができ、酸窒化シリコン膜 3 b を残存させることができる。

40

【 0 0 3 3 】

次に、図 7 に示すように、ポリシリコン膜 2 8 をマスクに用い、薬液としてフッ化水素酸 (HF) 溶液を用いたウェットエッチングにより、メモリセル領域のパッド酸化膜 2 5 を除去する。HF 溶液を用いるウェットエッチングでは、リン酸の場合とは逆に、酸化シリコン膜はエッチングされるが、窒化シリコン膜はエッチングされない特性を有する。H

50

F 溶液によるパッド酸化膜 2 5 のエッチングでは、酸窒化シリコン膜 3 b もエッチングが進行する。しかし、前述のように、酸窒化シリコン膜 3 b は、膜中の O / N 原子数比を 0 . 7 ~ 1 . 5 の範囲で形成しているため、パッド酸化膜 2 5 のエッチング速度に対して酸窒化シリコン膜 3 b のエッチング速度を 1 / 1 0 程度に低減することができ、酸窒化シリコン膜 3 b を残存させることができる。また、パッド酸化膜 2 5 の厚さは 3 n m であり、エッチングされたとしても量はわずかであり問題とならない。

【 0 0 3 4 】

図 8 に示すように、基板 2 0 上の全面に、厚さが例えば 4 0 n m の N 型の不純物を含有する非晶質シリコン膜 2 9 を形成する。非晶質シリコン膜 2 9 は、例えばモノシラン (SiH_4) とホスフィン (PH_3) を原料ガスとして用い、温度 5 3 0 で成膜する。これによりリンを含有する非晶質状態のシリコン膜 2 9 が形成される。

10

【 0 0 3 5 】

図 9 に示すように、窒化シリコン膜 3 a をストッパに用いた CMP 処理により、非晶質シリコン膜 2 9 の一部を除去する。この際、周辺回路領域に設けたポリシリコン膜 2 8 、非晶質シリコン膜 2 9 及び窒化シリコン膜 3 a 上に形成されている酸窒化シリコン膜 3 b は除去される。メモリセル領域では、この CMP 処理により、非晶質シリコン膜 2 9 は酸窒化シリコン膜 3 b で分離され、各々の島状活性領域 1 a に対応して独立した凹部 (上部) 1 b が形成される。凹部 (上部) 1 b は、凸部 (下部) 1 a の上面及び側面の一部を連続して覆うように設けられる。凹部 (上部) 1 b は凹構造を逆さにした形状を有しており、逆さ凹構造の窪み部分に凸部 (下部) 1 a の先端が接するように設けられている。次に、非酸化性雰囲気中で、例えば 1 0 0 0 、 1 0 秒間熱処理する。この熱処理により、下地の単結晶シリコン基板 2 0 を種とする上方および側方への固相エピタキシャル成長が生じ、非晶質シリコン膜 2 9 は N 型不純物を含有する単結晶のエピタキシャル成長シリコン膜に変換される。非晶質シリコン膜 2 9 は多結晶シリコン膜に変換しても良い。この場合は熱処理温度を 7 0 0 とすればよい。なお、この熱処理は、この段階で行なう必要はなく、図 1 1 で、活性領域 1 内に不純物元素をイオン注入した後に合わせて行なっても良い。

20

【 0 0 3 6 】

図 1 0 に示すように、ドライエッチング法により窒化シリコン膜 3 a 及び酸窒化シリコン膜 3 b のエッチバックを行い、これらの膜の上面を後退させる。フッ素含有プラズマを用いたドライエッチング法を用いることにより窒化シリコン膜 3 a 及び酸窒化シリコン膜 3 b を等速でエッチングすることができる。この時点では、凹部 (上部) 1 b の構造は完成しているため、メモリセル領域において酸窒化シリコン膜 3 b の上面 3 c は、基板 2 0 の上面 2 0 a と同程度の高さや、上面 2 0 a よりも低い位置となっても良い。この工程により、メモリセル領域では、窒化シリコン膜 3 a 及び酸窒化シリコン膜 3 b からなる第 1 の素子分離領域 3 が完成する。

30

【 0 0 3 7 】

図 1 1 に示すように、メモリセル領域にフォトレジストマスク (図示していない) を設けた後、基板 2 0 、窒化シリコン膜 3 a 、酸窒化シリコン膜 3 b 及び S O D 膜 2 7 の上面が面一となるように、パッド酸化膜 2 5 、窒化シリコン膜 3 a 、酸窒化シリコン膜 3 b 及び S O D 膜 2 7 のエッチバックを行う。これにより、周辺回路領域において、これらの膜からなる第 2 の素子分離領域 3 0 が形成される。次に、フォトレジストマスクを除去した後、周辺回路領域にフォトレジスト (図示していない) を設ける。活性領域 1 内に不純物元素をイオン注入した後、1 0 0 0 、 1 0 秒の熱処理を行うことにより活性化させる。これにより、活性領域 1 内に拡散層 2 2 を形成する。なお、拡散層 2 2 の形成においては、拡散層 2 2 の底面 2 2 d が凹部の下面 1 d よりも深くなり、また、後述のゲート電極 5 の上面よりも浅くなるようにイオン注入の深さを制御する。なお、拡散層 2 2 の形成は、図 9 の段階で行なっても良い。すなわち、図 9 の段階で非晶質シリコン膜 2 9 を固相エピタキシャル成長させる前に、不純物のイオン注入を実施し、その後、1 0 0 0 、 1 0 秒間熱処理することにより、非晶質シリコン膜 2 9 の固相エピタキシャル成長と、注入不純

40

50

物の活性化を同時に行なって拡散層 2 2 を形成しても良い。

【 0 0 3 8 】

次に、図 1 2 A に示すように、リソグラフィ技術を利用して、メモリセル領域内に形成されるワード線領域を露出させるパターンを有するフォトレジストマスク（図示せず）を形成する。ワード線領域は複数の活性領域 1 と第 1 の素子分離領域 3 に跨って Y 方向に延在するパターンとなる。ワード線領域は個々の活性領域 1 に対して 2 本形成される。ワード線領域の X 方向の幅は 3 5 n m としている。次いで、フォトレジストマスクを用いて基板 2 0 をドライエッチングし、ワード線領域となる深さが 1 5 0 ~ 2 0 0 n m のゲートトレンチ 2 3 を形成する。ここではゲートトレンチ 2 3 の最深部の深さを 2 0 0 n m とする。これにより、図 1 1 の段階で形成された拡散層 2 2 は、キャパシタに接続されるキャパシタ拡散層 2 2 b と、ビット線に接続されるビット線拡散層 2 2 a に分断される。

10

【 0 0 3 9 】

次に、図 1 2 B に示すように、ゲートトレンチ 2 3 の内面に厚さ 5 n m の酸化シリコン膜からなるゲート絶縁膜 4 を熱酸化法により形成する。次いで、厚さ 5 n m の窒化チタン（TiN）を C V D 法により形成し、さらに厚さ 3 0 n m のタングステン（W）を C V D 法により形成する。ゲートトレンチ 2 3 の X 方向の幅は 3 5 n m としているため、この段階でゲートトレンチ 2 3 は、TiN と W の積層膜で完全に埋設された状態となる。次いで、TiN と W からなる積層膜をドライエッチング法によりエッチバックして、ゲートトレンチ 2 3 内に埋設された TiN と W からなる埋め込みゲート電極 5 を形成する。ゲートトレンチ 2 3 の底部を埋設する埋め込みゲート電極 5 の上面は、ゲートトレンチ 2 3 の最深部の深さに対して 1 / 2 ~ 4 / 5 の範囲となるように形成する。ここでは 3 / 5 となる 1 2 0 n m とする。ゲートトレンチ 2 3 の最深部の深さを 2 0 0 n m としているため、埋め込みゲート電極 5 の上面は、基板 2 0 の上面から 8 0 n m 深い位置に形成されている。埋め込みゲート電極 5 はワード線を構成する。埋め込みゲート電極 5 を形成することにより、その上方には新たなゲートトレンチ 2 3 が形成される。

20

【 0 0 4 0 】

次に、図 1 3 に示すように、新たなゲートトレンチ 2 3 を埋設するように全面に窒化シリコン膜からなるキャップ絶縁膜 6 を C V D 法により形成する。この後、キャップ絶縁膜 6 をエッチバックして、その上面を凹部 1 b の上面と同じ高さまで後退させる。次に、全面に第 1 の層間絶縁膜 7 a を形成する。その後、リソグラフィとドライエッチング法により、Y 方向の直線上に隣接するビット線拡散層 2 2 a の上に形成されている複数の凹部 1 b を一括で開口するラインの開口部 1 1 a を第 1 の層間絶縁膜 7 a に形成する。

30

【 0 0 4 1 】

次に、基板 2 0 の全面に厚さ 4 0 n m の n 型不純物含有非晶質シリコン膜を C V D 法により形成する。次に、C M P 法により n 型不純物含有非晶質シリコン膜を平坦化して開口部 1 1 a に n 型不純物含有非晶質シリコン膜を埋設する。次に、7 0 0 ° C、1 0 秒程度の熱処理を施して開口部 1 1 a に埋設されている n 型不純物含有非晶質シリコン膜を n 型不純物含有多結晶シリコン膜に変換する。次に、開口部 1 1 a に埋設された n 型不純物含有多結晶シリコン膜の上面および第 1 層間絶縁膜 7 a の上面を含む基板 2 0 の全面にチタンシリサイド、窒化チタン、タングステンシリサイド、タングステンを、順次に積層した金属層を形成する。

40

【 0 0 4 2 】

この後、金属層上に窒化シリコン膜からなるカバー絶縁膜 1 0 を形成する。次に、X 方向に延在するラインで開口するパターンを有するマスク（図示しない）を形成する。マスクを用いて上面が露出しているカバー絶縁膜 1 0 をドライエッチングし、さらに連続して金属層および開口部 1 1 a 内に埋設されている n 型不純物含有多結晶シリコン膜をドライエッチングする。これにより、ビット線拡散層 2 2 a 上には凹部 1 b を介して開口部 1 1 a に埋設された n 型不純物含有多結晶シリコン膜からなるビット線コンタクトプラグ 1 1 b と、ビット線コンタクトプラグ 1 1 b の上面に接続されると共に第 1 層間絶縁膜 7 a 上で X 方向に延在する金属層からなるビット線 1 1 と、ビット線上面をカバーするカバー絶

50

縁膜 10 からなる配線構造が形成される。ビット線コンタクトプラグ 11b 及びビット線 11 はカバー絶縁膜 10 をマスクとして連続エッチングされる。したがって、ビット線コンタクトプラグ 11b の Y 方向に対向する二つの側面と、ビット線コンタクトプラグ 11b の上面に位置するビット線 11 の Y 方向に対向する二つの側面は、各々面一の状態となっている。

【0043】

次に、第 1 層間絶縁膜 7a およびビット線配線構造上の全面に、塗布系絶縁膜として SOD (Spin On Dielectric) 膜からなる第 2 層間絶縁膜 7 を形成する。カバー絶縁膜 10 をストッパとして、第 2 層間絶縁膜 7 の CMP 処理を行うことにより、第 2 層間絶縁膜 7 を平坦化する。第 1 層間絶縁膜 7a および第 2 層間絶縁膜 7 内に、公知のリソグラフィ技術とドライエッチング技術を利用して、キャパシタ拡散層 22b 上の凹部 1b を露出させるように、容量コンタクトホール 24 を形成する。全面に窒化シリコン膜を形成した後、エッチバックを行うことにより容量コンタクトホール 24 の内壁側面上にサイドウォール絶縁膜 8 を形成する。容量コンタクトホール 24 の内部を埋め込むように、基板 20 上の全面に DOPOS (Doped Polysilicon) 膜を形成した後、DOPOS 膜のエッチバックを行うことにより、容量コンタクトプラグ 9 を形成する。

10

【0044】

図 14 に示すように、第 2 層間絶縁膜 7 上にタングステン等の導電膜を形成した後、導電膜のパターニングを行うことによりコンタクトパッド 12 を形成する。ALD 法により、コンタクトパッド 12 を覆うように第 2 層間絶縁膜 7 上に窒化シリコン膜からなる第 3 層間絶縁膜 13 を形成する。第 3 層間絶縁膜 13 上に、CVD 法により、酸化シリコン膜からなる第 4 層間絶縁膜 (図示していない) 及び窒化シリコン膜からなるサポート膜 17 を形成する。公知のリソグラフィ技術とドライエッチング技術を利用して、第 4 層間絶縁膜及びサポート膜 17 内に、コンタクトパッド 12 を露出させるようにキャパシタホール 32 を形成する。CVD 法により、キャパシタホール 32 の内壁を覆うように窒化チタンからなる導電膜を形成する。エッチバックによりサポート膜 17 上の導電膜を除去し、キャパシタホール 32 の内壁上にのみ導電膜を残留させることで下部電極 14 を形成する。

20

【0045】

公知のリソグラフィ技術とドライエッチング技術を利用して、サポート膜 17 内に、後述するウェットエッチング用の開口を設ける。開口を設けたサポート膜 17 をマスクに用い、エッチング液として HF 水溶液を使用したウェットエッチングにより、第 4 層間絶縁膜を除去する。これにより、下部電極 14 の外壁側面が露出する。ALD 法により全面に容量絶縁膜 15 を形成する。容量絶縁膜 15 としては、酸化ジルコニウム (ZrO_2)、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO_2) 等の高誘電体膜や、それらの積層膜を使用できる。次に、CVD 法により、窒化チタン膜からなる上部電極 16 を形成する。上部電極 16 としては、窒化チタン膜を形成した後に、不純物をドーブしたポリシリコン膜を積層して、隣接する下部電極 14 間の空洞部を充填し、さらにその上にタングステン (W) を成膜した積層構造としてもよい。これにより、下部電極 14、容量絶縁膜 15 及び上部電極 16 からなるキャパシタ Cap が完成する。

30

40

【0046】

次に、上部電極 16 のパターニングのために、フォトレジスト膜を用いたマスクパターン (図示していない) を形成する。マスクパターンを用いたドライエッチングによって、周辺回路領域上の不要な膜 (上部電極 16、容量絶縁膜 15、サポート膜 17) を除去する。エッチング後にフォトレジスト膜は除去する。基板 20 上の全面に第 5 層間絶縁膜 (図示していない) を形成した後、CMP によって第 5 層間絶縁膜を平坦化する。メモリセル領域及び周辺回路領域内に、コンタクトプラグや配線層 (何れも図示していない) を形成する。

【0047】

50

本実施例では、図 8 及び 9 の工程において、活性領域の凸部（下部）1 a の上面及び側面を覆うように凹部（上部）1 b を形成する。このため、活性領域 1 の上面の幅は、当初の凸部（下部）1 a の幅 X_1 から凹部（上部）1 b 上面の幅 X_2 にまで拡大している。このため、図 13 の工程において、容量コンタクトホール 24 を形成する際に、位置合わせマージンを大きくとることができる。この結果、容量コンタクトホール 24 の位置合わせ不良による不良品の発生を防止して、歩留まりを向上させることができる。すなわち、容量コンタクトプラグ 9 と活性領域 1 との接触面積を拡大することにより、非導通を回避するとともに接触抵抗の低減を図ることができる。また、凹部（上部）1 b は第 1 の素子分離領域 3 の完成後に形成するため、微細化にも十分に対応することができる。

【0048】

また、本発明は容量コンタクトホール 24 の形成時だけでなく、ビット線コンタクトホールの形成時にも位置合わせマージンを大きくとることができ、コンタクトホールの位置合わせ不良による不良品の発生を防止して、歩留まりを向上させることができる。

【0049】

（実施例 2）

実施例 1 では凸部 1 a 上に凹部 1 b が形成されて上面の面積が拡大された活性領域 1 において、埋め込みゲートトランジスタ $T_r 1$ および $T_r 2$ のチャネル部がゲートレンチ 23 の両側面と底面の 3 面に各々、形成される構成の DRAM 半導体装置について説明した。本実施例では、同じ構成の活性領域 1 に形成する埋め込みゲートトランジスタの構成が異なる例について図 15 を用いて説明する。

【0050】

図 15 B に、実施例 1 の図 14 B に相当する本実施例の断面図を示す。埋め込みゲートトランジスタ以外の構成は図 14 B と同じであるので、説明は省略する。

【0051】

実施例 1 の図 12 において、Y 方向に延在するゲートレンチ 23 を形成した後、ゲートレンチ 23 の底部に露出する半導体基板 20 の表面にリンや砒素などの n 型不純物をイオン注入する。その後、1000、10 秒の熱処理を施してゲートレンチ 23 の底面 23 b、23 e に接する底部拡散層 23 g、23 h を形成する。底部拡散層 23 g の深さは、底面 23 b から 5 ~ 20 nm の範囲となるようにイオン注入の条件を制御する。底部拡散層 23 h の深さも同じである。次に、実施例 1 と同じく、ゲート絶縁膜 4 の形成工程、埋め込みゲート電極 5 の形成工程、キャップ絶縁膜 6 の形成工程を実施する。

【0052】

その後、図 15 A に示すように、Y 方向に隣接するビット線拡散層 22 a 上の凹部 1 b をラインで一括開口するマスクパターン 50 を形成する。次に、マスクパターン 50 をマスクとしてリンをイオン注入する。この時、注入深さがゲートレンチ 23 の底面 23 b および 23 e と同一となるように制御する。実施例 1 の場合と同様に、ゲートレンチの深さを 200 nm とした場合、深さ 50 nm、および 150 nm に投影飛程を有するエネルギー条件で 2 回注入して形成する。もしくは、50 nm、110 nm、170 nm の投影飛程を有するエネルギー条件で 3 回注入を行なって形成しても良い。マスクパターン 50 を除去した後、1000、10 秒の熱処理を施して、ビット線拡散層 22 a を形成する。これにより、ビット線拡散層 22 a は、底部拡散層 23 g および 23 e と接続された状態となる。

【0053】

図 15 B に示すように、活性領域 1 には二つの埋め込みゲート型 MOS トランジスタ $T_r 1$ および $T_r 2$ が形成されている。 $T_r 1$ は、ゲートレンチ 23 の内面に形成されたゲート絶縁膜 4 と、ゲート絶縁膜 4 上に埋設形成された埋め込みゲート電極 5 と、凹部 1 b およびキャパシタ拡散層 22 b からなるドレイン領域と、凹部 1 b、ビット線拡散層 22 a および底部拡散層 23 g からなるソース領域と、で構成されている。底部拡散層 23 g は、ビット線拡散層 22 a と接続されているので、ビット線拡散層 22 a がゲートレンチ 23 の底面まで延在した構成と等価になっている。したがって、本実施例の $T_r 1$ は

10

20

30

40

50

、ゲートトレンチ23を構成する側面23a、23cと底面23bを有しているが、底部拡散層23gに接する底面23bとビット線拡散層22aに接する側面23cとはチャンネルとして機能しない。すなわち、素子分離領域3に対向し、拡散層に接していない側面23aのみがチャンネルとして機能する。

【0054】

Tr2についても同様の構成となっており、ゲートトレンチ23の内面に形成されたゲート絶縁膜4と、ゲート絶縁膜4上に埋設形成された埋め込みゲート電極5と、凹部1bおよびキャパシタ拡散層22bからなるドレイン領域と、凹部1b、ビット線拡散層22aおよび底部拡散層23hからなるソース領域と、で構成されている。底部拡散層23hは、ビット線拡散層22aと接続されているので、ビット線拡散層22aがゲートトレンチ23の底面まで延在した構成と等価になっている。したがって、Tr2は、ゲートトレンチ23を構成する側面23d、23fと底面23eを有しているが、底部拡散層23hに接する底面23eとビット線拡散層22aに接する側面23dとはチャンネルとして機能しない。すなわち、素子分離領域3に対向し、拡散層に接していない側面23fのみがチャンネルとして機能する。この場合、ビット線拡散層22aは、隣接する二つのゲートトレンチ23の底部に位置する底部拡散層23gと23hとを接続する役割を果たしている。

10

【0055】

本実施例の半導体装置によれば、実施例1と同様に、容量コンタクトプラグと活性領域との接触面積を拡大することにより、非導通を回避するとともに接触抵抗の低減を図ることができる。さらに、埋め込みゲート型のMOSトランジスタのチャンネル領域をゲートトレンチ23の一側面にのみ形成してチャンネル長を低減しているため、チャンネル抵抗を低減してトランジスタのオン電流を増大できると共にサブスレッショールド係数(S係数)を低減して高速動作に有利なトランジスタを提供することができる。

20

【0056】

なお、上記実施例1および2では、X方向およびY方向に分断された島状の活性領域を備えるメモリセルを対象として説明したが、これに限るものではなく、Y方向にのみ素子分離絶縁膜で素子分離されたラインの活性領域であってもY方向の活性領域を拡大できるので同じ効果を得ることができる。この場合、X方向の素子分離はダミーゲート電極を用いてフィールドシールドする方式のメモリセル構成とすることができる。

30

【符号の説明】

【0057】

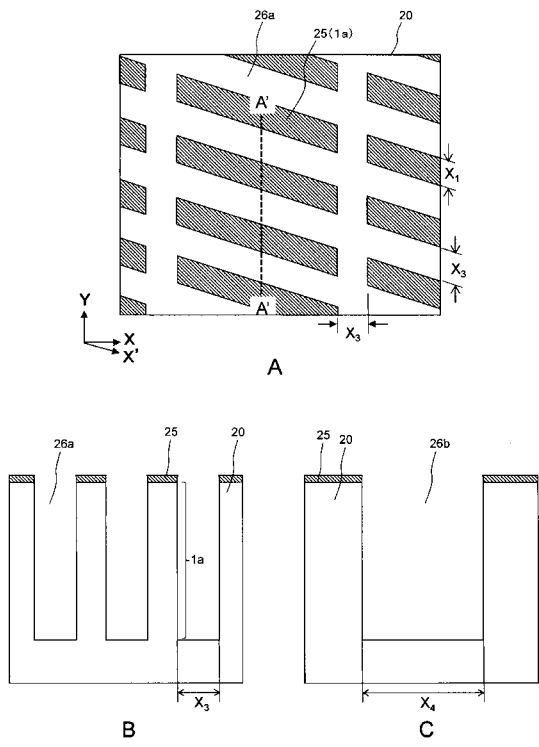
- 1 活性領域
- 1a 凸部(下部)
- 1b 凹部(上部)
- 1c 段差
- 1d、1e、1f 面
- 3 第1の素子分離領域
- 3a 窒化シリコン膜(第1の絶縁膜)
- 3b 酸窒化シリコン膜(第2の絶縁膜)
- 3c 酸窒化シリコン膜の上面
- 4 ゲート絶縁膜
- 5 埋め込みゲート電極
- 6 キャップ絶縁膜
- 7 第1層間絶縁膜
- 8 サイドウォール絶縁膜
- 9 容量コンタクトプラグ
- 10 カバー絶縁膜
- 11 ビット線
- 11a 開口部
- 11b ビット線コンタクトプラグ

40

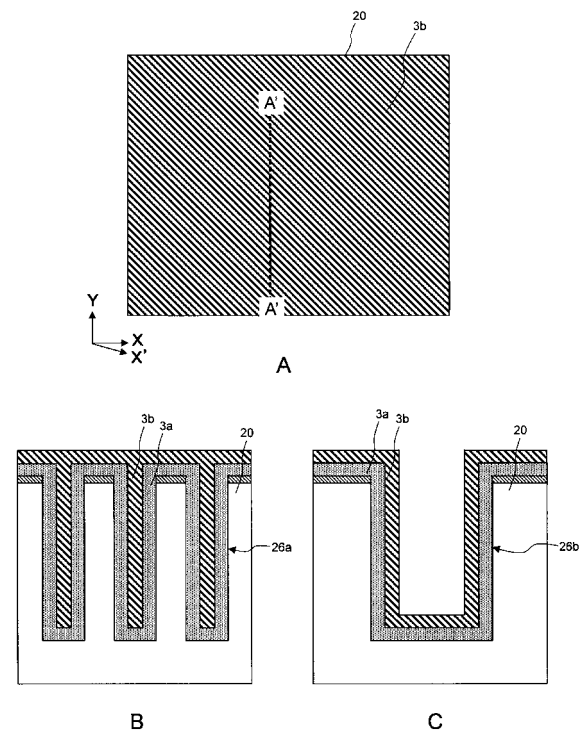
50

1 2	コンタクトパッド	
1 3	第 2 層間絶縁膜	
1 4	下部電極	
1 5	容量絶縁膜	
1 6	上部電極	
1 7	サポート膜	
2 0	半導体基板	
2 0 a	基板の上面	
2 2 a	ビット線拡散層	
2 2 b	キャパシタ拡散層	10
2 3	ゲートトレンチ	
2 3 a、2 3 c、2 3 d、2 3 f	ゲートトレンチの側面	
2 3 b、2 3 e	ゲートトレンチの底面	
2 3 g、2 3 h	底部拡散層	
2 4	容量コンタクトホール	
2 5	パッド酸化膜	
2 6 a	第 1 のトレンチ	
2 6 b	第 2 のトレンチ	
2 7	S O D 膜	
2 8	ポリシリコン膜	20
2 9	D O P O S 膜	
3 0	第 2 の素子分離領域	
3 1	ゲートトレンチ	
3 2	キャパシタホール	
5 0	マスクパターン	
A R 1、A R 2	活性領域	
C a p	キャパシタ	
T ₁	窒化シリコン膜の膜厚	
T r 1、T r 2	セルトランジスタ	
X ₁	凸部（下部）の幅	30
X ₂	凹部（上部）の幅	

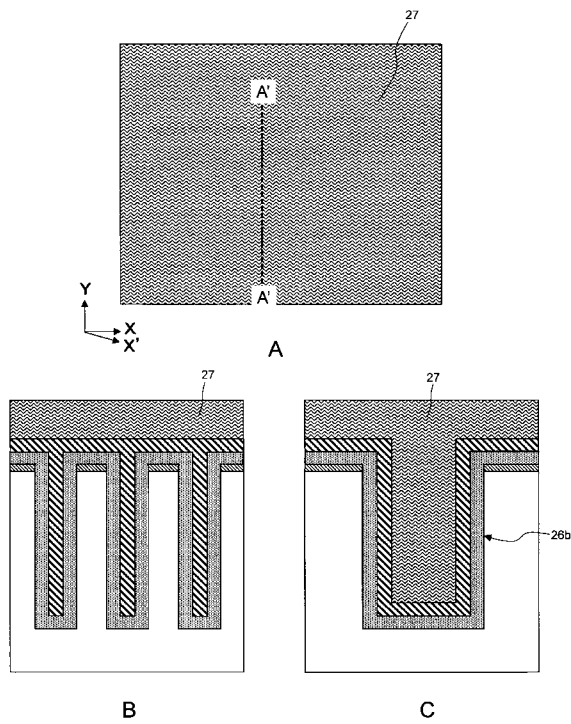
【 図 1 】



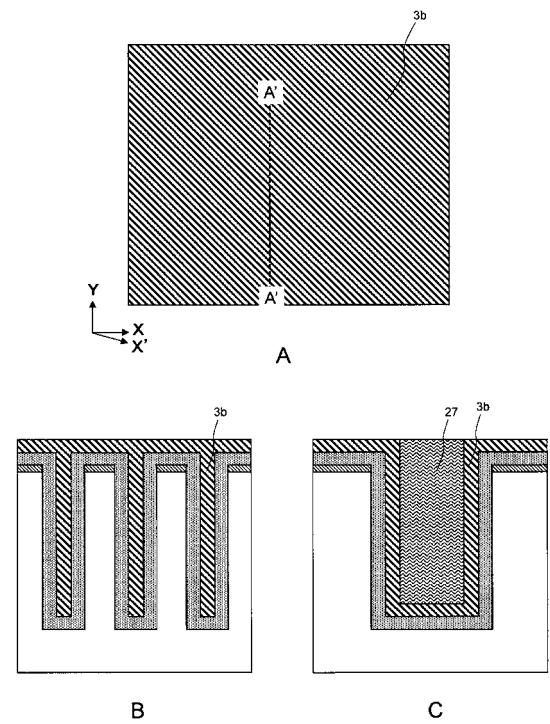
【 図 2 】



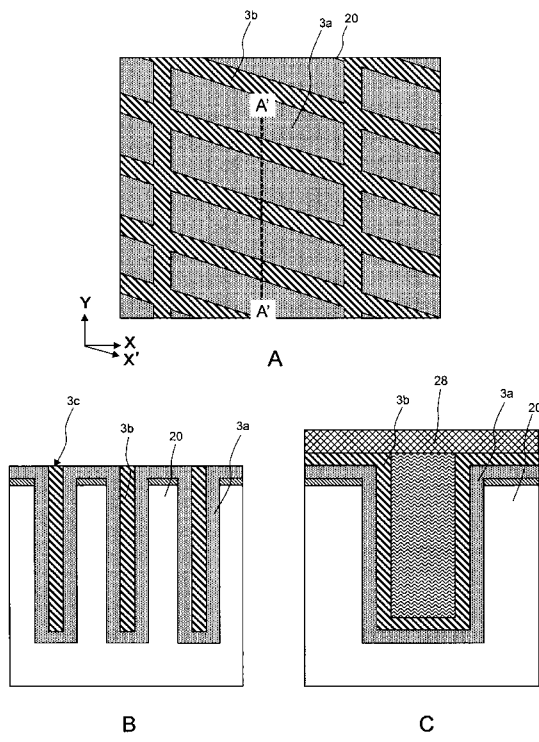
【 図 3 】



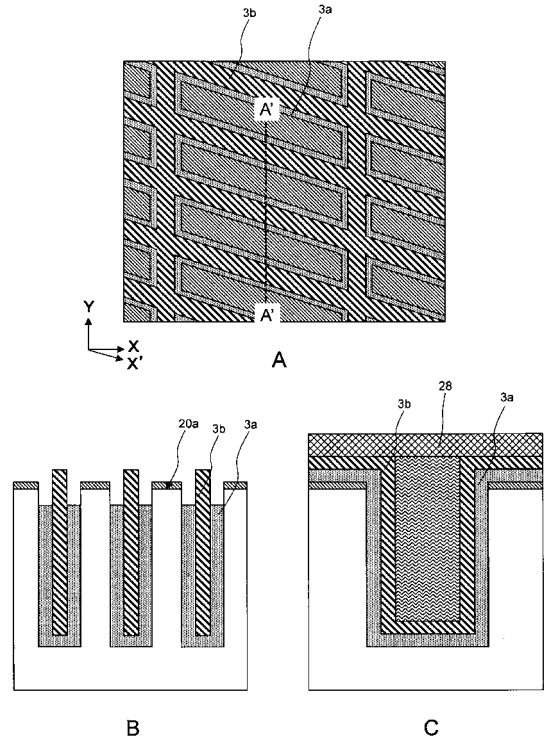
【 図 4 】



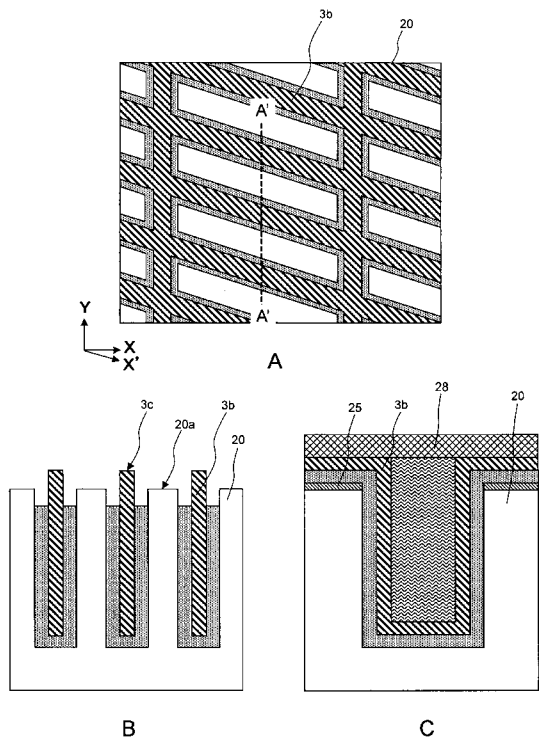
【 図 5 】



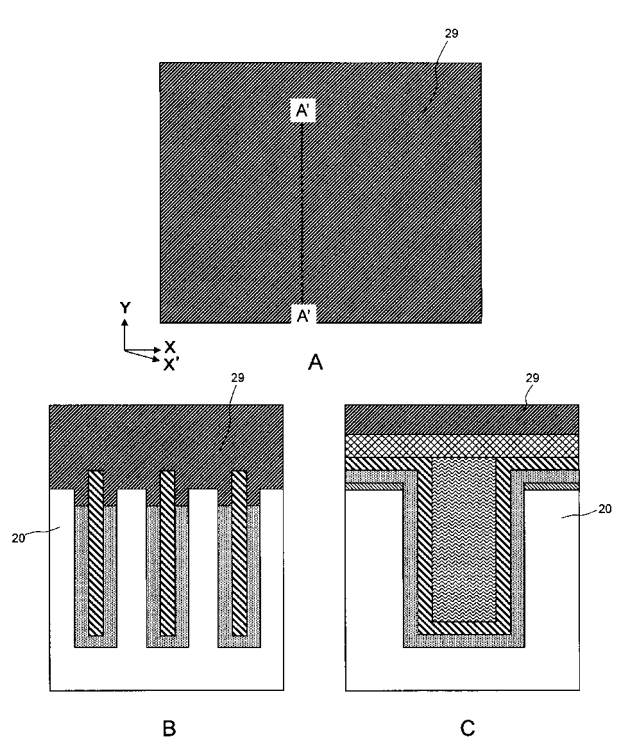
【 図 6 】



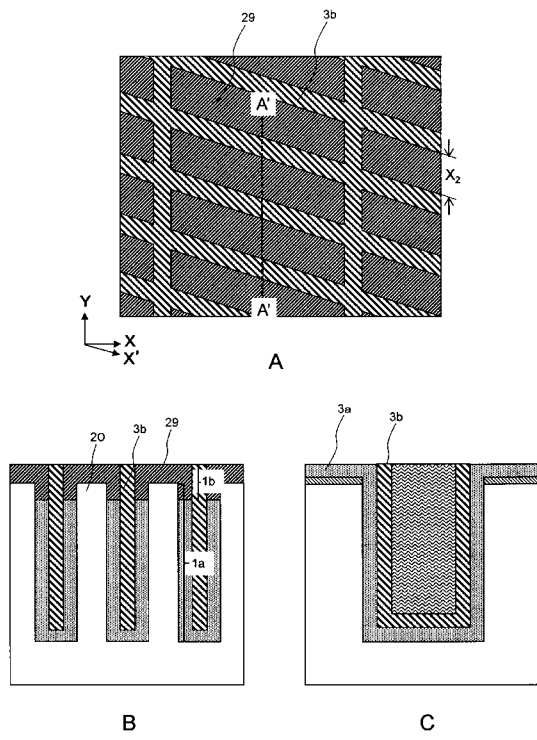
【 図 7 】



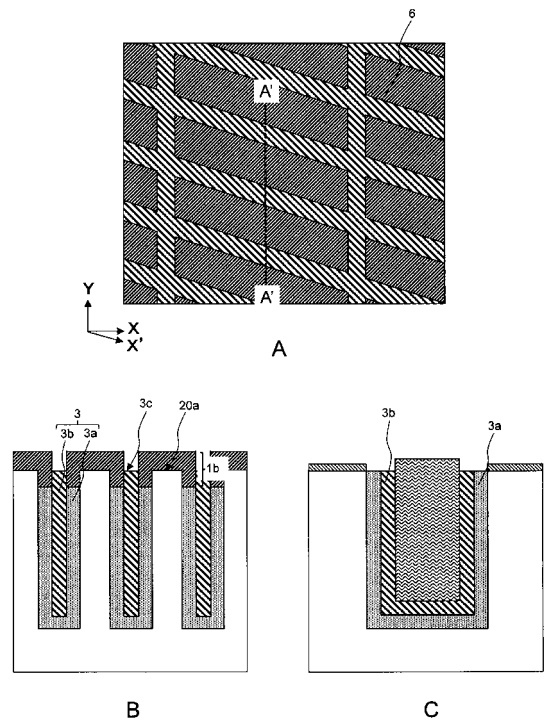
【 図 8 】



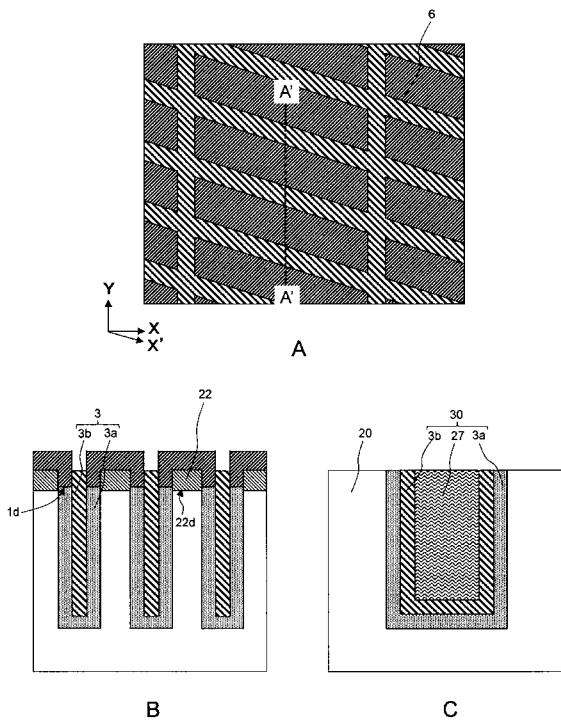
【 図 9 】



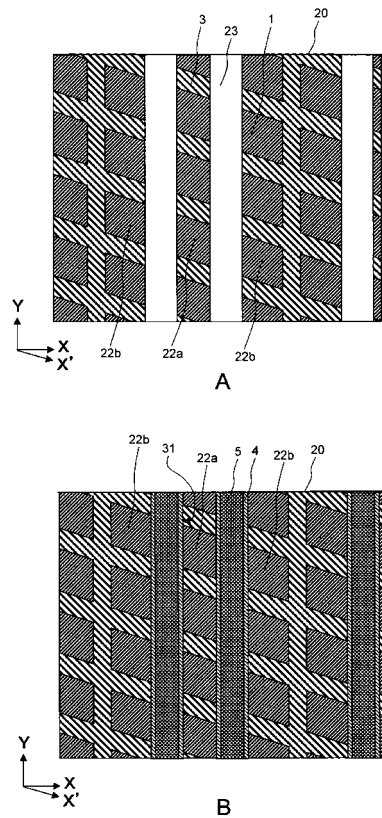
【 図 10 】



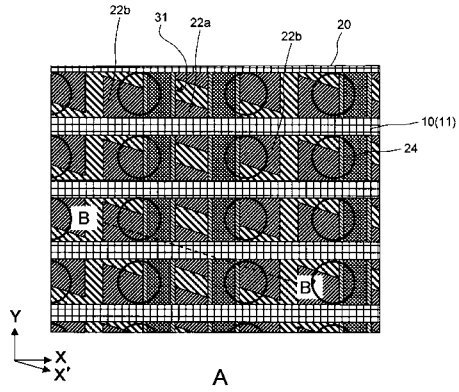
【 図 11 】



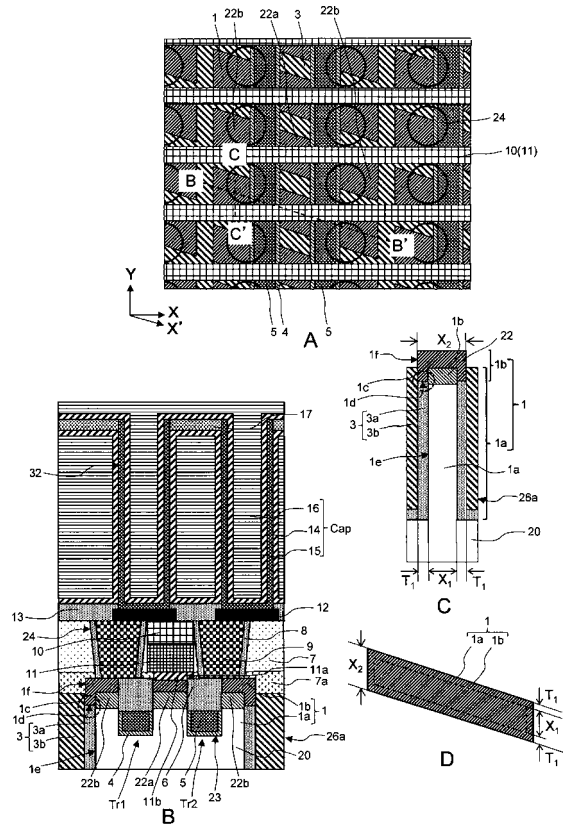
【 図 12 】



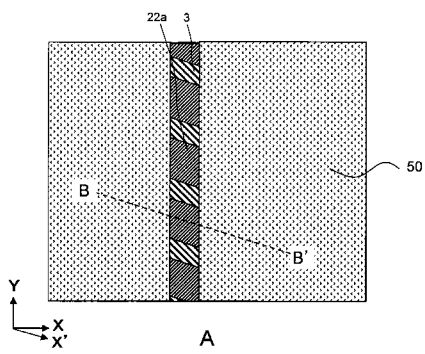
【 図 1 3 】



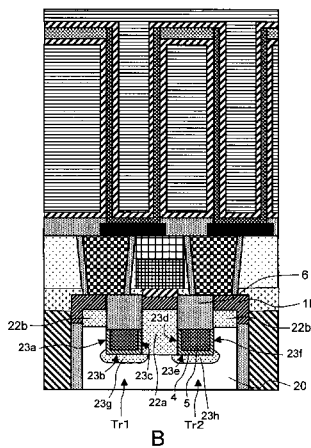
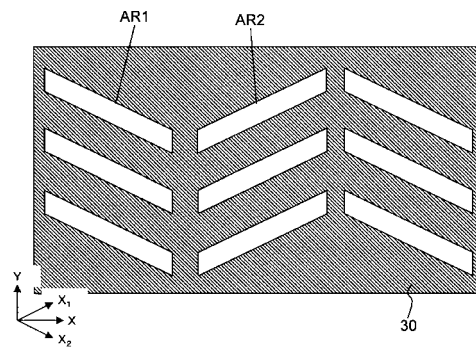
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

Fターム(参考) 5F083 AD04 AD24 AD48 AD49 AD56 AD60 GA01 GA27 JA02 JA33
JA35 JA39 JA40 JA53 KA01 KA05 MA06 MA18 MA20 NA01
NA05 PR05 PR40