

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3919740号

(P3919740)

(45) 発行日 平成19年5月30日(2007.5.30)

(24) 登録日 平成19年2月23日(2007.2.23)

(51) Int. Cl.	F I	
<b>G09G 5/00 (2006.01)</b>	G09G 5/00	550A
<b>G06F 1/32 (2006.01)</b>	G09G 5/00	550M
<b>G06F 3/00 (2006.01)</b>	G06F 1/00	332Z
<b>G09G 5/18 (2006.01)</b>	G06F 3/00	R
	G09G 5/18	

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2003-402082 (P2003-402082)	(73) 特許権者	395015319
(22) 出願日	平成15年12月1日(2003.12.1)		株式会社ソニー・コンピュータエンタテインメント
(65) 公開番号	特開2005-62798 (P2005-62798A)		東京都港区南青山二丁目6番21号
(43) 公開日	平成17年3月10日(2005.3.10)	(74) 代理人	100105924
審査請求日	平成16年5月18日(2004.5.18)		弁理士 森下 賢樹
(31) 優先権主張番号	特願2003-283244 (P2003-283244)	(72) 発明者	大場 章男
(32) 優先日	平成15年7月30日(2003.7.30)		東京都港区南青山2丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内
(33) 優先権主張国	日本国(JP)		
		審査官	福永 健司

最終頁に続く

(54) 【発明の名称】 回路動作制御装置および情報処理装置

(57) 【特許請求の範囲】

【請求項1】

描画制御用の第1機能ブロックと、第1機能ブロックの動作モードを制御する第2機能ブロックとを備え、

前記第2機能ブロックは、

前記第1機能ブロックが描画単位期間の終了よりも前に当該描画単位期間にて描画すべき画面の生成を完了したとき、前記第1機能ブロックの動作モードを省電モードへ移行せしめる回路と、

前記描画単位期間の次の描画単位期間が開始されたとき、その開始を示すハードウェア信号に基づき、前記第1機能ブロックを前記省電モードから通常モードへ復帰せしめる回路と、

を備え、前記第1機能ブロックが前記描画すべき画面の生成を完了したときの前記描画単位期間の残余期間が所定のしきい値以下である場合に、前記移行せしめる回路の機能を停止することを特徴とする回路動作制御装置。

【請求項2】

請求項1に記載の装置において、前記第2機能ブロックは、前記第1機能ブロックの少なくとも一部の動作クロックの周波数を低下させることにより、前記第1機能ブロックを省電モードへ移行せしめることを特徴とする回路動作制御装置。

【請求項3】

請求項1に記載の装置において、前記第2機能ブロックは、前記第1機能ブロックの少

10

20

なくとも一部の電源電圧を低下させることにより、前記第1機能ブロックを省電モードへ移行せしめることを特徴とする回路動作制御装置。

【請求項4】

描画制御用の第1機能ブロックと、第1機能ブロックの動作モードを制御する第2機能ブロックとを備え、

前記第2機能ブロックは、

前記第1機能ブロックが描画単位期間の終了よりも前に当該描画単位期間にて描画すべき画面の生成を完了したとき、前記第1機能ブロックの少なくとも一部の電源電圧を低下させることにより、前記第1機能ブロックの動作モードを省電モードへ移行せしめる回路と、

10

前記描画単位期間の次の描画単位期間が開始されたとき、その開始を示すハードウェア信号に基づき、前記第1機能ブロックを前記省電モードから通常モードへ復帰せしめる回路と、

を備え、前記第1機能ブロックはメモリ素子を含み、このメモリ素子は前記描画単位期間に亘って継続的に表示すべき画面のデータを格納する主領域と、それ以外のデータを格納する副領域とを含み、前記第2機能ブロックは、このメモリ素子の電源を遮断する場合には、副領域に限り電源を遮断することを特徴とする回路動作制御装置。

【請求項5】

請求項1から4のいずれかに記載の装置において、前記描画単位期間はフレーム期間であり、前記ハードウェア信号は垂直同期信号であることを特徴とする回路動作制御装置。

20

【請求項6】

一描画単位期間内に、その描画単位期間において表示すべき画面の生成が完了するよう描画処理ブロックのタイミングが設計された情報処理装置において、

前記描画処理ブロックが前記描画単位期間にて表示すべき画面の生成を完了したとき、前記描画処理ブロックの動作モードを省電モードへ移行せしめる回路と、

前記描画単位期間の次の描画単位期間が開始されたとき、その開始を示すハードウェア信号に基づき、前記描画処理ブロックを前記省電モードから通常モードへ復帰せしめる回路と、

を備え、前記描画処理ブロックが前記表示すべき画面の生成を完了したときの前記描画単位期間の残余期間が所定のしきい値以下である場合に、前記移行せしめる回路の機能を停止することを特徴とする情報処理装置。

30

【請求項7】

一描画単位期間内に、その描画単位期間において表示すべき画面の生成が完了するよう描画処理ブロックのタイミングが設計された情報処理装置において、

前記描画処理ブロックが前記描画単位期間にて表示すべき画面の生成を完了したとき、前記描画処理ブロックの少なくとも一部の電源電圧を低下させることにより、前記描画処理ブロックの動作モードを省電モードへ移行せしめる回路と、

前記描画単位期間の次の描画単位期間が開始されたとき、その開始を示すハードウェア信号に基づき、前記描画処理ブロックを前記省電モードから通常モードへ復帰せしめる回路と、

40

を備え、前記描画処理ブロックはメモリ素子を含み、このメモリ素子は前記描画単位期間に亘って継続的に表示すべき画面のデータを格納する主領域と、それ以外のデータを格納する副領域とを含み、前記移行せしめる回路は、このメモリ素子の電源を遮断する場合には、副領域に限り電源を遮断することを特徴とする情報処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路動作を制御する装置と情報処理装置に関する。より具体的には、本発明は所定の回路の動作モードを制御する装置と、その装置を利用可能な情報処理装置に関する。

50

## 【背景技術】

## 【0002】

半導体の高集積技術を背景に、高性能な情報機器が小さなサイズで提供されるようになった。例えば、PDA（パーソナルデジタルアシスタント）、ノート型パーソナルコンピュータ、デジタルカメラ、携帯型ゲーム端末など、いずれを見ても、かつてない機能の充実が実現している。

## 【0003】

一方、こうした機器は電池駆動されることが多いため、電池駆動時間という制約がある。機能向上の背景にはトランジスタ数の飛躍的な増加があり、CPU（中央処理装置）とその周辺回路を1チップ化した統合的なLSIの消費電力は決して小さくない。機能が充

10

実しても、それを利用できる時間が短いようでは、製品としては片手落ちといわざるを得ない。このため、情報機器の省電設計にいろいろな手法が提案されてきた。一例として、特許文献1は画面表示に際し、画面に映像として表示出力されない水平、垂直ミュート期間の映像信号について信号処理を停止させることにより、消費電力を下げる技術が開示されている。

【特許文献1】特開平10-145691号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0004】

半導体の高集積設計に伴い、トランジスタサイズは小さくなるため、個々のトランジスタの動作電力は減る。過去、この省電効果にはある程度期待ができた。しかし、トランジスタのゲート幅が例えば0.1 $\mu$ m程度を下回るほど小さくなると、過去にはなかった問題が生じる。すなわち、スタティック構造の回路であっても漏れ電流が発生するのである。このため、今後の省電設計には別の観点からのアプローチが必要になってくる。

20

## 【0005】

本発明はこうした課題に鑑みてなされたものであり、その目的は、効果的に省電力を実現するために、所定の回路の動作モードを制御する技術、およびその技術を用いることのできる情報処理装置の提供にある。

【課題を解決するための手段】

## 【0006】

本発明の回路動作制御装置は、描画制御用の第1機能ブロックと、第1機能ブロックの動作モードを制御する第2機能ブロックとを備える。第2機能ブロックは、第1機能ブロックが描画単位期間の終了よりも前に当該描画単位期間にて描画すべき画面の生成を完了したとき、第1機能ブロックの動作モードを省電モードへ移行せしめる回路と、前記の描画単位期間の次の描画単位期間が開始されたとき、その開始を示すハードウェア信号に基づき、第1機能ブロックを省電モードから通常モードへ復帰せしめる回路と、を備える。

30

## 【0007】

この構成によれば、省電モードへ移行する契機が与えられるため、省電力の要望にかなう。一方、次の描画単位期間に入れば、ハードウェア信号で通常モードへ復帰できるため、描画処理の開始遅延を減らすことができる。

40

【発明の効果】

## 【0008】

本発明の回路動作制御装置によれば、制御の対象となる回路の省電力を柔軟または効果的に実現できる。本発明の情報処理装置は、前記の効果を情報処理装置として享受できる。

【発明を実施するための最良の形態】

## 【0009】

実施の形態1.

図1は実施の形態1に係る情報処理装置10の構成を示す。同図により、まず実施の形態1の概要を述べる。情報処理装置10は、描画制御用の第1機能ブロック12と、第1

50

機能ブロック 12 の動作モードを制御する第 2 機能ブロック 14 とを有する。描画は最終的に表示装置 18 で行われる。第 2 機能ブロック 14 は以下の回路を有する。

【 0010 】

移行回路 20 : 第 1 機能ブロック 12 が描画単位期間、すなわちフレーム期間の終了よりも前にそのフレーム期間に描画すべき画面の生成を完了したとき、その完了を示すソフトウェアからの指示に基づき、第 1 機能ブロック 12 の動作モードを省電モードへ移行せしめる。

【 0011 】

復帰回路 22 : 次のフレーム期間が開始されたとき、その開始を示すハードウェア信号、ここでは垂直同期信号(以下、VSYNCと表記する)に基づき、第 1 機能ブロック 12 を省電モードから通常モードへ復帰せしめる。

10

【 0012 】

第 1 機能ブロック 12 は、図 2 で後述するごとく、描画処理用のプログラム(以下、単に描画プログラムという)を実行する中央処理装置(以下単にCPUという)を含み、この描画プログラムは、ひとつのフレーム期間において描画すべき画面の生成処理が終了した後、CPUに省電モードへの移行指示を発行させるための記述を有する。

【 0013 】

モード依存回路 16 は、移行回路 20 からの制御に従い、第 1 機能ブロック 12 の少なくとも一部の動作クロックの周波数を低下させる。これにより、第 1 機能ブロック 12 が省電モードへ移行する。ここで「周波数を低下させる」は周波数をゼロにすること、すなわち動作クロックの停止も含む。モード依存回路 16 の別の態様は、移行回路 20 からの制御に従い、第 1 機能ブロック 12 の少なくとも一部の電源電圧を低下させる。これにより、第 1 機能ブロック 12 が省電モードへ移行する。「電源電圧を低下させる」は電源電圧の供給を遮断することも含む。動作クロックを低下または停止させる場合、通常モードへの復帰が容易または迅速である。一方、電源電圧の供給を遮断する場合、前述の漏れ電流を低減することができる。

20

【 0014 】

情報処理装置 10 として、1 フレーム期間内に次のフレーム期間において表示すべき画面の生成が完了するよう第 1 機能ブロック 12 のタイミングが設計された、例えばゲームを実行するコンピュータが想定される(以下このコンピュータを「ゲーム機」ともよぶ)

30

【 0015 】

ゲーム機の場合、1 フレームのレンダリングのうちいちばん時間がかかるものでも、1 フレーム期間よりも短い時間でレンダリングが完了するよう描画プログラム側に配慮がされている。1 フレーム期間にレンダリングが終了しない場合、いわゆるコマ落ちが生じる。この種の描画プログラムは「リアルタイム系のプログラム」ともよばれる。リアルタイム系のプログラムの場合、レンダリングにいちばん時間がかかるフレームに合わせた設計がされているため、逆にいえば、ほとんどのフレームのレンダリングは、1 フレーム期間の終了よりもかなり前に終わってしまう。その結果、CPUやグラフィック回路が1 フレーム期間の相当部分遊んでしまう。そこで、この遊んでしまう期間は、そうした回路(以下、待機回路ともいう)の電源を落とし、または動作クロックを低減する。

40

【 0016 】

ゲーム機では、画面進行はゲームのプログラムが把握しており、1 フレーム期間において描画すべき画面を把握している。その描画さえしてしまえば、もはや一般のコンピュータのように任意の割込等の処理が発生するということがない。そのため、待機回路を省電モードへ移行させても問題が生じず効果的である。発明者のこの知見が実施の形態の基礎にある。

【 0017 】

図 2 は図 1 の情報処理装置 10 の詳細な構成を示す。ここでは、モード依存回路 16 は動作クロックではなく、電源を操作するものとする。同図中、一点鎖線は第 1 機能ブロッ

50

ク 1 2 を、破線は電源ラインを、実線は通常の信号線を表す。

【 0 0 1 8 】

第 1 機能ブロック 1 2 は、CPU 3 0、プリプロセッサ 3 2、レンダリングエンジン 3 4、画像メモリ 3 6 を有する。これらは表示回路 3 8、第 2 機能ブロック 1 4 とともにバス 4 2 に接続され、相互にコマンドやデータの授受を行う。バス 4 2 は CPU 3 0 のローカルバスでもよいし、汎用のシステムバス、その他任意のバスでよい。また、同図の各素子間の連絡は、バス 4 2 経由でもよいし、図示した、または図示しないローカルな信号線で直接行われてもよく、同図の構成は一例に過ぎない。

【 0 0 1 9 】

CPU 3 0 は自身が内蔵し、または図示しない個所におかれたメインメモリや ROM ( リードオンリーメモリ ) から描画プログラムを読み、描画に必要な処理を中心的に実行する。描画プログラムは例えばゲームのプログラムの一部として実装される。プリプロセッサ 3 2 は CPU 3 0 から指示にしたがって描画コマンドを生成し、レンダリングエンジン 3 4 へ出力する。レンダリングエンジン 3 4 は画面イメージをレンダリングし、これを適宜画像メモリ 3 6 へ格納する。レンダリングエンジン 3 4 は 1 フレーム期間内において、自身がなすべき処理が完了したとき、その旨を示す信号 ( 以下、レンダリングエンジンのレディ信号の意味で R E R D Y と表記する ) をモード依存回路 1 6 へ通知する。

【 0 0 2 0 】

画像メモリ 3 6 は、画面表示のためにフレーム期間に亘って継続的に表示すべき画面のデータを格納する主領域 5 0 と、それ以外のデータを格納する副領域 5 2 を有する。主領域 5 0 は後述するごとく電源を落とさず、副領域 5 2 に限って電源を落とす。画像メモリ 3 6 が、現フレームにおいて表示すべきデータを格納する表示用バッファと、次フレームにて表示すべきデータを予め格納する描画用バッファとを含むダブルバッファ構成の場合、これらのふたつのバッファはいずれのフレーム期間においても電源を維持しておくべきであるため、主領域 5 0 へ実装する。一方、Z バッファや ブレンディングのためパラメータなどを格納するワークエリアのデータは、描画処理が完了すれば不要になるため、副領域 5 2 へ実装することができる。

表示回路 3 8 は、画像メモリ 3 6 からデータを読み出し、表示装置 1 8 にふさわしい形式の信号へ変換して出力する。表示装置 1 8 はどのような形態の装置でもよいが、V S Y N C またはこれに類する信号 ( これらを総合して V S Y N C という ) を必要とし、表示回路 3 8 がこれを生成する。ただし、表示装置 1 8 によっては V S Y N C を必要としない装置も存在するため、その場合は表示回路 3 8 が第 2 機能ブロック 1 4 のために V S Y N C を生成する。いずれの場合も、V S Y N C は垂直同期信号に限定する必要はなく、新たな画像フレームの生成をするための契機となる信号であればよい。本明細書で V S Y N C とはいえ、そうした広義に解釈する。

【 0 0 2 1 】

第 2 機能ブロック 1 4 は、移行回路 2 0 と復帰回路 2 2 を有する。移行回路 2 0 はソフトウェアによる指示 ( 以下、移行指示という ) を契機として第 1 機能ブロック 1 2 を省電モードへ移行させる。移行指示は、描画プログラムの終了付近に記述され、実際には移行回路 2 0 が内蔵するシステムレジスタへの書込が移行指示と解釈される。一方、復帰回路 2 2 は表示回路 3 8 から V S Y N C を入力し、この信号がアクティブになれば通常モードへの復帰を指示する。実施の形態 1 では、復帰回路 2 2 は移行回路 2 0 に作用しているが、その詳細は後述する。

【 0 0 2 2 】

モード依存回路 1 6 には電源電圧 ( 以下 V D D と表記 ) が印加され、モードに応じて V D D を第 1 機能ブロック 1 2 の各部へそのまま印加するか遮断する。実施の形態 1 では、CPU 3 0 とそれ以外について電源制御を変えており、CPU 3 0 用の CPU 電源 5 4 と、それ以外の R E 電源 5 6 の二系統が設けられている。すなわち、CPU 3 0 の電源端子は CPU 電源 5 4 へ接続され、プリプロセッサ 3 2、レンダリングエンジン 3 4、および画像メモリ 3 6 のうちの副領域 5 2 の電源端子は R E 電源 5 6 へ接続される。なお、画像

10

20

30

40

50

メモリ36の主領域50は副領域52とは別の電源端子をもち、VDDから常に電圧印加を受ける。表示回路38も同様である。

#### 【0023】

図3は、移行回路20、復帰回路22、モード依存回路16の詳細回路を示す。モード依存回路16は、VDDとCPU電源54、RE電源56の間にそれぞれアナログスイッチとして機能する第1トランジスタ60と第2トランジスタ62を有する。移行回路20はデコーダ64、システムレジスタ66、ラッチ68を有する。システムレジスタ66はフリップフロップで構成され、移行指示が書き込まれる。システムレジスタ66のアドレスを「A番地」とし、「1」の書込が移行指示とする。システムレジスタ66の初期値は「0」である。システムレジスタ66の入力Dはバス42のデータの最下位ビットであるデータD0に接続される。デコーダ64はA番地に対して書込コマンドが発行されたとき、出力をアクティブにする。この出力はシステムレジスタ66のトリガ端子に接続される。システムレジスタ66の出力Qは移行指示が出たときにアクティブになる正論理の信号（以下、SLEEPと表記）である。SLEEPは第1トランジスタ60のゲートへ接続される。

10

#### 【0024】

ラッチ68はフリップフロップで構成され、RE RDY信号をラッチする。ラッチ68の入力DはVDDにプルアップされ、RE RDYがトリガ信号として入力され、出力Qは第2トランジスタ62のゲートへ接続される。

#### 【0025】

復帰回路22はNORゲート70を有する。NORゲート70の入力は情報処理装置10のリセット期間でハイアクティブになるリセット信号（以下、RESETと表記）、およびVSYNCである。NORゲート70の出力はシステムレジスタ66とラッチ68のリセット端子に接続される。

20

#### 【0026】

図4は、描画とその後に省電モードへ移行する描画プログラム200の記述例を示す。同図において、render()は描画のためのプログラムの主要部分202で、この部分は前述のリアルタイム系のプログラムとして、1フレーム期間でレンダリングが完了するように配慮されている。

一方、sleep()は移行指示のための部分204で、ふたつの処理が記述されている。第1の処理は、CPU30からレンダリングエンジン34に対して、「このフレーム期間については、もうこれ以上指示または命令を送らない」旨を通知する処理である。この通知を受ければ、レンダリングエンジン34はその時点で自己の内部にフェッチ、デコード、実行等されている指示または命令さえ処理すればよいことを知る。そしてその処理が完了したとき、RE RDYをアサートする。sleep()における第2の処理は、移行指示の発行である。これは「A番地に対して「1」を書き込む」という処理である。

30

#### 【0027】

以上の構成による情報処理装置10の動作モードの制御を図5のタイミングチャートを利用して説明する。図5において、いま注目しているフレーム期間は時刻t0に始まり、t3で終了する。フレーム期間の開始とともにVSYNCがパルス状にアクティブになる（図5のa）。このため、NORゲート70の出力がローになってシステムレジスタ66とラッチ68はリセットされ、SLEEPおよびラッチ68の出力がローになる。その結果、第1トランジスタ60、第2トランジスタ62のゲートはともにローになり、これらのトランジスタがオンするため、VDDがCPU電源54とRE電源56へ印加される（図5のb）。これにより、すべての素子に電源電圧が印加され、通常モードが開始する。

40

#### 【0028】

このフレームに対するCPU30の処理、すなわち図4の関数render()は時刻t1で終了する。CPU30はつづいて関数sleep()の処理に入り、レンダリングエンジン34へ命令の打ち止めを通知した後、移行指示を発行する。移行指示の発行によ

50

り、デコーダ64がシステムレジスタ66のトリガ信号を発生する。このとき、システムレジスタ66のデータD0は「1」であるため、システムレジスタ66に「1」が書き込まれ、システムレジスタ66の出力であるSLEEPがハイになる(図5のc)。これにより、第1トランジスタ60はオフし、CPU電源54はVDDから遮断され、CPU30の電源が落ちる(図5のd)。

#### 【0029】

この後もレンダリングエンジン34は内部で処理が続行しているが、その処理が時刻t2で終了すれば、READYをハイにアサートする(図5のe)。その結果、ラッチ68の出力がハイになり、第2トランジスタ62がオフし、RE電源56はVDDから遮断され、レンダリングエンジン34その他の電源が落ちる(図5のf)。レンダリングエンジン34の電源が落ちるとREADYもローに戻る(図5のg)。その結果、時刻t2において、落とせる電源はすべて落ちた状態になるが、画像メモリ36の主領域50と表示回路38は電源がVDDから供給されているので、そのフレームの残余の期間も表示は正常になされる。これで省電モードへの移行が完了する。

#### 【0030】

このあと、時刻t3でこのフレーム期間が終了すると、次のフレーム期間の最初にVSYNCがハイでアサートされるため、システムレジスタ66とラッチ68がリセットされ、それらの出力がローに戻るため、第1トランジスタ60と第2トランジスタ62がオンし、VDDがCPU電源54とRE電源56に印加される(図5のh)。これで通常モードへ復帰する。

#### 【0031】

以上、実施の形態1によれば、描画が完了したときは電源電圧を遮断するため、省電効果が得られる。フレーム期間は秒に近いオーダであるから、電源の遮断と再投入には十分な時間的余裕があり、好都合である。また、VSYNCというハードウェア信号をトリガとして通常モードへ復帰できるため、描画処理を格別遅らせる心配もない。ゲーム機をはじめとするいわゆるリアルタイム系のプログラムでは、操作の組合せやタイミングが予めわかっているため、電源遮断による悪影響がないことを確認したうえで実施の形態を適用できる。

#### 【0032】

実施の形態2.

実施の形態1では電源遮断による省電モードへの移行を考えた。実施の形態2では、電源の遮断ではなく、動作クロックの停止による省電モードへの移行を考える。実施の形態2も実施の形態1と共通部分が多く、図面もほぼ同様のため、以下、実施の形態1の図面を利用し、実施の形態1を基礎として差異を中心に説明する。

#### 【0033】

図1、図2の基本構成は実施の形態1同様である。ただし、図1のモード依存回路16の処理が電源遮断ではなくCPU30、レンダリングエンジン34等の動作クロックの停止となる。また、図2のモード依存回路16には基準クロック(図示せず)が入力され、モード依存回路16からの出力が動作クロックとしてCPU30、レンダリングエンジン34等へ与えられる。図3において、実施の形態2では、第1トランジスタ60と第2トランジスタ62のソース側の接続先がVDDではなく、それぞれCPU30とレンダリングエンジン34の動作周波数にマッチしたクロック信号となる。図4、図5は実施の形態1同様であるが、図5において、CPU電源54が入っている時刻t0~t1はCPU30に対する動作クロックが通常どおり供給され、一方、CPU電源54が落ちている時刻t1~t3は動作クロックが停止する。同様に、RE電源56が入っている時刻t0~t2は、レンダリングエンジン34等に対する動作クロックが通常どおり供給され、一方、RE電源56が落ちている時刻t2~t3は動作クロックが停止する。以上、実施の形態2においても実施の形態1同様の効果が得られる。

#### 【0034】

以上、本発明を実施の形態によって説明した。実施の形態1、2は例示に過ぎず、その

10

20

30

40

50

種々の変形技術が本発明に含まれることは当業者には容易に理解されるところである。以下、そうした変形技術に触れる。

【 0 0 3 5 】

変形技術 1

実施の形態 1、2 では、第 1 機能ブロック 1 2 は CPU 3 0、プリプロセッサ 3 2、レンダリングエンジン 3 4、画像メモリ 3 6 を有するとしたが、ここには当然設計自由度がある。たとえば、第 1 機能ブロック 1 2 は CPU 3 0 やプリプロセッサ 3 2 を有さなくともよいし、画像メモリ 3 6 を有さなくともよい。逆に、表示回路 3 8 をも含む構成としてもよい。

【 0 0 3 6 】

変形技術 2

実施の形態 1、2 では、プリプロセッサ 3 2 とレンダリングエンジン 3 4 を別構成としたが、当然これらは一体であってもよいし、設計如何でプリプロセッサ 3 2 が不在の場合も考えられる。

【 0 0 3 7 】

変形技術 3

実施の形態 1 では、CPU 3 0 とレンダリングエンジン 3 4 等の電源をともに落とす構成としたが、CPU 3 0 のみでもよいし、レンダリングエンジン 3 4 等のみでもよい。さらには、レンダリングエンジン 3 4 の中でも電源を落とすタイミングに差を設けて処理が終了したところから順次電源を落とす構成にしてもよい。同様に実施の形態 2 では、CPU 3 0 とレンダリングエンジン 3 4 等の動作クロックをともに停止する構成としたが、CPU 3 0 のみでもよいし、レンダリングエンジン 3 4 等のみでもよい。さらには、レンダリングエンジン 3 4 の中でも動作クロックを停止するタイミングに差を設けて処理が終了したところから順次動作クロックを停止する構成にしてもよい。

【 0 0 3 8 】

変形技術 4

実施の形態 1 では、CPU 3 0 のみならず、レンダリングエンジン 3 4 等の電源が落ちた時点をもって省電モードへの移行完了とみなしたが、モードの移行は CPU 3 0 の電源が落ちたときと考えてもよい。

【 0 0 3 9 】

変形技術 5

実施の形態 1 と実施の形態 2 の構成を組み合わせることもできる。例えば CPU 3 0 は電源を落とすが、レンダリングエンジン 3 4 等は動作クロックの停止だけを実施してもよいし、当然、その逆でもよい。

【 0 0 4 0 】

変形技術 6

実施の形態 1 では、電源電圧を遮断したが、場合により、電源電圧を低下させる程度としてもよい。この場合、通常モードへの復帰を早めることができ、また、場合により、データや回路状態を保持することができる。同様に、実施の形態 2 では動作クロックを完全に停止するのではなく、周波数を下げることにもよい。その場合、CPU 3 0 を完全に停止させず、待機状態においたり、任意の処理を実行させることもできる。いずれの場合も、通常モードよりも省電モードで当然に電力をセーブすることができる。なお、電源に関しては遮断と低下、動作クロックに関しては停止と周波数の低下という選択肢が可能であり、これらのいずれを採るかは、素子ごとに変更することができる。

【 0 0 4 1 】

変形技術 7 いずれの実施の形態においても、省電モードへ移行するか否かを、その時点におけるフレームの残余期間に基づいて判断してもよい。残余期間があるしきい値以下であれば、省電モードへ移行したり、またそこから通常モードへ復帰するといった、モード遷移による電力ロスのほうが省電モードによる省電効果よりも大きくなるとは限らない。図 6 はこうした配慮で設計された復帰回路 2 2 の変形例を示す。図 3 の復帰回路 2

10

20

30

40

50

2と比較すると、カウンタ80とデコーダ82が新設され、NORゲート70が3入力になっている。これら以外の構成は図3と同じである。

#### 【0042】

カウンタ80は、残余期間を計測するための基準クロック（CLKと表記する）をカウントする。カウンタ80のリセット端子にはORゲート86の出力が接続され、このORゲート86にはVSYNCとSLEEPが入力される。したがって、VSYNCがハイになるたびに、すなわち、フレーム期間の最初にカウント値がゼロクリアされ、また、フレーム期間中にSLEEPがアサートされたとき、それ以降そのフレーム中ゼロクリアされつづける。デコーダ82は、そのカウント値がある値N以上になったとき、出力84をアクティブにする。このNは、残余期間との関係で定めておく。NORゲート70は図3同様RESETとVSYNCが入力され、そのほかにデコーダ82の出力84が入力される。

10

#### 【0043】

以上の構成により、あるフレーム期間において、残余期間が十分にあるときにはカウンタ80の出力はまだNに到達せず、デコーダ82の出力84はローのままとなり、デコーダ82はNORゲート70に対して影響しない。そのため、図3と同じ回路に帰着し、省電モードへの移行が自在になる。一方、あるフレーム期間において残余期間が少なくなるとカウンタ80の出力がNに到達し、デコーダ82の出力84がハイになる。その結果、NORゲート70の出力がローになり、システムレジスタ66とラッチ68がリセットされ、強制的に通常モードとなる。その結果、無用に省電モード移行することが禁止される。なお、すでに省電力モードに入った後、カウンタ80の出力がNに達して通常モードへ戻ることがないように、SLEEP信号がアサートされるとORゲート86の出力がハイになり、カウンタ80がクリアされるよう配慮している。

20

#### 【0044】

##### 変形技術8

実施の形態1、2では、ソフトウェアからの指示を契機として省電力モードへの移行を実現した。しかし、ソフトウェアではなく、ハードウェア側にモード移行の契機をもたせてもよい。たとえば、レンダリングエンジン34内部にアイドルタイマを設け、所定時間CPU30からの指示が途絶え、かつ自身の内部処理が完了したとき、レンダリングエンジン34自らREADYをアサートし、省電力モードへの移行を実行してもよい。その場合、図3において、第2トランジスタ62はオフするが、第1トランジスタ60がオンのままとなるため、図3の回路を修正する。すなわち、ラッチ68の出力とSLEEPを図示しないORゲートに入力し、その出力を第1トランジスタ60のゲートに接続すればよい。その構成によれば、READYがアサートされると、第2トランジスタ62だけでなく、第1トランジスタ60もオフになり、目的を達する。ハードウェア側にモード移行機能をもたせれば、ソフトウェア側はモード移行に意識しないコーディングが可能になる。

30

#### 【0045】

##### 変形技術9

図5の処理では、VSYNCがハイになると、CPU電源54とRE電源56が同時に再投入された。しかし、まずはCPU電源54を再投入し、その後、RE電源56を再投入してもよい。当初、CPU30の処理が進行するためである。そのため、以下のような構成が可能である。

40

1. VSYNCがハイになってからの時間を計測するタイマをCPU電源54下に設け、所定時間の経過後にRE電源56を再投入する。

2. VSYNCより少し遅れて変化する信号をもとにRE電源56を再投入する。

3. CPU30が所定時間待ってRE電源56を再投入する。

4. CPU30がレンダリングエンジン34その他RE電源56から電力供給を受ける素子に対してコマンドを送る等の作用をするとき、その処理の前にRE電源56を再投入する。

#### 【0046】

50

## 変形技術 10

実施の形態 1、2 で説明した省電力モードに加え、別の省電力対策を導入してもよい。例えば、情報処理装置 10 の電源である電池の残量が減少したとき、オブジェクト数やポリゴン数が少ない「省電力モード用のデータセット」を使用してもよい。そのための構成として、電池残量を計測する計測部と、通常データセットとは別に、処理負荷を軽減するために簡易化されたデータセットとを準備し、電池残量が所定値以下になれば、CPU 30 は簡易化されたデータセットに切り換えて描画処理を実施すればよい。この場合、描画処理が早く終了するため、実施の形態 1、2 との組合せによる節電効果は大きい。

【0047】

## 変形技術 11

同様に、フレームレートを下げることによる省電力を導入してもよい。例えば、60 フレーム/秒だった描画を 30 フレーム/秒に落とすことにより、描画処理は半分で済む。その結果、当然ながらレンダリングエンジン 34 等の稼働期間が短くなるため、実施の形態 1、2 との組合せによる節電効果は大きい。

【図面の簡単な説明】

【0048】

【図 1】実施の形態 1、2 に係る情報処理装置の概略構成を示す図である。

【図 2】図 1 の構成の詳細を示す図である。

【図 3】図 2 の構成中、モード依存回路、移行回路、復帰回路を示す回路図である。

【図 4】実施の形態 1、2 に係る情報処理装置に描画させるためのプログラムの概略構成図である。

【図 5】実施の形態 1 による、フレーム内での通常モードと省電モードの遷移を示すタイミングチャートである。

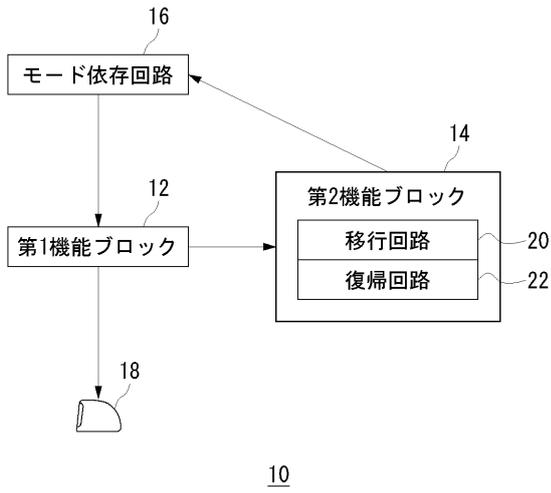
【図 6】実施の形態 1、2 の変形技術に係る復帰回路の構成を示す図である。

【符号の説明】

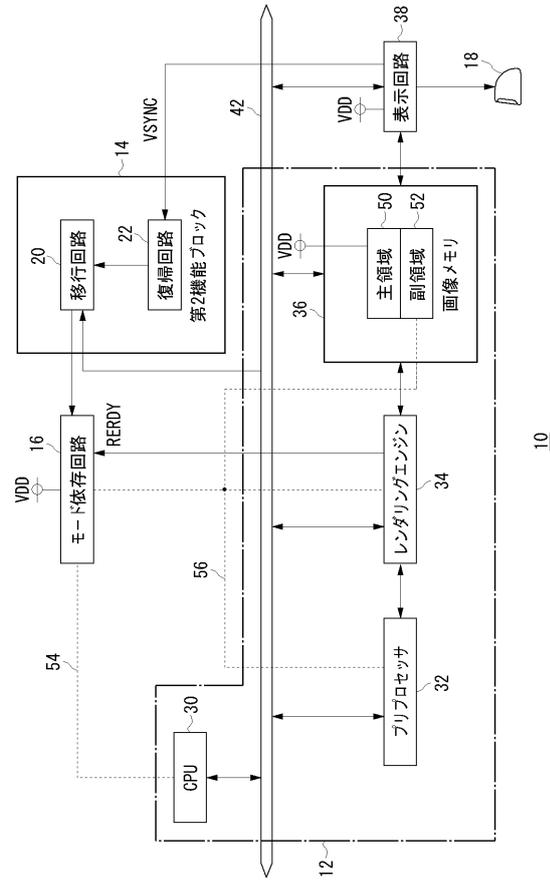
【0049】

10 情報処理装置、 12 第 1 機能ブロック、 14 第 2 機能ブロック、 16  
モード依存回路、 20 移行回路、 22 復帰回路。

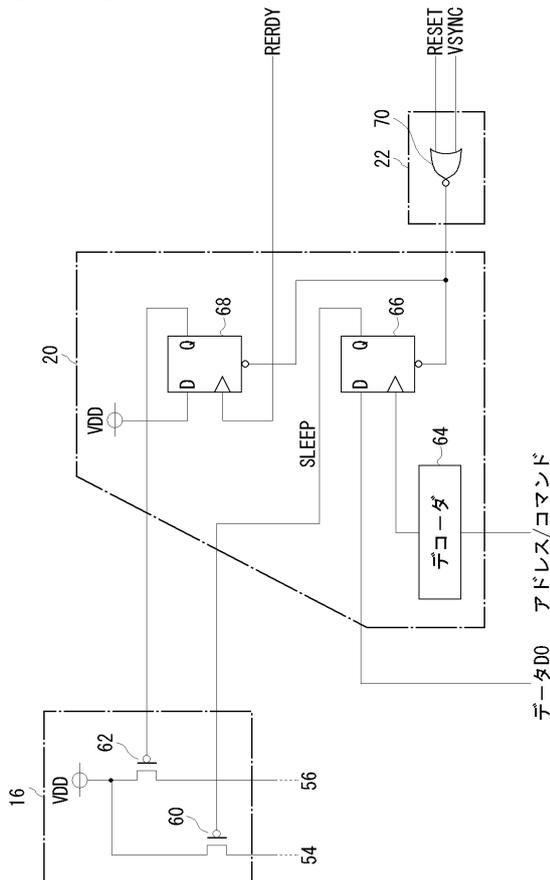
【図1】



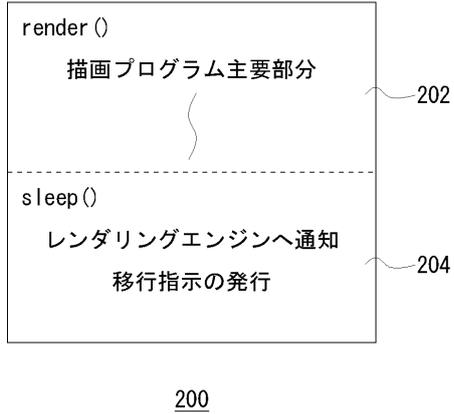
【図2】



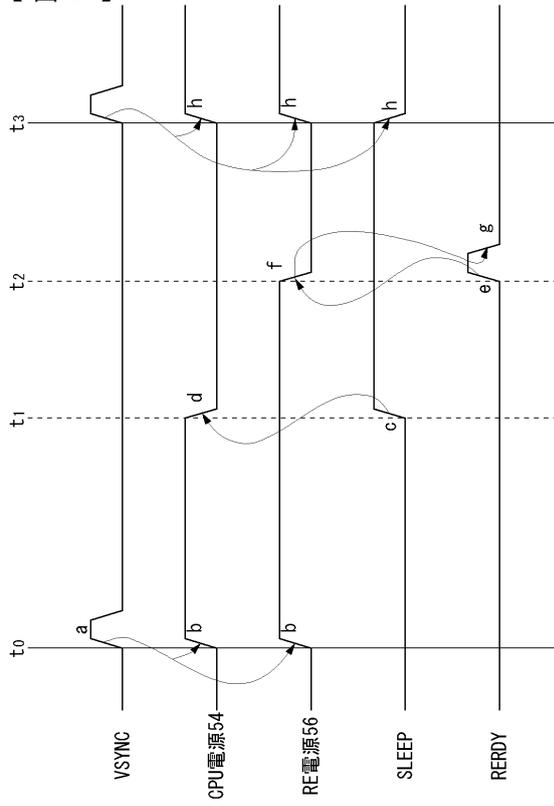
【図3】



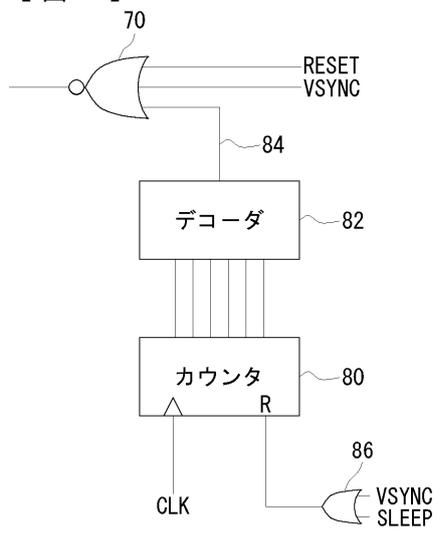
【図4】



【 図 5 】



【 図 6 】



---

フロントページの続き

- (56)参考文献 特開平11-119767(JP,A)  
特開平05-011730(JP,A)  
特開2000-285227(JP,A)  
特開2002-108316(JP,A)  
特開2002-018122(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G5/00-5/42  
G06F1/04-1/14、3/14-3/153