

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-40885  
(P2023-40885A)

(43)公開日 令和5年3月23日(2023.3.23)

| (51)国際特許分類 |                | F I     |      | テーマコード (参考) |           |
|------------|----------------|---------|------|-------------|-----------|
| H 0 2 H    | 3/18 (2006.01) | H 0 2 H | 3/18 |             | 5 G 0 0 4 |
| H 0 2 M    | 3/28 (2006.01) | H 0 2 M | 3/28 | W           | 5 G 1 6 5 |
| H 0 2 J    | 1/00 (2006.01) | H 0 2 M | 3/28 | C           | 5 H 7 3 0 |
|            |                | H 0 2 J | 1/00 | 3 0 9 P     |           |

審査請求 有 請求項の数 6 O L (全10頁)

|          |                             |            |   |
|----------|-----------------------------|------------|---|
| (21)出願番号 | 特願2021-148076(P2021-148076) | (71)出願人    | 000005049<br>シャープ株式会社<br>大阪府堺市堺区匠町1番地   |
| (22)出願日  | 令和3年9月10日(2021.9.10)        | (74)代理人    | 110000338<br>弁理士法人 HARAKENZO WOR<br>LD PATENT & TRADEMA<br>RK   |
|          |                             | (72)発明者    | 塩見 竹史<br>大阪府堺市堺区匠町1番地 シャープ株<br>式会社内   |
|          |                             | F ターム (参考) | 5G004 AA04 DB01<br>5G165 BB07 CA01 DA06 EA06<br>HA07 LA01 LA02 NA01<br>NA03 NA05 NA06 NA07<br>5H730 AS01 BB21 BB84 EE03<br>最終頁に続く |

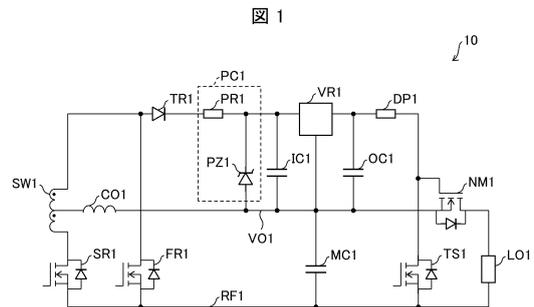
(54)【発明の名称】 逆流防止回路、電源回路、および電源装置

(57)【要約】

【課題】従来よりも制御が簡単な逆流防止回路を提供する。

【解決手段】NMOS (NM1)、第1整流素子 (FR1)、第2整流素子 (SR1)、第3整流素子 (TR3)、センタータップ端子を備えるトランスの2次側巻線 (SW1)、電圧レギュレータ (VR1)、およびトランジスタ (TS1) を備える逆流防止回路10。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

N M O S を使った逆流防止回路であって、  
 上記逆流防止回路は、  
 アノード端子、カソード端子、および制御端子を備える上記 N M O S と、  
 基準電圧ノードと、  
 出力電圧ノードと、  
 第 1 整流素子、第 2 整流素子、および第 3 整流素子と、  
 センタータップ端子を備えるトランスの 2 次側巻線と、  
 入力端子、出力端子、および基準電圧端子を備える電圧レギュレータと、  
 高電圧端子、低電圧端子、および制御端子を備えるトランジスタと、を備えており、  
 上記 2 次側巻線の一端に、上記第 1 整流素子のカソード端子と、上記第 3 整流素子のア  
 ノード端子とが接続されており、  
 上記 2 次側巻線の他端に、上記第 2 整流素子のカソード端子が接続されており、  
 上記基準電圧ノードに、上記第 1 整流素子のアノード端子と、上記第 2 整流素子のアノ  
 ード端子と、上記トランジスタの低電圧端子とが接続されており、  
 上記電圧レギュレータの入力端子は、上記第 3 整流素子のカソード端子に接続されてお  
 り、  
 上記電圧レギュレータの基準電圧端子は、上記出力電圧ノードに接続されており、  
 上記 2 次側巻線のセンタータップ端子は、直接またはコイルを介して上記出力電圧ノード  
 に接続されており、  
 上記 N M O S のアノード端子は、上記出力電圧ノードに接続されており、  
 上記 N M O S の制御端子に、上記電圧レギュレータの出力端子に接続される経路と、上  
 記トランジスタの高電圧端子に接続される経路とが備わっている、逆流防止回路。

## 【請求項 2】

上記電圧レギュレータは、出力仕様が 10 V 以上かつ 1 A 以下のシリーズレギュレータ  
 である、請求項 1 に記載の逆流防止回路。

## 【請求項 3】

上記出力電圧ノードの電圧は、3 V ~ 20 V である、請求項 1 に記載の逆流防止回路。

## 【請求項 4】

上記 N M O S の制御端子から上記電圧レギュレータの出力端子に接続される上記経路に  
 は、抵抗が接続されている、請求項 1 に記載の逆流防止回路。

## 【請求項 5】

請求項 1 に記載の逆流防止回路を備える電源回路。

## 【請求項 6】

並列接続した請求項 5 に記載の電源回路を備える電源装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

以下の開示は、逆流防止回路に関する。

## 【背景技術】

## 【0002】

従来、他の電源回路との並列化を行う電源回路の出力部には、出力電流の逆流を防止す  
 る為に M O S ( Metal-Oxide-Semiconductor ) で構成された逆流防止回路が用いられ  
 る。特許文献 1 にその一例が開示されている。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2006 - 311740 号公報

## 【発明の概要】

10

20

30

40

50

## 【発明が解決しようとする課題】

## 【0004】

但し、このような逆流防止回路には、なおも改良の余地がある。

## 【0005】

本開示の一態様は、従来よりも制御が簡単な逆流防止回路を提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

上記の課題を解決するために、本開示の一態様に係る逆流防止回路は、NMOSを使った逆流防止回路であって、上記逆流防止回路は、アノード端子、カソード端子、および制御端子を備える上記NMOSと、基準電圧ノードと、出力電圧ノードと、第1、第2、および第3整流素子と、センタータップ端子を備えるトランスの2次側巻線と、入力端子、出力端子、および基準電圧端子を備える電圧レギュレータと、高電圧端子、低電圧端子、および制御端子を備えるトランジスタと、を備えており、上記2次側巻線の一端に、上記第1整流素子のカソード端子と、上記第3整流素子のアノード端子とが接続されており、上記2次側巻線の他端に、上記第2整流素子のカソード端子が接続されており、上記基準電圧ノードに、上記第1整流素子のアノード端子と、上記第2整流素子のアノード端子と、上記トランジスタの低電圧端子とが接続されており、上記電圧レギュレータの入力端子は、上記第3整流素子のカソード端子に接続されており、上記電圧レギュレータの基準電圧端子は、上記出力電圧ノードに接続されており、上記2次側巻線のセンタータップ端子は、直接またはコイルを介して上記出力電圧ノードに接続されており、上記NMOSのアノード端子は、上記出力電圧ノードに接続されており、上記NMOSの制御端子に、上記電圧レギュレータの出力端子に接続される経路と、上記トランジスタの高電圧端子とに接続される経路とが備わっている。

## 【発明の効果】

## 【0007】

本開示の一態様によれば、従来よりも制御が簡単な逆流防止回路を提供することができる。

## 【図面の簡単な説明】

## 【0008】

【図1】本開示の一実施形態に係る、ゲート駆動回路を含む逆流防止回路の回路構成を示す図である。

【図2】本開示の一実施形態に係る逆流防止回路における各部の電圧波形を示す図である。

【図3】本開示の一実施形態に係る逆流防止回路を備える電源回路と、電源回路を備える電源装置とを示す図である。

## 【発明を実施するための形態】

## 【0009】

図1は、本開示の一実施形態に係る、ゲート駆動回路を含む逆流防止回路10の回路構成を示す図である。本実施形態で開示する逆流防止回路10は、MOS(Metal-Oxide-Semiconductor)を順方向電圧降下の少ないダイオードとして機能させるために、順方向電流の導通時にゲートのONを行う。

## 【0010】

本開示において、記載の簡潔化のために、例えば「第1整流素子FR1」を、単に「FR1」とも表記する。

## 【0011】

(用語の定義)

逆流防止回路10の説明に先立ち、本明細書では、以下の通り各用語を定義する。

## 【0012】

・トランジスタ：後述する高電圧端子、低電圧端子、および制御端子の3端子を備える

素子。トランジスタは、制御端子の電圧または電流制御によって、高電圧端子から低電圧端子へ電流を流すことと流さないことが制御できる。MOSおよびバイポーラトランジスタも、このトランジスタに該当する。

#### 【0013】

トランジスタがNチャネル金属酸化物半導体(N-Channel Metal-Oxide-Semiconductor、NMOS)の場合には、ドレインが高電圧端子、ソースが低電圧端子、ゲートが制御端子になる。トランジスタのゲートソース間電圧が、しきい値電圧以上になると、高電圧端子から低電圧端子へ電流が流れる。トランジスタがNPNバイポーラトランジスタの場合には、コレクタが高電圧端子、エミッタが低電圧端子、ベースが制御端子になる。制御端子に電流を流すと、高電圧端子から低電圧端子へ電流が流れる。

10

#### 【0014】

- ・高電圧端子：低電圧端子に印加される電圧よりも高い電圧を印加して使用する端子
- ・低電圧端子：高電圧端子に印加される電圧よりも低い電圧を印加して使用する端子
- ・整流素子：ダイオードを代表として、アノード端子からカソード端子へ電流を流す素子。ここには、NMOSを代表する素子も含まれる。整流素子がNMOSの場合には、ソースをアノード端子、ドレインをカソード端子と定義できる。

#### 【0015】

- ・電圧レギュレータ：入力電圧および負荷の変動に依存せずに所定の電圧を出力する回路、または当該回路が組み込まれた電子部品。リアレギュレータおよびスイッチングレギュレータが、電圧レギュレータに該当する。これらのレギュレータは、電力を受け取る入力端子と、電力を出力する出力端子と、入出力電圧の基準となるノードに接続する基準電圧端子とを備える。

20

#### 【0016】

- ・シリーズレギュレータ：リアレギュレータに含まれ、LDO(Low Drop-Out regulator)等が該当する。シリーズレギュレータには、低出力仕様における消費電力が非常に小さいというメリットが有る。

#### 【0017】

逆流防止回路10に用いる電源としては、NMOSのゲートがON中は消費電力がリーク電流のみ(ほぼゼロ)であるため、シリーズレギュレータが最適となる。逆流防止回路10に含まれるNMOS(後述するNM1)のオン抵抗を低減するために比較的高い10V以上の電圧を適用する為、出力仕様が1A以下のシリーズレギュレータを選択することで、シリーズレギュレータを小型にすることが出来る。電圧の上限は20Vであり、それ以上ではNM1の制御端子(ゲート)の信頼性が悪化する。

30

#### 【0018】

(逆流防止回路10を構成する素子)

図1に示すように、NM1を使った逆流防止回路10は、NM1、RF1、VO1、FR1、SR1、CO1、TR1、PC1(PR1およびPZ1)、SW1、VR1、TS1、DP1、IC1、OC1、およびMC1を備えている。また、図1に示すように、逆流防止回路10にLO1が接続されている。これらの素子について、それぞれ以下に説明する。

40

#### 【0019】

(逆流防止回路10の主要な回路構成)

NM1を使った逆流防止回路10の主要な素子は、NM1、RF1、VO1、FR1、SR1、TR1、SW1、VR1、およびTS1である。

#### 【0020】

SW1は、センタータップ端子を備えるトランス(変圧器)の2次側巻線である。CO1は、インダクタンスが2.5 $\mu$ H、抵抗が300 $\mu$ のコイルである。FR1は、しきい値電圧が3.3V、オン抵抗が300 $\mu$ になるように並列化したNMOSで構成される第1整流素子である。SR1は、FR1と同じ構成のNMOSを使った第2整流素子である。TR1は、耐圧が90V、順方向電圧が0.6VのFRD(Fast Recovery Dio

50

de) を用いた第 3 整流素子である。

【 0 0 2 1 】

PC 1 は、PR 1 と PZ 1 で構成され、ノイズから後段の素子を保護する回路である。PR 1 は、抵抗が 1 k の保護用の抵抗である。PZ 1 は、降伏電圧が 56 V のツェナーダイオードである。VR 1 は、LDO で構成されており、出力電圧が 15 V かつ出力電流が 0.2 A の電圧レギュレータである。VR 1 は、好ましくは、出力仕様が 10 V 以上かつ 1 A 以下のシリーズレギュレータである。VR 1 は、NM 1 のゲート駆動用電源である IC 1 は、静電容量が 0.1  $\mu$ F の電圧安定化コンデンサである。OC 1 は、静電容量が 0.1  $\mu$ F の出力電圧安定化コンデンサである。DP 1 は、抵抗が 30 k の抵抗である。NM 1 は、しきい値電圧が 1.6 V になり、かつオン抵抗が 70  $\mu$  になるように並列化した NMOS で構成される逆流防止用の素子である。NM 1 は、アノード端子、カソード端子、および制御端子を備える。TS 1 は、しきい値電圧が 1.6 V かつオン抵抗が 2 の NMOS で構成されたトランジスタである。TS 1 は、NM 1 のゲート駆動回路である。

10

【 0 0 2 2 】

MC 1 は、静電容量が 10 mF になるように並列化したコンデンサで構成されるコンデンサである。LO 1 は、負荷が 2 kW になるように構成された抵抗である。RF 1 は、基準電圧ノード (0 V) である。VO 1 は、出力電圧ノード (12.2 V) である。

【 0 0 2 3 】

PC 1 は、ノイズ除去回路であるため、逆流防止回路 10 においてノイズが問題にならない状況下では、逆流防止回路 10 に PC 1 は不要となる。PC 1 の出力端子は、PZ 1 のカソード端子に相当する。56 V より高いノイズが電圧に混入した場合でも、電圧は 56 V に制限されている。これは、PC 1 が電圧レギュレーションしていることにも該当する。このようなノイズ除去回路は、シャントレギュレータとも定義される。PC 1 の入力端子は、TR 1 のカソード端子に接続されている。PC 1 の出力端子は、PZ 1 のカソード端子に相当し、PC 1 の基準電圧端子は、PZ 1 のアノード端子に相当する。PC 1 は、PZ 1 のツェナー降伏電圧を調整することで電圧をレギュレーション出来ることから、VR 1 の代わりに使用することも可能である。

20

【 0 0 2 4 】

( 逆流防止回路 10 を構成する各素子の接続関係 )

SW 1 の一端に、FR 1 のカソード端子と TR 1 のアノード端子とが接続されている。SW 1 の他端に、SR 1 のカソード端子が接続されている。RF 1 に、FR 1 のアノード端子と、SR 1 のアノード端子と、TS 1 の低電圧端子とが接続されている。VR 1 の入力端子は、TR 1 のカソード端子に接続されており、VR 1 の基準電圧端子は、VO 1 に接続されている。SW 1 のセンタータップ端子は、CO 1 を介して VO 1 に接続されている。なお、SW 1 のセンタータップ端子は、CO 1 を介さずに直接 VO 1 に接続されていてもよい。NM 1 のアノード端子は、VO 1 に接続されている。NM 1 の制御端子 (ゲート) に、VR 1 の出力端子に接続される経路と、TS 1 の高電圧端子に接続される経路とが備わっている。

30

【 0 0 2 5 】

NM 1 の制御端子 (ゲート) から VR 1 の出力端子に接続される経路には、DP 1 が接続されている。

40

【 0 0 2 6 】

LO 1 は、逆流防止回路 10 のテスト用に接続した負荷である。LO 1 の一端は、NM 1 のカソード端子に接続されており、LO 1 の他端は、RF 1 に接続されている。NM 1 のカソード端子は、逆流防止回路 10 の出力端子に相当する。FR 1、SR 1、および TS 1 の各制御端子は、後述する制御回路 20 に接続されている。制御回路 20 が、FR 1、SR 1、および TS 1 の各制御端子を制御する。

【 0 0 2 7 】

IC 1 および OC 1 は、いずれも、VR 1 の安定動作の為に逆流防止回路 10 に組み込

50

まれるコンデンサである。コンデンサの必要性の有無は、逆流防止回路 10 および V R 1 の詳細仕様によって変化する。このため I C 1 および O C 1 は、逆流防止回路 10 に必須ではない。

【 0 0 2 8 】

D P 1 は、N M 1 のターン O N 速度を調整するか、または、T S 1 の O N による O C 1 の放電を抑制する、といった目的で、逆流防止回路 10 に組み込まれている。これらを D P 1 で行わない場合には、D P 1 を逆流防止回路 10 に組み込む必要はない。

【 0 0 2 9 】

M C 1 は、V O 1 の電圧を安定化させるコンデンサである。M C 1 の静電容量の大きさ、M C 1 の必要性の有無、および M C 1 を組み込む位置などは、逆流防止回路 10 の詳細仕様によって変化する。このため M C 1 は、その必要性に応じて逆流防止回路 10 に適宜採用されるものである。

10

【 0 0 3 0 】

( 逆流防止回路 10 の回路動作 )

図 2 は、本開示の一実施形態に係る逆流防止回路 10 における各部の電圧波形を示す図である。逆流防止回路 10 の回路動作は、以下の 2 工程に分けて考えることができる：

第 1 工程：V R 1 の出力電圧立上

第 2 工程：N M 1 の制御。

【 0 0 3 1 】

図 2 の N M 1 V g s は、本実施形態における N M 1 のゲートソース間電圧を示す。また、図 2 の V R 1 V o u t は、本実施形態における V R 1 の出力電圧を示す。

20

【 0 0 3 2 】

V R 1 の出力電圧立上は、以下のように行われる。最初に、T S 1 を O N させることで N M 1 を O F F させる。これは、不用意な N M 1 の O N による電流の逆流を防止する為である。トランスの 1 次側巻線 ( 不図示 ) が矩形波で励磁されることで、S W 1 に 3 5 V で 6 6 k H z の起電圧が発生する。この電圧を、F R 1 および S R 1 で整流し、さらに C O 1 および M C 1 で平滑することで、V O 1 に 1 2 . 2 V の出力電圧を発生させる。一方で、T R 1 で整流されかつ V O 1 を基準とした電圧である 2 2 . 8 V ( 3 5 V - 1 2 . 2 V ) は、I C 1 で平滑化される。2 2 . 8 V を入力とする V R 1 は、1 5 V を出力し、O C 1 で電圧を安定化する。図 2 に示すように、V R 1 V o u t は、トランス励磁の開始から約 5 m S e c ( ミリ秒 ) で所定の 1 5 V まで立ち上がっていることが分かる。

30

【 0 0 3 3 】

逆流防止回路 10 では、トランスを矩形波で励磁するために、C O 1 を採用している。L L C コンバータ等の正弦波励磁の場合には、C O 1 は逆流防止回路 10 に不要である。このため、C O 1 は逆流防止回路 10 に必須ではない。

【 0 0 3 4 】

N M 1 の制御は、

- ・ V R 1 の出力電圧が N M 1 のしきい値電圧以上であること ( 出力電圧は必ずしも 1 5 V でなくてよい )

- ・ N M 1 に寄生ダイオードを通じた順方向電流が流れていること

40

の双方を制御回路 20 が判断 ( 推定も含む ) し、T S 1 をターン O F F することによって行われる。

【 0 0 3 5 】

N M 1 は、入力静電容量 ( C i s s ) と D P 1 の抵抗値との時定数でターン O N する。N M 1 がオンすることで、順方向電圧降下が低減される。

【 0 0 3 6 】

制御回路 20 は、N M 1 に逆流電流が流れた場合、または、それを予知あるいは検知した場合には、T S 1 をターン O N する。これによって、N M 1 が O F F し、逆流電流を止めることができる。図 2 に示す時間 5 m S e c で T S 1 をターン O F F することで、N M 1 V g s は、約 1 0 m S e c かけてゆっくりと 1 5 V に達している。D P 1 によって、ゆ

50

っくりとNM1をONすることで、過渡的な電流を抑制し逆流防止回路10の全体の誤動作を抑制することが出来る。一方で、時間40mSecに例示されるように、NM1のOFFを高速にすることで、逆流電流を高速に遮断できる。

【0037】

(出力電圧ノードVO1の最適範囲)

逆流防止回路10は、逆流電流が流れた場合には高速にOFFする必要がある。このため、NM1を高速にOFFする場合には、ゲート電圧は大きな負電圧を印加するほうが好ましい。本実施形態では、NM1のアノード端子(ソース)を基準に-12.2Vのゲート電圧を印加することで、高速化を行っている。ゲート電圧の最適範囲は、-3V~-20Vの範囲である。-3V以上の場合、高速化の効果が少なくなる。また、-20V以下では、NM1の制御端子(ゲート)が損傷する可能性が発生する。

10

【0038】

ソースに対するゲート電圧が-3V~-20Vの範囲であることを実現する為には、RF1に対するVO1は3V~20Vの範囲となる。

【0039】

(逆流防止回路10を備える電源回路100および101)

図3は、本開示の一実施形態に係る逆流防止回路10を備える電源回路100および101と、電源回路100および101を備える電源装置200とを示す図である。図3に示すように、電源装置200は、電源回路100および101を備えている。電源回路100は、逆流防止回路10および制御回路20を備えている。この為、電源回路100は、逆流防止機能を簡単な制御で実施することが可能となる。

20

【0040】

図3に示すように、電源回路101は、逆流防止回路11および制御回路21を備えている。電源回路101は、電源回路100と同じ構成である。すなわち、逆流防止回路11は逆流防止回路10と同一の構成であり、かつ、制御回路21は制御回路20と同一の構成である。この為、電源回路101は、電源回路100と同様に、逆流防止機能を簡単な制御で実施することが可能となる。

【0041】

(電源回路100と電源回路101との並列接続)

図3に示すように、電源装置200では、電源回路100の出力端子(NM1のカソード端子)と、電源回路101の出力端子(NM1のカソード端子)とが、配線WI1で接続されている。すなわち、電源装置200は、電源回路100および101が、並列接続されている構成を含む。電源回路100および101が互いに同一の構成であるため、電源装置100および101の各出力端子をWI1で接続しても、一方の電源回路から他方の電源回路へ電流が流れることを、逆流防止回路10または11で防止できる。この為、電源回路100と電源回路101とを並列接続した構成の電源装置200は、このような逆流の防止を行いながら電源の並列動作が行える。

30

【0042】

また、以上で述べた各数値は、単なる一例であることに留意されたい。また、逆流防止回路10の回路動作の調整の為に、逆流防止回路10内の配線上に抵抗を追加したり、配線間にコンデンサを追加したりすることも、適宜実施可能である。

40

【0043】

(付記事項)

本開示の一態様は、上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても、本開示の一態様の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成できる。

【符号の説明】

【0044】

50

- 1 0 逆流防止回路
- 1 1 逆流防止回路
- 2 0 制御回路
- 2 1 制御回路
- 1 0 0 電源回路
- 1 0 1 電源回路
- 2 0 0 電源装置
- C O 1 コイル
- D P 1 抵抗
- F R 1 第 1 整流素子
- I C 1 電圧安定化コンデンサ
- L O 1 抵抗
- M C 1 コンデンサ
- N M 1 N M O S
- O C 1 出力電圧安定化コンデンサ
- P C 1 ノイズ除去回路
- P R 1 抵抗
- P Z 1 ツェナーダイオード
- R F 1 基準電圧ノード
- S R 1 第 2 整流素子
- S W 1 トランスの 2 次側巻線
- T R 1 第 3 整流素子
- T S 1 トランジスタ
- V O 1 出力電圧ノード
- V R 1 電圧レギュレータ
- W I 1 配線

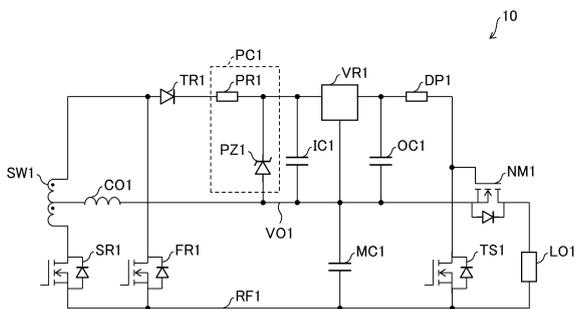
10

20

【 図 面 】

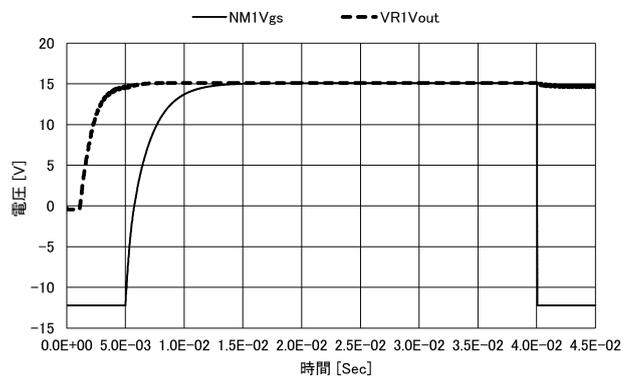
【 図 1 】

図 1



【 図 2 】

図 2



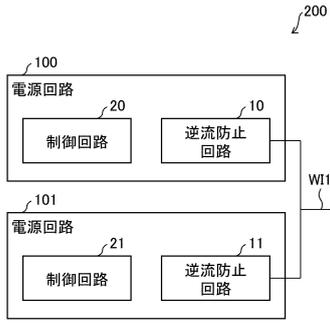
30

40

50

【 図 3 】

図 3



10

20

30

40

50

---

フロントページの続き

Fターム(参考) EE08 EE13 FD31 XX03 XX23 XX35