

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2024년 3월 7일 (07.03.2024)



(10) 국제공개번호

WO 2024/049230 A1

- (51) 국제특허분류:
G01R 31/28 (2006.01) G01R 17/00 (2006.01)
G01R 27/02 (2006.01) G01R 19/165 (2006.01)
G01R 19/00 (2006.01)
- (21) 국제출원번호: PCT/KR2023/012959
- (22) 국제출원일: 2023년 8월 31일 (31.08.2023)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2022-0111471 2022년 9월 2일 (02.09.2022) KR
- (71) 출원인: 주식회사 엘엑스세미콘 (LX SEMICON CO.,LTD.) [KR/KR]; 34027 대전광역시 유성구 테크노 2로 222, Daejeon (KR).
- (72) 발명자: 김동환 (KIM, Dong Hwan); 34027 대전광역시 유성구 테크노2로 222, Daejeon (KR). 김상훈 (KIM, Sang Hun); 34027 대전광역시 유성구 테크노2로 222, Daejeon (KR). 황전원 (HUANG, Dean Yuan); 34027 대전광역시 유성구 테크노2로 222, Daejeon (KR).
- (74) 대리인: 특허법인(유한)케이비케이 (KBK & ASSOCIATES); 05556 서울특별시 송파구 올림픽로 82 (잠실현대빌딩 7층), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH,

KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

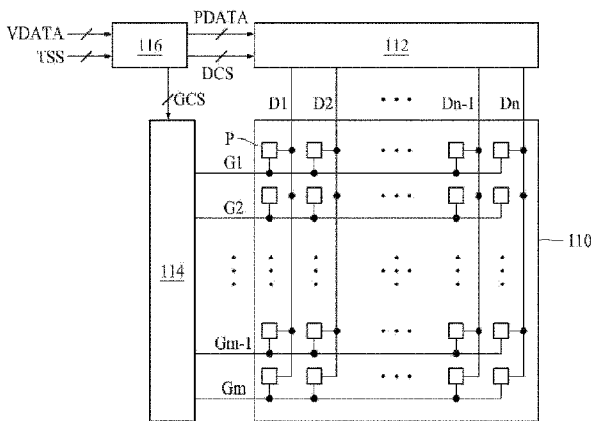
공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: PATTERNED RESISTANCE DETECTION CIRCUIT AND METHOD FOR DETECTING PATTERNED RESISTANCE OF DISPLAY PANEL

(54) 발명의 명칭: 패턴저항 검출회로 및 디스플레이 패널의 패턴저항 검출 방법

100



(57) Abstract: A patterned resistance detection circuit according to an aspect of the present invention comprises: a current source generator which generates a reference current and applies same to a patterned resistance; a reference voltage generator which generates a reference voltage by using a plurality of resistors and a plurality of switches; a comparator which compares the magnitude of a detection voltage detected by the reference current applied to the patterned resistance with the magnitude of the reference voltage and outputs a voltage comparison result; and a circuit controller which outputs a reference voltage control signal for controlling the plurality of switches according to the voltage comparison result.

(57) 요약서: 본 발명의 일 측면에 따른 패턴저항 검출회로는, 기준전류를 생성하여 패턴저항에 인가하는 전류원 생성기, 복수개의 저항들 및 복수개의 스위치들을 이용하여 기준전압을 생성하는 기준전압 생성기, 패턴저항에 인가된 기준전류에 의해 검출된 검출전압과 기준전압의 크기를 비교하여 전압비교결과를 출력하는 비교기, 및 전압비교결과에 따라 복수개의 스위치들을 제어하는 기준전압 제어신호를 출력하는 회로 제어부를 포함한다.

WO 2024/049230 A1

명세서

발명의 명칭: 패턴저항 검출회로 및 디스플레이 패널의 패턴저항 검출 방법

기술분야

- [1] 본 발명은 패턴저항 검출회로 및 디스플레이 패널 저항 검출 방법에 관한 것이다.

배경기술

- [2] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 디스플레이 장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정 디스플레이 장치(LCD: Liquid Crystal Display Device) 또는 유기발광 디스플레이 장치(OLED: Organic Light Emitting Display Device) 등과 같은 여러 가지 디스플레이 장치가 활용되고 있다.
- [3] 디스플레이 장치는 디스플레이 패널의 내부회로 손상이나 크랙(crack) 발생 등으로 디스플레이 패널의 저항이 커지거나 작아지면서 불량 발생 수 있다.

발명의 상세한 설명

기술적 과제

- [4] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 디스플레이 패널의 저항을 검출할 수 있는 패턴저항 검출회로 및 디스플레이 패널 저항 검출 방법을 제공하는 것을 기술적 과제로 한다.
- [5] 또한, 본 발명은 저항 검출 정확도를 향상시킬 수 있는 패턴저항 검출회로 및 디스플레이 패널 저항 검출 방법을 제공하는 것을 다른 기술적 과제로 한다.

과제 해결 수단

- [6] 상술한 목적을 달성하기 위한 본 발명의 일 측면에 따른 패턴저항 검출회로는, 기준전류를 생성하여 패턴저항에 인가하는 전류원 생성기, 복수개의 저항들 및 복수개의 스위치들을 이용하여 기준전압을 생성하는 기준전압 생성기, 패턴저항에 인가된 기준전류에 의해 검출된 검출전압과 기준전압의 크기를 비교하여 전압비교결과를 출력하는 비교기, 및 전압비교결과에 따라 복수개의 스위치들을 제어하는 기준전압 제어신호를 출력하는 회로 제어부를 포함한다.
- [7] 상술한 목적을 달성하기 위한 본 발명의 다른 측면에 따른 디스플레이 패널의 패턴저항 검출 방법은, 기준전류를 생성하여 디스플레이 패널의 패턴저항에 인가하는 단계, 패턴저항에 인가된 기준전류에 의해 검출된 검출전압과 기준전압의 크기를 비교하는 단계, 기준전압과 검출전압의 비교횟수가 미리 설정된 값 보다 작으면, 검출전압 및 기준전압 간의 전압비교결과를 기초로 기준전압을 변경하고, 변경된 기준전압과 검출전압을 비교하는 단계, 및 기준전압과 검출전압의 비교횟수가 미리 설정된 값 이상이면, 패턴저항 검출을 완료하는 단계를 포함한다.

발명의 효과

- [8] 본 발명에 따르면, 가변저항값이 아닌 기준전류를 이용함으로써, 넓은 면적을 차지하던 내부 저항과 가변 스위치를 제거할 수 있다. 이에 따라, 본 발명은 회로 면적을 감소시킬 수 있다.
- [9] 또한, 본 발명은 온도에 의한 변화도가 매우 작은 기준전류 및 기준전압을 이용함으로써, 온도가 변하더라도 높은 검출 정확도를 유지할 수 있다.
- [10] 또한, 본 발명은 채널 길이 변조에 의한 전류 왜곡을 방지하여 검출 정확도를 향상시킬 수 있다.

도면의 간단한 설명

- [11] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치를 보여주는 블록도이다.
- [12] 도 2는 본 발명의 일 실시예에 따른 디스플레이 패널과 패턴저항 검출회로 사이의 연결 관계를 보여주는 도면이다.
- [13] 도 3은 본 발명의 일 실시예에 따른 패턴저항 검출회로의 구성을 나타내는 블록도이다.
- [14] 도 4는 도 3에 도시된 전류원 생성기의 구성을 나타내는 회로도이다.
- [15] 도 5는 채널 길이 변조 현상을 설명하기 위한 도면이다.
- [16] 도 6은 도 3에 도시된 기준전압 생성기의 구성을 나타내는 개략적으로 보여주는 블록도이다.
- [17] 도 7은 디지털-아날로그 컨버터의 일 예를 보여주는 회로도이다.
- [18] 도 8은 본 발명의 일 실시예에 따른 디스플레이 패널의 패턴저항 검출 방법을 보여주는 흐름도이다.
- [19] 도 9는 패턴저항 검출회로에 의하여 패턴저항이 검출되는 과정의 일 예를 보여주는 도면이다.

발명의 실시를 위한 최선의 형태

- [20] 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명의 핵심 구성과 관련이 없는 경우 및 본 발명의 기술분야에 공지된 구성과 기능에 대한 상세한 설명은 생략될 수 있다. 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [21] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [22] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [23] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [24] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [25] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [26] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제1 항목, 제2 항목 및 제3 항목 중에서 적어도 하나"의 의미는 제1 항목, 제2 항목 또는 제3 항목 각각 뿐만 아니라 제1 항목, 제2 항목 및 제3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [27] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [28]
- [29] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명하기로 한다.
- [30] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치를 보여주는 블록도이고, 도 2는 본 발명의 일 실시예에 따른 디스플레이 패널과 패턴저항 검출회로 사이의 연결 관계를 보여주는 도면이다.
- [31] 본 발명의 일 실시예에 따른 디스플레이 장치(100)는 디스플레이 기능을 수행하는 것으로서, 액정디스플레이(Liquid Crystal Display, LCD)장치나 유기발광다이오드 디스플레이(Organic Light Emitting Diode: OLED) 장치와 같은 평판 디스플레이 장치로 구현될 수 있다.
- [32] 도 1을 참조하면, 본 발명에 따른 디스플레이 장치(100)는 디스플레이 패널(110) 및 디스플레이 패널(110)을 구동시키기 위한 디스플레이 구동장치를 포함한다.
- [33] 디스플레이 패널(110)은 복수의 픽셀들(P)이 마련되어 화상을 표시하는 영역인 표시영역을 포함한다. 디스플레이 패널(110)은 복수의 데이터 라인들(D1~Dn, n

- 은 2 이상의 양의 정수), 복수의 게이트 라인들(G1~Gm, m은 2 이상의 양의 정수) 및 복수의 픽셀들(P)을 포함한다.
- [34] 복수의 데이터 라인들(D1~Dn) 각각은 데이터 신호를 입력 받는다. 복수의 게이트 라인들(G1~Gm) 각각은 게이트 신호를 입력 받는다. 복수의 데이터 라인들(D1~Dn)과 복수의 게이트 라인들(G1~Gm) 각각은 기판 상에 서로 교차하도록 마련되어 복수의 픽셀들(P)을 정의한다. 복수의 픽셀들(P) 각각은 복수의 데이터 라인들(D1~Dn) 중 어느 하나와 복수의 게이트 라인들(G1~Gm) 중 어느 하나에 접속될 수 있다. 복수의 픽셀들(P) 각각은 구동 트랜지스터(transistor), 게이트 라인의 게이트 신호에 의해 턴-온되어 데이터 라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 스캔 트랜지스터, 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광 다이오드(organic light emitting diode), 및 구동 트랜지스터의 게이트 전극의 전압을 저장하기 위한 커패시터(capacitor)를 포함할 수 있다. 이로 인해, 복수의 픽셀들(P) 각각은 유기발광 다이오드에 공급되는 전류에 따라 발광할 수 있다.
- [35] 본 발명의 일 실시예에 따른 디스플레이 패널(110)은 패턴저항 회로를 포함할 수 있다. 패턴저항 회로는 도 2에 도시된 바와 같이 제1 패드부(P1), 패턴저항(R_Panel), 저항 라인(RL) 및 제2 패드부(P2)를 포함할 수 있다.
- [36] 제1 패드부(P1)는 디스플레이 패널(110)의 일단에 위치하여 데이터 구동부(112)의 패턴저항 검출회로(210)와 연결될 수 있다. 제2 패드부(P2)는 디스플레이 패널(110)의 타단에 위치하여 데이터 구동부(112)의 패턴저항 검출회로(210)와 연결될 수 있다. 도 2에 제1 패드부(P1) 및 제2 패드부(P2)가 서로 다른 모서리에 위치하는 것으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니다. 제1 패드부(P1) 및 제2 패드부(P2)는 디스플레이 패널(110)의 하나의 모서리에 이격하여 배치될 수도 있다.
- [37] 저항 라인(RL)은 디스플레이 패널(110)의 가장자리를 따라 배치되어, 패턴저항(R_Panel)을 제1 패드부(P1) 및 제2 패드부(P2)와 전기적으로 연결할 수 있다. 구체적으로, 저항 라인(RL)은 패턴저항(R_Panel)과 제1 패드부(P1)를 전기적으로 연결하는 제1 저항 라인(RL1) 및 패턴저항(R_Panel)과 제2 패드부(P2)를 전기적으로 연결하는 제2 저항 라인(RL2)을 포함할 수 있다.
- [38] 패턴저항(R_Panel)은 저항 라인(RL), 제1 및 제2 패드부(P1, P2)를 통해 패턴저항 검출회로(210)와 연결될 수 있다. 패턴저항(R_Panel)은 패턴저항 검출회로(210)에 의하여 그 크기가 검출될 수 있다.
- [39] 디스플레이 구동장치는 디스플레이 패널(110)에 포함된 복수의 픽셀(P)에 데이터 신호가 공급되도록 하여 디스플레이 패널(110)을 통해 영상을 표시한다. 이를 위해, 디스플레이 구동장치는 데이터 구동부(112), 게이트 구동부(114) 및 타이밍 컨트롤러(116)를 포함할 수 있다.
- [40] 타이밍 컨트롤러(116)는 호스트 시스템으로부터 디지털 비디오 데이터(VDATA)와 타이밍 신호(TSS)들을 입력 받는다. 타이밍 신호(TSS)들은 기준

클럭 신호(예컨대, 도트 클럭(dot clock)), 수직동기신호(vertical synchronization signal), 수평동기신호(horizontal synchronization signal), 데이터 인에이블 신호(data enable signal) 등을 포함할 수 있다. 수직동기신호는 1 프레임 기간을 정의하는 신호이다. 수평동기신호는 디스플레이 패널(110)의 1 수평 라인의 픽셀(P)들에 데이터 신호들을 공급하는데 필요한 1 수평기간을 정의하는 신호이다. 데이터 인에이블 신호는 유효한 데이터가 입력되는 기간을 정의하는 신호이다. 도트 클럭은 소정의 짧은 주기로 반복되는 신호이다.

- [41] 타이밍 컨트롤러(116)는 디지털 비디오 데이터(VDATA)와 타이밍 신호(TSS)들을 이용하여 픽셀 데이터(PDATA), 데이터 제어신호(DCS) 및 게이트 제어신호(GCS)를 생성하는 데이터 처리부(미도시)를 포함할 수 있다.
- [42] 타이밍 컨트롤러(116)의 데이터 처리부는 데이터 구동부(112)와 게이트 구동부(114)의 동작 타이밍을 제어하기 위해, 타이밍 신호(TSS)들에 기초하여 데이터 구동부(112)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)와 게이트 구동부(114)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)를 생성할 수 있다.
- [43] 또한, 타이밍 컨트롤러(116)의 데이터 처리부는 디지털 비디오 데이터(VDATA)를 디스플레이 패널(105)에 형성된 화소 구조와 일치되도록 정렬시켜 픽셀 데이터(PDATA)로 변환할 수 있다. 일 예로, 데이터 처리부는 3색(red, green, blue)에 대한 디지털 비디오 데이터(VDATA)를 미리 정해진 변환 방법을 이용하여 4색(white, red, green, blue)에 대한 픽셀 데이터(PDATA)로 변환 및 정렬할 수 있다. 또한, 데이터 처리부는 화질 보상, 외부 보상, 열화 보상 등과 같은 다양한 영상 처리를 통해 픽셀 데이터(PDATA)를 보정할 수도 있다.
- [44] 게이트 구동부(114)는 타이밍 컨트롤러(116)로부터 게이트 제어신호(GCS)를 입력 받는다. 게이트 구동부(114)는 게이트 제어신호(GCS)에 따라 게이트 신호들을 복수의 게이트 라인들(G1~Gm)에 공급한다.
- [45] 구체적으로, 게이트 구동부(114)는 타이밍 컨트롤러(116)의 제어 하에 데이터 신호에 동기되는 게이트 신호(또는 스캔 신호)를 발생하고, 발생된 게이트 신호를 쉬프트하면서 게이트 라인들(G1~Gm)에 순차적으로 공급한다. 이를 위해 게이트 구동부(114)는 복수의 게이트 드라이브 IC들(미도시)을 포함할 수 있다. 게이트 드라이브 IC들은 타이밍 컨트롤러(116)의 제어 하에 데이터 신호에 동기되는 게이트 신호를 복수의 게이트 라인들(G1~Gn)에 순차적으로 공급하여 데이터 신호가 기입되는 데이터 라인을 선택할 수 있다. 게이트 신호는 게이트 하이전압과 게이트 로우전압 사이에서 스윙할 수 있다.
- [46] 데이터 구동부(112)는 타이밍 컨트롤러(116)로부터 픽셀 데이터(PDATA) 및 데이터 제어신호(DCS)를 입력 받는다. 본 발명의 일 실시예에 따른 데이터 구동부(112)는 도 2에 도시된 바와 같이 패턴저항 검출회로(210) 및 데이터 신호 생성 회로(220)를 포함하는 것을 특징으로 한다.

- [47] 데이터 신호 생성 회로(220)는 데이터 제어신호(DCS)에 따라 디지털 형태인 픽셀 데이터(PDATA)를 아날로그 정극성/부극성 데이터 신호로 변환하여 복수의 데이터 라인들(D1~Dn)을 통해 픽셀(P)들에 공급한다.
- [48] 패턴저항 검출회로(210)는 특정 장치의 패턴저항 회로와 연결되어, 패턴저항 회로의 패턴저항(R_Panel)을 검출한다. 상기 특정 장치는 패턴저항 회로를 포함하는 장치를 의미할 수 있다. 이하에서는, 특정 장치를 디스플레이 패널(110)로 설명하고 있으나, 반드시 이에 한정되는 것은 아니다.
- [49] 이하에서는, 도 3 내지 도 7을 참조하여 패턴저항 검출회로(210)에 대하여 구체적으로 설명하도록 한다.
- [50] 도 3은 본 발명의 일 실시예에 따른 패턴저항 검출회로의 구성을 나타내는 블록도이고, 도 4는 도 3에 도시된 전류원 생성기의 구성을 나타내는 회로도이며, 도 5는 채널 길이 변조 현상을 설명하기 위한 도면이다. 도 6은 도 3에 도시된 기준 전압 생성기의 구성을 나타내는 개략적으로 보여주는 블록도이고, 도 7은 디지털-아날로그 컨버터의 일 예를 보여주는 회로도이다.
- [51] 패턴저항 검출회로(210)는 검출저항의 크기를 검출한다. 본 발명의 일 실시예에 따른 패턴저항 검출회로(210)는 디스플레이 패널(110)의 패턴저항 회로와 연결되어 패턴저항 회로의 패턴저항(R_Panel)의 크기를 검출할 수 있다. 본 발명의 일 실시예에 따르면, 패턴저항 검출회로(210)를 통해 검출된 패턴저항(R_Panel)의 크기를 이용하여 디스플레이 패널(110)의 불량 여부를 판단할 수 있다.
- [52] 도 3을 참조하면, 패턴저항 검출회로(210)는 전류원 생성기(310), 기준전압 생성기(320), 비교기(330) 및 회로 제어부(350)를 포함한다. 일 실시예에 있어서, 패턴저항 검출회로(210)는 레벨 시프터(340)를 더 포함할 수 있다.
- [53] 전류원 생성기(310)는 기준전류를 생성하고, 생성된 기준전류를 디스플레이 패널(110)의 제1 패드부(P1)를 통해 패턴저항(R_Panel)에 인가한다. 전류원 생성기(310)는 도 4에 도시된 바와 같이 기준전류를 생성하기 위하여 기준전류 생성회로(410)를 포함할 수 있다.
- [54] 기준전류 생성회로(420)는 전류원(I_REF), 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)를 포함할 수 있다. 일 실시예에 있어서, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 MOS 트랜지스터(MOS transistor)일 수 있다.
- [55] 전류원(I_REF)은 제1 전원(VSS)에 연결될 수 있다. 제1 트랜지스터(TR1)는 전류원(I_REF)과 제2 전원(VDD)에 연결되어 제1 기준전류가 흐를 수 있다. 여기서, 제1 전원(VSS)은 저전위 전압 또는 그라운드(ground) 전압일 수 있으며, 제2 전원(VDD)은 고전위 전압일 수 있다.
- [56] 구체적으로, 제1 트랜지스터(TR1)는 제1 게이트 전극, 제1 드레인 전극 및 제1 소스 전극을 포함할 수 있다. 제1 트랜지스터(TR1)의 제1 드레인 전극은 전류원(I_REF)에 연결되고, 제1 트랜지스터(TR1)의 제1 소스 전극은 제2 전원(VDD)에 연결되어, 제1 드레인 전극과 제1 소스 전극 사이에 제1 기준전류가 흐를 수 있다. 제1 트랜지스터(TR1)의 제1 드레인 전극은 제1 트랜지스터(TR1)의 제1 게이

- 트 전극과 연결되며, 이에 따라, 제1 드레인 전압과 제1 게이트 전압이 동일할 수 있다.
- [57] 제2 트랜지스터(TR2)는 제1 트랜지스터(TR1)와 연결되어 제1 트랜지스터(TR1)에 흐르는 제1 기준전류를 복사한 제2 기준전류가 흐를 수 있다.
- [58] 구체적으로, 제2 트랜지스터(TR2)는 제2 게이트 전극, 제2 드레인 전극 및 제2 소스 전극을 포함할 수 있다. 제2 트랜지스터(TR2)의 제2 드레인 전극은 디스플레이 패널(110)의 패턴저항(R_Panel)에 연결되고, 제2 트랜지스터(TR2)의 제2 소스 전극은 제2 전원(VDD)에 연결될 수 있다. 제2 트랜지스터(TR2)의 제2 게이트 전극은 제1 트랜지스터(TR1)의 제1 게이트 전극에 연결될 수 있다. 이에 따라, 제1 트랜지스터(TR1)에 흐르는 제1 기준전류가 복사되어, 제2 트랜지스터(TR2)의 제2 드레인 전극과 제2 소스 전극 사이에 제2 기준전류가 흐를 수 있다.
- [59] 디스플레이 패널(110)의 제1 패드부(P1)는 기준전류 생성 회로(410), 특히, 제2 트랜지스터(TR2)에 연결되고, 디스플레이 패널(110)의 제2 패드부(P2)는 제1 전원(VSS)에 연결될 수 있다. 이에 따라, 제2 트랜지스터(TR)에 흐르는 제2 기준전류는 디스플레이 패널(110)의 제1 패드부(P1)를 통해 패턴저항(R_Panel)에 인가될 수 있다.
- [60] 일 실시예에 있어서, 전류원 생성기(310)와 디스플레이 패널(110)의 제1 패드부(P1) 사이에는 제1 스위치(SW_R)가 구비될 수 있다. 이러한 경우, 패턴저항 검출 동작신호에 의해 제1 스위치(SW_R)이 턴-온되면, 전류원 생성기(310)는 디스플레이 패널(110)의 제1 패드부(P1)와 연결되고, 기준전류를 디스플레이 패널(110)의 제1 패드부(P1)를 통해 패턴저항(R_Panel)에 인가할 수 있다.
- [61] 일 실시예에 있어서, 디스플레이 패널(110)의 제2 패드부(P2)와 제1 전원(VSS) 사이에는 제2 스위치(SW_L)가 더 구비될 수 있다. 제2 스위치(SW_L)는 패턴저항 검출동작신호에 의해 제1 스위치(SW_R)와 함께 턴-온될 수 있다.
- [62] 일 실시예에 있어서, 기준전류 생성회로(410)는 바이어스 트랜지스터(VBP)를 더 포함할 수 있다. 바이어스 트랜지스터(VBP)는 전류원(I_REF)과 제1 트랜지스터(TR1) 사이에 구비되어, 제1 트랜지스터(TR1)에 일정한 바이어스 전류를 공급할 수 있다.
- [63] 한편, 전류원 생성기(310)는 전류원(I_REF)의 크기가 고정되어 있더라도, 패턴저항(R_Panel)의 변화로 제2 트랜지스터(TR2)에 흐르는 제2 기준전류가 변할 수 있다. 도 5를 참조하여 구체적으로 설명하면, 패턴저항(R_Panel)은 고정된 값을 가지지 않으며, 다양한 값으로 변할 수 있다. 패턴저항(R_Panel)이 변하면서, 패턴저항(R_Panel)에 의해 검출되는 검출전압(V_Panel)도 변하게 된다. 이에 따라, 제2 트랜지스터(TR2)의 제2 드레인 전압이 변하게 되고, 제2 트랜지스터(TR2)에 흐르는 제2 기준전류가 제1 트랜지스터(TR1)에 흐르는 제1 기준전류와 차이가 발생할 수 있다.
- [64] 이와 같이, 제2 트랜지스터(TR2)의 제2 소스 전압 및 제2 게이트 전압이 고정되더라도, 제2 드레인 전압의 증감에 의해 제2 트랜지스터(TR2)에 흐르는 제2 기준

전류의 크기가 증감되는 현상을 채널 길이 변조(Channel length modulation)라 한다. 채널 길이 변조에 의해 제2 트랜지스터(TR2)에서 패턴저항(R_Panel)으로 인가하는 제2 기준전류가 증가하거나 감소하면, 도 5에 도시된 바와 같이 실제 검출된 검출전압(V_Panel)이 기대값과 차이가 발생하여 검출 정밀도가 감소될 수 있다.

- [65] 본 발명의 일 실시예에 따른 전류원 생성기(310)는 채널 길이 변조에 의한 전류 왜곡을 방지하기 위하여 채널 길이 변조 방지 회로(420)를 더 포함할 수 있다. 채널 길이 변조 방지 회로(420)는 차동 증폭기(425) 및 제3 트랜지스터(TR3)를 포함할 수 있다. 일 실시예에 있어서, 제3 트랜지스터(TR3)는 모스 트랜지스터(MOS transistor)일 수 있다.
- [66] 차동 증폭기(425)는 제1 트랜지스터(TR1)의 제1 드레인 전압(Va)과 제2 트랜지스터(TR2)의 제2 드레인 전압(Vb) 간의 차이를 증폭할 수 있다. 차동 증폭기(425)는 제1 트랜지스터(TR1)의 제1 드레인 전극에 연결된 비반전 입력단자(+), 제2 트랜지스터(TR2)의 제2 드레인 전극에 연결된 반전 입력단자(-) 및 제3 트랜지스터(TR3)의 제3 게이트 전극에 연결된 출력단자를 포함할 수 있다.
- [67] 제3 트랜지스터(TR3)는 패턴저항(R_Panel)에 연결된 제3 드레인 전극, 차동 증폭기(425)에 연결된 제3 게이트 전극 및 제2 트랜지스터(TR2)의 제2 드레인 전극에 연결된 제3 소스 전극을 포함할 수 있다.
- [68] 채널 길이 변조 방지 회로(420)는 차동 증폭기(425) 및 제3 트랜지스터(TR3)를 이용하여 제2 트랜지스터(TR2)의 제2 드레인 전압(Vb)이 패턴저항(R_Panel)의 변화에 영향을 받지 않고, 제1 트랜지스터(TR1)의 제1 드레인 전압(Va)으로 고정되도록 할 수 있다. 이를 통해, 본 발명의 일 실시예에 따른 패턴저항 검출회로(210)는 채널 길이 변조에 의한 전류 왜곡을 방지할 수 있다.
- [69] 비교기(330)는 패턴저항(R_Panel)에 인가된 기준전류에 의해 검출된 검출전압(V_Panel)과 기준전압(VR_SEL)의 크기를 비교한다. 비교기(330)는 패턴저항(R_Panel)에 인가된 기준전류에 의해 검출된 검출전압(V_Panel)이 입력되는 비반전 입력단자(+), 기준전압 생성기(320)로부터 출력된 기준전압(VR_SEL)이 입력되는 반전 입력단자(-) 및 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과를 출력하는 출력단자를 포함할 수 있다.
- [70] 비교기(330)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크면, 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과로 하이 레벨 신호를 출력할 수 있다. 한편, 비교기(330)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작으면, 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과로 로우 레벨 신호를 출력할 수 있다.
- [71] 일 실시예에 있어서, 비교기(330)는 클럭신호(Clk)에 따라 검출전압(V_Panel)과 기준전압(VR_SEL)의 크기를 비교할 수 있다. 클럭신호(Clk)는 타이밍 컨트롤러(116)으로부터 입력 받을 수 있다.

- [72] 레벨 시프터(340)는 비교기(330)에서 출력된 전압비교결과의 레벨을 조절하여 회로 제어부(350)로 전달할 수 있다.
- [73] 회로 제어부(350)는 전압비교결과를 기초로 기준전압 제어신호를 생성하여 기준전압 생성기(320)로 출력한다. 구체적으로, 회로 제어부(350)는 전압비교결과를 기초로 복수의 전압들 중 하나를 새로운 기준전압으로 선택할 수 있다. 회로 제어부(350)는 선택된 기준전압을 생성하기 위한 기준전압 제어신호를 생성하여 기준전압 생성기(320)로 출력할 수 있다.
- [74] 일 실시예에 있어서, 회로 제어부(350)는 2^N 개의 전압들 중 하나를 기준전압으로 생성하기 위하여 N 비트(bit)의 기준전압 제어신호(SEL[(N-1):0])를 생성할 수 있다.
- [75] 구체적으로, 회로 제어부(350)는 전압비교결과를 기초로 2^N 개의 전압들 중 하나를 새로운 기준전압으로 선택할 수 있다. 회로 제어부(350)는 전압비교결과가 하이 레벨이면, 2^N 개의 전압들 중에서 현재 기준전압 보다 큰 전압들 중 하나를 새로운 기준전압(VR_SEL)으로 선택할 수 있다. 즉, 회로 제어부(350)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크면, 2^N 개의 전압들 중에서 현재 기준전압 보다 큰 전압을 새로운 기준전압으로 선택할 수 있다.
- [76] 일 실시예에 있어서, 회로 제어부(350)는 전압비교결과가 하이 레벨이면, 예상 범위의 최소전압을 현재 기준전압으로 변경하고, 2^N 개의 전압들 중에서 예상 범위의 최대전압과 최소전압 사이의 전압들 중 하나를 새로운 기준전압으로 선택할 수 있다. 일 예로, 회로 제어부(350)는 예상 범위의 최대전압과 최소전압 사이의 전압들 중 중간값을 가진 전압을 새로운 기준전압으로 선택할 수 있다.
- [77] 반면, 회로 제어부(350)는 전압비교결과가 로우 레벨이면, 2^N 개의 전압들 중에서 현재 기준전압 보다 작은 전압들 중 하나를 새로운 기준전압으로 선택할 수 있다. 즉, 회로 제어부(350)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작으면, 2^N 개의 전압들 중에서 현재 기준전압 보다 작은 전압을 새로운 기준전압으로 선택할 수 있다.
- [78] 일 실시예에 있어서, 회로 제어부(350)는 전압비교결과가 로우 레벨이면, 예상 범위의 최대전압을 현재 기준전압으로 변경하고, 2^N 개의 전압들 중에서 예상 범위의 최대전압과 최소전압 사이의 전압들 중 하나를 새로운 기준전압으로 선택할 수 있다. 일 예로, 회로 제어부(350)는 예상 범위의 최대전압과 최소전압 사이의 전압들 중 중간값을 가진 전압을 새로운 기준전압으로 선택할 수 있다.
- [79] 그리고, 회로 제어부(350)는 선택된 기준전압을 생성하기 위한 N 비트의 기준전압 제어신호(SEL[(N-1):0])를 생성하고, 생성된 N 비트의 기준전압 제어신호(SEL[(N-1):0])를 기준전압 생성기(320)로 출력할 수 있다.
- [80] N 비트의 기준전압 제어신호(SEL[(N-1):0])는 서로 다른 값을 가지는 2^N 개의 기준전압 제어신호들을 포함할 수 있다. 2^N 개의 기준전압 제어신호들 각각은 2^N 개

의 전압들과 대응되며, 2^N 개의 전압들 각각은 2^N 개의 패턴저항(R_{Panel}) 크기와 대응될 수 있다.

- [81] 예컨대, 회로 제어부(350)는 4 비트의 기준전압 제어신호($SEL[3:0]$)를 생성할 수 있다. 이러한 경우, 4 비트의 기준전압 제어신호($SEL[3:0]$)는 아래 표 1과 같이 2^N 개의 전압들 각각과 대응되는 2^N 개의 패턴저항(R_{Panel})의 크기와 대응될 수 있다.

- [82] [표1]

SEL[3:0]	$R_{Panel}[k\Omega]$	SEL[3:0]	$R_{Panel}[k\Omega]$	SEL[3:0]	$R_{Panel}[k\Omega]$
0000	1	0110	7	1100	13
0001	2	0111	8	1101	14
0010	3	1000	9	1110	15
0011	4	1001	10	1111	16
0100	5	1010	11		
0101	6	1011	12		

- [83] 표 1을 참조하여 예를 들어 설명하면, 회로 제어부(350)는 2^4 개의 전압들 중 크기가 '9'인 패턴저항(R_{Panel})과 대응되는 전압을 기준전압으로 선택할 수 있다. 회로 제어부(350)는 선택된 기준전압을 생성하기 위하여 기준전압 제어신호($SEL[3:0]$)로 '1000'을 생성할 수 있다. 회로 제어부(350)는 '1000'인 기준전압 제어신호($SEL[3:0]$)를 기준전압 생성기(320)로 출력할 수 있다. 기준전압 생성기(320)는 '1000'인 기준전압 제어신호($SEL[3:0]$)에 따라 크기가 '9'인 패턴저항(R_{Panel})과 대응되는 기준전압(VR_{SEL})이 생성되고, 생성된 기준전압(VR_{SEL})이 비교기(330)로 출력될 수 있다.
- [84] 회로 제어부(350)는 검출전압(V_{Panel})이 기준전압(VR_{SEL}) 보다 크면, 2^4 개의 전압들 중에서 현재 기준전압 보다 큰 전압들 중 하나를 새로운 기준전압으로 선택할 수 있다. 회로 제어부(350)는 전압비교결과가 하이 레벨이면, 2^4 개의 전압들 중 크기가 '13'인 패턴저항(R_{Panel})과 대응되는 전압을 새로운 기준전압으로 선택할 수 있다. 회로 제어부(350)는 선택된 기준전압을 생성하기 위하여 기준전압 제어신호($SEL[3:0]$)로 '1100'을 생성할 수 있다. 회로 제어부(350)는 '1100'인 기준전압 제어신호($SEL[3:0]$)를 기준전압 생성기(320)로 출력할 수 있다. 기준전압 생성기(320)는 '1100'인 기준전압 제어신호($SEL[3:0]$)에 따라 크기가 '13'인 패턴저항(R_{Panel})과 대응되는 기준전압(VR_{SEL})이 생성되고, 생성된 기준전압(VR_{SEL})이 비교기(330)로 출력될 수 있다.
- [85] 일 실시예에 있어서, 회로 제어부(350)는 전압비교결과를 기초로 N 비트 중 일부 비트의 값을 변경하여 N 비트의 기준전압 제어신호($SEL[(N-1):0]$)를 생성할 수 있다.

- [86] 구체적으로, 회로 제어부(350)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크면, 최상위 비트로부터 $i-1$ 번째 자리의 비트의 값을 유지하고, i 번째 자리의 비트의 값을 0에서 1로 변경하여 기준전압 제어신호(SEL[(N-1):0])를 생성할 수 있다. 이때, i 는 검출전압(V_Panel)과 기준전압(VR_SEL)의 비교횟수를 나타낸다.
- [87] 예를 들어 설명하면, 비교횟수가 1이고, 검출전압(V_Panel)이 '1000'인 기준전압 제어신호(SEL[3:0])에 의해 생성된 기준전압(VR_SEL) 보다 크면, 회로 제어부(350)는 '1100'을 가진 기준전압 제어신호(SEL[3:0])를 생성할 수 있다.'
- [88] 회로 제어부(350)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작으면, 최상위 비트로부터 $i-1$ 번째 자리의 비트의 값을 0으로 변경하고, i 번째 자리의 비트의 값을 0에서 1로 변경하여 기준전압 제어신호(SEL[(N-1):0])를 생성할 수 있다.
- [89] 예를 들어 설명하면, 비교횟수가 1이고, 검출전압(V_Panel)이 '1000'인 기준전압 제어신호(SEL[3:0])에 의해 생성된 기준전압(VR_SEL) 보다 작으면, 회로 제어부(350)는 '0100'을 가진 기준전압 제어신호(SEL[3:0])를 생성할 수 있다.
- [90] 한편, 회로 제어부(350)는 검출전압(V_Panel)과 기준전압(VR_SEL)의 비교횟수가 미리 설정된 값 이상이면, 패턴저항(R_Panel)의 검출 동작을 정지시킬 수 있다. 사용자는 최종 선택된 기준전압 또는 최종 기준전압 제어신호(SEL[(N-1):0])를 기초로 디스플레이 패널(110)의 패턴저항(R_Panel)을 판단할 수 있다. 상기 표 1을 참조하여 예를 들면, 기준전압 제어신호(SEL[(N-1):0])가 '1011'이면, 사용자는 디스플레이 패널(110)의 패턴저항(R_Panel)의 크기가 12라고 결정할 수 있다.
- [91] 또한, 회로 제어부(350)는 최종 선택된 기준전압 또는 최종 기준전압 제어신호(SEL[(N-1):0])를 기초로 디스플레이 패널(110)의 불량을 판단할 수 있다. 예를 들면, 회로 제어부(350)는 기준전압 제어신호(SEL[(N-1):0])가 '0000' 또는 '1111'이면, 디스플레이 패널(110)에 불량이 존재한다고 판단할 수 있다.
- [92] 기준전압 생성기(320)는 회로 제어부(350)의 제어에 의해 기준전압(VR_SEL)을 생성하고, 생성된 기준전압(VR_SEL)을 비교기(330)로 출력한다.
- [93] 도 6 및 도 7을 참조하면, 기준전압 생성기(320)는 복수개의 저항들($R_0, R_1, \dots, R_{N-1}, R_N$)과 복수개의 스위치들(SW)을 포함하는 디지털-아날로그 컨버터(610: Digital to Analog Converter, DAC)를 포함할 수 있다.
- [94] 복수개의 저항들($R_0, R_1, \dots, R_{N-1}, R_N$)은 제1 전압(VR_bottom)과 제2 전압(VR_top) 사이에서 직렬로 연결될 수 있다. 여기서, 제1 전압(VR_bottom)은 최저 전압에 해당하고, 제2 전압(VR_top)은 최고 전압에 해당할 수 있다.
- [95] 제1 전압(VR_bottom) 및 제2 전압(VR_top)는 기준전류 및 패턴저항(R_Panel)의 범위를 기초로 결정될 수 있다. 패턴저항(R_Panel)의 범위는 장치마다 상이할 수 있다. 일 실시예에 있어서, 제1 전압(VR_bottom)은 기준전류에 패턴저항(R_Panel)의 최소값을 승산한 값에 상응할 수 있다. 제2 전압(VR_top)은 기준전류에 패턴저항(R_Panel)의 최대값을 승산한 값에 상응할 수 있다.

- [96] 일 실시예에 있어서, 복수개의 저항들($R_0, R_1, \dots, R_{N-1}, R_N$)은 동일한 크기를 가질 수 있다.
- [97] DAC(610)는 복수개의 저항들($R_0, R_1, \dots, R_{N-1}, R_N$) 사이의 노드들로부터 복수개의 기준전압들($VR[0], VR[1], \dots, VR[2^N-2], VR[2^N-1]$)이 입력되고, 복수의 기준전압들($VR[0], VR[1], \dots, VR[2^N-2], VR[2^N-1]$) 중에서 회로 제어부(350)의 제어에 따라 선택된 하나(VR_SEL)를 출력한다.
- [98] 이를 위하여, DAC(610)는 복수개의 저항들($R_0, R_1, \dots, R_{N-1}, R_N$) 사이의 노드들에 연결된 복수의 스위치들(SW)을 포함할 수 있다. DAC(610)는 회로 제어부(350)로부터 입력된 기준전압 제어신호($SEL[(N-1):0]$)에 응답하여 복수의 스위치들(SW)이 턴-온(turn-on)되거나 턴-오프(turn-off)됨으로써, 복수의 기준전압들($VR[0], VR[1], \dots, VR[2^N-2], VR[2^N-1]$) 중 하나(VR_SEL)가 출력될 수 있다.
- [99] 일 실시예에 있어서, DAC(610)는 복수개의 저항들($R_0, R_1, \dots, R_{N-1}, R_N$) 사이의 노드들로부터 2^N 개의 기준전압들($VR[0], VR[1], \dots, VR[2^N-2], VR[2^N-1]$)이 입력될 수 있다. DAC(610)는 회로 제어부(350)로부터 N 비트의 기준전압 제어신호($SEL[(N-1):0]$)가 입력되면, N 비트의 기준전압 제어신호($SEL[(N-1):0]$)에 따라 복수의 스위치들(SW)이 제어되어 2^N 개의 기준전압들($VR[0], VR[1], \dots, VR[2^N-2], VR[2^N-1]$) 중 선택된 하나를 기준전압(VR_SEL)으로 출력할 수 있다.
- [100] 기준전압 생성기(320)는 회로 제어부(350)로부터 입력된 N 비트의 기준전압 제어신호($SEL[(N-1):0]$) 이외에 기준전압 제어신호($SEL[(N-1):0]$)의 반전 제어신호($SELB[(N-1):0]$)를 더 이용하여 DAC(610)의 복수의 스위치들(SW)을 제어할 수 있다. 이러한 경우, 기준전압 생성기(320)는 회로 제어부(350)로부터 N 비트의 기준전압 제어신호($SEL[(N-1):0]$)가 입력되면, 기준전압 제어신호($SEL[(N-1):0]$)와 반전된 반전 제어신호($SELB[(N-1):0]$)를 생성할 수 있다. 예컨대, 기준전압 생성기(320)는 회로 제어부(350)로부터 '1000'인 기준전압 제어신호($SEL[(N-1):0]$)가 입력되면, 기준전압 제어신호($SEL[(N-1):0]$)와 반전된 '0111'인 반전 제어신호($SELB[(N-1):0]$)를 생성할 수 있다.
- [101] DAC(610)는 기준전압 제어신호($SEL[(N-1):0]$) 및 반전 제어신호($SELB[(N-1):0]$)에 따라 복수의 스위치들(SW)의 동작이 제어될 수 있다. 복수의 스위치들(SW)은 기준전압 제어신호($SEL[(N-1):0]$)에 의해 동작이 제어되는 제1 스위치들($SW1$)과 반전 제어신호($SELB[(N-1):0]$)에 의해 동작이 제어되는 제2 스위치들($SW2$)을 포함할 수 있다.
- [102] 본 발명의 일 실시예에 따른 패턴저항 검출회로(210)는 패턴저항(R_Panel)에 기준전류를 인가하여 전압(V_Panel)을 검출하고, 검출된 전압(V_Panel)과 기준전압(VR_SEL)을 비교하는 것을 특징으로 한다. 본 발명의 일 실시예에 따른 패턴저항 검출회로(210)와 달리 패턴저항값과 가변저항값을 비교하는 방식은 저항값 편차를 줄이기 위해 저항 면적을 넓게 할당해야 하며, 가변 스위치의 저항값을 줄이기 위해 스위치 면적을 넓게 할당해야 하는 문제가 있다. 또한, 패턴저항

값과 가변저항값을 비교하는 방식은 온도 변화에 의해 내부 저항값과 가변 스위치의 저항값의 변화량이 20%를 초과하여 검출 정확도가 떨어지는 다른 문제가 있다.

- [103] 본 발명의 일 실시예에 따른 패턴저항 검출회로(210)는 가변저항값이 아닌 기준전류를 이용함으로써, 넓은 면적을 차지하던 내부 저항과 가변 스위치를 제거할 수 있다. 이에 따라, 본 발명의 일 실시예에 따른 패턴저항 검출회로(210)는 면적을 감소시킬 수 있다.
- [104] 또한, 본 발명의 일 실시예에 따른 패턴저항 검출회로(210)는 온도에 의한 변화도가 매우 작은 기준전류 및 기준전압을 이용함으로써, 온도가 변하더라도 높은 검출 정확도를 유지할 수 있다.
- [105] 도 8은 본 발명의 일 실시예에 따른 디스플레이 패널의 패턴저항 검출 방법을 보여주는 흐름도이다.
- [106] 도 8을 참조하면, 먼저, 패턴저항 검출회로(210)는 기준전류를 생성하여 패턴저항(R_Panel)에 인가한다(S801).
- [107] 예를 들어 설명하면, 패턴저항 검출회로(210)는 인에이블 제어신호가 하이 레벨이 되면, 디스플레이 패널(110)의 제1 패드부(P1)와 연결된 제1 스위치(SW_R) 및 디스플레이 패널(110)의 제2 패드부(P2)와 연결된 제2 스위치(SW_L)가 턴-온(turn-on)이 되면서 패턴저항 검출을 시작할 수 있다. 패턴저항 검출회로(210)는 기준전류를 생성하고, 생성된 기준전류를 디스플레이 패널(110)의 제1 패드부(P1)를 통해 패턴저항(R_Panel)에 인가할 수 있다.
- [108] 다음, 패턴저항 검출회로(210)는 초기의 기준전압(VR_SEL)을 생성한다(S802). 패턴저항 검출회로(210)는 복수의 전압들 중 하나를 초기의 기준전압(VR_SEL)으로 선택할 수 있다. 패턴저항 검출회로(210)는 초기의 기준전압(VR_SEL)을 생성하기 위한 기준전압 제어신호를 생성할 수 있다. 패턴저항 검출회로(210)는 기준전압 제어신호에 따라 선택된 초기의 기준전압(VR_SEL)을 생성할 수 있다.
- [109] 일 실시예에 있어서, 패턴저항 검출회로(210)는 최대전압과 최소전압 사이의 전압들 중 중간값을 가진 전압을 초기의 기준전압(VR_SEL)으로 선택할 수 있다.
- [110] 다른 실시예에 있어서, 패턴저항 검출회로(210)는 최대전압을 초기의 기준전압(VR_SEL)으로 선택할 수 있다.
- [111] 또 다른 실시예에 있어서, 패턴저항 검출회로(210)는 최전압을 초기의 기준전압(VR_SEL)으로 선택할 수 있다.
- [112] 다음, 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교횟수가 미리 설정한 값 이상이면, 패턴저항 검출을 완료한다(S803 및 S805).
- [113] 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교횟수가 미리 설정한 값 이상이면, 패턴저항(R_Panel)의 검출 동작을 정지시키고, 최종 선택된 기준전압 또는 최종 기준전압 제어신호를 사용자에게 제공할 수 있다. 사용자는 최종 선택된 기준전압 또는 최종 기준전압 제어신호를 기초로 디스플레이 패널(110)의 패턴저항(R_Panel)을 판단할 수 있다.

- [114] 또한, 패턴저항 검출회로(210)는 최종 선택된 기준전압 또는 최종 기준전압 제어신호를 기초로 디스플레이 패널(110)의 불량을 판단할 수 있다.
- [115] 다음, 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL)의 크기를 비교한다(S804).
- [116] 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL) 각각을 비교기(330)에 입력하고, 비교기(330)로부터 출력된 값을 전압비교결과로 획득할 수 있다. 비교기(330)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크면, 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과로 하이 레벨 신호를 출력할 수 있다. 한편, 비교기(330)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작으면, 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과로 로우 레벨 신호를 출력할 수 있다.
- [117] 일 실시예에 있어서, 비교기(330)는 클럭신호(Clk)에 따라 검출전압(V_Panel)과 기준전압(VR_SEL)의 크기를 비교할 수 있다. 클럭신호(Clk)는 타이밍 컨트롤러(116)으로부터 입력 받을 수 있다.
- [118] 다음, 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크면, 최대전압과 기준전압 사이에서 새로운 기준전압을 선택한다(S806).
- [119] 패턴저항 검출회로(210)는 예상범위의 최소전압과 최대전압 사이의 전압들 중 하나를 새로운 기준전압(VR_SEL)으로 선택할 수 있다.
- [120] 일 실시예에 있어서, 패턴저항 검출회로(210)는 2^N 개의 전압들 중 하나를 기준전압으로 선택할 수 있다. 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크면, 예상범위의 최소전압을 현재 기준전압으로 변경할 수 있다. 그리고, 패턴저항 검출회로(210)는 2^N 개의 전압들 중에서 예상범위의 최대전압과 최소전압 사이의 전압들 중 하나를 새로운 기준전압(VR_SEL)으로 선택할 수 있다. 즉, 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크면, 2^N 개의 전압들 중에서 현재 기준전압 보다 큰 전압을 새로운 기준전압으로 선택할 수 있다.
- [121] 일 실시예에 있어서, 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크면, 예상범위의 최소전압을 현재 기준전압으로 변경하고, 2^N 개의 전압들 중에서 예상범위의 최대전압과 최소전압 사이의 전압들 중 중간값을 가진 전압을 새로운 기준전압으로 선택할 수 있다.
- [122] 다음, 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작으면, 최소전압과 기준전압 사이에서 새로운 기준전압을 선택한다(S807).
- [123] 패턴저항 검출회로(210)는 예상범위의 최소전압과 최대전압 사이의 전압들 중 하나를 새로운 기준전압(VR_SEL)으로 선택할 수 있다.
- [124] 일 실시예에 있어서, 패턴저항 검출회로(210)는 2^N 개의 전압들 중 하나를 기준전압으로 선택할 수 있다. 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작으면, 예상범위의 최대전압을 현재 기준전압으로 변경할

수 있다. 그리고, 패턴저항 검출회로(210)는 2^N 개의 전압들 중에서 예상범위의 최소전압과 현재 기준전압 사이의 전압들 중 하나를 새로운 기준전압(VR_SEL)으로 선택할 수 있다. 즉, 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작으면, 2^N 개의 전압들 중에서 현재 기준전압 보다 작은 전압을 새로운 기준전압으로 선택할 수 있다.

- [125] 일 실시예에 있어서, 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작으면, 예상범위의 최대전압을 현재 기준전압으로 변경하고, 2^N 개의 전압들 중에서 예상범위의 최소전압과 최대전압 사이의 전압들 중 중간값을 가진 전압을 새로운 기준전압으로 선택할 수 있다.
- [126] 다음, 패턴저항 검출회로(210)는 기준전압 제어신호를 생성한다(S808).
- [127] 일 실시예에 있어서, 패턴저항 검출회로(210)는 선택된 기준전압을 생성하기 위한 N 비트의 기준전압 제어신호를 생성할 수 있다. 여기서, N 비트의 기준전압 제어신호는 서로 다른 값을 가지는 2^N 개의 기준전압 제어신호들을 포함할 수 있다. 2^N 개의 기준전압 제어신호들 각각은 2^N 개의 전압들과 대응되며, 2^N 개의 전압들 각각은 2^N 개의 패턴저항(R_Panel) 크기와 대응될 수 있다.
- [128] 일 실시예에 있어서, 패턴저항 검출회로(210)는 전압비교결과를 기초로 N 비트 중 일부 비트의 값을 변경하여 N 비트의 기준전압 제어신호를 생성할 수 있다.
- [129] 구체적으로, 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 큰 경우, 최상위 비트로부터 i-1번째 자리의 비트의 값을 유지하고, i번째 자리의 비트의 값을 0에서 1로 변경하여 기준전압 제어신호를 생성할 수 있다. 이때, i는 검출전압(V_Panel)과 기준전압(VR_SEL)의 비교횟수를 나타낸다.
- [130] 반면, 패턴저항 검출회로(210)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 작은 경우, 최상위 비트로부터 i-1번째 자리의 비트의 값을 0으로 변경하고, i번째 자리의 비트의 값을 0에서 1로 변경하여 기준전압 제어신호를 생성할 수 있다.
- [131] 다음, 패턴저항 검출회로(210)는 선택된 기준전압(VR_SEL)을 생성한다(S809).
- [132] 패턴저항 검출회로(210)는 직렬로 연결된 복수개의 저항들 및 복수개의 저항들 사이의 노드들에 연결된 복수개의 스위치들을 이용하여 선택된 기준전압(VR_SEL)을 생성할 수 있다. 구체적으로, 패턴저항 검출회로(210)는 기준전압 제어신호에 따라 복수개의 스위치들을 제어하여 2^N 개의 기준전압들 중 선택된 기준전압(VR_SEL)이 비교기(330)에 입력되도록 할 수 있다.
- [133] 패턴저항 검출회로(210)는 패턴저항 검출이 완료될 때까지 S803 내지 S809를 반복 수행할 수 있다.
- [134] 도 9는 패턴저항 검출회로에 의하여 패턴저항이 검출되는 과정의 일 예를 보여주는 도면이다.

- [135] 도 9에서는 해상도가 4 비트인 것을 가정한다. 즉, 패턴저항 검출회로(210)는 4 비트의 기준전압 제어신호(SEL[3:0])에 의해 2^4 개의 전압들 중 하나가 기준전압(VR_SEL)을 생성하는 것을 가정한다.
- [136] 패턴저항 검출회로(210)는 인에이블 제어신호(EN control)에 의해 패턴저항 검출을 시작할 수 있다. 예컨대, 패턴저항 검출회로(210)는 인에이블 제어신호가 하이 레벨이 되면, 디스플레이 패널(110)의 제1 패드부(P1)와 연결된 제1 스위치(SW_R) 및 디스플레이 패널(110)의 제2 패드부(P2)와 연결된 제2 스위치(SW_L)가 턴-온(turn-on)이 되면서 패턴저항 검출을 시작할 수 있다. 패턴저항 검출회로(210)는 기준전류를 생성하고, 생성된 기준전류를 디스플레이 패널(110)의 제1 패드부(P1)를 통해 패턴저항(R_Panel)에 인가할 수 있다.
- [137] 패턴저항 검출회로(210)는 기준전압 제어신호(SEL[3:0])를 '0000'으로 초기화하고, 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교횟수(COUNT[2:0])를 '000'으로 초기화할 수 있다.
- [138] 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교횟수(COUNT[2:0])를 '001'로 변경하고, 비교횟수(COUNT[2:0])가 미리 설정된 값인 4보다 작으므로 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교를 수행할 수 있다.
- [139] 패턴저항 검출회로(210)는 기준전압 제어신호(SEL[3:0])를 '1000'으로 변경하고, '1000'인 기준전압 제어신호(SEL[3:0])에 따라 기준전압(VR_SEL)이 생성될 수 있다. 예컨대, 기준전압 제어신호(SEL[3:0])와 패턴저항(R_Panel)이 상기 표 1과 같은 관계를 가지는 경우, 패턴저항 검출회로(210)는 '1000'인 기준전압 제어신호(SEL[3:0])에 따라 크기가 '9'인 패턴저항(R_Panel)과 대응되는 기준전압(VR_SEL)을 생성할 수 있다.
- [140] 패턴저항 검출회로(210)는 비교기(330)를 이용하여 클럭신호(Clk)에 따라 패턴저항(R_Panel)에 인가된 기준전류에 의해 검출된 검출전압(V_Panel)과 기준전압(VR_SEL)의 크기를 비교할 수 있다.
- [141] 패턴저항 검출회로(210)의 비교기(330)는 도 9에 도시된 바와 같이 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크므로, 제1 클럭주기(Phase-0) 동안 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과로 하이 레벨 신호를 출력할 수 있다.
- [142] 그런 다음, 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교횟수(COUNT[2:0])를 '010'로 변경하고, 비교횟수(COUNT[2:0])가 미리 설정된 값인 4보다 작으므로 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교를 수행할 수 있다.
- [143] 패턴저항 검출회로(210)는 최상위 비트 자리의 비트의 값을 1로 유지하고, 최상위 비트로부터 1번째 자리의 비트의 값을 0에서 1로 변경하여 기준전압 제어신호(SEL[3:0])를 생성할 수 있다. 결과적으로, 패턴저항 검출회로(210)는 '1100'인 기준전압 제어신호(SEL[3:0])를 생성하고, '1100'인 기준전압 제어신호(SEL[3:0])

에 따라 기준전압(VR_SEL)이 변경될 수 있다. 예컨대, 패턴저항 검출회로(210)는 '1100'인 기준전압 제어신호(SEL[3:0])에 따라 크기가 '13'인 패턴저항(R_Panel)과 대응되는 기준전압(VR_SEL)을 생성할 수 있다.

- [144] 패턴저항 검출회로(210)는 비교기(330)를 이용하여 클럭신호(Clk)에 따라 패턴저항(R_Panel)에 인가된 기준전류에 의해 검출된 검출전압(V_Panel)과 기준전압(VR_SEL)의 크기를 비교할 수 있다.
- [145] 패턴저항 검출회로(210)의 비교기(330)는 검출전압(V_Panel)이 기준전압(VR_SEL)보다 작으므로, 제2 클럭주기(Phase-1) 동안 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과로 로우 레벨 신호를 출력할 수 있다.
- [146] 그런 다음, 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교횟수(COUNT[2:0])를 '011'로 변경하고, 비교횟수(COUNT[2:0])가 미리 설정된 값인 4보다 작으므로 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교를 수행할 수 있다.
- [147] 패턴저항 검출회로(210)는 최상위 비트로부터 1번째 자리의 비트의 값을 0으로 변경하고, 최상위 비트로부터 2번째 자리의 비트의 값을 0에서 1로 변경하여 기준전압 제어신호(SEL[3:0])를 생성할 수 있다. 결과적으로, 패턴저항 검출회로(210)는 '1010'인 기준전압 제어신호(SEL[3:0])를 생성하고, '1010'인 기준전압 제어신호(SEL[3:0])에 따라 기준전압(VR_SEL)이 변경될 수 있다. 예컨대, 패턴저항 검출회로(210)는 '1010'인 기준전압 제어신호(SEL[3:0])에 따라 크기가 '11'인 패턴저항(R_Panel)과 대응되는 기준전압(VR_SEL)을 생성할 수 있다.
- [148] 패턴저항 검출회로(210)는 비교기(330)를 이용하여 클럭신호(Clk)에 따라 패턴저항(R_Panel)에 인가된 기준전류에 의해 검출된 검출전압(V_Panel)과 기준전압(VR_SEL)의 크기를 비교할 수 있다.
- [149] 패턴저항 검출회로(210)의 비교기(330)는 검출전압(V_Panel)이 기준전압(VR_SEL)보다 크므로, 제3 클럭주기(Phase-2) 동안 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과로 하이 레벨 신호를 출력할 수 있다.
- [150] 그런 다음, 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교횟수(COUNT[2:])를 '100'로 변경하고, 비교횟수(COUNT[2:0])가 미리 설정된 값인 4보다 작으므로 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교를 수행할 수 있다.
- [151] 패턴저항 검출회로(210)는 최상위 비트로부터 2번째 자리의 비트의 값을 1로 유지하고, 최상위 비트로부터 3번째 자리의 비트의 값을 0에서 1로 변경하여 기준전압 제어신호(SEL[3:0])를 생성할 수 있다. 결과적으로, 패턴저항 검출회로(210)는 '1011'인 기준전압 제어신호(SEL[3:0])를 생성하고, '1011'인 기준전압 제어신호(SEL[3:0])에 따라 기준전압(VR_SEL)이 변경될 수 있다. 예컨대, 패턴저항 검출회로(210)는 '1011'인 기준전압 제어신호(SEL[3:0])에 따라 크기가 '12'인 패턴저항(R_Panel)과 대응되는 기준전압(VR_SEL)을 생성할 수 있다.

- [152] 패턴저항 검출회로(210)는 비교기(330)를 이용하여 클럭신호(Clk)에 따라 패턴저항(R_Panel)에 인가된 기준전류에 의해 검출된 검출전압(V_Panel)과 기준전압(VR_SEL)의 크기를 비교할 수 있다.
- [153] 패턴저항 검출회로(210)의 비교기(330)는 검출전압(V_Panel)이 기준전압(VR_SEL) 보다 크므로, 제2 클럭주기(Phase-1) 동안 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 전압비교결과로 하이 레벨 신호를 출력할 수 있다.
- [154] 그런 다음, 패턴저항 검출회로(210)는 검출전압(V_Panel)과 기준전압(VR_SEL) 간의 비교횟수(COUNT[2:0])를 '101'로 변경하고, 비교횟수(COUNT[2:0])가 미리 설정된 값인 4보다 크므로, 패턴저항 검출을 완료할 수 있다.
- [155] 패턴저항 검출회로(210)는 최종 기준전압 제어신호를 사용자에게 제공할 수 있다. 사용자는 최종 기준전압 제어신호인 '1011'를 기초로 디스플레이 패널(110)의 패턴저항(R_Panel)이 12k Ω 이라고 판단할 수 있다.
- [156] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [157] 또한, 본 명세서에 설명되어 있는 방법들은 적어도 부분적으로, 하나 이상의 컴퓨터 프로그램 또는 구성요소를 사용하여 구현될 수 있다. 이 구성요소는 휘발성 및 비휘발성 메모리를 포함하는 컴퓨터로 판독 가능한 매체 또는 기계 판독 가능한 매체를 통해 일련의 컴퓨터 지시어들로서 제공될 수 있다. 상기 지시어들은 소프트웨어 또는 펌웨어로서 제공될 수 있으며, 전체적 또는 부분적으로, ASICs, FPGAs, DSPs, 또는 그 밖의 다른 유사 소자와 같은 하드웨어 구성에 구현될 수도 있다. 상기 지시어들은 하나 이상의 프로세서 또는 다른 하드웨어 구성에 의해 실행되도록 구성될 수 있는데, 상기 프로세서 또는 다른 하드웨어 구성은 상기 일련의 컴퓨터 지시어들을 실행할 때 본 명세서에 개시된 방법들 및 절차들의 모두 또는 일부를 수행하거나 수행할 수 있도록 한다.
- [158] 이상에서 설명한 본 명세서는 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 명세서의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 명세서의 범위는 후술하는 청구범위에 의하여 나타내어지며, 청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 명세서의 범위에 포함되는 것으로 해석되어야 한다.

발명의 실시를 위한 형태

- [159] 본 발명의 실시를 위한 다양한 형태들에 대해서, 이전 목차인 발명의 실시를 위한 최선의 형태에서 충분히 전술한 바 있다.

산업상 이용가능성

[160] 본 발명은, 어떠한 타입의 디스플레이 장치(ex: LCD, LED, OLED 등)에도 적용 가능하므로, 산업상 이용가능성이 인정된다.

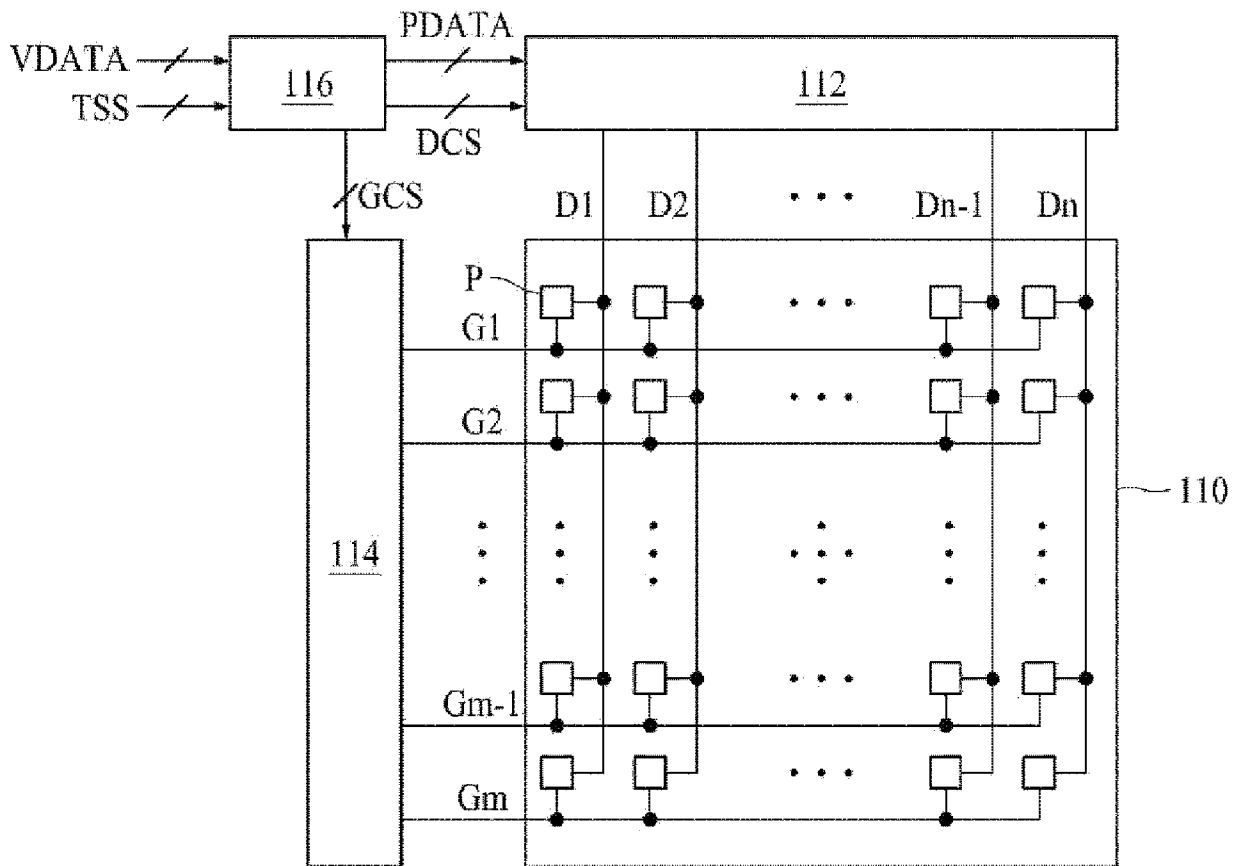
청구범위

- [청구항 1] 기준전류를 생성하여 패턴저항에 인가하는 전류원 생성기;
 기준전압을 생성하는 기준전압 생성기;
 상기 패턴저항에 인가된 기준전류에 의해 검출된 검출전압과 상기 기준전압의 크기를 비교하여 전압비교결과를 출력하는 비교기; 및
 상기 전압비교결과에 따라 상기 기준전압 생성기를 제어하는 기준전압 제어신호를 출력하는 회로 제어부를 포함하는 패턴저항 검출회로.
- [청구항 2] 제1항에 있어서, 상기 전류원 생성기는,
 제1 전원에 연결된 전류원;
 상기 전류원에 연결된 제1 드레인 전극, 상기 제1 드레인 전극과 연결된 제1 게이트 전극 및 제2 전원에 연결된 제1 소스 전극을 포함하는 제1 트랜지스터; 및
 상기 패턴저항에 연결된 제2 드레인 전극, 상기 제1 트랜지스터의 제1 게이트 전극과 연결된 제2 게이트 전극 및 상기 제2 전원에 연결된 제2 소스 전극을 포함하는 제2 트랜지스터를 포함하는 패턴저항 검출회로.
- [청구항 3] 제2항에 있어서,
 상기 제1 트랜지스터는 제1 기준전류가 흐르고, 상기 제2 트랜지스터는 상기 제1 기준전류를 복사한 제2 기준전류가 흐르는 패턴저항 검출회로.
- [청구항 4] 제2항에 있어서,
 상기 제1 전원은 저전위 전압이고, 상기 제2 전원은 고전위 전압인 패턴저항 검출회로.
- [청구항 5] 제2항에 있어서,
 상기 제2 트랜지스터의 제2 드레인 전극은 상기 패턴저항을 통해 상기 제1 전원에 연결되는 패턴저항 검출회로.
- [청구항 6] 제2항에 있어서, 상기 전류원 생성기는,
 상기 제1 트랜지스터에 일정한 바이어스 전류를 공급하는 바이어스 트랜지스터를 더 포함하는 패턴저항 검출회로.
- [청구항 7] 제2항에 있어서, 상기 전류원 생성기는,
 상기 제1 트랜지스터의 제1 드레인 전압을 상기 제2 트랜지스터의 제2 드레인 전압에 복사하는 채널 길이 변조 방지 회로를 더 포함하는 패턴저항 검출회로.
- [청구항 8] 제7항에 있어서, 상기 채널 길이 변조 방지 회로는,
 상기 제1 트랜지스터의 제1 드레인 전압과 상기 제2 트랜지스터의 제2 드레인 전압 간의 차이를 증폭하는 차동 증폭기; 및
 상기 패턴저항에 연결된 제3 드레인 전극, 상기 차동 증폭기에 연결된 제3 게이트 전극 및 상기 제2 트랜지스터의 제2 드레인 전극에 연결된 제3 소스 전극을 포함하는 제3 트랜지스터를 포함하는 패턴저항 검출회로.

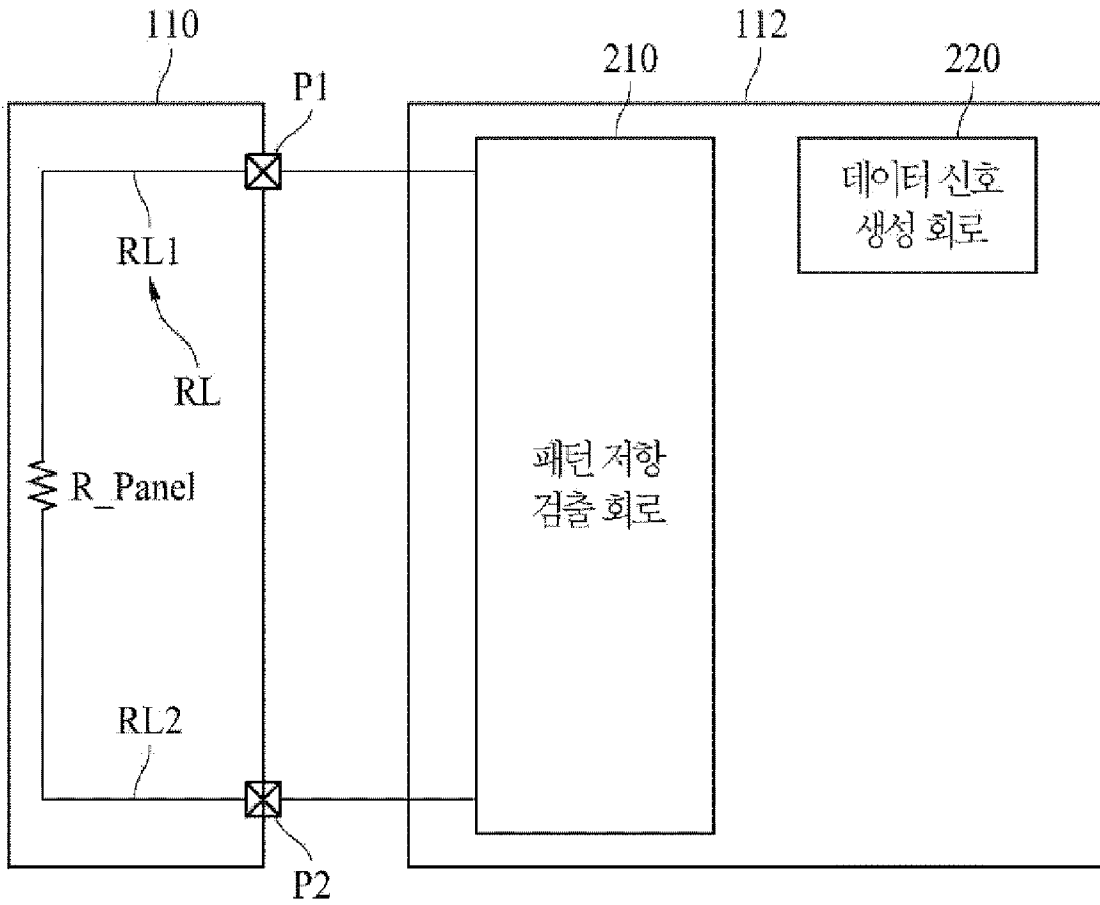
- [청구항 9] 제1항에 있어서, 상기 회로 제어부는, 상기 전압비교결과를 기초로 2^N 개의 전압들 중 하나를 상기 기준전압으로 선택하고, 선택된 기준전압을 생성하기 위한 N 비트(bit)의 기준전압 제어신호를 생성하여 상기 기준전압 생성기로 출력하는 패턴저항 검출회로.
- [청구항 10] 제9항에 있어서, 상기 회로 제어부는, 상기 기준전압이 상기 검출전압 보다 크면, 상기 2^N 개의 전압들 중에서 현재 기준전압 보다 작은 전압들 중 하나를 새로운 기준전압으로 선택하고, 상기 기준전압이 상기 검출전압 보다 낮으면, 상기 2^N 개의 전압들 중에서 현재 기준전압 보다 큰 전압들 중 하나를 새로운 기준전압으로 선택하는 패턴저항 검출회로.

[도 1]

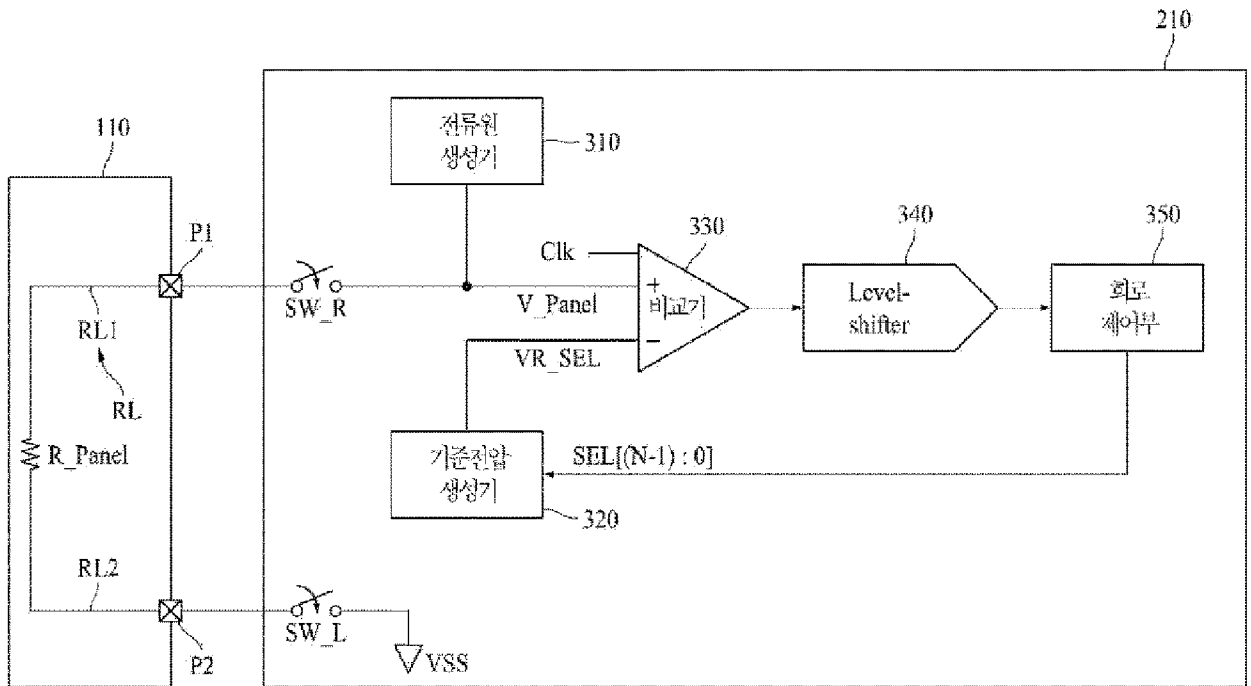
100



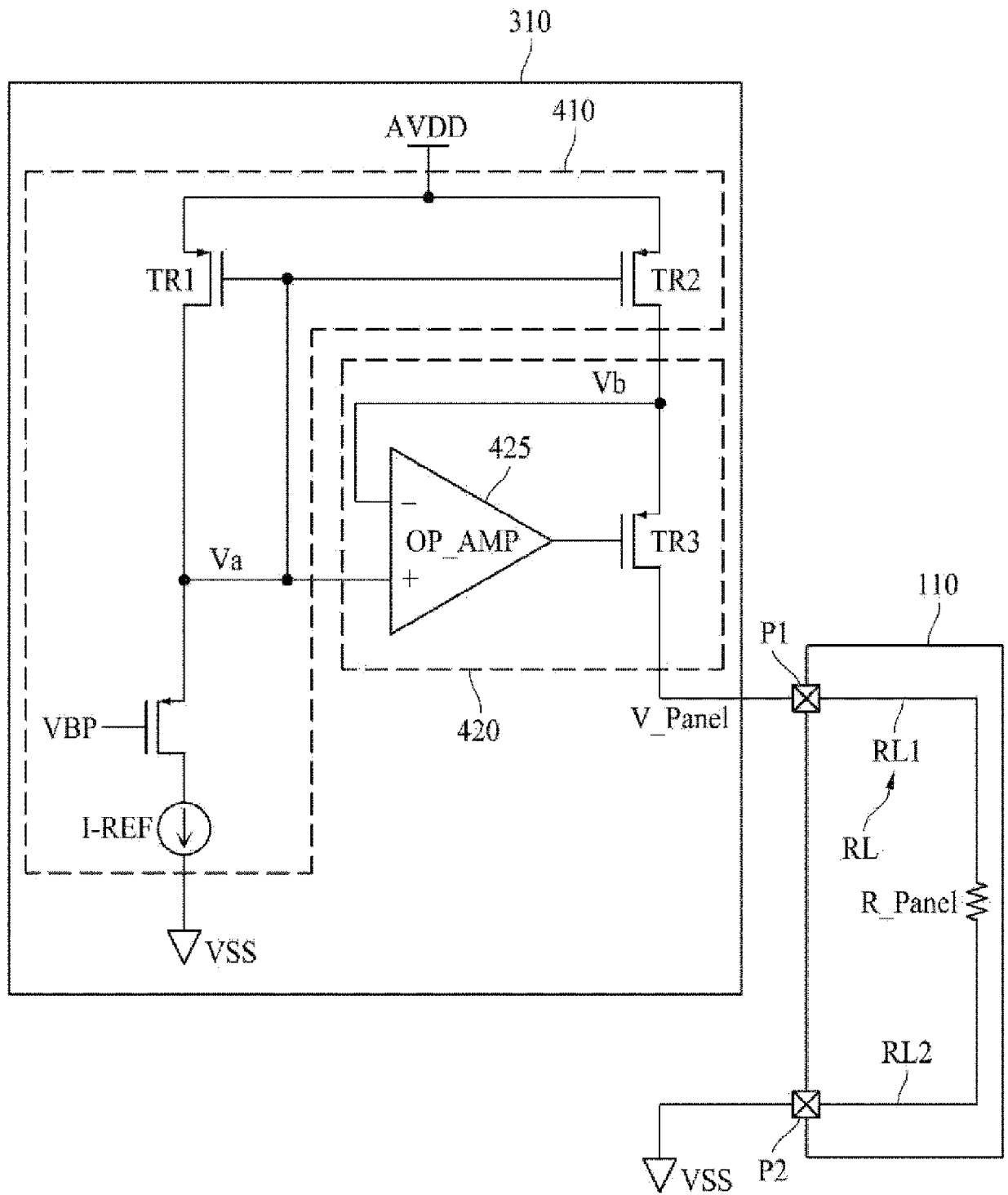
[도2]



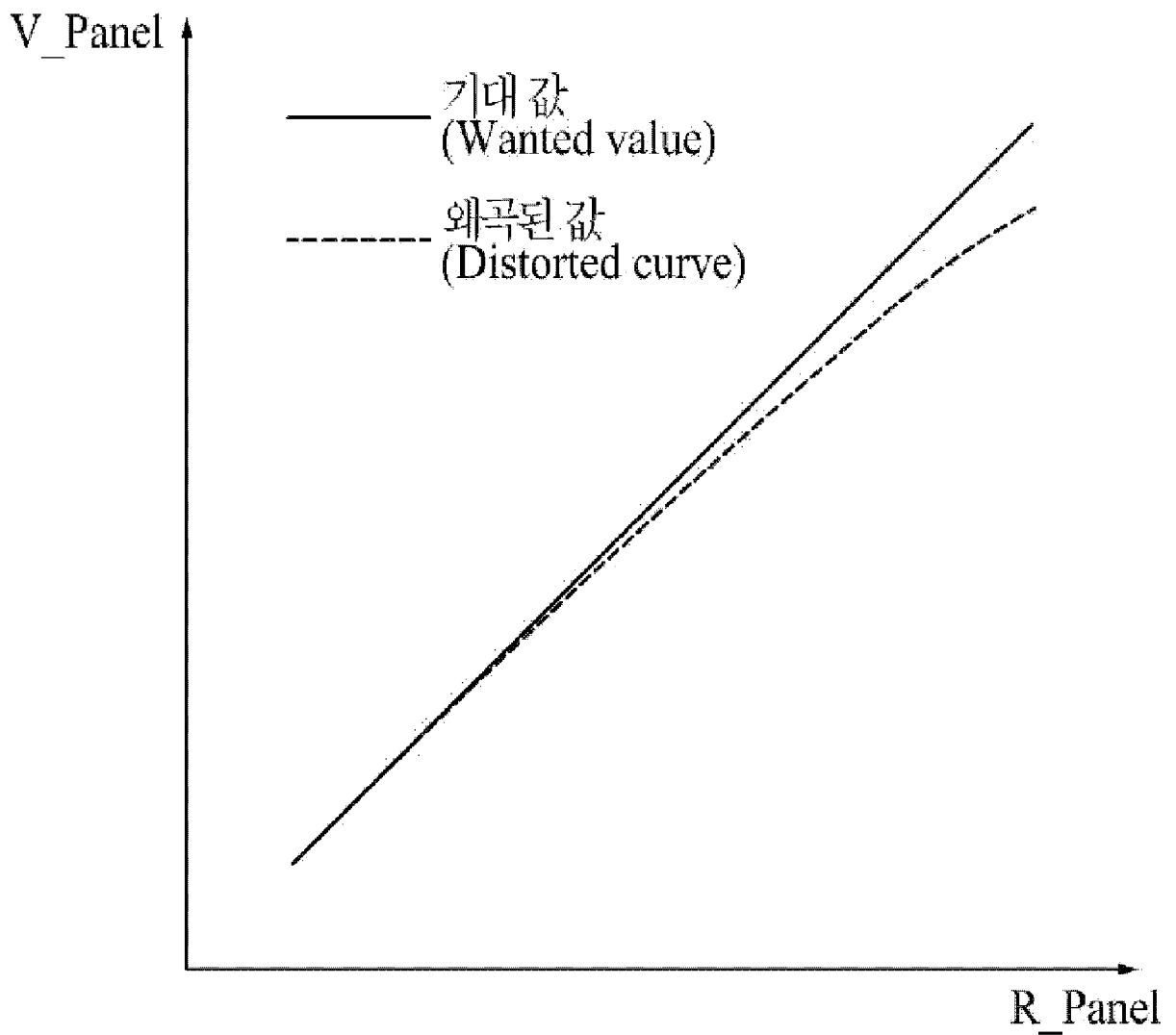
[도3]



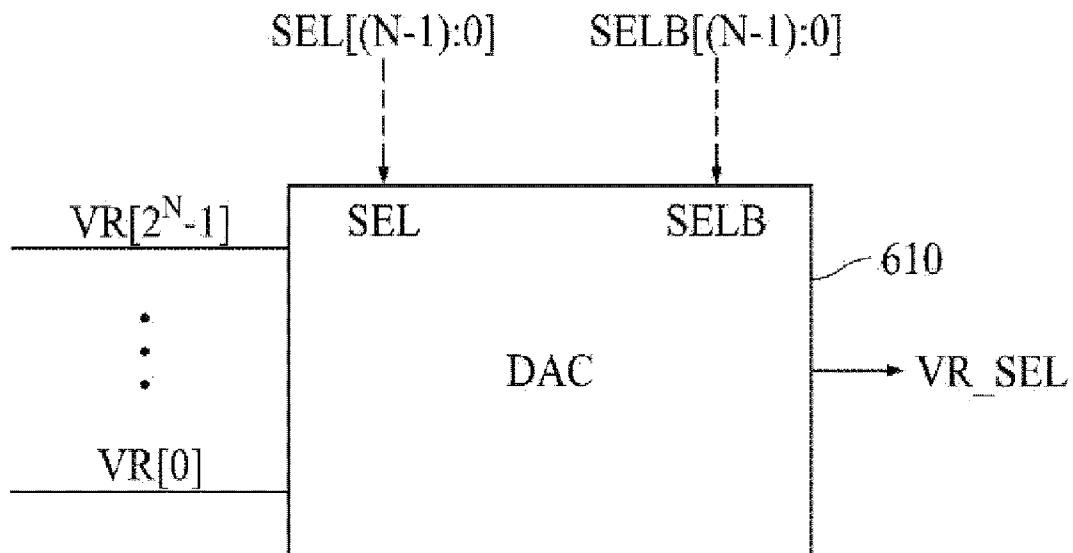
[도4]



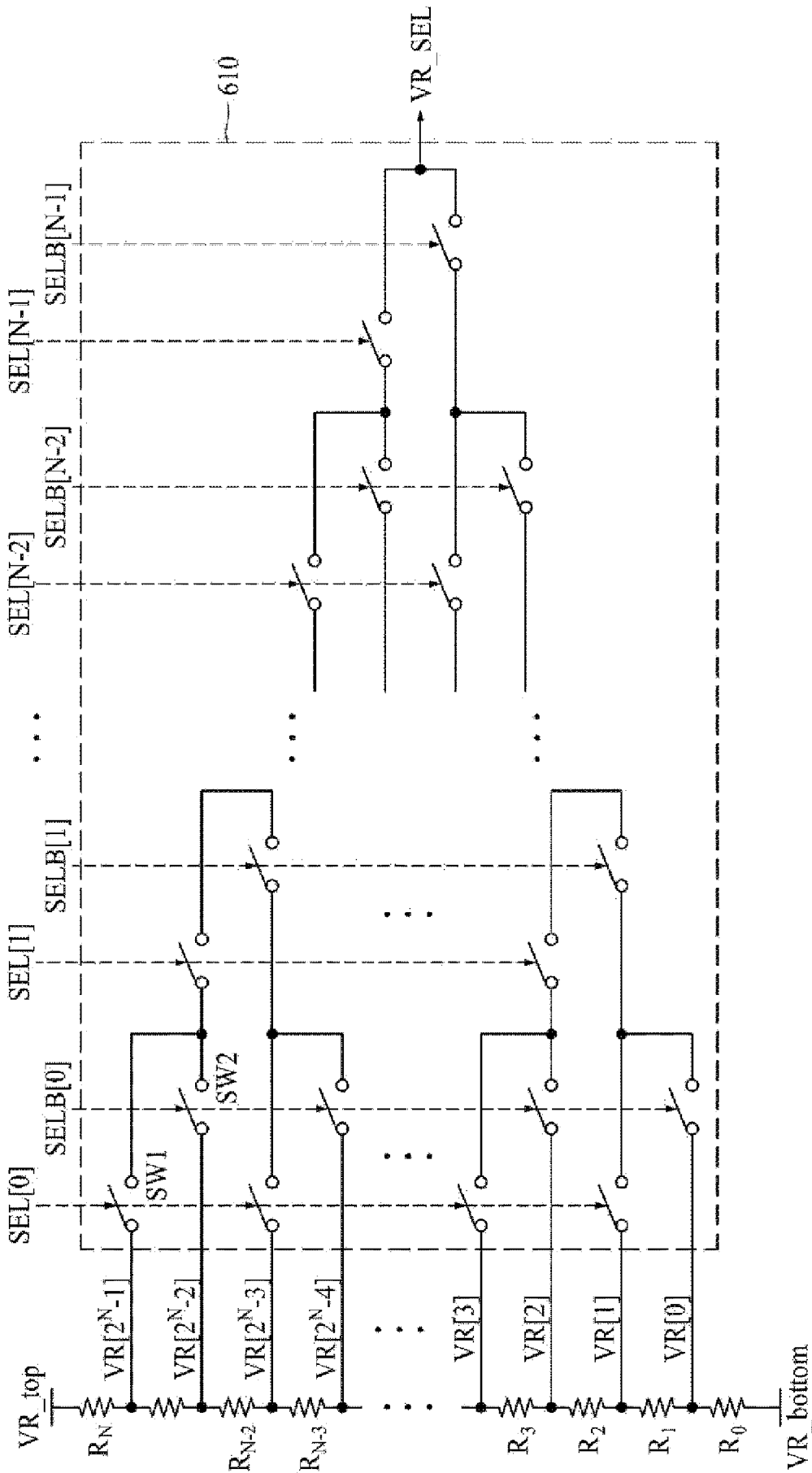
[도5]



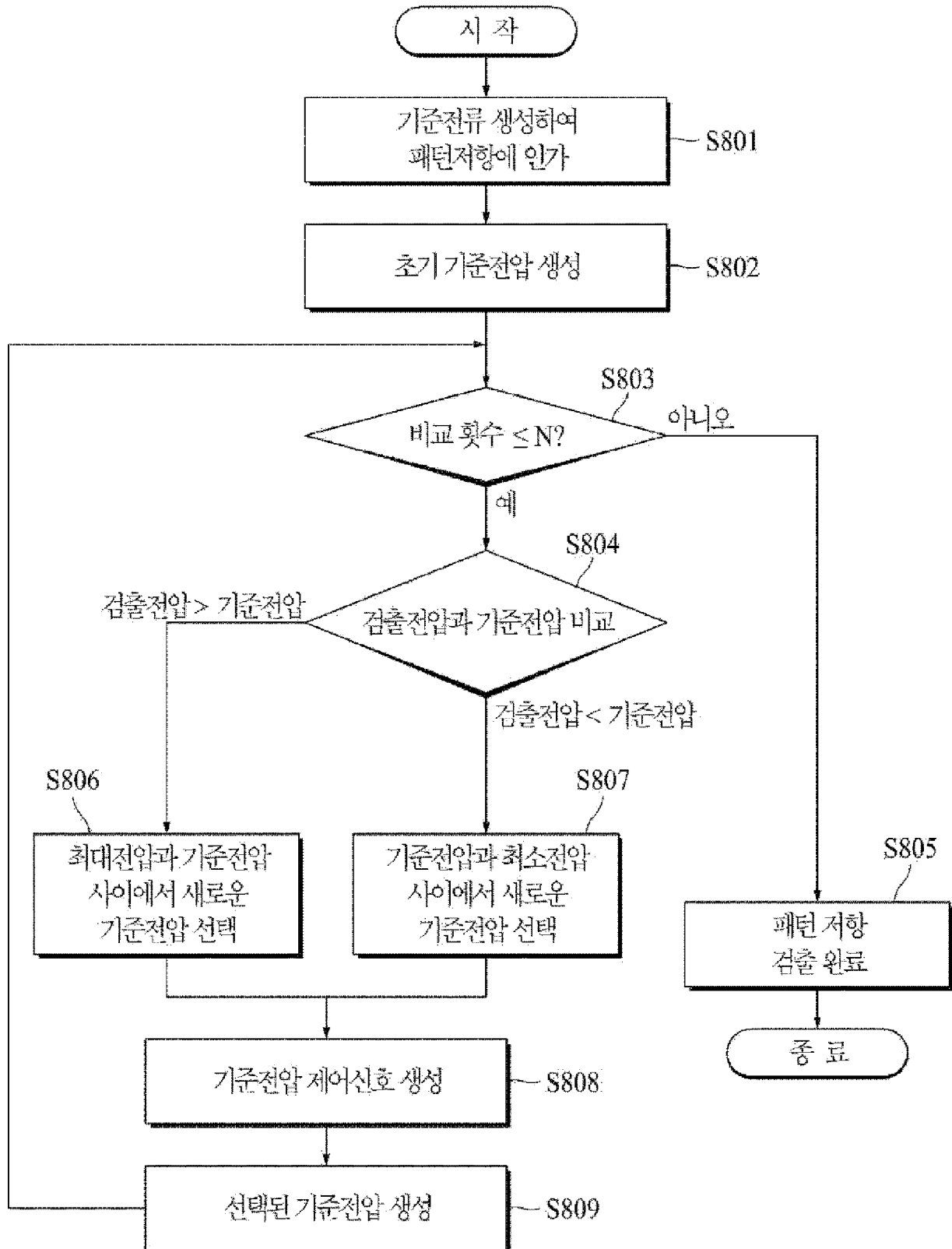
[도6]



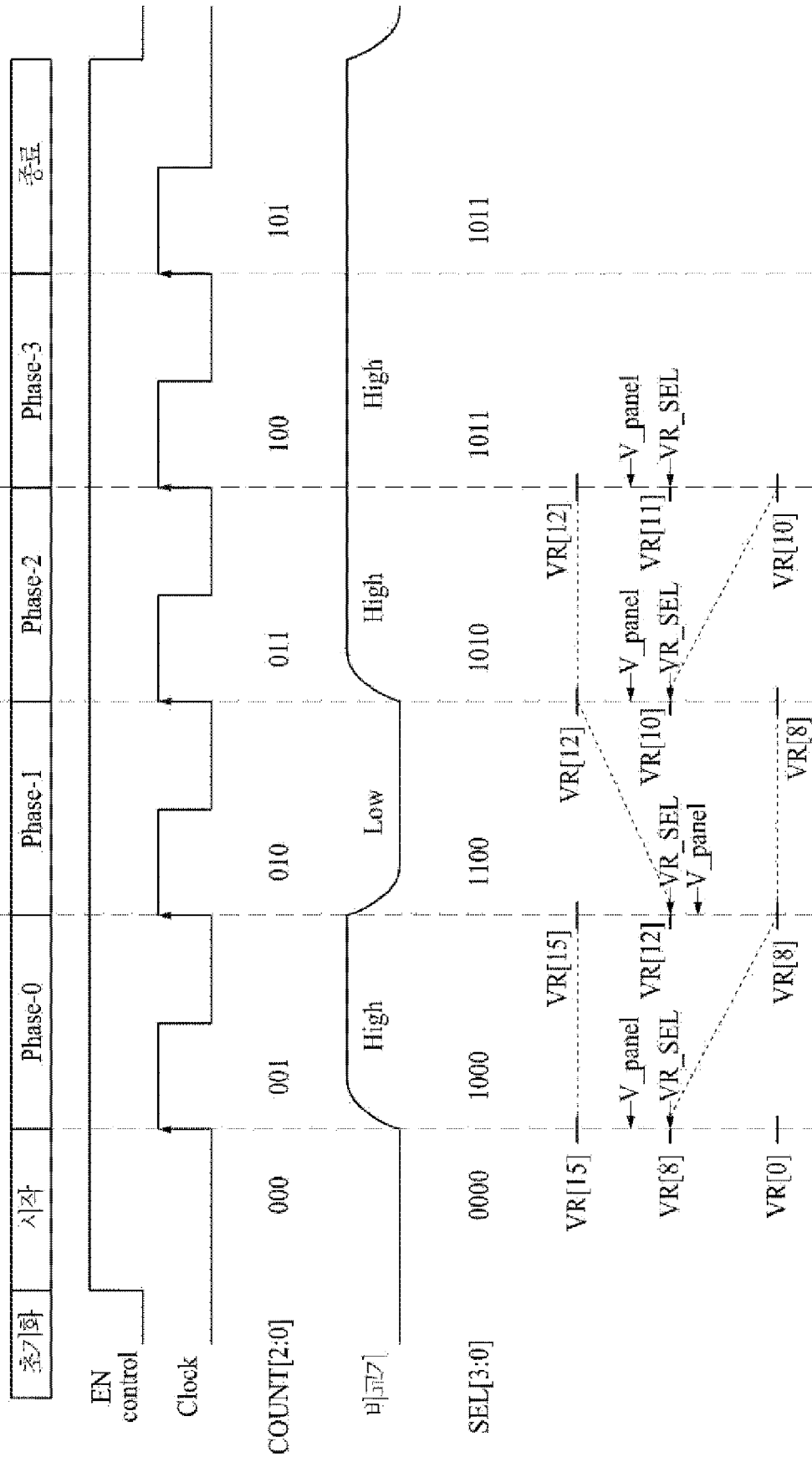
[도7]



[도8]



[도9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/012959

A. CLASSIFICATION OF SUBJECT MATTER		
G01R 31/28(2006.01)i; G01R 27/02(2006.01)i; G01R 19/00(2006.01)i; G01R 17/00(2006.01)i; G01R 19/165(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01R 31/28(2006.01); G01R 27/08(2006.01); G05F 1/56(2006.01); G06F 12/00(2006.01); G09G 3/00(2006.01); H05B 37/00(2006.01); H05B 37/02(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 패턴(pattern), 저항(resistance), 검출(detector), 전압(voltage), 비교(comparison)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2012-0198183 A1 (WETZEL, Randall et al.) 02 August 2012 (2012-08-02) See paragraph [0020], claim 1 and figures 1-2.	1,9-10 2-8
Y	CN 108107962 A (SHANGHAI ZHAOXIN ELECTRONIC TECHNOLOGY CO., LTD.) 01 June 2018 (2018-06-01) See paragraphs [0018]-[0020] and figures 1-9.	1,9-10
Y	KR 10-2011-0012668 A (SAMSUNG ELECTRONICS CO., LTD.) 09 February 2011 (2011-02-09) See paragraphs [0043]-[0054], claims 1-2 and figures 1-5.	9-10
A	KR 10-2001-0039316 A (ORION ELECTRIC CO., LTD.) 15 May 2001 (2001-05-15) See claims 1-3 and figures 1-3.	1-10
A	KR 10-2022-0098893 A (LX SEMICON CO., LTD.) 12 July 2022 (2022-07-12) See claims 1-17 and figures 1-6.	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 December 2023		Date of mailing of the international search report 13 December 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/012959

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2012-0198183	A1	02 August 2012	CN	102680794	A	19 September 2012
				CN	102680794	B	14 January 2015
				CN	202837404	U	27 March 2013
				US	9229833	B2	05 January 2016

CN	108107962	A	01 June 2018	CN	108107962	B	15 September 2020

KR	10-2011-0012668	A	09 February 2011	CN	101882424	A	10 November 2010
				JP	2010-262929	A	18 November 2010
				KR	10-2010-0121175	A	17 November 2010
				TW	201106792	A	16 February 2011
				US	2010-0283773	A1	11 November 2010

KR	10-2001-0039316	A	15 May 2001	None			

KR	10-2022-0098893	A	12 July 2022	CN	114783330	A	22 July 2022
				US	11776439	B2	03 October 2023
				US	2022-0215783	A1	07 July 2022

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G01R 31/28(2006.01)i; G01R 27/02(2006.01)i; G01R 19/00(2006.01)i; G01R 17/00(2006.01)i; G01R 19/165(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G01R 31/28(2006.01); G01R 27/08(2006.01); G05F 1/56(2006.01); G06F 12/00(2006.01); G09G 3/00(2006.01); H05B 37/00(2006.01); H05B 37/02(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 패턴(pattern), 저항(resistance), 검출(detecting), 전압(voltage), 비교(comparison)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2012-0198183 A1 (RANDALL WETZEL 등) 2012.08.02 단락 [0020], 청구항 1 및 도면 1-2	1,9-10
A		2-8
Y	CN 108107962 A (SHANGHAI ZHAOXIN ELECTRONIC TECHNOLOGY CO., LTD.) 2018.06.01 단락 [0018]-[0020] 및 도면 1-9	1,9-10
Y	KR 10-2011-0012668 A (삼성전자주식회사) 2011.02.09 단락 [0043]-[0054], 청구항 1-2 및 도면 1-5	9-10
A	KR 10-2001-0039316 A (오리온전기 주식회사) 2001.05.15 청구항 1-3 및 도면 1-3	1-10
A	KR 10-2022-0098893 A (주식회사 엘엑스세미콘) 2022.07.12 청구항 1-17 및 도면 1-6	1-10
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일	국제조사보고서 발송일	
2023년12월13일 (13.12.2023)	2023년12월13일 (13.12.2023)	
ISA/KR의 명칭 및 우편주소	심사관	
대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)	이강하	
팩스 번호 +82-42-481-8578	전화번호 +82-42-481-5003	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2012-0198183 A1	2012/08/02	CN 102680794 A	2012/09/19
		CN 102680794 B	2015/01/14
		CN 202837404 U	2013/03/27
		US 9229833 B2	2016/01/05
-----	-----	-----	-----
CN 108107962 A	2018/06/01	CN 108107962 B	2020/09/15
-----	-----	-----	-----
KR 10-2011-0012668 A	2011/02/09	CN 101882424 A	2010/11/10
		JP 2010-262929 A	2010/11/18
		KR 10-2010-0121175 A	2010/11/17
		TW 201106792 A	2011/02/16
		US 2010-0283773 A1	2010/11/11
-----	-----	-----	-----
KR 10-2001-0039316 A	2001/05/15	없음	
-----	-----	-----	-----
KR 10-2022-0098893 A	2022/07/12	CN 114783330 A	2022/07/22
		US 11776439 B2	2023/10/03
		US 2022-0215783 A1	2022/07/07
-----	-----	-----	-----