



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201728525 A

(43) 公開日：中華民國 106 (2017) 年 08 月 16 日

(21) 申請案號：105139156

(22) 申請日：中華民國 105 (2016) 年 11 月 28 日

(51) Int. Cl. : **B81B7/00 (2006.01)** **B81C1/00 (2006.01)**

(30) 優先權：2016/02/01 美國 15/012,311

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：謝元智 HSIEH, YUAN-CHIH (TW)；曾李全 TSENG, LEE-CHUAN (TW)；林宏
樺 LIN, HUNG-HUA (TW)

(74) 代理人：陳長文；馮博生

申請實體審查：無 申請專利範圍項數：1 項 圖式數：9 共 29 頁

(54) 名稱

藉由將表面粗糙化而改良靜摩擦之方法

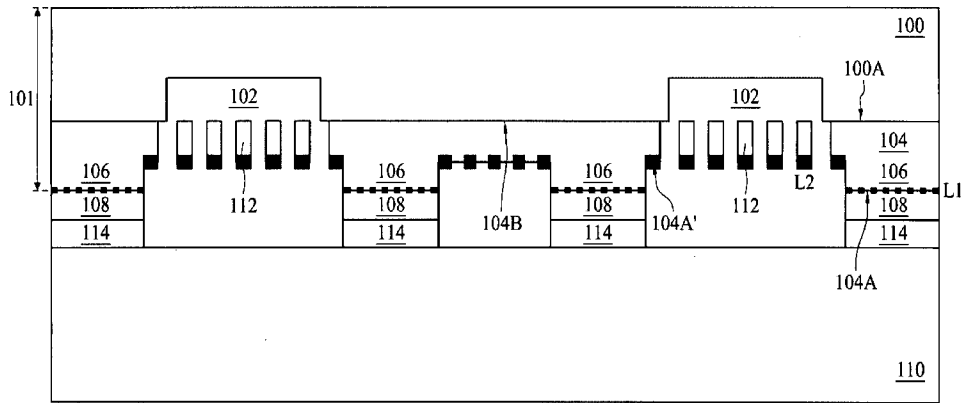
METHOD TO IMPROVE STICTION BY ROUGHING SURFACE

(57) 摘要

本揭露提供一種用於製造一 CMOS-MEMS 結構之方法。該方法包含：在一帽蓋基板之一第一表面上蝕刻一腔；將該帽蓋基板之該第一表面與一感測基板接合；薄化該感測基板之一第二表面，該第二表面與接合至該帽蓋基板的該感測基板之一第三表面對置；蝕刻該感測基板之該第二表面；圖案化該感測基板之該第二表面之一部分以形成複數個接合區域；在該複數個接合區域上沈積一共晶金屬層；蝕刻在該腔下方的該感測基板之一部分以形成一可移動元件；及透過該共晶金屬層將該感測基板接合至一 CMOS 基板。

The present disclosure provides a method for manufacturing a CMOS-MEMS structure. The method includes etching a cavity on a first surface of a cap substrate; bonding the first surface of the cap substrate with a sensing substrate; thinning a second surface of the sensing substrate, the second surface being opposite to a third surface of the sensing substrate bonded to the cap substrate; etching the second surface of the sensing substrate; patterning a portion of the second surface of the sensing substrate to form a plurality of bonding regions; depositing an eutectic metal layer on the plurality of bonding regions; etching a portion of the sensing substrate under the cavity to form a movable element; and bonding the sensing substrate to a CMOS substrate through the eutectic metal layer.

指定代表圖：



【圖9】

符號簡單說明：

- 100 . . . 帽蓋基板
- 100A . . . 第一表面
- 101 . . . 經工程設計絕緣體上覆矽基板
- 102 . . . 腔
- 104 . . . 感測基板
- 104A . . . 第一表面/台面頂部
- 104A' . . . 凹陷底部/凹陷底部表面
- 104B . . . 第二表面
- 106 . . . 接合區域
- 108 . . . 共晶金屬層
- 110 . . . CMOS 基板
- 112 . . . 可移動元件/驗證質量
- 114 . . . 接合區/對應接合區
- L1'' . . . 虛線
- L2 . . . 虛線



申請日: 105 11 28

201728525

【發明摘要】

IPC分類: B81B 7/00 (2006.01),
B81C 1/00 (2006.01)

【中文發明名稱】

藉由將表面粗糙化而改良靜摩擦之方法

【英文發明名稱】

METHOD TO IMPROVE STICTION BY ROUGHING SURFACE

【中文】

本揭露提供一種用於製造一CMOS-MEMS結構之方法。該方法包含：在一帽蓋基板之一第一表面上蝕刻一腔；將該帽蓋基板之該第一表面與一感測基板接合；薄化該感測基板之一第二表面，該第二表面與接合至該帽蓋基板的該感測基板之一第三表面對置；蝕刻該感測基板之該第二表面；圖案化該感測基板之該第二表面之一部分以形成複數個接合區域；在該複數個接合區域上沈積一共晶金屬層；蝕刻在該腔下方的該感測基板之一部分以形成一可移動元件；及透過該共晶金屬層將該感測基板接合至一CMOS基板。

【英文】

The present disclosure provides a method for manufacturing a CMOS-MEMS structure. The method includes etching a cavity on a first surface of a cap substrate; bonding the first surface of the cap substrate with a sensing substrate; thinning a second surface of the sensing substrate, the second surface being opposite to a third surface of the sensing substrate bonded to the cap substrate; etching the second surface of the sensing substrate; patterning a portion of the second surface of the sensing substrate to form a plurality of bonding regions; depositing an

eutectic metal layer on the plurality of bonding regions; etching a portion of the sensing substrate under the cavity to form a movable element; and bonding the sensing substrate to a CMOS substrate through the eutectic metal layer.

【指定代表圖】

圖9

【代表圖之符號簡單說明】

100	帽蓋基板
100A	第一表面
101	經工程設計絕緣體上覆矽基板
102	腔
104	感測基板
104A	第一表面/檯面頂部
104A'	凹陷底部/凹陷底部表面
104B	第二表面
106	接合區域
108	共晶金屬層
110	CMOS基板
112	可移動元件/驗證質量
114	接合區/對應接合區
L1"	虛線
L2	虛線

【發明說明書】

【中文發明名稱】

藉由將表面粗糙化而改良靜摩擦之方法

【英文發明名稱】

METHOD TO IMPROVE STICTION BY ROUGHING SURFACE

【技術領域】

本發明實施例係關於一種藉由將表面粗糙化而改良MEMS裝置靜摩擦之方法。

【先前技術】

在MEMS及微電子領域中，出於將結構包封於真空腔中或具有受控大氣之腔中之目的，經常需要將晶圓接合在一起。此等結構可必須係在極長時間(最常見為數十年)期間可操作的。經由密封而提供晶圓之間的電連接亦可係合意的。

當然，不可或缺地，將晶圓固持/接合在一起且提供該等腔之實際密封之接頭將提供將不隨時間劣化之足夠良好密封。共晶接合係用於接合之常見方法中之一者，但共晶接合可導致大偏差。另外，共晶溢出係需要注意之另一問題。

關於MEMS裝置通常所察覺到之另一可靠性問題係靜摩擦或在微型規模下鄰近表面之間之表面張力。一般而言，靜摩擦係需要克服以使得彼此接觸之靜止物件能夠相對運動之靜態摩擦。當具有小於微米範圍之面積之兩個表面緊密接近(諸如在MEMS裝置中所證明)時，該兩個表面可黏合在一起，從而限制MEMS裝置之可靠性。在此規模下，MEMS裝置之兩個主要故障因素為靜電或電荷誘發之靜摩擦及/或凡得瓦力誘發之靜摩擦。

此等靜摩擦問題呈現先前所討論之各種問題。

因此，用以減輕前述問題之一新穎機制已成為與半導體製造工業有關之領域中之一迫切需要。

【發明內容】

本揭露之某些實施例提供一種CMOS-MEMS結構。該CMOS-MEMS結構包含：一帽蓋基板，其具有一腔；一感測基板，其具有複數個接合區域，該感測基板及該複數個接合區域由無摻雜半導體材料構成；一共晶金屬層，其位於該複數個接合區域上方；及一CMOS基板，其透過該共晶金屬層連接至該感測基板；其中該帽蓋基板熔融接合至該感測基板，且該無摻雜半導體材料實體連接至該共晶金屬層。

本揭露之某些實施例提供一種用於製造一CMOS-MEMS結構之方法。該方法包含：在一帽蓋基板之一第一表面上蝕刻一腔；將該帽蓋基板之該第一表面與一感測基板接合；薄化該感測基板之一第二表面，該第二表面與接合至該帽蓋基板的該感測基板之一第三表面對置；蝕刻該感測基板之該第二表面；圖案化該感測基板之該第二表面之一部分以形成複數個接合區域；在該複數個接合區域上沈積一共晶金屬層；蝕刻在該腔下方的該感測基板之一部分以形成一可移動元件；及透過該共晶金屬層將該感測基板接合至一CMOS基板，其中該感測基板及該複數個接合區域由無摻雜半導體材料構成。

本揭露之某些實施例提供一種用於控制一CMOS-MEMS結構之一表面粗糙度之方法。該方法包含：在一帽蓋基板之一第一表面上蝕刻一腔；熔融接合該帽蓋基板與一感測基板；薄化該感測基板之一第二表面，該第二表面與接合至該帽蓋基板的該感測基板之一第三表面對置；及蝕刻該感

測基板之該第二表面以達成介於10 Å至1000 Å之一範圍內之一表面粗糙度。

【圖式簡單說明】

當連同附圖一起閱讀時，自以下詳細說明最佳地理解本發明實施例之態樣。應注意，根據工業中之標準方法，各種構件未按比例繪製。實際上，為論述之清晰起見，可任意地增加或減小各種構件之尺寸。

圖1至圖9係圖解說明用以製作一CMOS-MEMS結構之處理步驟之一系列剖面圖。

【實施方式】

以下揭露提供用於實施本揭露之不同構件之諸多不同實施例或實例。以下闡述組件及配置之特定實例以簡化本揭露。當然，此等特定實例僅為實例且並非意欲為限制性的。舉例而言，以下說明中之在一第二構件上方或在一第二構件上形成一第一構件可包含其中第一構件與第二構件以直接接觸方式形成之實施例，且亦可包含其中可在第一構件與第二構件之間形成額外構件使得第一構件與第二構件可不直接接觸之實施例。另外，本揭露可在各種實例中重複參考編號及/或字母。此重複係出於簡化及清晰目的且本質上並不指定所論述之各種實施例及/或組態之間的一關係。

此外，為便於說明，本文中可使用空間相對術語(諸如，「下面」、「下方」、「下部」、「上方」、「上部」及諸如此類)來闡述一個元件或構件與另一(其他)元件或構件之關係，如各圖中所圖解說明。除各圖中所繪示之定向之外，該等空間相對術語亦意欲囊括裝置在使用或操作中之不同定向。設備可以其他方式定向(旋轉90°或處於其他定向)，且同樣可據此解釋本文中所使用之空間相對描述符。

儘管陳述本揭露之寬廣範疇之數值範圍及參數係近似值，但應儘可能精確地報告特定實例中所陳述之數值。然而，任何數值皆固有地含有由各別測試量測中發現之標準偏差必然引起之某些誤差。此外，如本中所使用，術語「約」一般意指在一給定值或範圍之10%、5%、1%或0.5%內。另一選擇為，術語「約」意指在由熟習此項技術者考量時在平均值之一可接受標準誤差內。除在操作/工作實例中之外，或除非另有明確規定，否則所有數值範圍、量、值及百分比(諸如針對本文中所揭露之材料量、持續時間、溫度、操作條件、量之比率及其類似物之數值範圍、量、值及百分比)應理解為在所有例項中受術語「約」修飾。因此，除非指示相反情況，否則本揭露及隨附申請專利範圍中所陳述之數值參數皆係可視需要變化之近似值。至少，每一數值參數應至少依據所報告有效數位之數目且藉由應用普通捨入技術來解釋。範圍在本文中可表達為自一個端點至另一端點或在兩個端點之間。本文中所揭露之所有範圍包含端點，除非另有規定。

本揭露一般而言係關於微機電系統(MEMS)裝置。呈現以下說明以使得熟習此項技術者能夠做出並使用在一專利申請案及其要求之內容脈絡中提供之本揭露。熟習此項技術者將易於明瞭對較佳實施例以及本文中所闡述之一般原理及構件之各種修改。因此，本揭露並非意欲限制於所展示之實施例，而是被賦予與本文中所闡述之原理及構件一致之最寬廣範疇。

在所闡述實施例中，MEMS係指使用類半導體製程而製作且展現諸如移動或變形之能力之機械特性之一類結構或裝置。MEMS通常但並非總是與電信號互動。MEMS裝置包含但不限於陀螺儀、加速度計、磁力計、壓力感測器、生物感測器、濕度感測器、慣性感測器及射頻組件。在某些

實施例中，一MEMS裝置結構可包含複數個上述MEMS裝置。含有一MEMS裝置或一MEMS裝置結構之矽晶圓稱為MEMS晶圓。

在所闡述實施例中，MEMS裝置可係指實施為一微機電系統之一半導體裝置。一MEMS裝置結構可係指與複數個MEMS裝置之一總成相關聯之任何構件。一經工程設計絕緣體上覆矽 (engineered silicon-on-insulator, ESOI) 晶圓可係指在矽裝置層或基板下方具有腔之一SOI晶圓。帽蓋或處置晶圓通常係指用作用於一絕緣體上覆矽晶圓中之較薄矽感測基板之一載體之一較厚基板。帽蓋或處置基板以及帽蓋或處置晶圓可互換。在所闡述實施例中，一腔可係指一基板晶圓中之一開口或凹陷部，且外殼可係指一完全封閉空間。

本揭露揭示闡述製作一半導體表面之一粗糙表面以改良靜摩擦之步驟之一系列製程，該靜摩擦可定義為需要克服以使得接觸之靜止物件能夠相對運動之靜態摩擦。一般而言，靜摩擦在兩個表面緊密接觸時藉由外部環境力而無意地發生。對於一MEMS裝置，靜摩擦係一不期望情況，此發生於一MEMS裝置內之懸吊結構接觸並黏附在一起或該等懸吊結構在特定機械衝擊下接觸並黏附至「裝置壁」時。另外，受損或甚至不可恢復懸吊結構可導致MEMS裝置之故障。因此，提供具有靜摩擦之一經減小發生率之一MEMS裝置係合意的。通常，靜摩擦力可受接點區控制。亦即，可藉由減小接點區而減輕「靜摩擦」現象。因此，可藉由增加半導體表面之粗糙度而減小靜摩擦。舉例而言，用於達成一粗糙表面之常見方法可包含在半導體表面之頂部上沈積一粗糙多晶矽或非晶矽。

通常，可藉由一晶圓級離心系統測試MEMS裝置之靜摩擦，該晶圓級離心系統可將一連續加速度施加至晶圓上之一所測試MEMS裝置。在將

所測試MEMS裝置固定於晶圓上之後，所測試MEMS裝置將經歷一重力(稱作g力)。g力值可自每時間週期旋轉次數轉換得出。所測試MEMS裝置之一「黏附g力值」定義為在一所測試MEMS裝置內之懸吊結構於重力自高重力值減小至零之後可不再與「裝置壁」彼此分開時之值。舉例而言，若所測試MEMS裝置內之懸吊結構在一系列離心測試下在承受特定重力值(諸如2700 G)(將執行數次測試以獲得其極限)之後無法完美地分開及使用，則所測試MEMS裝置之「黏附g力值」低於2700 G。

鑒於上文，用於精確地控制MEMS之靜摩擦以獲得一較大黏附g力值之技術係高度期望的。在一舊習用方法中，半導體表面之一所需粗糙度係藉由沈積一多晶矽或一非晶多晶矽以將懸吊結構之表面粗糙化而達成。第一步，將兩個晶圓(具有複數個經定義且經圖案化腔之一感測基板及一帽蓋基板)熔融接合在一起。然後，執行一研磨操作以將感測基板之厚度自約700 μm 向下薄化至約30 μm 。隨後，實施一化學機械平坦化(CMP)操作以達成約1 \AA 至2 \AA (近似鏡表面)之感測基板之一第一表面(不與帽蓋基板接觸之表面)之一粗糙度。然後，藉由眾所周知之光微影操作在感測基板之第一表面上形成由複數個突出部構成之一支座結構(standoff structure)。在支座結構之一頂部表面及感測基板之第一表面上沈積由無摻雜多晶矽製成之一膜以達成約數百埃之一粗糙度。正常地，無摻雜多晶矽之一厚度為約數埃。隨後，實施一退火操作以藉由一摻雜劑擴散製程將無摻雜膜改變為一經摻雜膜，之後形成共晶金屬。使用無摻雜膜之原因係由於與經摻雜對應體相比其較粗糙表面，且較粗糙表面係用於獲得針對包含可移動元件、感測基板及接合區域之致動器部分之一較大黏附g力值所必需的。另外，在某些實施例中，無摻雜膜藉由退火製程而轉變為經摻雜

膜以用於較佳電性質。另一選擇為，可在支座結構之一頂部表面及感測基板之第一表面上直接沈積一經摻雜膜，且然後處理一最佳化製程以將表面粗糙化。注意，利用兩種不同材料(經摻雜材料或無摻雜材料)用於帽蓋基板及感測基板係可行的。

與習用技術相比，本揭露在不需要如上文所闡述之一額外無摻雜膜沈積之情況下提供一具成本效益解決方案。為較詳細闡述本揭露之構件，下文揭露用以達成具有包含經改良靜摩擦之構件之一MEMS裝置之設備及製作方法。

圖1至圖9係圖解說明根據本揭露之實施例之用以製作一MEMS裝置總成或一MEMS裝置之處理步驟之一系列剖面圖。在圖1中，將一感測基板104與一帽蓋基板100熔融接合在一起以形成一ESOI基板101。請注意，在本揭露之例示性實施例中，感測基板104與帽蓋基板100藉由在相對高處理溫度下進行熔融接合而接合在一起，此使得在密封MEMS結構之腔之前能夠自基板中之介電質材料較完全地移除化學物種。熔融接合可能對兩側晶圓做出高溫退火，此減小在腔形成操作期間化學物種之出氣。藉由熔融接合而接合之MEMS結構與金屬接合相比因一較高接合率而具較大機械強度。另外，熔融接合使得能夠在不使良率降級之情況下於MEMS結構中形成貫穿基板通路(TSV)。然而，本揭露之概念並不限於此。熟習此項技術者將認識到諸多變化形式、修改形式及替代形式。在某些實施例中，本揭露之概念亦可應用於其他類型之MEMS裝置總成。

在帽蓋基板100之一第一表面100A上，所要大小之複數個腔102(舉例而言)透過等向性蝕刻而定義並圖案化，但此並非對本揭露之一限制。熟習此項技術者將認識到諸多變化形式、修改形式及替代形式。複數個腔

102用於容納待製作之一MEMS裝置之一近端可移動元件(亦稱作驗證質量(proof mass)或懸吊結構)。每一腔102之大小可根據MEMS裝置之可移動元件及/或所要效能而判定。在某些實施例中，每一腔102可具有與其他腔不同之深度或尺寸。在某些實施例中，每一腔102可具有不同類型之形狀。

然後使用一研磨及/或其他薄化操作來薄化感測基板104以達成所要厚度，如圖2中所圖解說明。可使用適合研磨及拋光裝備用於薄化操作。熟習此項技術者將認識到諸多變化形式、修改形式及替代形式。在某些實施例中，可利用對薄化操作之精確控制，這是因為在圖2中所圖解說明之實施例中不存在可用作用以終止薄化操作之一停止層之結構。若不精確地控制，薄化可產生比一所要感測基板薄或厚之一產品，從而影響後續製作之MEMS裝置之效能。在某些其他實施例中，將一蝕刻停止層整合至感測基板104中以促進對薄化操作之精確控制。熟習此項技術者將認識到諸多變化形式、修改形式及替代形式。在某些其他實施例中，感測基板104之厚度可自700 μm 減小至30 μm 。在某些其他實施例種，與熔融接合至帽蓋基板100之一第二表面104B對置的感測基板104之第一表面104A之粗糙度在研磨操作之後將為約10000 \AA 或10000 \AA 以上。具有圖2中所圖解說明之較寬空間之虛線L1展示第一表面104A在研磨/薄化操作之後係相對粗糙的(舉例而言，10000 \AA 以上之粗糙度)。

參考圖3，藉由不同類型之蝕刻操作(諸如一濕式蝕刻操作、一乾式蝕刻操作、一拋光操作或其組合)進一步對感測基板104之第一表面104A進行操作。在某些實施例中，對於一乾式蝕刻操作，對基板之蝕刻可藉由使用諸如 XeF_2 (二氟化氙)或 SF_6 (六氟化硫)之氣體而達成。在某些其他實

施例中，蝕刻係在介於約1毫托與數百毫托之間的一壓力下使用包括 CH_2F_2 、 C_4F_8 、 C_2F_6 、Ar、CO及 CF_4 之一蝕刻化學品在一反應性離子蝕刻(RIE)或高密度電漿(HDP)反應器中完成。在某些實施例中，基板可藉由利用包括一鹼及一種氧化劑之一濕式蝕刻劑使用一濕式蝕刻操作而蝕刻。適當濕式蝕刻操作經選擇性地設計以蝕刻半導體材料以減小感測基板之第一表面之粗糙度。另外，鹼可包括氫氧化銨(NH_4OH)、氫氧化四甲銨(TMAH)或氫氧化鉀(KOH)中之至少一者。氧化劑可包括過氧化氫(H_2O_2)或臭氧(O_3)中之至少一者。另一選擇為，在某些實施例中，可使用其獨特特性彼此互補之兩種類型之蝕刻操作。在某些實施例中，基板可由不同類型之半導體材料製成。較佳地，使用但不限於一矽基板。如上文所闡述，感測基板104之第一表面104A之粗糙度可藉由不同類型之蝕刻操作而得以進一步改良。如圖3中所展示，虛線L1'表示感測基板104之第一表面104A具有一較小粗糙度。正常地，在蝕刻操作之後，感測基板104之第一表面104A之粗糙度可介於約10 Å至1000 Å之一範圍內。換言之，與先前所闡述之習用方法相比，蝕刻操作替代了緊接在研磨操作之後的習用化學機械平坦化(CMP)操作。在本揭露中，在蝕刻操作之後可直接獲得具有介於10 Å至1000 Å之一範圍內之一粗糙度之一表面。然後，在執行一標準光微影操作之後，可在不於先前形成之支座結構之頂部表面處生長一無摻雜膜之情況下獲得具有數百埃之一粗糙度之支座結構。另外，在本揭露中，不需要用於無摻雜膜之進一步退火操作。亦即，參考先前所論述之習用技術，本揭露在不需要一額外膜沈積之情況下提供一具成本效益解決方案。在某些例示性實施例中，薄化感測基板104之第一表面104A可包含一進一步研磨操作。

參考圖4，根據本揭露之某些實施例，將一經圖案化光阻劑層(未展示)沈積於感測基板104上，後續接著一圖案化操作以形成複數個接合區域106 (其在本文中亦稱作支座結構)。在某些實施例中，感測基板104及複數個接合區域106由無摻雜半導體材料構成，該無摻雜半導體材料與經摻雜半導體材料對應體相比提供一較粗糙表面，這是因為無摻雜半導體材料通常可擁有比經摻雜半導體材料對應體之顆粒大小大之一顆粒大小。在某些其他實施例中，感測基板104及複數個接合區域106由無摻雜多晶矽製成。在某些例示性實施例中，接合區域之大小可取決於晶粒之應用或尺寸自1 μm 至5000 μm 地變化。熟習此項技術者將認識到諸多變化形式、修改形式及替代形式。再次參考圖4，熟習此項技術者可知曉，在蝕刻操作之後，感測基板104之凹陷底部104A'之粗糙度可不同於感測基板104之第一表面104A。如圖4中所展示，虛線L2表示感測基板104之凹陷底部表面104A'與感測基板104之第一表面(檯面頂部) 104A相比具有一不同粗糙度。

在某些實施例中，感測基板104之凹陷底部104A'之粗糙度可藉由蝕刻條件而精確地控制。另外，第一表面104A之粗糙度小於1 nm，且凹陷底部104A'之粗糙度取決於蝕刻方案之品質自數奈米至數十奈米地變化。

出於清晰目的，此操作流程中未展示其中一光阻劑層沈積於感測基板104上且經圖案化以形成一蝕刻遮罩之一光微影操作。在光微影期間可嚴格控制蝕刻遮罩之尺寸，且蝕刻遮罩可由抵抗用於蝕刻感測基板之蝕刻操作之任何適合材料形成。在某些實施例中，利用氮化矽(Si_3N_4)之一蝕刻遮罩。在某些其他實施例中，一光阻劑層可充當蝕刻遮罩。熟習此項技術者將認識到諸多變化形式、修改形式及替代形式。儘管圖4中圖解說明

一個一維剖面，但熟習此項技術者將明瞭，在感測基板104上方形成所要幾何形狀之一個二維圖案。

此後，圖5中展示一選用步驟，可對複數個接合區域106執行一化學機械平坦化(CMP)操作。如圖5中所展示，與L1'相比具有較窄空間之虛線L1"表示感測基板104之第一表面104A在選用化學機械平坦化(CMP)操作之後具有一更小粗糙度。在某些實施例中，CMP操作經判定為在需要於感測基板104之第一表面104A上做出特定圖案時進行。在某些其他實施例中，CMP操作經判定為針對後續光微影操作而進行。

參考圖6，然後在複數個接合區域106上方沈積一共晶金屬層108。共晶金屬層108之厚度定義CMOS基板(圖8中所展示)與感測基板104之間之接合間隙。在某些實施例中，使用電鍍、物理氣相沈積(PVD)或一化學氣相沈積(CVD)操作而沈積共晶金屬層108。熟習此項技術者將認識到諸多變化形式、修改形式及替代形式。在某些實施例中，共晶金屬層108可包括鍺、鋁或銅。在其他實施例中，可使用具有良好黏附下伏層及經改良潤濕能力之其他材料(諸如金、銲或其他焊料)用於接合區域。

感測基板104然後經圖案化及蝕刻以形成可移動元件(驗證質量)112，如圖7中所圖解說明。感測基板104包含平衡或不平衡之可移動元件112，該可移動元件由至少一個彈簧或彈性裝置懸吊且沿x方向、y方向及z方向中之至少一者自由移動，其中至少一個電極嵌入至少一個彈簧或彈性裝置中。至少一個彈簧或彈性裝置附接至一支撐結構，該支撐結構附接至感測基板104。在與驅動/感測電路相同之半導體層中製作可移動元件、支撐結構及至少一個電極。在某些實施例中，至少一個彈簧或彈性裝置及支撐結構形成一支撐網。由支撐網懸吊之可移動元件沿任何方向自由移

動。MEMS電容性地感測或產生可移動元件沿任何方向之移動。在某些實施例中，方向可包含沿x方向、y方向及z方向中之至少一者之一方向。在某些實施例中，毗鄰可移動部件之間的一間距介於1 μm 至10 μm 之一範圍內，且由毗鄰接合區域環繞之可移動元件之一寬度介於100 μm 至10000 μm 之一範圍內。在某一實施例中，接合區域之一厚度取決於晶圓之厚度而介於1 μm 至800 μm 之一範圍內。毗鄰可移動部件之間間距之大小判定裝置之敏感性。因此，間距之大小係基於不同裝置應用而判定。

在某些實施例中，用於形成感測基板104之圖案化及蝕刻技術可取決於MEMS裝置之類型而變化。舉例而言，用於一MEMS加速度計之圖案化及蝕刻不同於用於一MEMS陀螺儀之圖案化及蝕刻。可使用如非等向性蝕刻、RIE或諸如此類之現有蝕刻技術。在某些實施例中，感測基板104之厚度可隨沿感測基板104之長度之位置而變化，其中長度係沿正交於感測基板104之厚度之一方向而定義。舉例而言，感測基板104在一端可具有一第一厚度、在中心可具有一第二厚度，且在另一端可具有一第三厚度。

接下來，如圖8中所圖解說明，在共晶接合之前預先清潔且然後對準ESOI基板101及一CMOS基板110。在本揭露中，一CMOS基板可稱為一CMOS晶圓。CMOS基板110可包含諸如矽之半導體材料，但可使用其他半導體材料。此後，將ESOI基板101接合至一CMOS基板110，如圖9中所繪示。為產生ESOI基板101與CMOS基板110之間的接合，使CMOS基板110之接合區114與ESOI基板101之接合區域106接觸。然後使接合界面經歷壓力及熱以熔化接合區域106及CMOS基板110之對應接合區114處之導電材料。熔化導電材料產生提供ESOI基板101與CMOS基板110之間的一歐姆接點之一熔融接合。ESOI基板101與CMOS基板110之間的接合可為

一Al/Ge共晶接合。請注意，此並非對本揭露之一限制。在某些實施例中，共晶接合可由其他類型之金屬材料構成。

本揭露提供用於產生具有由無摻雜半導體材料構成之感測基板及複數個接合區域之一CMOS-MEMS結構之一方法。而且，感測基板之第一表面之粗糙度在緊接在研磨操作之後的蝕刻操作之後可控制在10 Å至1000 Å之一範圍內。

在本揭露中，感測基板及複數個接合區域由相同半導體材料製成，且接合區域與共晶金屬之間的接合界面不擁有任何多晶矽層。在此連接中，不執行用於產生在感測基板之薄化之後具有約1 Å至2 Å之一表面粗糙度之一近似鏡表面之化學機械平坦化(CMP)操作。愈近似鏡狀表面，在較低g力測試下將產生愈多靜摩擦。換言之，為防止過早地發生靜摩擦，將需要將感測基板之近似鏡狀表面進一步粗糙化。習用上，CMP操作後續接著一支座操作，該支座操作在感測基板上形成具有數千埃突出部之接合區域。一無摻雜半導體材料之一沈積操作及用於摻雜劑擴散之一退火操作經採用以將近似鏡狀表面自約1 Å至2 Å之一粗糙度粗糙化至約數百埃。相比而言，在本發明實施例中，不需要用以產生一經粗糙化表面之額外沈積及退火操作，從而產生用以在一MEMS裝置中形成防靜摩擦構件之一經簡化低成本解決方案。

本揭露之某些實施例提供一種CMOS-MEMS結構。該CMOS-MEMS結構包含：一帽蓋基板，其具有一腔；一感測基板，其具有複數個接合區域，該感測基板及該複數個接合區域由無摻雜半導體材料構成；一共晶金屬層，其位於該複數個接合區域上方；及一CMOS基板，其透過該共晶金屬層連接至該感測基板；其中該帽蓋基板熔融接合至該感測基板，且該無

摻雜半導體材料實體連接至該共晶金屬層。

在本揭露之某些實施例中，該感測基板及該複數個接合區域由無摻雜多晶矽製成。

在本揭露之某些實施例中，該共晶金屬層之一厚度定義該CMOS基板與該感測基板之間的接合間隙。

在本揭露之某些實施例中，該共晶金屬層108包含Ge、Al或銅。

在本揭露之某些實施例中，該感測基板包含自該感測基板之一第一表面蝕刻之一可移動元件，該第一表面與熔融接合至該帽蓋基板之一第二表面對置。

在本揭露之某些實施例中，該感測基板之該第一表面之粗糙度介於10 Å至1000 Å之一範圍內。

在本揭露之某些實施例中，毗鄰可移動元件之間的一間距介於1 μm至10 μm之一範圍內，且由該等毗鄰接合區域環繞之該可移動元件之一寬度介於100 μm至10000 μm之一範圍內。

在本揭露之某些實施例中，接合區域之一厚度介於1 μm至800 μm之一範圍內。

本揭露之某些實施例提供一種用於製造一CMOS-MEMS結構之方法。該方法包含：在一帽蓋基板之一第一表面上蝕刻一腔；將該帽蓋基板之該第一表面與一感測基板接合；薄化該感測基板之一第二表面，該第二表面與接合至該帽蓋基板的該感測基板之一第三表面對置；蝕刻該感測基板之該第二表面；圖案化該感測基板之該第二表面之一部分以形成複數個接合區域；在該複數個接合區域上沈積一共晶金屬層；蝕刻在該腔下方的該感測基板之一部分以形成一可移動元件；及透過該共晶金屬層將該感測

基板接合至一CMOS基板，其中該感測基板及該複數個接合區域由無摻雜半導體材料構成。

在本揭露之某些實施例中，蝕刻該感測基板之該第二表面包含一濕式蝕刻操作、一乾式蝕刻操作、一拋光操作或其組合。

在本揭露之某些實施例中，其進一步包含：在圖案化該感測基板之該第二表面之該部分以形成該複數個接合區域之後，對該複數個接合區域執行一化學機械平坦化(CMP)。

在本揭露之某些實施例中，薄化該感測基板之該第二表面包含執行一研磨操作。

在本揭露之某些實施例中，該共晶金屬層108包含Ge、Al或銅。

在本揭露之某些實施例中，該感測基板之一粗糙度在蝕刻該感測基板之該第二表面之後介於10 Å至1000 Å之一範圍內。

在本揭露之某些實施例中，蝕刻該可移動元件以沿x方向、y方向及z方向中之至少一者移動。

在本揭露之某些實施例中，毗鄰可移動元件之間的一間距介於1 μm至10 μm之一範圍內，且由該等毗鄰接合區域環繞之該可移動元件之一寬度介於100 μm至10000 μm之一範圍內。

本揭露之某些實施例提供一種用於控制一CMOS-MEMS結構之一表面粗糙度之方法。該方法包含：在一帽蓋基板之一第一表面上蝕刻一腔；熔融接合該帽蓋基板與一感測基板；薄化該感測基板之一第二表面，該第二表面與接合至該帽蓋基板的該感測基板之一第三表面對置；及蝕刻該感測基板之該第二表面以達成介於10 Å至1000 Å之一範圍內之一表面粗糙度。

在本揭露之某些實施例中，蝕刻該感測基板之該第二表面包含一濕式蝕刻操作、一乾式蝕刻操作、一拋光操作或其組合。

在本揭露之某些實施例中，其進一步包含圖案化該感測基板之該第二表面之一部分以形成複數個接合區域，且隨後對該複數個接合區域執行一化學機械平坦化(CMP)。

在本揭露之某些實施例中，薄化該感測基板之該第二表面包含執行一研磨操作。

前述內容概述了數項實施例之構件，使得熟習此項技術者可較佳地理解本揭露之態樣。熟習此項技術者應瞭解，熟習此項技術者可容易地使用本揭露作為用於設計或修改用於實施本文中所介紹之實施例之相同目的及/或達成本文中所介紹之實施例之相同優點之其他操作及結構之基礎。熟習此項技術者亦應認識到，此等等效構造並不背離本揭露之精神及範疇，且在不背離本揭露之精神及範疇之情況下，此等等效構造在本文中可做出各種改變、替代及變更。

【符號說明】

100	帽蓋基板
100A	第一表面
101	經工程設計絕緣體上覆矽基板
102	腔
104	感測基板
104A	第一表面/檯面頂部
104A'	凹陷底部/凹陷底部表面
104B	第二表面

106	接合區域
108	共晶金屬層
110	CMOS基板
112	可移動元件/驗證質量
114	接合區/對應接合區
L1	虛線
L1'	虛線
L1''	虛線
L2	虛線

【發明申請專利範圍】**【第1項】**

一種CMOS-MEMS結構，其包括：

一帽蓋基板，其包含一腔；

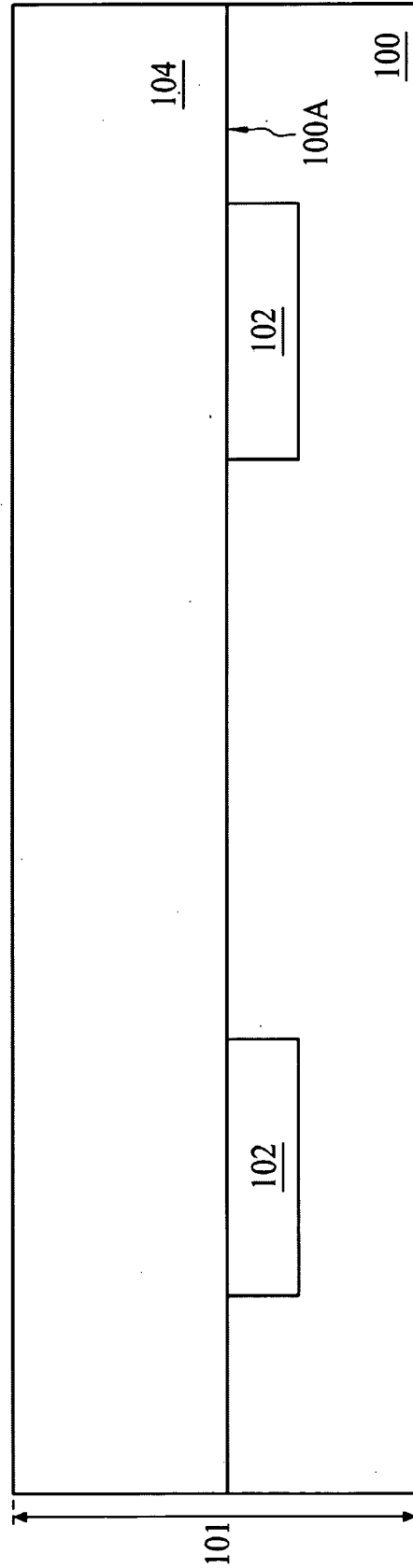
一感測基板，其包含複數個接合區域，該感測基板及該複數個接合區域由無摻雜半導體材料構成；

一共晶金屬層，其位於該複數個接合區域上方；及

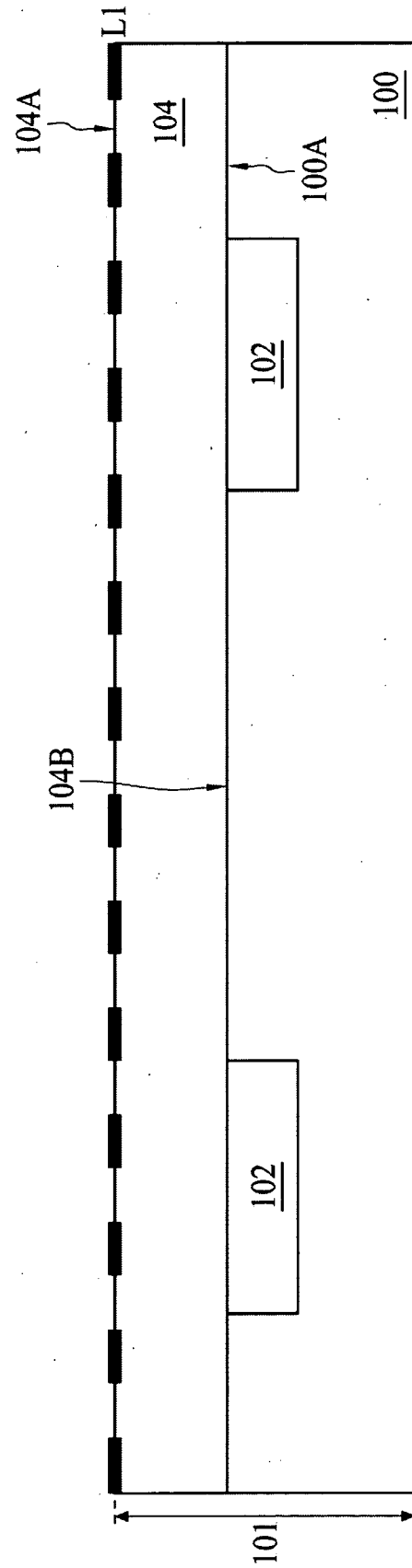
一CMOS基板，其透過該共晶金屬層連接至該感測基板；

其中該帽蓋基板熔融接合至該感測基板，且該無摻雜半導體材料實體連接至該共晶金屬層。

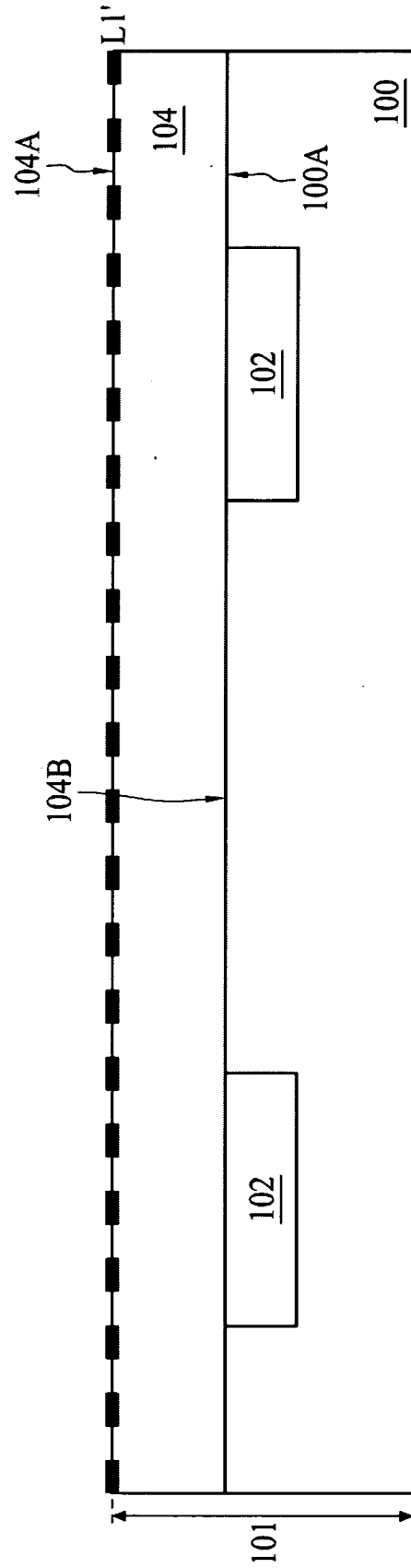
【發明圖式】



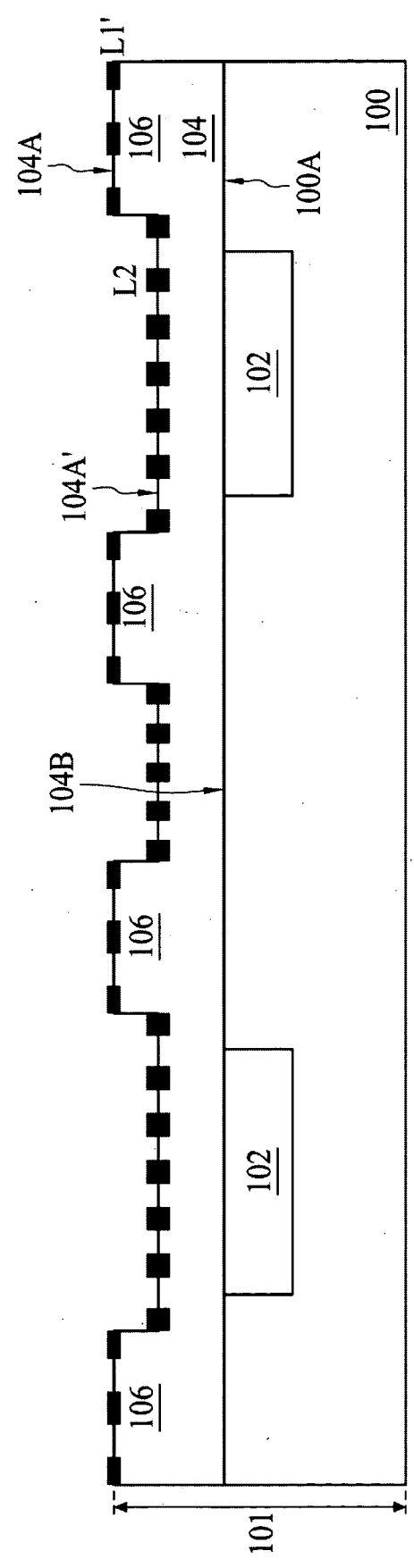
【圖1】



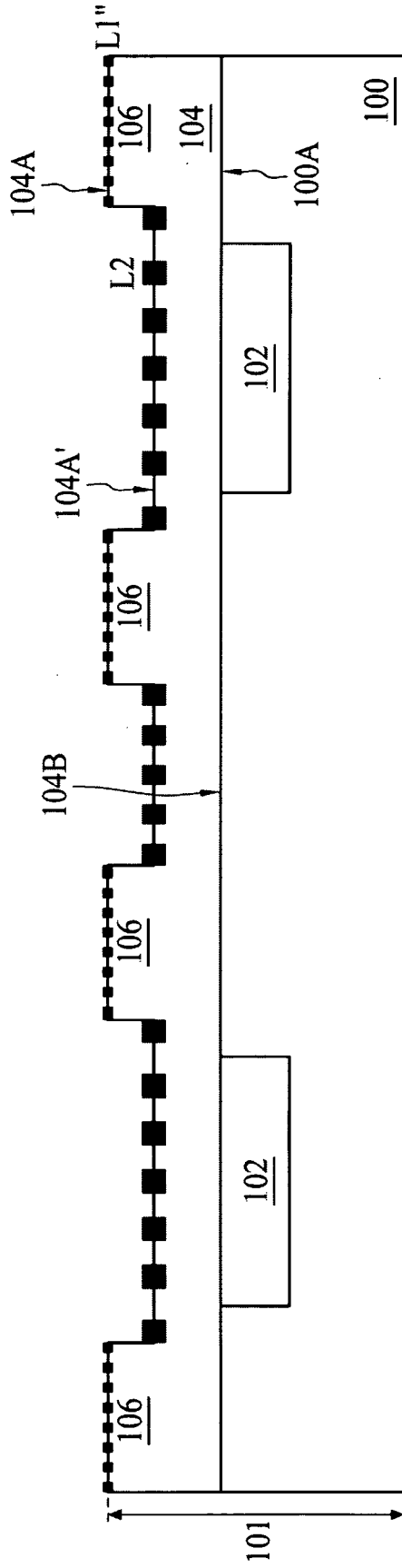
【圖2】



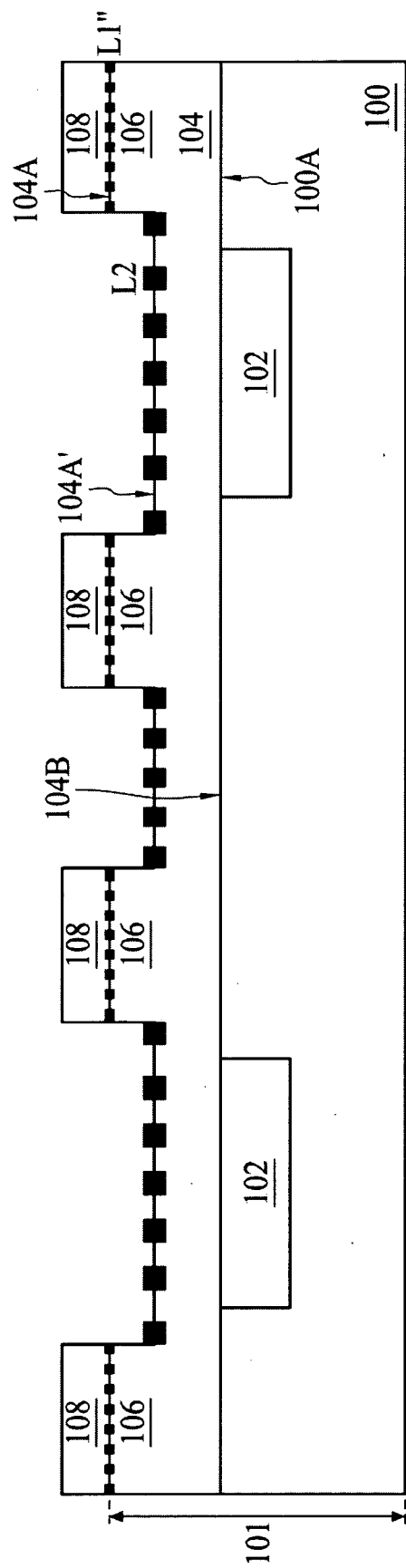
【圖3】



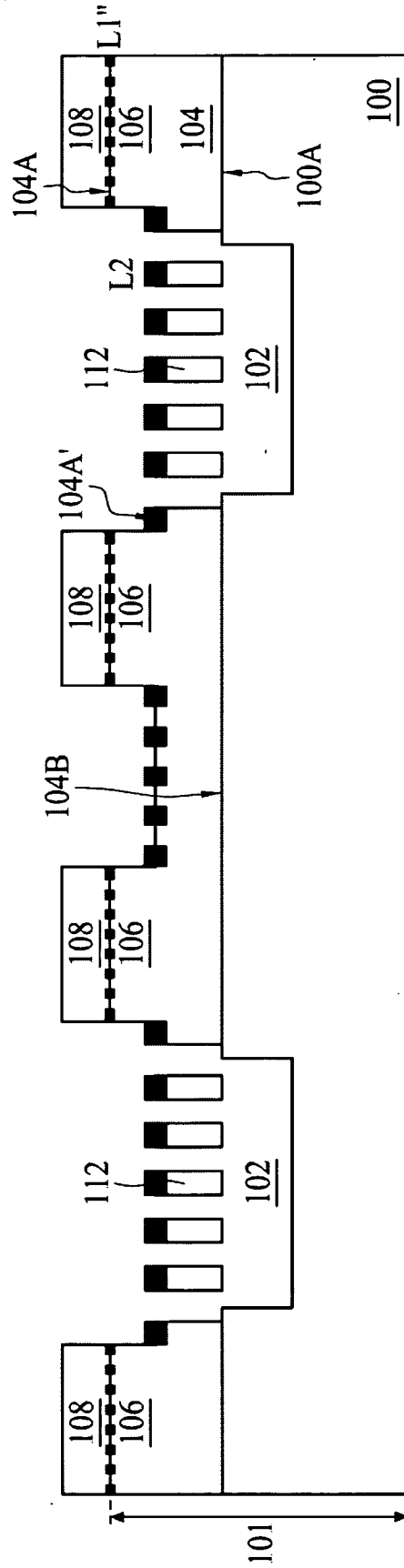
【圖4】



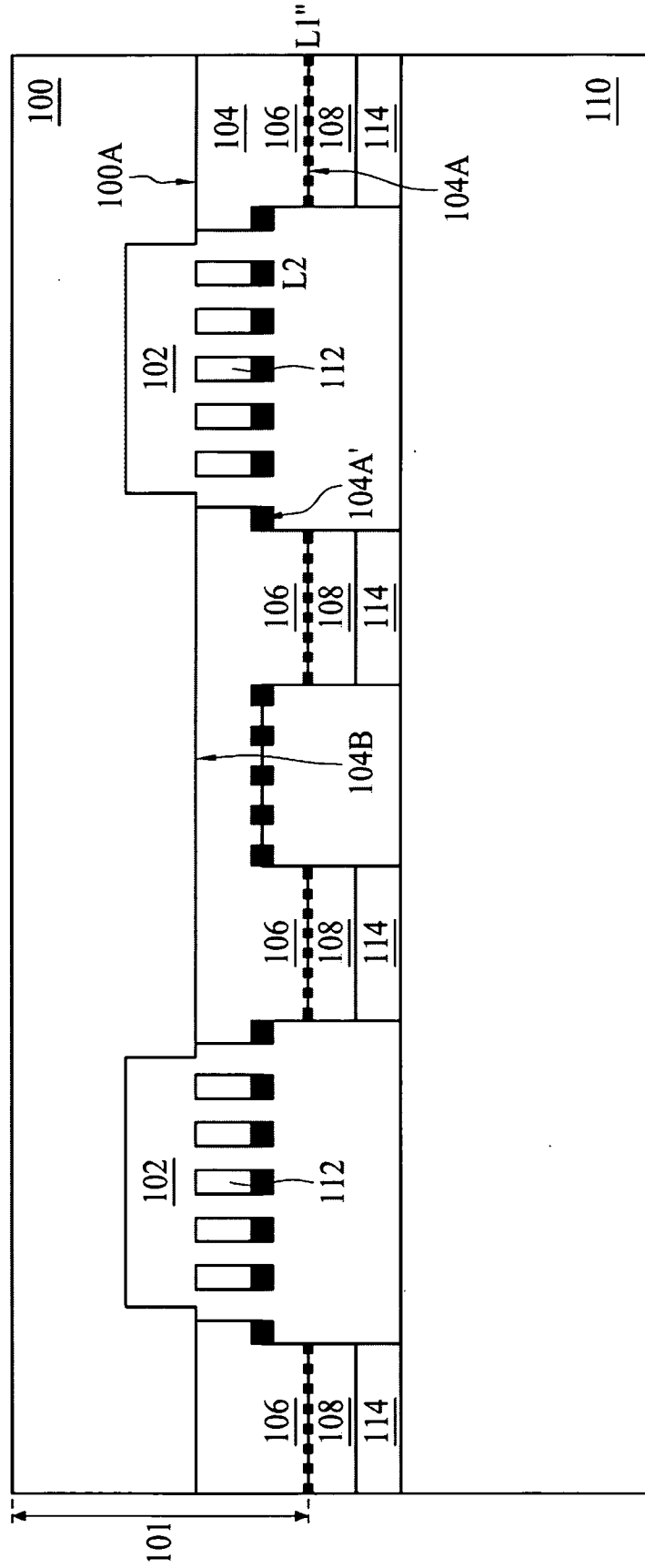
【圖5】
(選用步驟)



【圖6】



【圖7】



【圖9】