



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월22일 10-0686228 2007년02월15일
---	-------------------------------------	--

(21) 출원번호	10-2000-0012486	(65) 공개번호	10-2001-0091119
(22) 출원일자	2000년03월13일	(43) 공개일자	2001년10월23일
심사청구일자	2005년03월11일		

(73) 특허권자                    삼성전자주식회사  
                                      경기도 수원시 영통구 매탄동 416

(72) 발명자                        박운용  
                                      경기도수원시팔달구매탄1동주공5단지아파트521동1107호

                                      윤중수  
                                      충청남도천안시구성동473-15

(74) 대리인                        유미특허법인  
                                      김원근

(56) 선행기술조사문헌  
1019940016487  
\* 심사관에 의하여 인용된 문헌

심사관 : 박남현

전체 청구항 수 : 총 29 항

(54) 사진 식각용 장치 및 방법, 그리고 이를 이용한 액정 표시장치용 박막 트랜지스터 기판의 제조 방법

(57) 요약

본 발명에 따른 박막 트랜지스터 기판 제조 방법에서는 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성한 다음, 게이트 절연막, 반도체층, 접촉층 및 도전체층을 증착한다. 다음, 감광막을 도포한 후 데이터 배선을 형성하기 위해 제1 노광기로 제1 노광을 실시하고 채널을 형성하기 위해 제2 노광기로 제2 노광을 실시하여 채널부에 위치한 제2 부분은 데이터 배선부에 위치한 제1 부분보다 두께가 작게 되도록 하고 기타 부분은 모두 제거한다. 이어, 감광막 및 도전체층, 접촉층 및 반도체층을 식각하여 데이터선, 소스 및 드레인 전극, 그리고 데이터 패드를 포함하는 데이터 배선과 반도체층 패턴 및 접촉층 패턴을 형성한다. 다음, 남아 있는 감광막을 제거한 후, 보호막을 형성하고 게이트 절연막과 함께 보호막을 식각하여 드레인 전극과 게이트 패드 및 데이터 패드를 드러내는 제1 내지 제3 접촉구를 형성한다. 다음, 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다. 본 발명에서는 사진 식각용 장치에 두 대의 노광기를 설치하여 생산성을 향상시키며, 2회의 노광 공정으로 두께가 다른 감광막을 형성하여 여러 층의 박막을 한꺼번에 식각하므로 공정이 간단하면서도 기판 전체에 균일한 패턴을 얻을 수 있다.

대표도

도 2c

## 특허청구의 범위

### 청구항 1.

삭제

### 청구항 2.

기관 위에 형성되어 있는 박막 위에 감광막을 도포하는 단계,

상기 감광막을 제1 노광하는 단계,

상기 제1 노광된 감광막을 제2 노광하는 단계,

상기 감광막을 현상하여 두께가 서로 다른 적어도 세 부분을 형성하는 단계

를 포함하고,

상기 제1 노광과 제2 노광은 서로 다른 노광기를 이용하는 박막의 사진 식각 방법.

### 청구항 3.

삭제

### 청구항 4.

제2항에서,

상기 제2 노광시 노광되는 빛의 세기는 상기 제1 노광의 빛의 세기보다 작은 박막의 사진 식각 방법.

### 청구항 5.

제4항에서,

상기 제2 노광의 노광 시간이 상기 제1 노광의 노광 시간보다 짧은 박막의 사진 식각 방법.

### 청구항 6.

제2항에서,

상기 제2 노광의 노광 시간이 상기 제1 노광의 노광 시간보다 짧은 박막의 사진 식각 방법.

### 청구항 7.

절연 기관 위에 게이트선, 상기 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막, 반도체층, 저항성 접촉층, 그리고 도전체층을 증착하는 단계,

상기 도전체층과 상기 접촉층 및 상기 반도체층을 패터닝하여 데이터선, 상기 데이터선에 연결되어 있는 소스 전극, 그리고 상기 데이터선 및 상기 소스 전극과 분리되어 있는 드레인 전극을 포함하는 데이터 배선과 접촉층 패턴 및 반도체층 패턴을 형성하는 단계,

상기 데이터 배선을 덮으며 상기 드레인 전극을 드러내는 접촉구를 포함하는 보호막을 형성하는 단계, 그리고

상기 접촉구를 통해 상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계

를 포함하며,

상기 데이터 배선과 상기 접촉층 패턴 및 상기 반도체층을 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며,

상기 감광막 패턴은 상기 데이터 배선을 형성하기 위한 제1 노광과 상기 소스 및 드레인 전극 사이의 채널을 형성하기 위한 제2 노광으로 이루어지고 상기 소스 및 드레인 전극 사이에 위치하며 제1 두께를 가지는 제1 부분과 상기 제1 부분보다 두꺼운 두께를 가지는 제2 부분 및 두께가 없는 제3 부분을 포함하는 박막 트랜지스터 기판의 제조 방법.

## 청구항 8.

제7항에서,

상기 제1 노광과 제2 노광은 서로 다른 노광기를 이용하는 박막 트랜지스터 기판의 제조 방법.

## 청구항 9.

제7항에서,

상기 제2 노광시 노광되는 빛의 세기는 상기 제1 노광의 빛의 세기보다 작은 박막 트랜지스터 기판의 제조 방법.

## 청구항 10.

제9항에서,

상기 제2 노광의 노광 시간이 상기 제1 노광의 노광 시간보다 짧은 박막 트랜지스터 기판의 제조 방법.

## 청구항 11.

제7항에서,

상기 제2 노광의 노광 시간이 상기 제1 노광의 노광 시간보다 짧은 박막 트랜지스터 기판의 제조 방법.

## 청구항 12.

절연 기판 위에 게이트선, 상기 게이트선에 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선 상부에 게이트 절연막, 반도체층, 저항성 접촉층, 그리고 도전체층을 증착하는 단계,

상기 도전체층과 상기 접촉층, 상기 반도체층 및 상기 게이트 절연막을 패터닝하여 상기 게이트 패드를 드러내는 제1 접촉구와 도전체 패턴, 접촉층 패턴, 그리고 반도체층 패턴을 형성하는 단계,

상기 도전체 패턴 및 접촉층 패턴을 패터닝하여 데이터선, 상기 데이터선에 연결되어 있는 소스 전극, 상기 데이터선 및 상기 소스 전극과 분리되어 있는 드레인 전극, 그리고 상기 데이터선의 한쪽 끝에 위치하는 데이터 패드를 포함하는 데이터 배선과 접촉층 패턴을 완성하는 단계,

상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계, 그리고

상기 데이터 배선과 상기 화소 전극을 덮으며 상기 게이트 패드 및 상기 데이터 패드를 각각 드러내는 제2 및 제3 접촉구를 포함하는 보호막을 형성하는 단계

를 포함하며,

상기 제1 접촉구와 도전체 패턴, 접촉층 패턴, 그리고 반도체층 패턴을 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며,

상기 감광막 패턴은 상기 도전체 패턴을 형성하기 위한 제1 노광과 상기 제1 접촉구를 형성하기 위한 제2 노광으로 이루어지고 상기 도전체 패턴 상부에 위치하며 제1 두께를 가지는 제1 부분과 상기 제1 접촉구 상부에 위치하며 두께가 없는 제2 부분 및 상기 제1 부분보다 두께가 작은 제3 부분을 포함하는 박막 트랜지스터 기관의 제조 방법.

### 청구항 13.

제12항에서,

상기 제1 노광과 제2 노광은 서로 다른 노광기를 이용하는 박막 트랜지스터 기관의 제조 방법.

### 청구항 14.

제12항에서,

상기 제1 노광시 노광되는 빛의 세기는 상기 제2 노광의 빛의 세기보다 작은 박막 트랜지스터 기관의 제조 방법.

### 청구항 15.

제14항에서,

상기 제1 노광의 노광 시간이 상기 제2 노광의 노광 시간보다 짧은 박막 트랜지스터 기관의 제조 방법.

### 청구항 16.

제12항에서,

상기 제1 노광의 노광 시간이 상기 제2 노광의 노광 시간보다 짧은 박막 트랜지스터 기관의 제조 방법.

## 청구항 17.

절연 기판 위에 게이트선, 상기 게이트선에 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선 상부에 게이트 절연막, 반도체층 및 저항성 접촉층을 증착하는 단계,

상기 접촉층과 상기 반도체층 및 상기 게이트 절연막을 패터닝하여 상기 게이트 패드를 드러내는 제1 접촉구와 접촉층 패턴 및 반도체층 패턴을 형성하는 단계,

상기 접촉층 패턴 상부에 데이터선, 상기 데이터선에 연결되어 있는 소스 전극, 상기 데이터선 및 상기 소스 전극과 분리되어 있는 드레인 전극, 그리고 상기 데이터선의 한쪽 끝에 위치하는 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

상기 접촉층 패턴을 완성하는 단계,

상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계, 그리고

상기 데이터 배선과 상기 화소 전극을 덮으며 상기 게이트 패드 및 상기 데이터 패드를 각각 드러내는 제2 및 제3 접촉구를 포함하는 보호막을 형성하는 단계

를 포함하며,

상기 제1 접촉구와 상기 접촉층 패턴 및 상기 반도체층 패턴을 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며,

상기 감광막 패턴은 상기 접촉층 패턴을 형성하기 위한 제1 노광과 상기 제1 접촉구를 형성하기 위한 제2 노광으로 이루어지고 상기 접촉층 패턴 상부에 위치하며 제1 두께를 가지는 제1 부분과 상기 제1 접촉구 상부에 위치하며 두께가 없는 제2 부분 및 상기 제1 부분보다 두께가 작은 제3 부분을 포함하는 박막 트랜지스터 기관의 제조 방법.

## 청구항 18.

제17항에서,

상기 제1 노광과 제2 노광은 서로 다른 노광기를 이용하는 박막 트랜지스터 기관의 제조 방법.

## 청구항 19.

제17항에서,

상기 제1 노광시 노광되는 빛의 세기는 상기 제2 노광의 빛의 세기보다 작은 박막 트랜지스터 기관의 제조 방법.

## 청구항 20.

제19항에서,

상기 제1 노광의 노광 시간이 상기 제2 노광의 노광 시간보다 짧은 박막 트랜지스터 기관의 제조 방법.

## 청구항 21.

제17항에서,

상기 제1 노광의 노광 시간이 상기 제2 노광의 노광 시간보다 짧은 박막 트랜지스터 기판의 제조 방법.

## 청구항 22.

절연 기판 위에 게이트선, 상기 게이트선에 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선 상부에 제1 절연막을 형성하는 단계,

상기 제1 절연막 상부에 반도체층을 증착하는 단계,

상기 반도체층 상부에 저항성 접촉층 패턴을 형성하는 단계,

상기 접촉층 패턴 상부에 데이터선, 상기 데이터선에 연결되어 있는 소스 전극, 상기 데이터선 및 상기 소스 전극과 분리되어 있는 드레인 전극, 그리고 상기 데이터선의 한쪽 끝에 위치하는 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선을 덮는 제2 절연막을 형성하는 단계,

상기 제2 절연막과 상기 반도체층 및 상기 게이트 절연막을 패터닝하여 상기 드레인 전극과 상기 게이트 패드, 상기 데이터 패드를 각각 드러내는 제1 내지 제3 접촉구 및 반도체층 패턴을 형성하는 단계, 그리고

상기 제1 접촉구를 통해 상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계

를 포함하며,

상기 제1 내지 제3 접촉구 및 상기 반도체층 패턴을 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며,

상기 감광막 패턴은 상기 반도체층 패턴을 형성하기 위한 제1 노광과 상기 제1 내지 제3 접촉구를 형성하기 위한 제2 노광으로 이루어지고 상기 반도체층 패턴 상부에 위치하며 제1 두께를 가지는 제1 부분과 상기 제1 내지 제3 접촉구 상부에 위치하며 두께가 없는 제2 부분 및 상기 제1 부분보다 두께가 작은 제3 부분을 포함하는 박막 트랜지스터 기판의 제조 방법.

## 청구항 23.

제22항에서,

상기 제1 노광과 제2 노광은 서로 다른 노광기를 이용하는 박막 트랜지스터 기판의 제조 방법.

## 청구항 24.

제22항에서,

상기 제1 노광시 노광되는 빛의 세기는 상기 제2 노광의 빛의 세기보다 작은 박막 트랜지스터 기판의 제조 방법.

## 청구항 25.

제24항에서,

상기 제1 노광의 노광 시간이 상기 제2 노광의 노광 시간보다 짧은 박막 트랜지스터 기판의 제조 방법.

## 청구항 26.

제22항에서,

상기 제1 노광의 노광 시간이 상기 제2 노광의 노광 시간보다 짧은 박막 트랜지스터 기판의 제조 방법.

## 청구항 27.

절연 기판 위에 게이트선, 상기 게이트선에 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선 상부에 제1 절연막, 반도체층, 그리고 제2 절연막을 증착하는 단계,

상기 제2 절연막과 상기 반도체층 및 상기 제1 절연막을 패터닝하여 상기 게이트 전극 상부에 위치하는 제2 절연막 패턴과 상기 게이트 패드를 드러내는 접촉구를 형성하는 단계,

상기 제2 절연막 패턴 상부에 접촉층 패턴을 형성하는 단계,

상기 접촉층 패턴 상부에 데이터선, 상기 데이터선에 연결되어 있는 소스 전극, 상기 데이터선 및 상기 소스 전극과 분리되어 있는 드레인 전극, 그리고 상기 데이터선의 한쪽 끝에 위치하는 데이터 패드를 포함하는 데이터 배선을 형성하는 단계, 그리고

상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계

를 포함하며,

상기 제2 절연막 패턴 및 접촉구를 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며,

상기 감광막 패턴은 상기 제2 절연막 패턴을 형성하기 위한 제1 노광과 상기 접촉구를 형성하기 위한 제2 노광으로 이루어지고 상기 제2 절연막 패턴 상부에 위치하며 제1 두께를 가지는 제1 부분과 상기 접촉구 상부에 위치하며 두께가 없는 제2 부분 및 상기 제1 부분보다 두께가 작은 제3 부분을 포함하는 박막 트랜지스터 기판의 제조 방법.

## 청구항 28.

제27항에서,

상기 제1 노광과 제2 노광은 서로 다른 노광기를 이용하는 박막 트랜지스터 기판의 제조 방법.

## 청구항 29.

제27항에서,

상기 제1 노광시 노광되는 빛의 세기는 상기 제2 노광의 빛의 세기보다 작은 박막 트랜지스터 기판의 제조 방법.

### 청구항 30.

제29항에서,

상기 제1 노광의 노광 시간이 상기 제2 노광의 노광 시간보다 짧은 박막 트랜지스터 기판의 제조 방법.

### 청구항 31.

제27항에서,

상기 제1 노광의 노광 시간이 상기 제2 노광의 노광 시간보다 짧은 박막 트랜지스터 기판의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 사진 식각용 장치 및 방법, 그리고 이를 이용한 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

반도체 소자는 다층의 박막을 적층하고 감광막을 이용한 사진 식각 공정을 통하여 형성된다.

여기서, 사진 식각 공정은 감광막을 이용하여 마스크에 그려진 패턴을 박막패턴으로 형성하는 공정으로, 우선 박막 상부에 감광막을 도포한 다음, 감광막을 경화시키기 위해 소프트 베이킹(soft bake)를 실시한다. 이어, 마스크를 사용하여 노광을 하고 현상액을 이용하여 감광막을 선택적으로 제거한 후, 하드 베이킹(hard bake)를 실시한 다음 감광막에 의해 형성된 패턴대로 박막을 선택적으로 제거하여 박막 패턴을 형성한다.

이때, 노광 공정은 사용되는 마스크의 형태나 노광되는 쏫(shot)의 구성에 따라 노광 시간의 차이가 발생하게 되는데 노광 시간은 감광막을 도포하거나 현상하는 시간보다 많이 소요되기 때문에 사진 식각 공정에서 생산성을 향상시키기 위해서는 노광 공정을 효율적으로 관리하는 것이 필요하다.

한편, 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중의 하나로서, 두 개의 기판 사이에 액정이 주입되어 있고 두 기판에 각각 형성되어 있는 전극에 인가되는 전압에 의해 액정이 움직이는 구조로 되어 있다.

두 기판 중 하나는 박막 트랜지스터를 포함하는 기판으로, 박막을 형성하고 사진 식각하는 공정을 여러 회 반복함으로써 기판 내에 박막 트랜지스터 또는 배선을 형성한다. 이러한 박막 트랜지스터 기판을 제조하는 공정을 단순화하기 위해 마스크 내에 노광기의 분해능보다 작은 미세 패턴의 슬릿이나 투과율이 다른 막을 형성시키고, 이를 이용하여 중간 두께를 가지는 감광막 패턴을 형성하여 하나 이상의 박막을 한 번의 사진 식각 공정으로 패터닝하는 방법이 제시되고 있으나, 이와 같은 방법은 기판이 대형화됨에 따라서 기판 전체적으로 균일하게 패턴을 형성하기 어려운 문제가 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 과제는 반도체 소자의 사진 식각 공정에서 생산성을 향상시키는 것이다.

본 발명의 다른 과제는 액정 표시 장치용 박막 트랜지스터 기판의 제조 공정을 단순화하는 것이다.

### 발명의 구성



이러한 과제를 해결하기 위해 본 발명에서는 사진 식각 공정을 진행함에 있어서 두 대의 노광기를 함께 사용한다.

본 발명에 따른 사진 식각용 장치는 기판 위에 감광막을 도포하는 도포 장치와 빛을 조사하여 감광막을 노광하는 제1 및 제2 노광기, 그리고 노광된 감광막을 현상하는 현상 장치를 포함한다.

한편, 본 발명에서는 기판 위에 형성되어 있는 박막 위에 감광막을 도포한 다음, 제1 노광을 실시한다. 이어 제1 노광된 감광막을 제2 노광하고 현상하여 두께가 서로 다른 적어도 세 부분을 형성한다.

여기서, 제1 노광과 제2 노광은 서로 다른 노광기를 이용할 수 있다.

이때, 제2 노광시 노광되는 빛의 세기를 제1 노광의 빛의 세기보다 작게 하거나 제2 노광의 노광 시간을 제1 노광의 노광 시간보다 짧게 할 수 있으며, 두 가지 방법을 같이 사용할 수도 있다.

본 발명에 따른 박막 트랜지스터 기판의 제조 방법에서는 절연 기판 위에 게이트선, 게이트선에 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성한 다음, 게이트 배선을 덮는 게이트 절연막, 반도체층, 저항성 접촉층, 그리고 도전체층을 증착한다. 이어, 도전체층과 접촉층 및 반도체층을 패터닝하여 데이터선, 데이터선에 연결되어 있는 소스 전극, 그리고 데이터선 및 소스 전극과 분리되어 있는 드레인 전극을 포함하는 데이터 배선과 접촉층 패턴 및 반도체층 패턴을 형성한다. 다음, 데이터 배선을 덮으며 드레인 전극을 드러내는 접촉구를 포함하는 보호막을 형성하고 접촉구를 통해 드레인 전극과 연결되어 있는 화소 전극을 형성한다. 본 발명에서 데이터 배선과 접촉층 패턴 및 반도체층을 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 데이터 배선을 형성하기 위한 제1 노광과 소스 및 드레인 전극 사이의 채널을 형성하기 위한 제2 노광으로 이루어지고 소스 및 드레인 전극 사이에 위치하며 제1 두께를 가지는 제1 부분과 제1 부분보다 두꺼운 두께를 가지는 제2 부분 및 두께가 없는 제3 부분을 포함한다.

본 발명에 따른 다른 제조 방법에서는 절연 기판 위에 게이트선, 게이트선에 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성한 다음, 게이트 배선 상부에 게이트 절연막, 반도체층, 저항성 접촉층, 그리고 도전체층을 증착한다. 이어, 도전체층과 접촉층, 반도체층 및 게이트 절연막을 패터닝하여 게이트 패드를 드러내는 제1 접촉구와 도전체 패턴, 접촉층 패턴, 그리고 반도체층 패턴을 형성한다. 다음, 도전체 패턴 및 접촉층 패턴을 패터닝하여 데이터선, 데이터선에 연결되어 있는 소스 전극, 데이터선 및 소스 전극과 분리되어 있는 드레인 전극, 그리고 데이터선의 한쪽 끝에 위치하는 데이터 패드를 포함하는 데이터 배선과 접촉층 패턴을 완성한다. 다음, 드레인 전극과 연결되어 있는 화소 전극을 형성하고 데이터 배선과 화소 전극을 덮으며 게이트 패드 및 데이터 패드를 각각 드러내는 제2 및 제3 접촉구를 포함하는 보호막을 형성한다. 여기서, 제1 접촉구와 도전체 패턴, 접촉층 패턴, 그리고 반도체층 패턴을 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 도전체 패턴을 형성하기 위한 제1 노광과 제1 접촉구를 형성하기 위한 제2 노광으로 이루어지고 도전체 패턴 상부에 위치하며 제1 두께를 가지는 제1 부분과 제1 접촉구 상부에 위치하며 두께가 없는 제2 부분 및 제1 부분보다 두께가 작은 제3 부분을 포함한다.

본 발명에 따른 또 다른 제조 방법에서는 절연 기판 위에 게이트선, 게이트선에 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성한 다음, 게이트 배선 상부에 게이트 절연막, 반도체층 및 저항성 접촉층을 증착한다. 이어, 접촉층과 반도체층 및 게이트 절연막을 패터닝하여 게이트 패드를 드러내는 제1 접촉구와 접촉층 패턴 및 반도체층 패턴을 형성한다. 다음, 접촉층 패턴 상부에 데이터선, 데이터선에 연결되어 있는 소스 전극, 데이터선 및 소스 전극과 분리되어 있는 드레인 전극, 그리고 데이터선의 한쪽 끝에 위치하는 데이터 패드를 포함하는 데이터 배선을 형성한다. 다음, 접촉층 패턴을 완성하고 드레인 전극과 연결되어 있는 화소 전극을 형성한 후, 데이터 배선과 화소 전극을 덮으며 게이트 패드 및 데이터 패드를 각각 드러내는 제2 및 제3 접촉구를 포함하는 보호막을 형성한다. 여기서, 제1 접촉구와 접촉층 패턴 및 반도체층 패턴을 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 접촉층 패턴을 형성하기 위한 제1 노광과 제1 접촉구를 형성하기 위한 제2 노광으로 이루어지고 접촉층 패턴 상부에 위치하며 제1 두께를 가지는 제1 부분과 제1 접촉구 상부에 위치하며 두께가 없는 제2 부분 및 제1 부분보다 두께가 작은 제3 부분을 포함한다.

본 발명에 따른 또 다른 제조 방법에서는 절연 기판 위에 게이트선, 게이트선에 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성한 다음, 게이트 배선 상부에 제1 절연막을 형성한다. 이어, 게이트 배선 상부에 제1 절연막을 형성하고 그 위에 반도체층을 증착한다. 다음, 반도체층 상부에 저항성 접촉층 패턴을 형성하고 접촉층 패턴 상부에 데이터선, 데이터선에 연결되어 있는 소스 전극, 데이터선 및 소스 전극과 분리되어 있는 드레인 전극, 그리고 데이터선의 한쪽 끝에 위치하는 데이터 패드를 포함하는 데이터 배선을 형성한다. 다음, 데이터 배선을 덮는 제2 절연막을 형성하고 제2 절연막과 반도체층 및 게이트 절연막을 패터닝하여 드레인 전극과 게이트 패드, 데이터 패드를 각각 드러내는 제1 내

지 제3 접촉구 및 반도체층 패턴을 형성한다. 이어, 제1 접촉구를 통해 드레인 전극과 연결되어 있는 화소 전극을 형성한다. 여기서, 제1 내지 제3 접촉구 및 반도체층 패턴을 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 반도체층 패턴을 형성하기 위한 제1 노광과 제1 내지 제3 접촉구를 형성하기 위한 제2 노광으로 이루어지고 반도체층 패턴 상부에 위치하며 제1 두께를 가지는 제1 부분과 제1 내지 제3 접촉구 상부에 위치하며 두께가 없는 제2 부분 및 제1 부분보다 두께가 작은 제3 부분을 포함한다.

본 발명에 따른 또 다른 제조 방법에서는 절연 기판 위에 게이트선, 게이트선에 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성한 다음, 게이트 배선 상부에 제1 절연막, 반도체층, 그리고 제2 절연막을 증착한다. 이어, 제2 절연막과 반도체층 및 제1 절연막을 패터닝하여 게이트 전극 상부에 위치하는 제2 절연막 패턴과 게이트 패드를 드러내는 접촉구를 형성하고 제2 절연막 패턴 상부에 접촉층 패턴을 형성한다. 다음, 접촉층 패턴 상부에 데이터선, 데이터선에 연결되어 있는 소스 전극, 데이터선 및 소스 전극과 분리되어 있는 드레인 전극, 그리고 데이터선의 한쪽 끝에 위치하는 데이터 패드를 포함하는 데이터 배선을 형성한다. 다음, 드레인 전극과 연결되어 있는 화소 전극을 형성한다. 여기서, 제2 절연막 패턴 및 접촉구를 형성하는 단계는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 제2 절연막 패턴을 형성하기 위한 제1 노광과 접촉구를 형성하기 위한 제2 노광으로 이루어지고 제2 절연막 패턴 상부에 위치하며 제1 두께를 가지는 제1 부분과 접촉구 상부에 위치하며 두께가 없는 제2 부분 및 제1 부분보다 두께가 작은 제3 부분을 포함한다.

여기서, 제1 노광과 제2 노광은 서로 다른 노광기를 이용할 수 있다.

이때, 제2 노광시 노광되는 빛의 세기를 제1 노광의 빛의 세기보다 작게 하거나 제2 노광의 노광 시간을 제1 노광의 노광 시간보다 짧게 할 수 있으며, 두 가지 방법을 같이 사용할 수도 있다.

이와 같이 본 발명에서는 노광기를 두 대 포함하는 사진 식각용 장치를 이용함으로써 생산성을 향상시키며, 2회의 노광 공정으로 부분적으로 다른 두께를 가지는 감광막 패턴을 형성하고 이를 식각 마스크로 사용하여 적어도 둘 이상의 패턴을 한번의 사진 식각 공정으로 형성함으로써 공정을 단순화시킬 수 있다.

그러면, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 사진 식각용 장치 및 그 방법에 대하여 상세히 설명한다.

도 1에 도시한 바와 같이 본 발명에 따른 사진 식각용 장치는 박막 상부에 감광막을 도포하는 감광막 도포 장치(1), 감광막을 경화시키기 위해 가열하는 소프트 베이크(2), 마스크를 이용하여 경화된 감광막에 빛을 조사하여 노광하는 제1 및 제2 노광기(3, 4), 현상액을 이용하여 감광막을 선택적으로 제거하여 감광막 패턴을 형성하는 현상 장치(5), 그리고 현상된 감광막 패턴의 접착력을 좋게 하기 위해 가열하는 하드 베이크(6)를 포함한다.

도 1에서 화살표는 공정의 흐름을 나타내는데 제1 노광기를 이용한 제1 사진 식각 공정과 제2 노광기를 이용한 제2 사진 식각 공정을 독립적으로 진행하여 같은 시간 내에 두 배의 효과를 얻을 수 있으며, 또는 제1 노광기에서 노광한 다음 이어 제2 노광기에서 노광하여 부분적으로 다른 두께를 가지는 감광막 패턴을 형성하고 이를 식각 마스크로 사용하여 적어도 둘 이상의 패턴을 한번의 식각 공정으로 형성함으로써 공정을 단순화할 수도 있다.

먼저, 감광막 도포 장치(1)에서 양성 감광막을 도포하고 도포된 감광막을 소프트 베이크(2)에서 베이크한 다음, 제1 노광기(3)나 제2 노광기(4) 가운데 어느 하나에서 마스크를 이용하여 노광을 실시한다. 다음 현상 장치(5)에서 감광막의 노광된 부분을 제거한다. 이어 하드 베이크(6)에서 베이크한다. 이때, 각각의 노광기(3, 4)는 같은 패턴을 노광할 수도 있고 서로 다른 패턴을 노광할 수도 있다. 본 발명에서는 제1 노광기(3)를 통한 제1 노광을 포함하는 제1 사진 식각 공정과 제2 노광기(4)를 통한 제2 노광을 포함하는 제2 사진 식각 공정이 각각 동시에 이루어질 수 있고, 또는 어느 한 공정의 진행 중에 다른 공정이 시작될 수도 있으므로 생산성을 향상시킬 수 있다.

한편, 또 다른 사진 식각 공정은 감광막 도포 장치(1)에서 양성 감광막을 도포한 다음 도포한 감광막을 소프트 베이크(2)에서 베이크하고, 이어 제1 노광기(3)에서 제2 노광기(4) 순이나 제2 노광기(4)에서 제1 노광기(3) 순으로 노광을 실시한다. 다음, 현상 장치(5)에서 감광막의 노광된 부분을 노광하고 하드 베이크(6)에서 베이크를 실시함으로써 서로 다른 두께를 가지는 감광막 패턴을 형성한다. 따라서, 이러한 감광막 패턴을 이용하여 그 하부의 박막이 식각되는 정도를 다르게 하거나 여러 층의 박막을 한꺼번에 식각한다.

여기서는 양성 감광막을 이용한 예를 들어 설명하였으나 음성 감광막을 사용할 수도 있다. 음성 감광막을 사용할 때에는 감광막의 현상 공정에서 노광되지 않은 부분이 제거된다.

이와 같이 본 발명에 따른 사진 식각 공정을 이용하여 두께가 다른 감광막을 형성하는 방법을 도 2a 내지 도 2c 및 도 1을 참조하여 상세히 설명한다.

먼저, 도 2a에 도시한 바와 같이 기판(10) 위에 화학 기상 증착법이나 스퍼터링법 또는 코팅법으로 박막(20)을 형성한 다음, 그 위에 양성 감광막(30)을 도포한다. 이어, 제1 패턴(42)이 형성되어 있는 투명 기판(41)으로 이루어진 제1 마스크(40)를 이용하여 제1 노광을 실시한다.

다음, 도 2b에 도시한 바와 같이 제2 마스크(50)를 이용하여 제2 노광을 실시하여 제1 노광에서 빛에 노출되지 않은 부분(A', C')의 일부(C')만 빛에 노출되도록 한다. 제2 마스크(50)는 투명 기판(51) 위에 제2 패턴(52)이 형성되어 있다. 여기서, 제2 패턴(52)은 제1 마스크(40)의 패턴(42)과 다른 패턴인 것을 사용할 수도 있으며 같은 패턴을 이용할 수도 있는데, 제1 마스크(40)의 패턴(42)과 같은 경우에는 제1 노광할 때와 다르게 정렬되도록 배치한다. 이때, 제1 노광할 때와 다른 빛의 세기로 노광하거나 노광 시간을 다르게 한다. 또는, 이 두 가지를 함께 사용할 수도 있다.

다음, 현상 공정을 진행하면 도 2c와 같이 A'영역의 감광막(31)은 두께가 두껍고 C'영역의 감광막(32)은 A'영역의 감광막(31)보다 두께가 작으며 B'영역은 거의 제거된다.

따라서, 제1 노광기에서 제1 노광 후 제2 노광기에서 제2 노광하는 두 번의 노광 공정을 이용하여 두께가 다른 감광막 패턴을 형성할 수 있다.

이러한 사진 식각용 장치 및 방법을 이용하여 액정 표시 장치용 박막 트랜지스터 기판을 제조할 수 있는데, 첨부한 도면을 참조하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 대해 설명한다.

도 3은 본 발명의 제1 실시예에 따라 제조한 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 4는 도 3에 도시한 박막 트랜지스터 기판을 IV-IV'선에 따라 자른 단면도이다.

먼저, 절연 기판(110) 위에 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 만들어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 주사 신호선 또는 게이트선(122), 게이트선(122)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(122)으로 전달하는 게이트 패드(124) 및 게이트선(122)의 분지인 박막 트랜지스터의 게이트 전극(126), 그리고 게이트선(122)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극(128)을 포함한다. 유지 전극(128)은 후술할 화소 전극(182)과 연결된 유지 축전기용 도전체 패턴(168)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다.

게이트 배선(122, 124, 126, 128)은 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질, 특히 화소 전극으로 사용되는 ITO와의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 왜냐하면, 외부와 전기적으로 연결되는 패드부를 보강하기 위하여 패드부는 배선용 물질과 화소 전극용 물질을 함께 형성하기 때문이다. 화소 전극을 ITO로 형성하는 경우에 ITO와 접촉 특성이 좋은 물질로는 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta) 등이 있으며, Cr/Al(또는 Al 합금)의 이중층 또는 Al/Mo의 이중층을 그 예로 들 수 있다.

게이트 배선(122, 124, 126, 128) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(130)이 형성되어 게이트 배선(122, 124, 126, 128)을 덮고 있다.

게이트 절연막(130) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체층(142, 148)이 형성되어 있으며, 반도체층(142, 148) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(155, 156, 158)이 형성되어 있다.

접촉층 패턴(155, 156, 158) 위에는 Mo 또는 MoW 합금, Cr, Al 또는 Al 합금, Ta 따위의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(162), 데이터선(162)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가 받는 데이터 패드(164), 그리고 데이터선(162)의 분지인 박막 트랜지스터의 소스 전극(165)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(162, 164, 165)와 분리되어 있으며 게이트 전극(126) 또는 박막

트랜지스터의 채널부(C)에 대하여 소스 전극(165)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(166)과 유지 전극(128) 위에 위치하고 있는 유지 축전기용 도전체 패턴(168)도 포함한다. 유지 전극(128)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(168) 또한 형성하지 않는다.

데이터 배선(162, 164, 165, 166, 168)도 게이트 배선(122, 124, 126, 128)과 마찬가지로 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다.

접촉층 패턴(155, 156, 158)은 그 하부의 반도체층(142, 148)과 그 상부의 데이터 배선(162, 164, 165, 166, 168)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(162, 164, 165, 166, 168)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 접촉층 패턴(155)은 데이터선부(162, 164, 165)와 동일하고, 드레인 전극용 접촉층 패턴(156)은 드레인 전극(166)과 동일하며, 유지 축전기용 접촉층 패턴(158)은 유지 축전기용 도전체 패턴(168)과 동일하다.

한편, 반도체층(142, 148)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(162, 164, 165, 166, 168) 및 접촉층 패턴(155, 156, 157)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체층(148)과 유지 축전기용 도전체 패턴(168) 및 유지 축전기용 접촉층 패턴(158)은 동일한 모양이지만, 박막 트랜지스터용 반도체층(142)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(162, 164, 165), 특히 소스 전극(165)과 드레인 전극(166)이 분리되어 있고 데이터선부 접촉층 패턴(155)과 드레인 전극용 접촉층 패턴(156)도 분리되어 있으나, 박막 트랜지스터용 반도체층(142)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(162, 164, 165, 166, 168) 위에는 보호막(170)이 형성되어 있으며, 보호막(170)은 드레인 전극(166), 데이터패드(164) 및 유지 축전기용 도전체 패턴(168)을 드러내는 접촉 구멍(171, 173, 174)을 가지고 있으며, 또한 게이트 절연막(130)과 함께 게이트 패드(124)를 드러내는 접촉 구멍(172)을 가지고 있다. 보호막(170)은 질화규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있다.

보호막(170) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(182)이 형성되어 있다. 화소 전극(182)은 ITO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(171)을 통하여 드레인 전극(166)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 또한 화소 전극(182)은 접촉 구멍(174)을 통하여 유지 축전기용 도전체 패턴(168)과도 연결되어 도전체 패턴(168)으로 화상 신호를 전달한다. 한편, 게이트 패드(124) 및 데이터패드(164) 위에는 접촉 구멍(172, 173)을 통하여 각각 이들과 연결되는 보조 게이트 패드(184) 및 보조 데이터패드(186)가 형성되어 있으며, 이들은 패드(124, 164)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

여기에서는 화소 전극(182)의 재료의 예로 투명한 ITO를 들었으나, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.

그러면, 본 발명의 제1 실시예에 따른 액정 표시 장치용 기관의 제조 방법에 대하여 도 5a 내지 도 10b와 앞서의 도 3 및 도 4를 참고로 하여 상세히 설명한다.

먼저, 도 5a 및 도 5b에 도시한 바와 같이 금속 따위의 도전체층을 스퍼터링 따위의 방법으로 1,000 Å 내지 3,000 Å의 두께로 증착하고 제1 사진 식각 공정을 이용하여, 기관(110) 위에 게이트선(122), 게이트패드(124), 게이트전극(126) 및 유지 전극(128)을 포함하는 게이트 배선을 형성한다.

다음, 도 6a 내지 도 9에 도시한 바와 같이 데이터 배선(162, 164, 165, 166, 168)과 접촉층 패턴(155, 156, 158)을 형성한다.

먼저, 도 6b에 도시한 바와 같이 게이트 절연막(130), 반도체층(140), 접촉층(150)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 금속 따위의 도전체층(160)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음, 제2 사진 식각 공정을 실시하기 위해 도전체층(160) 상부에 감광막(192, 194)을 형성한다. 이때 앞서 설명한 2회의 노광 방법을 이용하여 감광막(192, 194) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(165)과 드레인 전극(166) 사이에 위치한 제2 부분(194)은 데이터 배선부(A), 즉 데이터 배선(162, 164, 165, 166, 168)이 형성될 부분에 위치한 제1 부분(192)보다 두께가 작게 되도록 하며, 기타 부분(B)은 모두 제거한다. 이때, 채널부(C)에 남아 있는 감광막(194)의 두께와 데이터 배선부(A)에 남아 있는 감광막

(192)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제2 부분(194)의 두께를 제1 부분(192)의 두께의 1/4 이하로 하는 것이 바람직하며, 제1 부분(192)의 두께는 1.6 내지 1.9  $\mu\text{m}$  정도로 형성하고, 제2 부분(194)의 두께는 4,000 Å 이하인 3,000 Å 정도로 형성하는 것이 좋다.

이어, 감광막(194) 및 그 하부의 막들, 즉 도전체층(160), 접촉층(150) 및 반도체층(140)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층(140)만 남아 있어야 하며, 나머지 부분(B)에는 위의 세 층(160, 150, 140)이 모두 제거되어 게이트 절연막(130)이 드러나야 한다.

도 7에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(160)을 제거하여 그 하부의 접촉층(150)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(160)은 식각되고 감광막(192, 194)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(160)만을 식각하고 감광막(192, 194)은 식각되지 않는 조건을 찾기가 어려우므로 감광막(192, 194)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제2 부분(194)의 두께를 두껍게 하여 이 과정에서 제2 부분(194)이 제거되어 하부의 도전체층(160)이 드러나는 일이 생기지 않도록 한다.

도전체층(160)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(160)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(160)이 Cr인 습식 식각의 경우에는 식각액으로  $\text{CeNH}_3$ 을 사용할 수 있고, 도전체층(160)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는  $\text{CF}_4$ 와 HCl의 혼합 기체나  $\text{CF}_4$ 와  $\text{O}_2$ 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 7에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(A)의 도전체층, 즉 소스/드레인용 도전체 패턴(167)과 유지 축전기용 도전체 패턴(168)만이 남고 기타 부분(B)의 도전체층(160)은 모두 제거되어 그 하부의 접촉층(150)이 드러난다. 이때 남은 도전체 패턴(167, 168)은 소스 및 드레인 전극(165, 166)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(162, 164, 165, 166, 168)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막(192, 194)도 어느 정도의 두께로 식각된다.

이어, 도 8에 도시한 바와 같이, 기타 부분(B)의 노출된 접촉층(150) 및 그 하부의 반도체층(140)을 감광막의 제2 부분(194)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막(192, 194)과 접촉층(150) 및 반도체층(140) (반도체층과 접촉층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(130)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막(192, 194)과 반도체층(140)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어,  $\text{SF}_6$ 과 HCl의 혼합 기체나,  $\text{SF}_6$ 과  $\text{O}_2$ 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막(192, 194)과 반도체층(140)에 대한 식각비가 동일한 경우 제2 부분(194)의 두께는 반도체층(140)과 접촉층(150)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면 도 8에 나타낸 바와 같이, 채널부(C)의 제2 부분(194)이 제거되어 소스/드레인용 도전체 패턴(167)이 드러나고, 기타 부분(B)의 접촉층(150) 및 반도체층(140)이 제거되어 그 하부의 게이트 절연막(130)이 드러난다. 한편, 데이터 배선부(A)의 제1 부분(192) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체층(142, 148)이 완성된다. 도면 부호 157과 158은 각각 소스/드레인용 도전체 패턴(167) 하부의 접촉층 패턴과 유지 축전기용 도전체 패턴(168) 하부의 접촉층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(167) 표면에 남아 있는 감광막 찌꺼기를 제거한다. 애싱하는 방법으로는 플라즈마 기체를 이용하거나 마이크로파(microwave)를 이용할 수 있으며, 주로 사용하는 조성물은 산소를 들 수 있다.

다음, 도 9에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(167) 및 그 하부의 소스/드레인용 접촉층 패턴(157)을 식각하여 제거한다. 이때, 식각은 소스/드레인용 도전체 패턴(167)과 접촉층 패턴(157) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(167)에 대해서는 습식 식각으로, 접촉층 패턴(157)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(167)과 접촉층 패턴(157)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남은 반도체층(142)의 두께를 조절하기가 쉽지 않기 때문이다. 이때, 도 9에 도시한 것처럼 반도체층(142)의 일부가 제거되어

두께가 작아질 수도 있으며 감광막의 제1 부분(192)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(130)이 식각되지 않는 조건으로 행하여야 하며, 제1 부분(192)이 식각되어 그 하부의 데이터 배선(162, 164, 165, 166, 168)이 드러나는 일이 없도록 감광막이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소스 전극(165)과 드레인 전극(166)이 분리되면서 데이터 배선(162, 164, 165, 166, 168)과 그 하부의 접촉층 패턴(155, 156, 158)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제1 부분(192)을 제거한다.

또한, 데이터 배선을 건식 식각이 가능한 물질로 형성하는 경우에는 감광막(191, 192)의 두께를 조절하여 앞에서 설명한 바와 같이 여러 번의 중간 공정을 거치지 않고 한 번의 식각 공정으로 접촉층 패턴, 반도체층, 데이터 배선을 형성할 수 있다. 즉, B 부분의 도전체층(160), 접촉층(150) 및 반도체층(140)을 식각하는 동안 C 부분에서는 감광막(194)과 그 하부의 도전체층(160) 및 접촉층(150)을 식각하고 A 부분에서는 감광막(192)의 일부만 식각하는 조건을 선택하여 한 번의 공정으로 형성할 수도 있다.

이와 같이 하여 데이터 배선(162, 164, 165, 166, 168)을 형성한 후, 도 10a 및 도 10b에 도시한 바와 같이 질화규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스핀 코팅하여 2,000 Å 이상의 두께를 가지는 보호막(170)을 형성한다. 이어 제3 사진 식각 공정으로 보호막(170)을 게이트 절연막(130)과 함께 식각하여 드레인 전극(166), 게이트 패드(124), 데이터 패드(164) 및 유지 축전기용 도전체 패턴(168)을 각각 드러내는 접촉 구멍(171, 172, 173, 174)을 형성한다.

마지막으로, 도 3 및 도 4에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 ITO층을 증착하고 제4 사진 식각 공정을 사용하여 화소 전극(182), 보조 게이트 패드(184) 및 보조 데이터 패드(186)를 형성한다.

이와 같이 박막 트랜지스터 기판을 제조하기 위한 본 발명의 제1 실시예에서는 여러 층의 막을 한꺼번에 식각하기 위해 두 번의 노광 공정을 실시하여 감광막(192, 194)의 두께가 다른 세 부분을 형성하고 데이터 배선(162, 164, 165, 166, 168)과 그 하부의 접촉층 패턴(155, 156, 158) 및 반도체층(142, 148)을 형성하므로 공정을 단순화할 수 있다.

이렇게 감광막을 형성하는 방법을 이용하여 또 다른 형태의 박막 트랜지스터 기판을 제조할 수 있는데 본 발명에 따른 제2 실시예에서는 앞선 제1 실시예와 유사하지만 패터닝 및 적층 순서가 상이하다. 제2 실시예에 따른 박막 트랜지스터 기판 및 그 제조 방법을 도 11 내지 도 15에 도시하였다.

도 11은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 12는 도 11에서 X II-X II'선에 대한 단면도로서, 제1 실시예와 유사하지만 화소 전극(282)과 보조 게이트 패드(284) 및 보조 데이터 패드(286)를 보호막(270) 하부에 형성하며, 유지 전극선(128)과 유지 축전기용 도전체(168), 반도체층(148) 및 접촉층 패턴(158)을 형성하지 않는다.

그러면, 도 13a 내지 도 15와 앞서의 도 11 및 도 12를 참조하여 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 설명한다.

먼저, 앞선 제1 실시예에서와 같이 기판(210) 위에 게이트선(222)과 게이트 패드(224) 및 게이트 전극(226)을 포함하는 게이트 배선(222, 224, 226)을 형성한다.

이어, 도 13a 및 도 15에 도시한 바와 같이 도전체 패턴(267)과 접촉층 패턴(257), 반도체층(242) 및 게이트 패드(224)를 드러내는 접촉구(232)를 형성한다.

우선, 도 13b에 도시한 바와 같이 게이트 배선(222, 224, 226) 위에 게이트 절연막(230)과 반도체층(240), 접촉층(250), 그리고 도전체층(260)을 차례로 증착한 다음, 앞서 설명한 2회의 노광 공정을 이용하여 두께가 다른 제3 및 제4 감광막(292, 294)을 형성한다. 데이터 배선(262, 264, 265, 266)이 형성될 제3 감광막(292)은 두께가 가장 두껍고, 게이트 패드(224) 상부의 접촉구(232)가 형성될 부분의 감광막은 제거하며, 그 외 부분의 제4 감광막(294)은 제3 부분(292)보다 두께가 작게 되도록 한다.

이어, 도 14에 도시한 바와 같이 감광막(292, 294)을 식각 저지층으로 사용하여 게이트 패드(224) 상부의 도전체층(260)과 접촉층(250) 및 반도체층(240)을 식각한다.

다음, 도 15에 도시한 바와 같이 애싱을 하여 제4 감광막(294)을 제거하는데, 이때, 제3 감광막(292)도 일부 식각되어 두께가 얇아진다. 다음, 드러난 도전체층(260), 접촉층(250) 및 반도체층(240)을 식각하여 도전체 패턴(267)과 접촉층 패턴(257) 및 반도체층(242)을 형성한다.

다음, 남아있는 제3 감광막(292)을 제거한다.

다음, 도 11 및 도 12에 도시한 바와 같이 채널이 형성될 부분의 도전체 패턴(267) 및 접촉층 패턴(257)을 식각하여 데이터선(262)과 데이터 패드(264), 소스 및 드레인 전극(265, 266), 그리고 접촉층 패턴(255, 256)을 완성한 후, 화소 전극(282)과 보조 게이트 패드(284) 및 보조 데이터 패드(286)를 형성한다. 이어, 보호막(270)을 증착한 다음 패터닝하여 보조 게이트 패드(284)와 보조 데이터 패드(286)를 각각 드러내는 접촉구(272, 273)를 형성한다.

또한, 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관 및 그 제조 방법을 도 16 내지 도 20에 도시하였다.

도 16은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 배치도이고, 도 17은 도 16에서 XVII-XVII'선에 대한 단면도이다. 제3 실시예는 제1 실시예와 유사하지만, 화소 전극(382)과 보조 게이트 패드(384) 및 보조 데이터 패드(386)를 보호막(370) 하부에 형성하며 데이터 배선(362, 364, 365, 366)과 접촉층 패턴(355, 356)의 형태가 다르다. 또한, 유지 전극선(128)과 유지 축전기용 도전체(168), 반도체층(148) 및 접촉층 패턴(158)을 형성하지 않는다.

그러면, 도 18a 내지 도 20과 앞서의 도 16 및 도 17을 참조하여 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 제조 방법에 대하여 설명한다.

먼저, 앞서 제1 실시예에서와 같이 기관(310) 위에 게이트선(322)과 게이트 패드(324) 및 게이트 전극(326)을 포함하는 게이트 배선(322, 324, 326)을 형성한다.

이어, 도 18a 및 도 20에 도시한 바와 같이 게이트 패드(324)를 드러내는 접촉구(332)와 접촉층 패턴(357) 및 반도체층(342)을 형성한다.

우선, 도 18b에 도시한 바와 같이 게이트 배선(322, 324, 326) 위에 게이트 절연막(330)과 반도체층(340), 그리고 접촉층(350)을 증착한 다음 2회의 노광 공정으로 접촉층(350) 상부에 감광막(392, 394)을 형성한다. 여기서, 반도체층(342) 및 접촉층 패턴(355, 356)이 형성될 부분의 제5 감광막(392)은 두께가 가장 두껍고 게이트 패드(324) 상부의 접촉구(332)가 형성될 부분은 감광막을 모두 제거하며 나머지 부분의 제6 감광막(394)은 제5 감광막(392)보다 두께를 작게 한다.

이어, 도 19에 도시한 바와 같이 게이트 패드(324) 상부의 접촉층(350)과 반도체층(340) 및 게이트 절연막(330)을 식각한다.

다음, 도 20에 도시한 바와 같이 애싱 공정으로 제6 감광막(394)을 제거하는데 이때 제5 감광막(392)도 일부 제거되어 두께가 얇아진다. 다음, 드러난 접촉층(350) 및 반도체층(340)을 식각하여 접촉층 패턴(357)과 반도체층(342)을 형성한다.

다음, 남아 있는 감광막(392)을 제거한다.

다음, 도 16 및 도 17에 도시한 바와 같이 데이터선(362)과 데이터 패드(364), 소스 및 드레인 전극(365, 366)을 형성하고 접촉층 패턴(357)을 식각하여 접촉층 패턴(355, 356)을 완성한 다음, 화소 전극(382)과 보조 게이트 패드(384) 및 보조 데이터 패드(386)를 형성한다. 이어, 보호막(370)을 증착하고 패터닝하여 보조 게이트 패드(384)와 보조 데이터 패드(386)를 각각 드러내는 접촉구(372, 373)를 형성한다.

본 발명의 제4 실시예에 따른 박막 트랜지스터 기관 및 그 제조 방법을 도 21 내지 도 27에 도시하였다.

도 21은 본 발명의 제4 실시예에 따른 박막 트랜지스터 기관의 배치도이고, 도 22는 도 21에서 XXII-XXII'선에 대한 단면도이다. 제4 실시예도 제1 실시예와 유사하지만 보호막(470)이 데이터 배선(462, 464, 465, 466)과 유사한 형태를 이루고 있다는 점이 다르다. 또한, 제4 실시예에서는 유지 전극선(128)과 유지 축전기용 도전체(168), 반도체층(148) 및 접촉층 패턴(158)을 형성하지 않는다.

그러면, 도 23a 내지 도 27과 앞서의 도 21 및 도 22를 참조하여 본 발명의 제4 실시예 따른 박막 트랜지스터 기관의 제조 방법에 대하여 설명한다.

먼저, 앞선 제1 실시예에서와 같이 기관(410) 위에 게이트선(422)과 게이트 패드(24) 및 게이트 전극(426)을 포함하는 게이트 배선(422, 424, 426)을 형성한다.

이어, 도 23a 및 도 23b에 도시한 바와 같이 게이트 절연막(430), 반도체층(440), 접촉층(450) 및 도전체층(460)을 증착한 다음, 도전체층(460)과 접촉층(450)을 식각하여 데이터선(462)과 데이터 패드(464), 소스 및 드레인 전극(465, 466)을 포함하는 데이터 배선과 접촉층 패턴(455, 456)을 형성한다.

다음, 도 24a 내지 도 27에 도시한 바와 같이 제4 내지 제6 접촉구(471, 472, 473)를 포함하는 보호막(470)과 반도체층(442)을 형성한다.

우선, 도 24b에 도시한 바와 같이 데이터 배선(462, 464, 465, 466) 상부에 보호막(470)을 증착한 후, 감광막(492, 494)을 형성하는데 앞선 2회의 노광 방법을 이용하여 데이터 배선(462, 464, 465, 466)이 형성될 부분의 제7 감광막(492)은 두께가 가장 두껍고 드레인 전극(466)과 게이트 패드(424), 그리고 데이터 패드(464) 상부의 제4 내지 제6 접촉구(471, 472, 473)가 형성될 부분의 감광막은 모두 제거하며 나머지 부분의 감광막(494)은 제7 감광막(492)보다 두께가 작게 되도록 한다.

다음, 도 25에 도시한 바와 같이 드러난 막들을 식각하여 제4 내지 제6 접촉구(471, 472, 473)를 형성하는데 드레인 전극(466) 및 데이터 패드(464)부는 보호막(470)만을 식각하며 게이트 패드(422)부는 보호막(470)과 반도체층(440) 및 게이트 절연막(430)까지 식각한다.

다음, 도 26에 도시한 바와 같이 애싱을 하여 제8 감광막(494)을 제거하는데 제7 감광막(492)도 일부 제거되어 두께가 얇아진다.

다음, 도 27에 도시한 바와 같이 감광막(492)으로 덮이지 않은 부분의 보호막(470) 및 반도체층(440)을 식각한다.

이어, 남아 있는 감광막(492)을 제거한다.

다음, 도 21 및 도 22에 도시한 바와 같이 화소 전극(482)과 보조 게이트 패드(484) 및 보조 데이터 패드(486)를 형성한다.

본 발명의 제5 실시예에 따른 박막 트랜지스터 기관 및 그 제조 방법을 도 28 내지 도 32에 도시하였다.

도 28은 본 발명의 제5 실시예에 따른 박막 트랜지스터 기관의 배치도이고, 도 29는 도 28에서 X X IX-X X IX'선에 대한 단면도이다. 제5 실시예는 제1 실시예와 유사하지만 보호막(570)을 게이트 전극(526) 상부에만 형성하며, 따라서 드레인 전극(566) 및 데이터 패드(564)를 각각 드러내는 접촉구를 형성하지 않는 점이 다르다. 또한, 유지 전극선(128)과 유지 축전기용 도전체(168), 반도체층(148) 및 접촉층 패턴(158)을 형성하지 않는다.

그러면, 도 30a 내지 도 32와 앞서의 도 28 및 도 29를 참조하여 본 발명의 제5 실시예 따른 박막 트랜지스터 기관의 제조 방법에 대하여 설명한다.

먼저, 앞선 제1 실시예에서와 같이 기관(510) 위에 게이트선(522)과 게이트 패드(524) 및 게이트 전극(526)을 포함하는 게이트 배선(522, 524, 526)을 형성한다.

이어, 도 30a 내지 도 32에 도시한 바와 같이 보호막(570)과 게이트 패드(524)를 드러내는 접촉구(532)를 형성한다.

우선, 도 30b에 도시한 바와 같이 게이트 절연막(530), 반도체층(540), 그리고 보호막(570)을 차례로 증착하고 그 위에 2회의 노광 공정을 이용하여 감광막(592, 594)을 형성한다. 여기서, 게이트 전극(526) 상부의 제9 감광막(592)은 가장 두껍고 게이트 패드(524) 상부의 접촉구(572)가 형성될 부분은 감광막이 제거되어 있으며 나머지 부분의 제10 감광막(594)은 제9 감광막(592)보다 두께가 작게 되도록 한다.



다음, 도 31에 도시한 바와 같이 게이트 패드(524) 상부의 드러난 보호막(570)과 반도체층(540) 및 게이트 절연막(530)을 식각한다.

다음, 도 32에 도시한 바와 같이 애싱을 하여 제10 감광막(594)을 제거하는데 이때 제9 감광막(592)의 두께도 얇아진다. 이어, 보호막(570)을 식각하여 게이트 전극(526) 상부에만 남긴다.

다음, 제9 감광막(592)을 제거한다.

다음, 도 28 및 도 29에 도시한 바와 같이 접촉층과 도전체층을 증착하고 패터닝하여 반도체층(542)과 접촉층 패턴(555, 556), 그리고 데이터선(562), 데이터 패드(564)와 소스 및 드레인 전극(565, 566)을 형성한다. 다음, 화소 전극(582)과 보조 게이트 패드(584) 및 보조 데이터 패드(586)를 형성한다.

이와 같이 본 발명의 실시예에서는 여러 층의 박막을 한꺼번에 식각하기 위해 2회의 노광 공정으로 두께가 다른 감광막을 형성하여 식각하므로 공정이 간단하면서도 기판 전체에 균일한 패턴을 얻을 수 있다.

### 발명의 효과

본 발명에서는 사진 식각용 장치에 노광기를 두 대 설치하여 생산성을 향상시킬 수 있으며 2회의 노광 공정으로 두께가 다른 감광막을 형성하여 여러 층의 박막을 한꺼번에 식각하므로 공정이 간단해진다.

### 도면의 간단한 설명

도 1은 본 발명에 따른 사진 식각용 장치를 도시한 것이고,

도 2a 내지 도 2c는 본 발명의 실시예에 따른 감광막 패턴 형성 방법을 도시한 것이고,

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 4는 도 3에서 IV-IV'선에 대한 단면도이고,

도 5a는 본 발명의 제1 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 5b는 도 5a에서 Vb-Vb'선에 대한 단면도이며,

도 6a는 도 5b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 6b는 도 6a에서 VIb-VIb'선에 대한 단면도이고,

도 7은 도 6a에서 VIb-VIb'선에 대한 단면도로서 도 6b 다음 단계를 도시한 것이며,

도 8은 도 6a에서 VIb-VIb'선에 대한 단면도로서 도 7 다음 단계를 도시한 것이고,

도 9는 도 6a에서 VIb-VIb'선에 대한 단면도로서 도 8 다음 단계를 도시한 것이고,

도 10a는 도 9 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 10b는 도 10a에서 Xb-Xb'선에 대한 단면도이며,

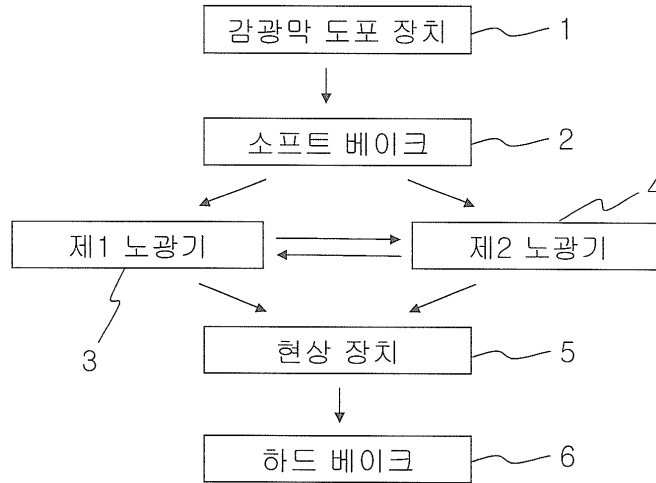
도 11은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 12는 도 11에서 XII-XII'선에 대한 단면도이고,

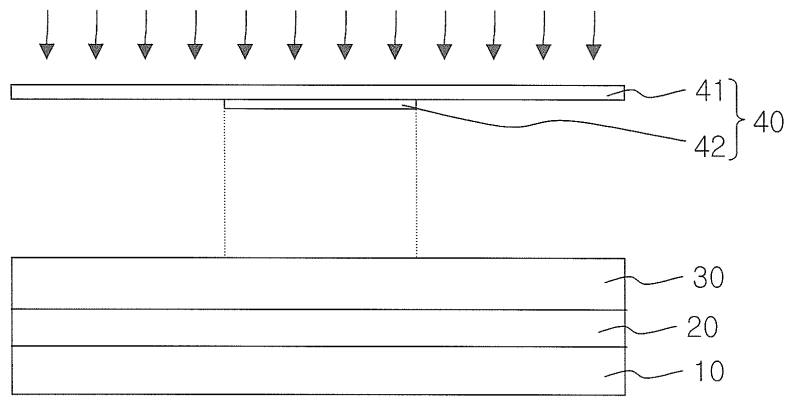
도 13a는 본 발명의 제2 실시예에 따라 제조하는 단계에서의 박막 트랜지스터 기관의 배치도이며,  
 도 13b는 도 13a에서 X IIIb-X IIIb'선에 대한 단면도이고,  
 도 14는 도 13a에서 X IIIb-X IIIb'선에 대한 단면도로서 도 13b 다음 단계를 도시한 것이고,  
 도 15는 도 13a에서 X IIIb-X IIIb'선에 대한 단면도로서 도 14 다음 단계를 도시한 것이며,  
 도 16은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 배치도이고,  
 도 17은 도 16에서 X VII-X VII'선에 대한 단면도이고,  
 도 18a는 본 발명의 제3 실시예에 따라 제조하는 단계에서의 박막 트랜지스터 기관의 배치도이고,  
 도 18b는 도 18a에서 X VIIIb-X VIIIb'선에 대한 단면도이며,  
 도 19는 도 18a에서 X VIIIb-X VIIIb'선에 대한 단면도로서 도 18b 다음 단계를 도시한 것이고,  
 도 20은 도 18a에서 X VIIIb-X VIIIb'선에 대한 단면도로서 도 19 다음 단계를 도시한 것이며,  
 도 21은 본 발명의 제4 실시예에 따른 박막 트랜지스터 기관의 배치도이고,  
 도 22는 도 21에서 X X II-X X II'선에 대한 단면도이고,  
 도 23a는 본 발명의 제4 실시예에 따라 제조하는 단계에서의 박막 트랜지스터 기관의 배치도이고,  
 도 23b는 도 23a에서 X X IIIb-X X IIIb'선에 대한 단면도이며,  
 도 24a는 도 23b 다음 단계에서의 박막 트랜지스터 기관의 배치도이고,  
 도 24b는 도 24a에서 X X IVb-X X IVb'선에 대한 단면도이고,  
 도 25는 도 24a에서 X X IVb-X X IVb'선에 대한 단면도로서 도 24b 다음 단계를 도시한 것이고,  
 도 26은 도 24a에서 X X IVb-X X IVb'선에 대한 단면도로서 도 25 다음 단계를 도시한 것이며,  
 도 27은 도 24a에서 X X IVb-X X IVb'선에 대한 단면도로서 도 26 다음 단계를 도시한 것이고,  
 도 28은 본 발명의 제5 실시예에 따른 박막 트랜지스터 기관의 배치도이고,  
 도 29는 도 28에서 X X IX-X X IX'선에 대한 단면도이고,  
 도 30a는 본 발명의 제4 실시예에 따라 제조하는 단계에서의 박막 트랜지스터 기관의 배치도이고,  
 도 30b는 도 30a에서 X X Xb-X X Xb'선에 대한 단면도이며,  
 도 31은 도 30a에서 X X Xb-X X Xb'선에 대한 단면도로서 도 30b 다음 단계를 도시한 것이고,  
 도 32는 도 30a에서 X X Xb-X X Xb'선에 대한 단면도로서 도 31 다음 단계를 도시한 것이다.

도면

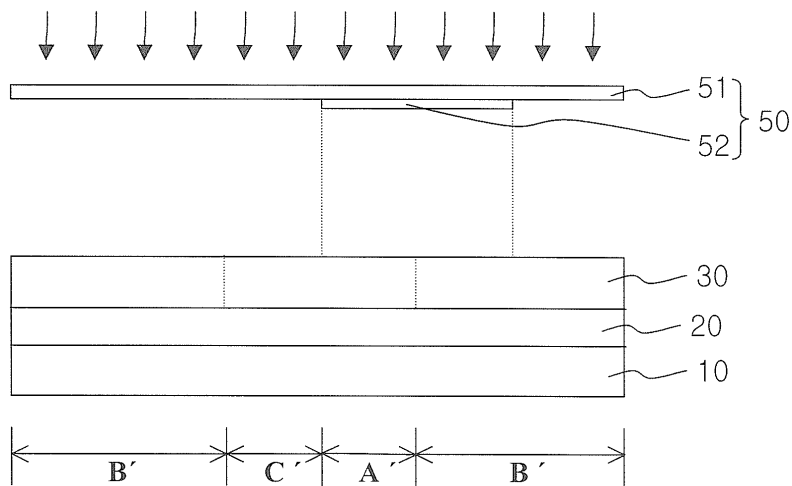
도면1



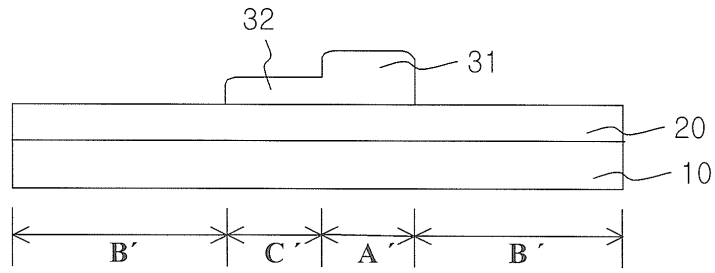
도면2a



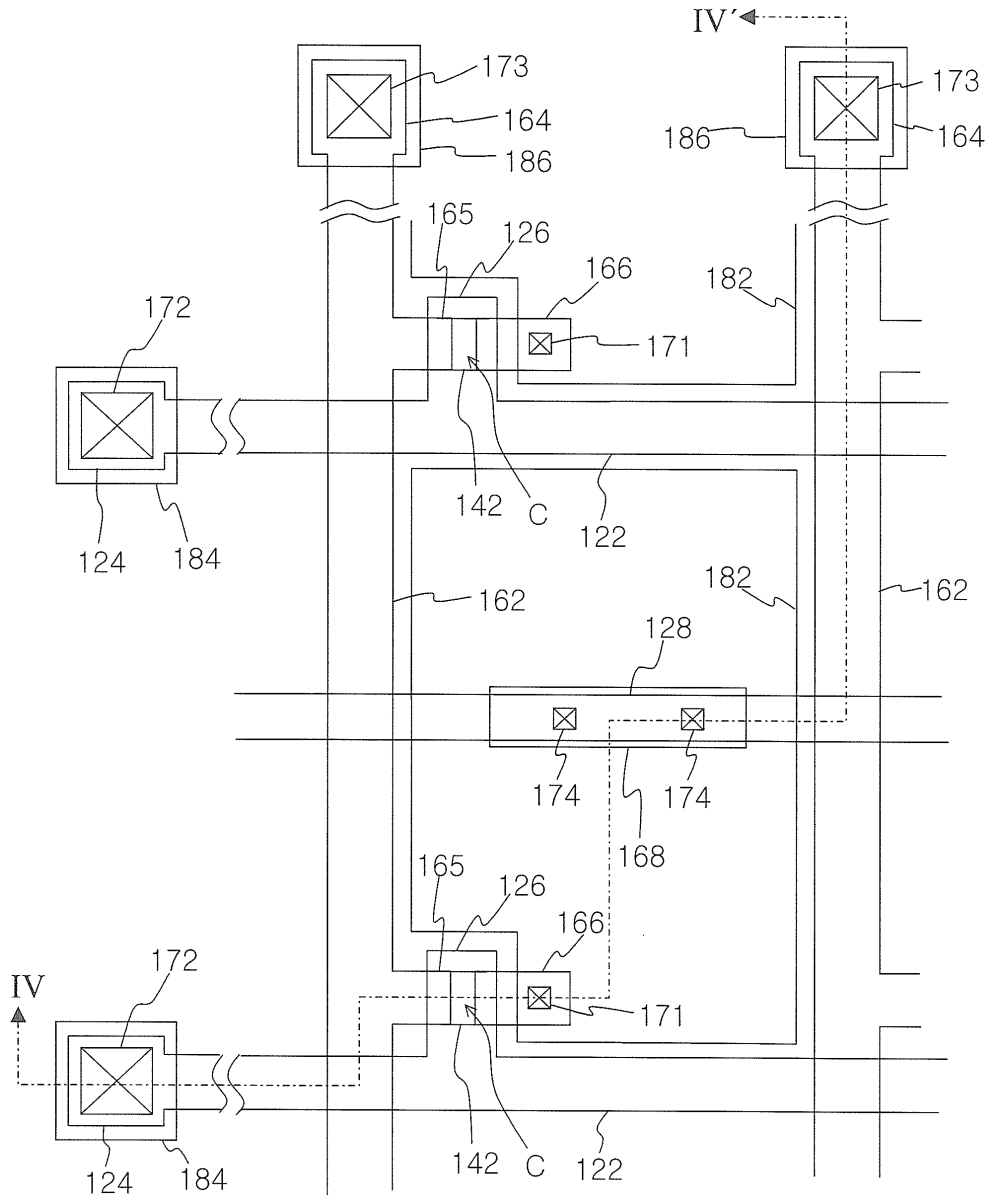
도면2b



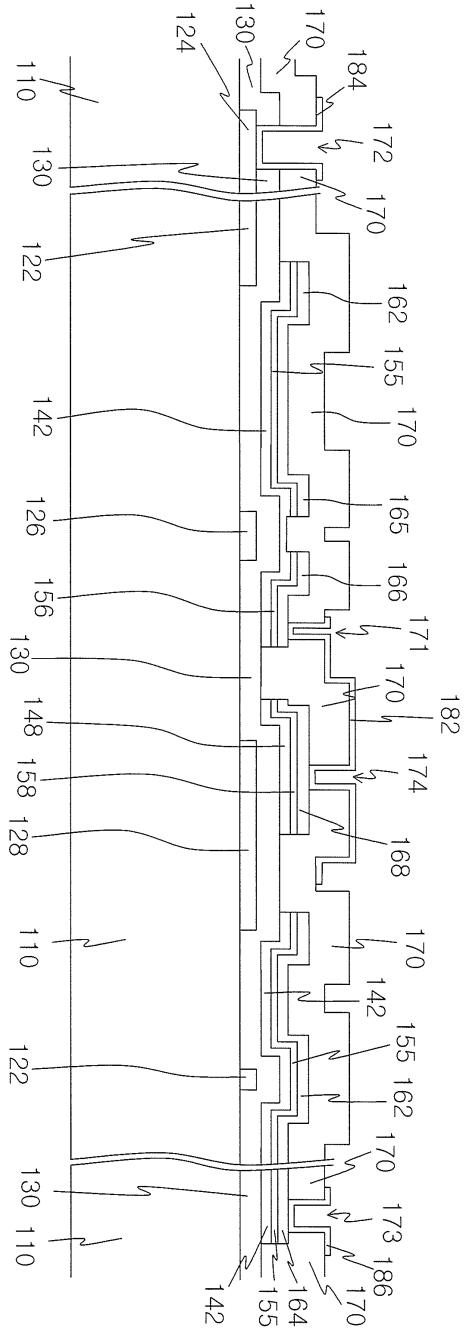
도면2c



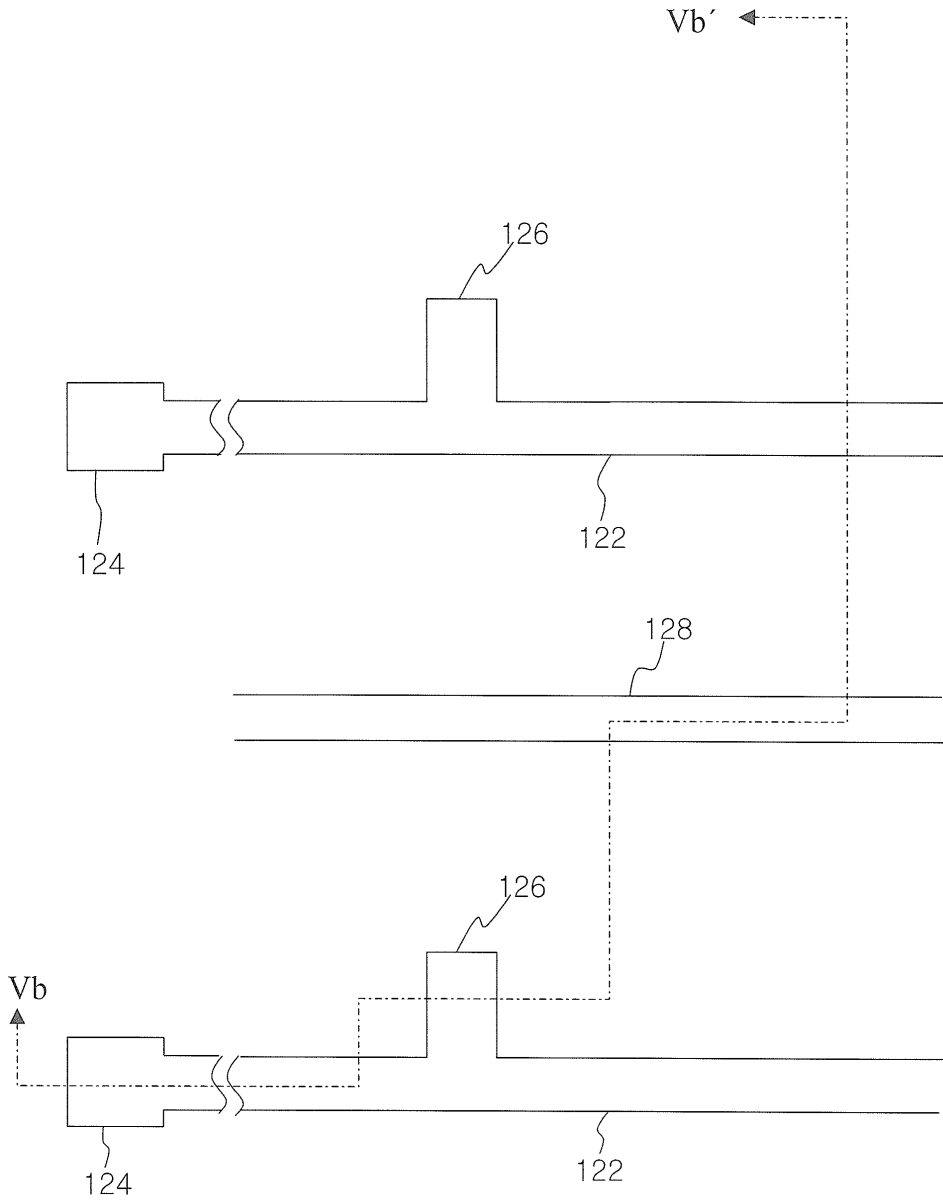
도면3



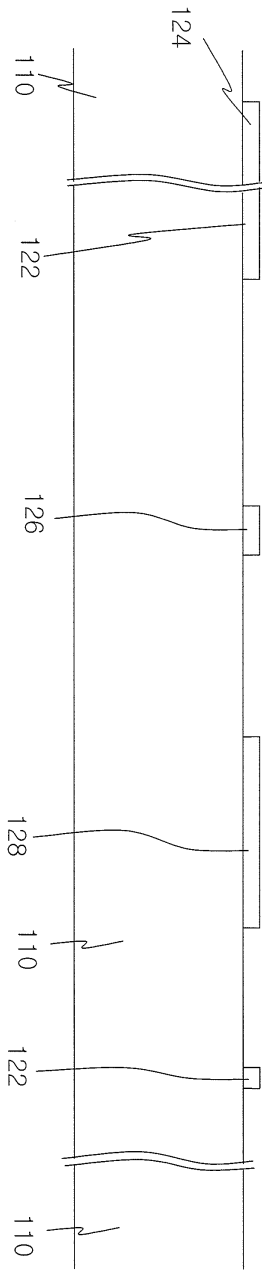
도면4



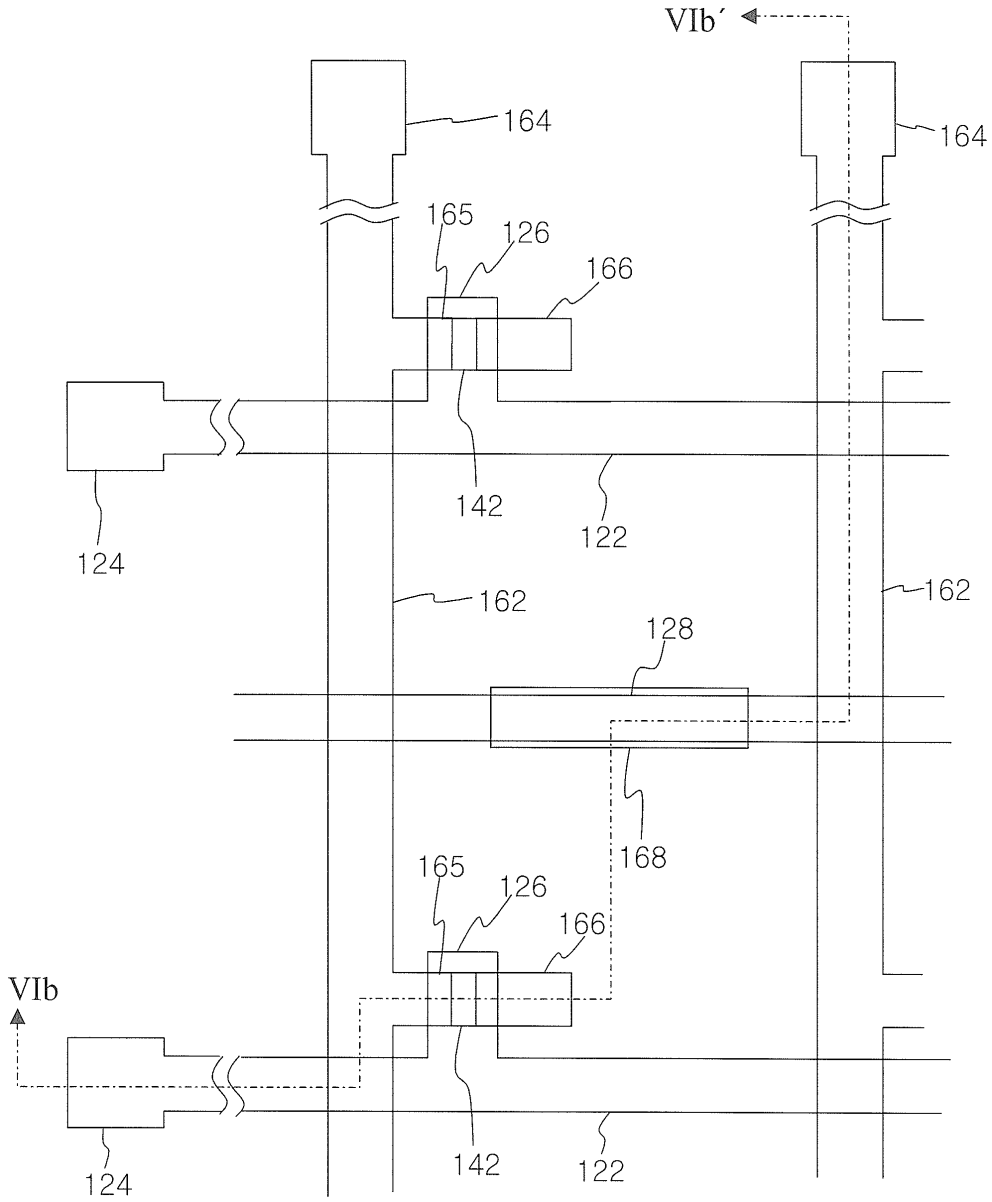
도면5a



도면5b

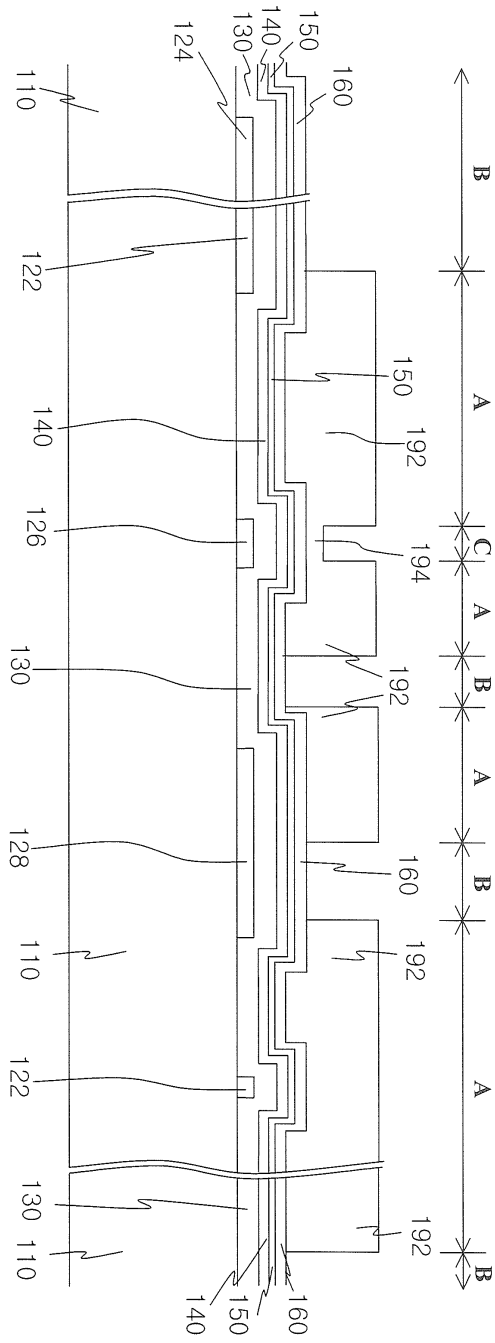


도면6a

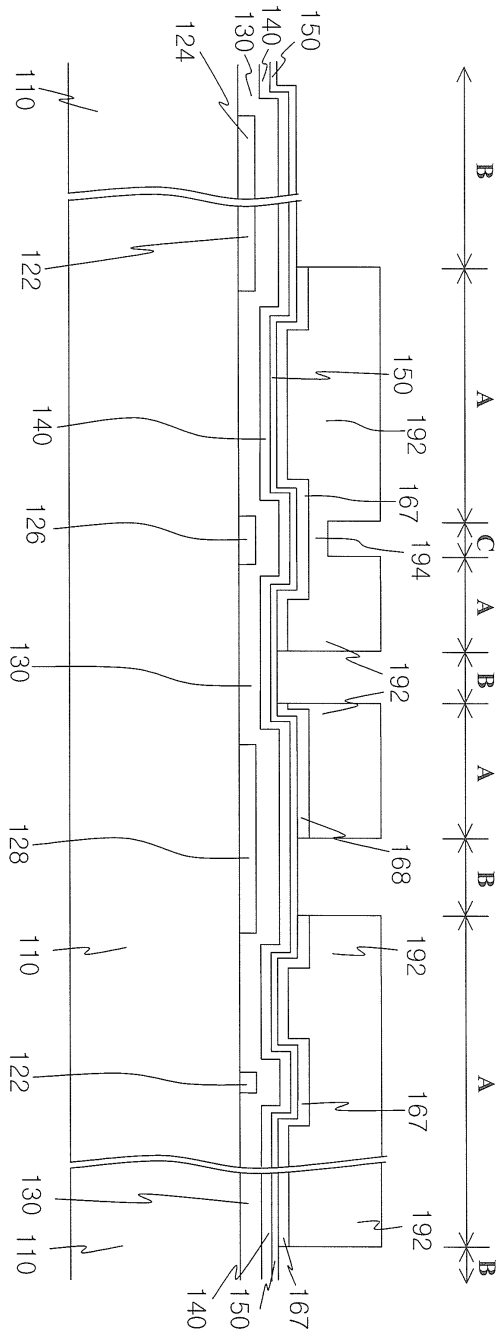




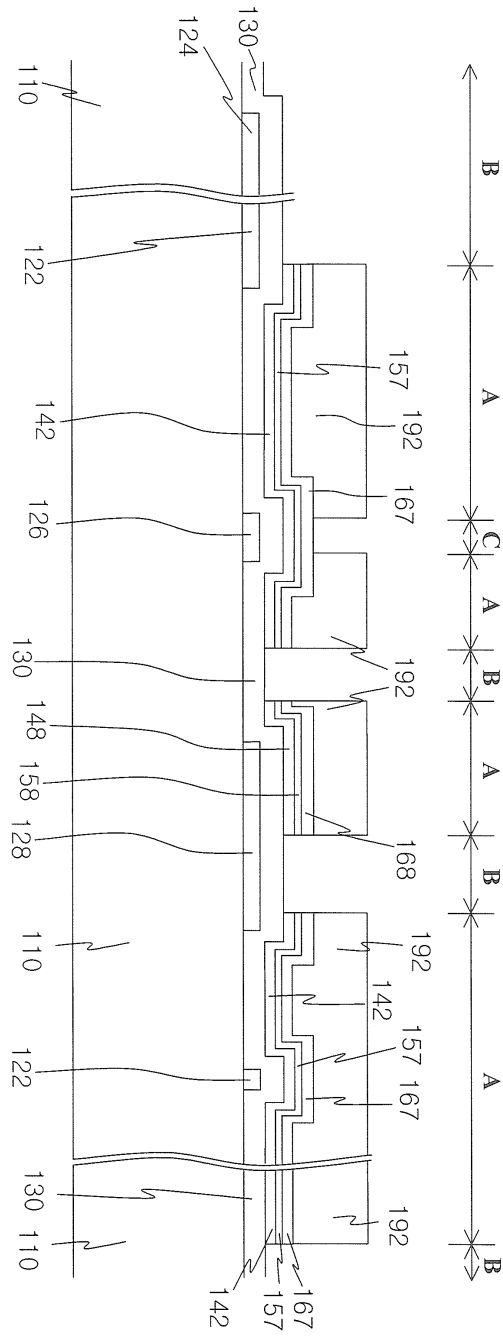
도면6b



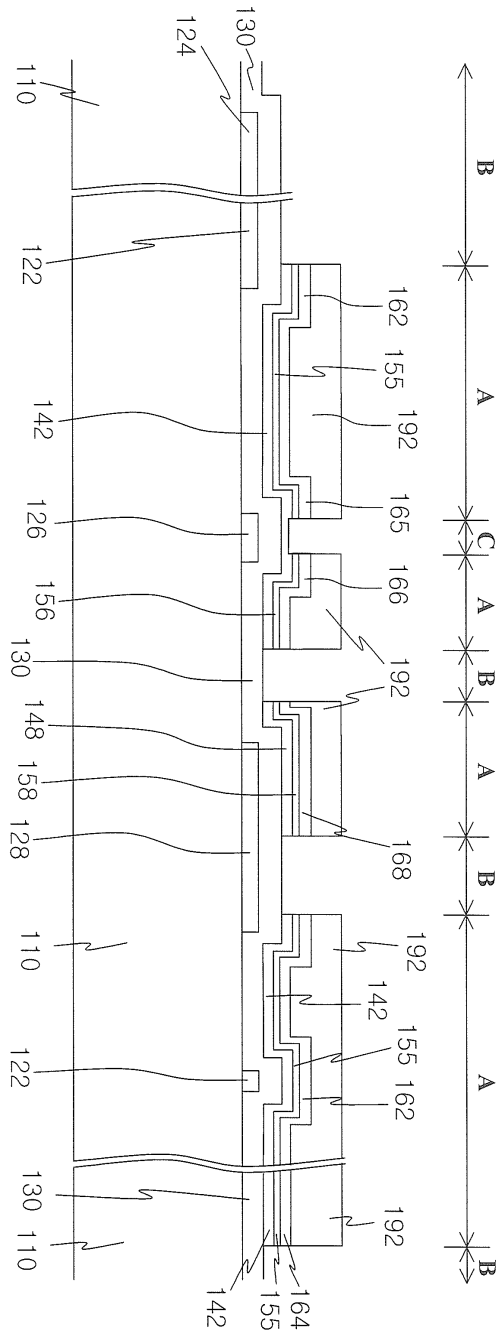
도면7



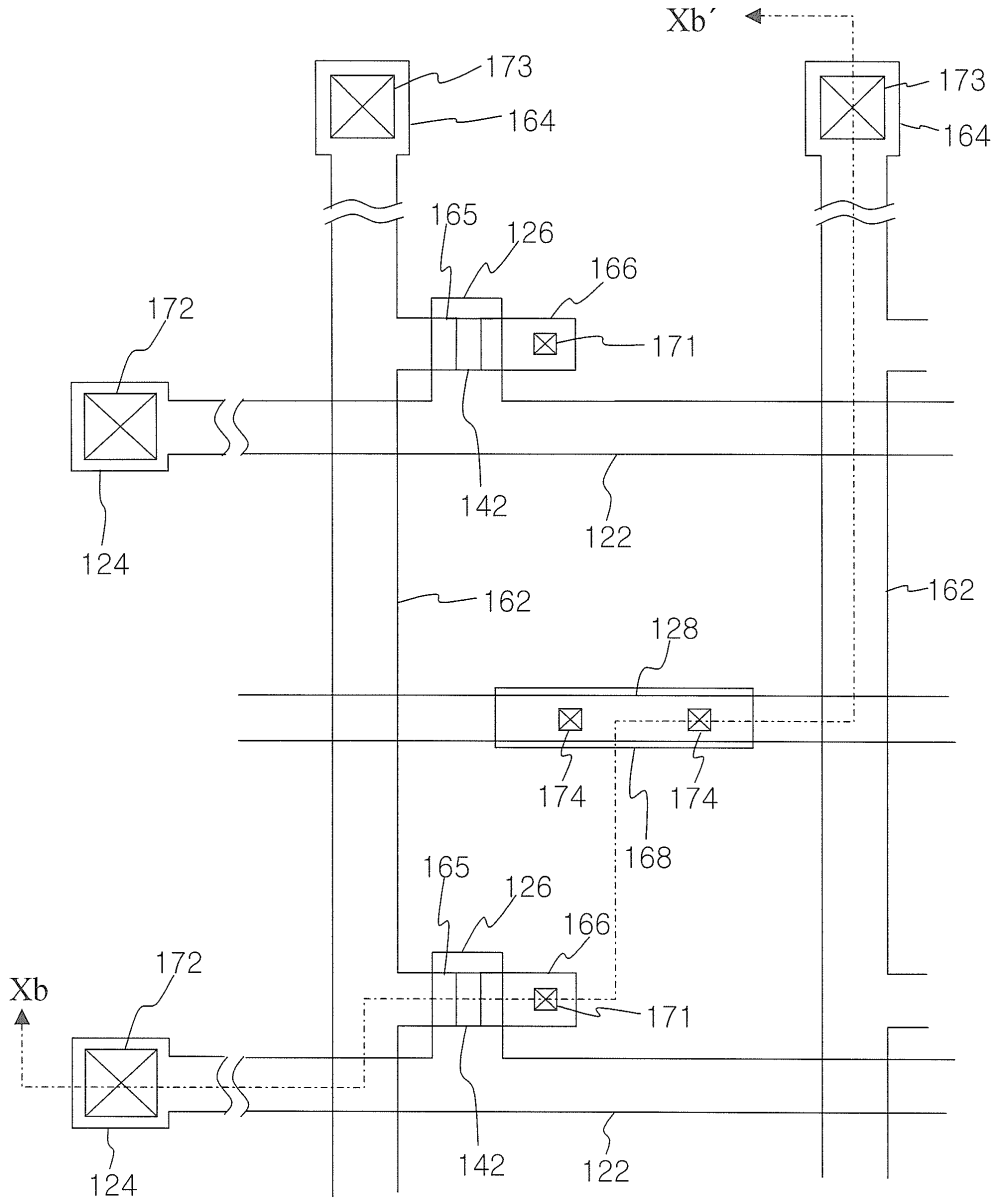
도면8



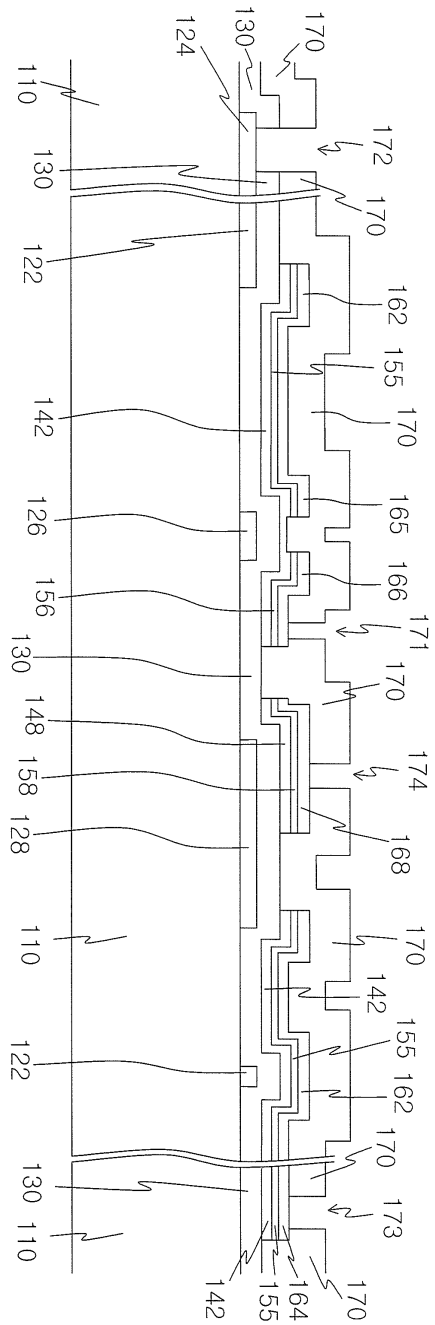
도면9



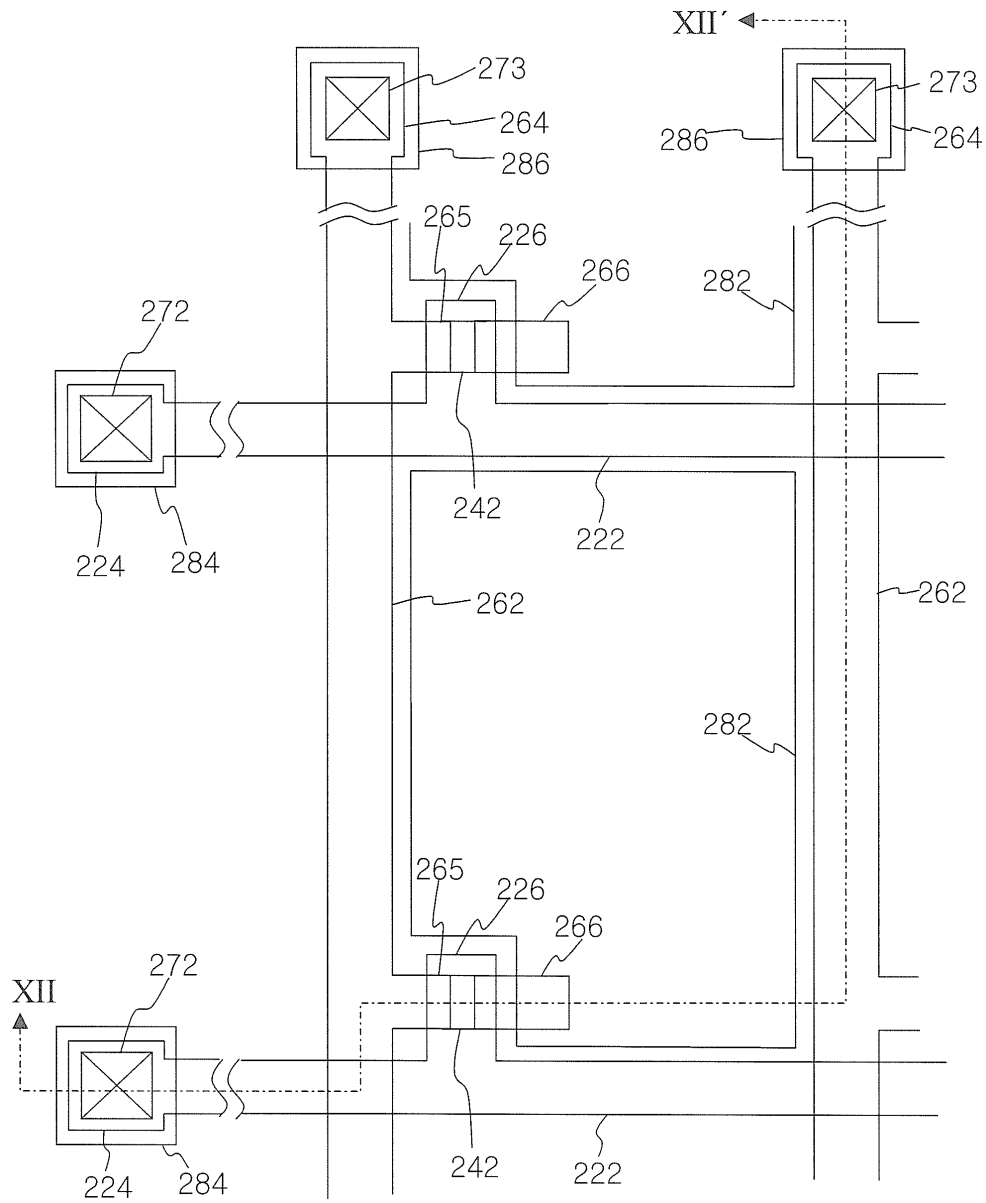
도면10a



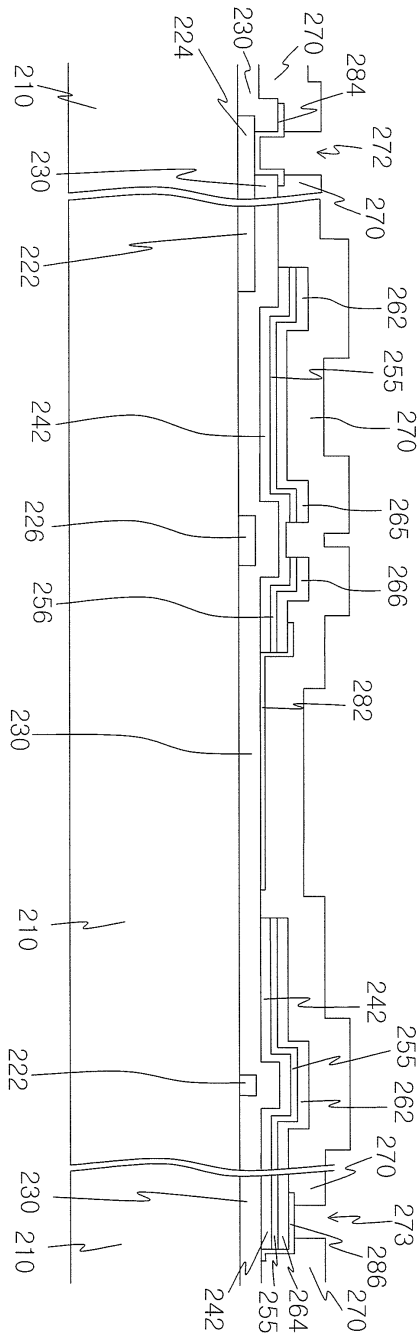
도면10b



도면11

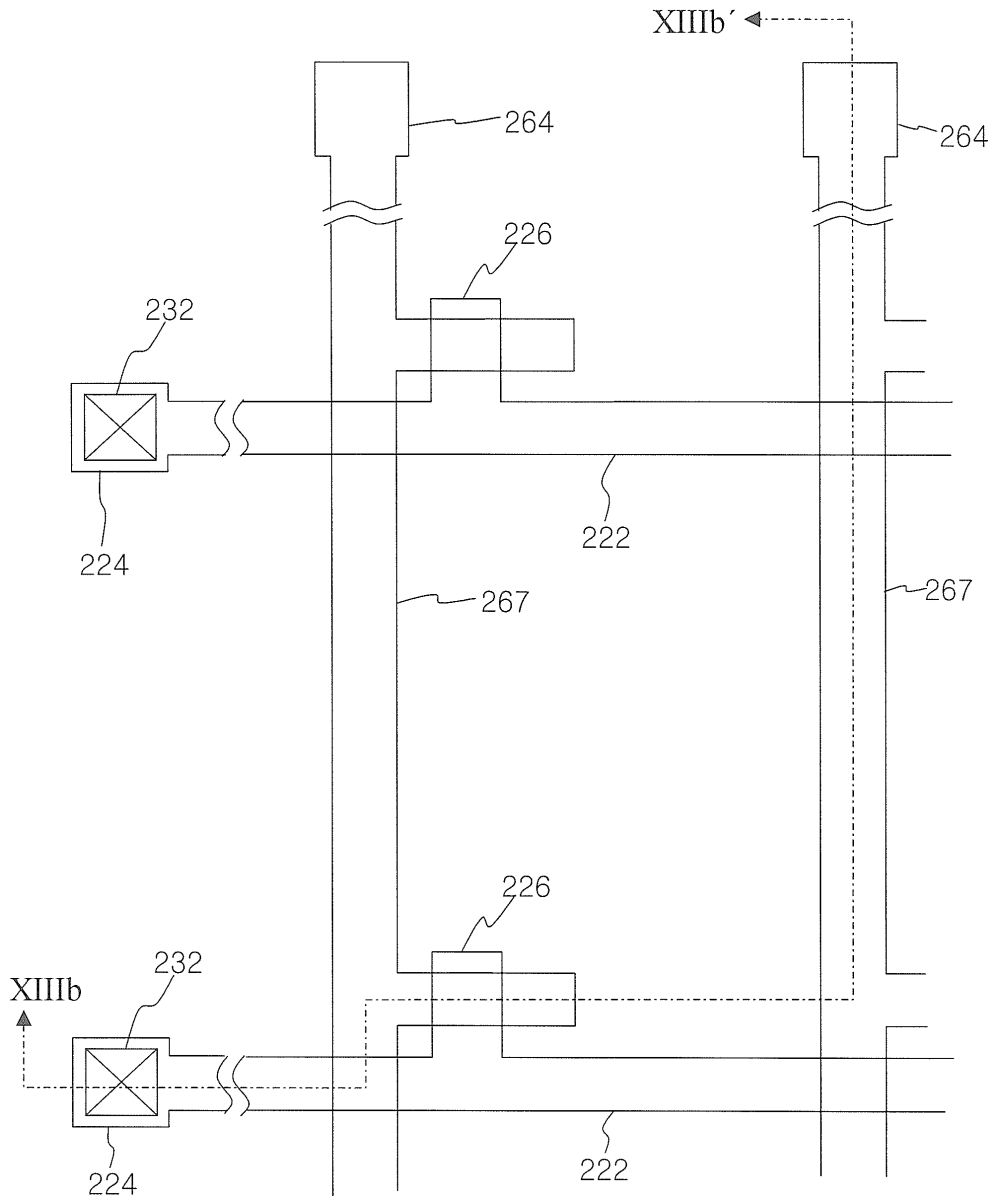


도면12

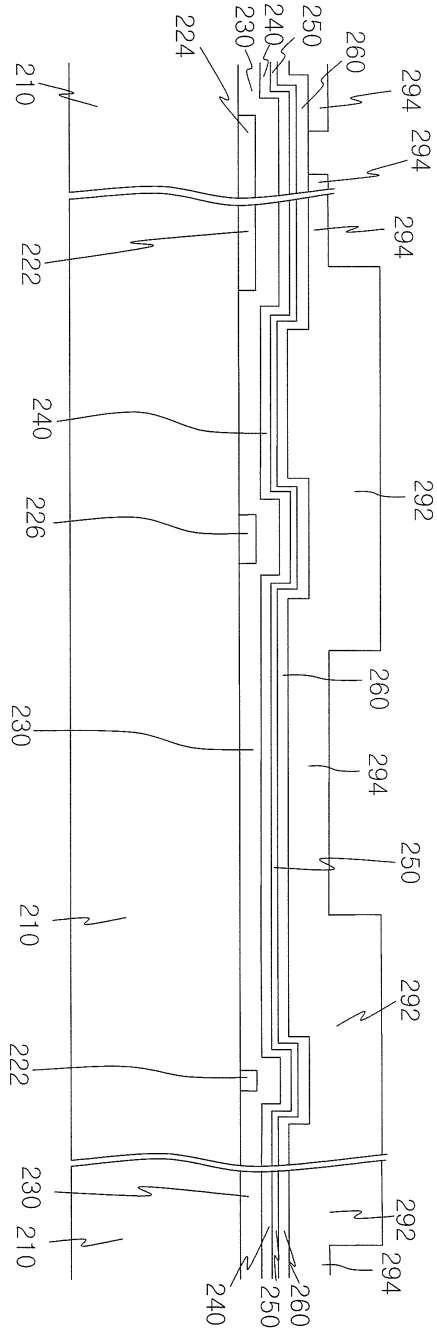




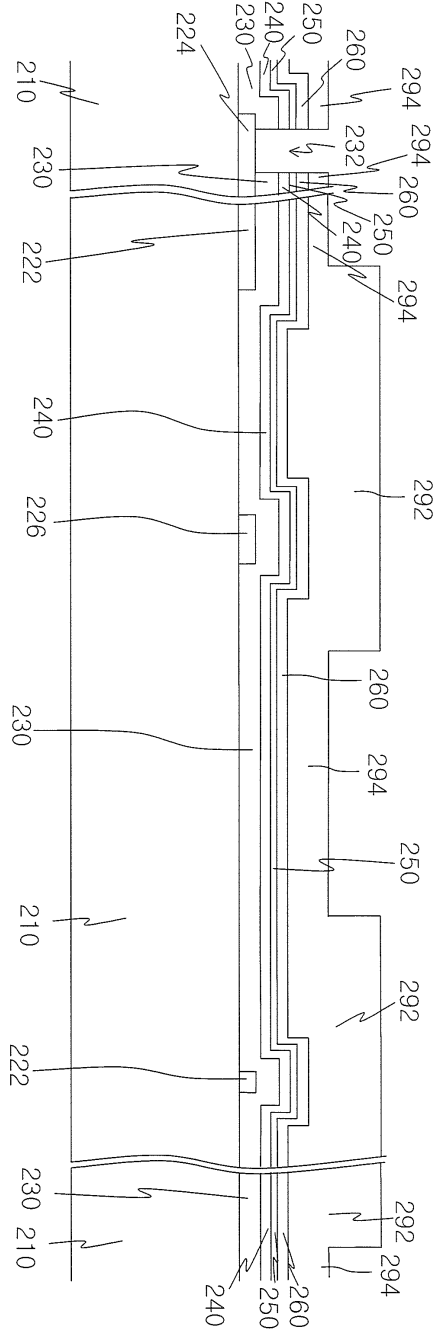
도면13a



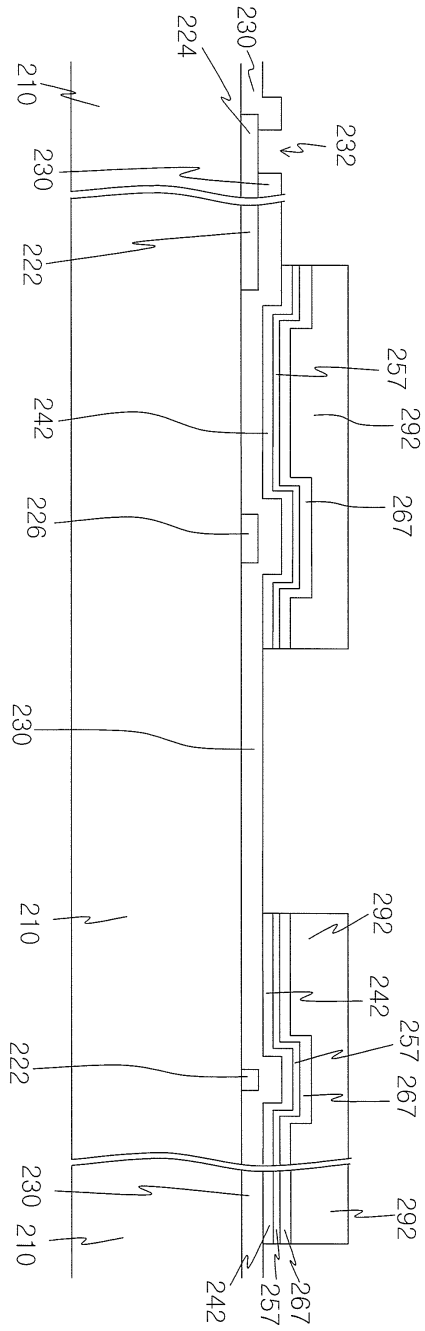
도면13b



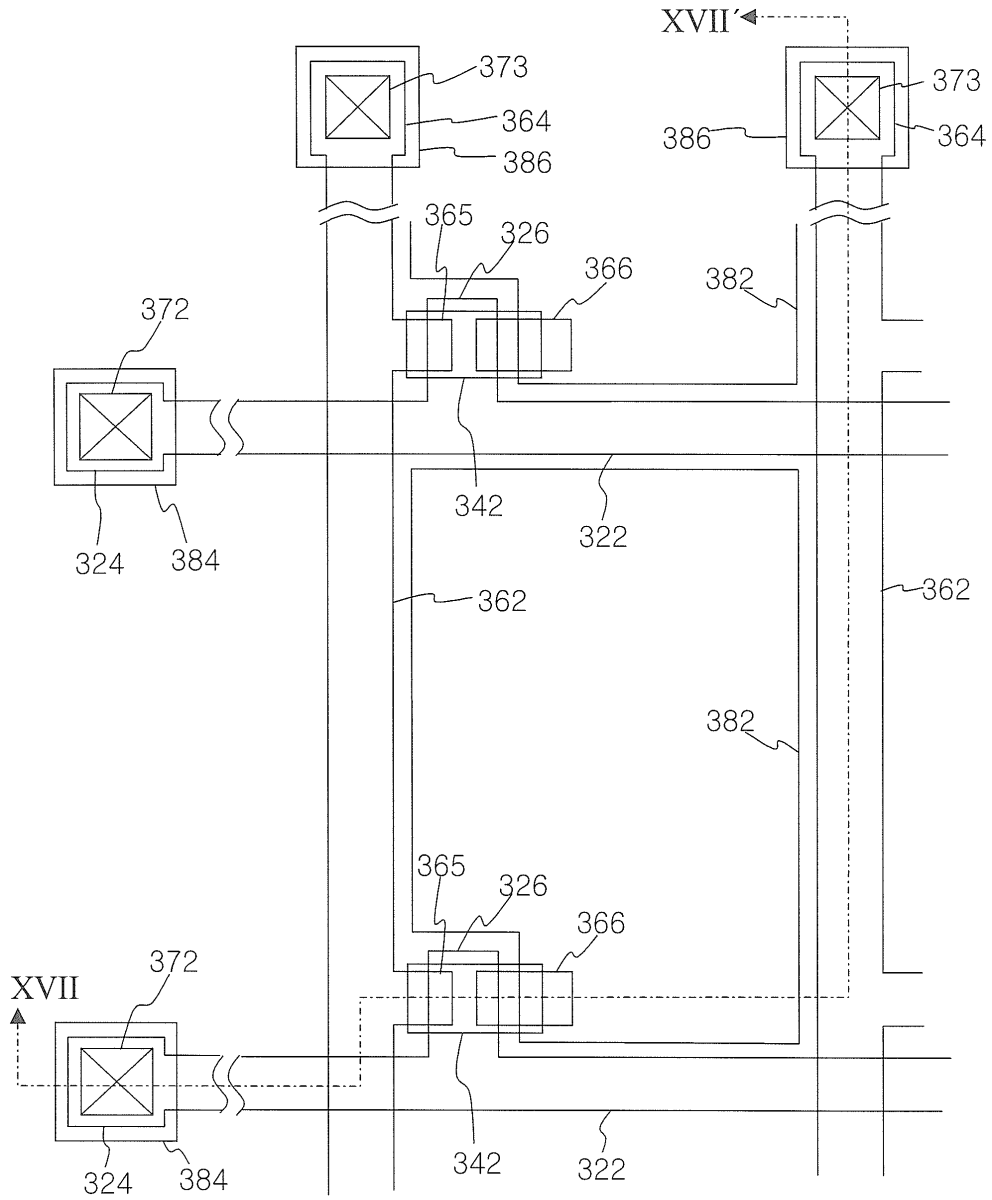
도면14



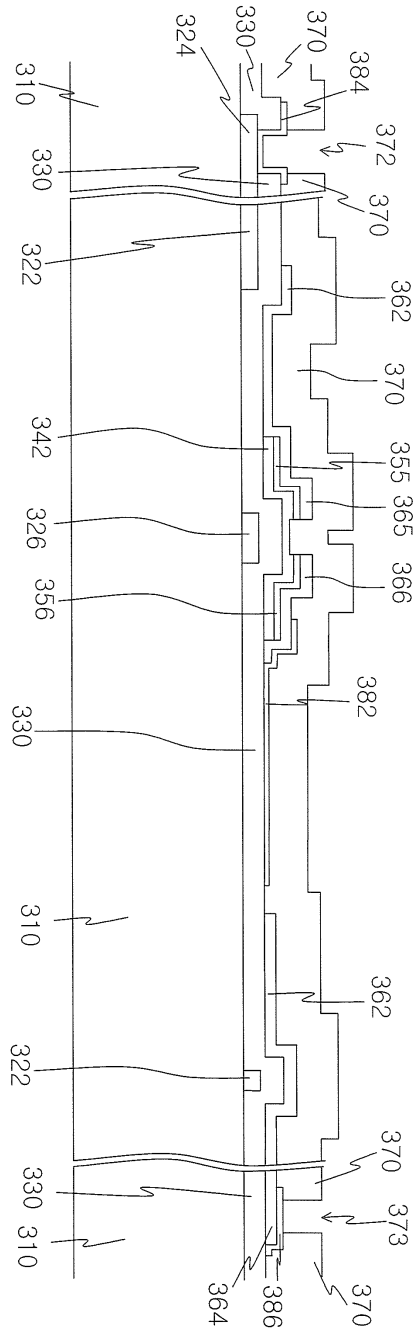
도면15



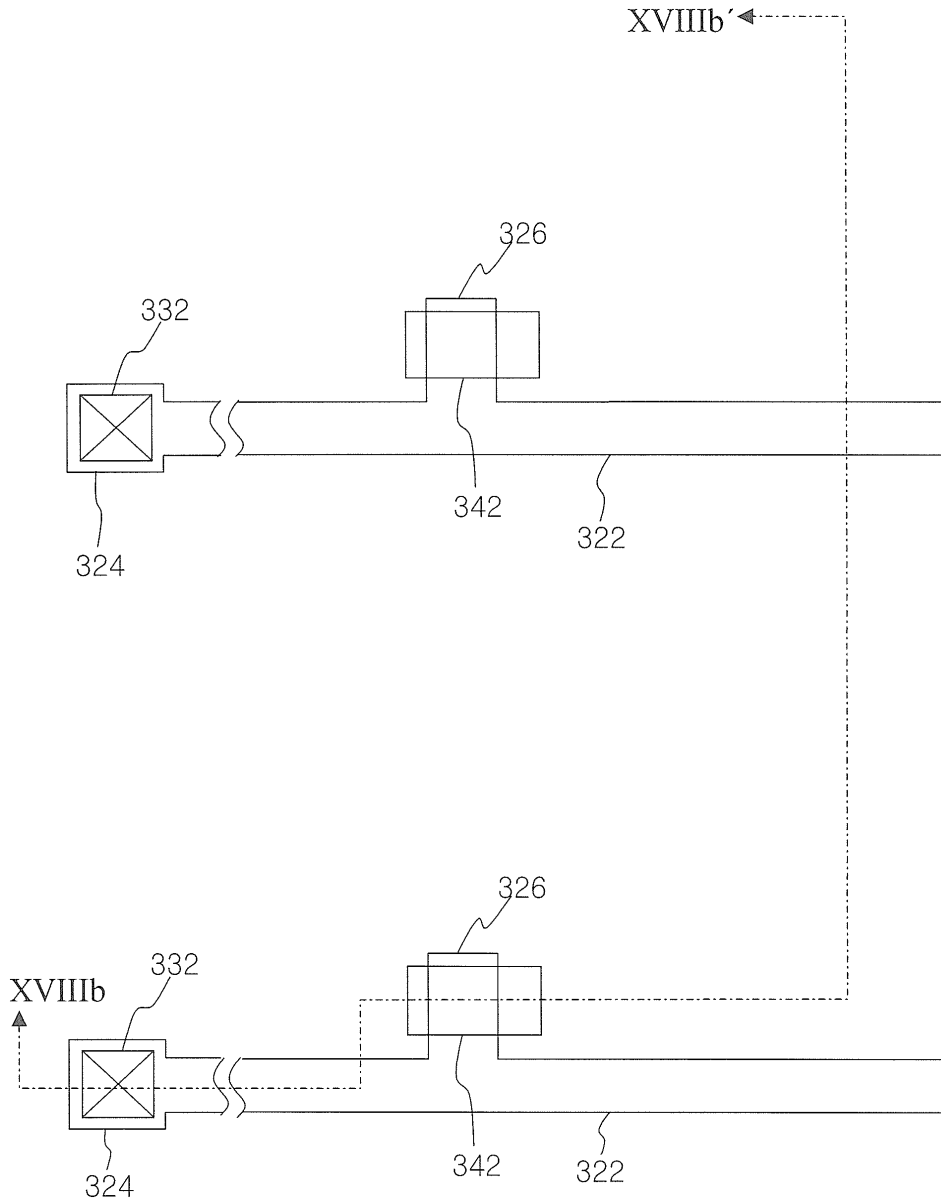
도면16



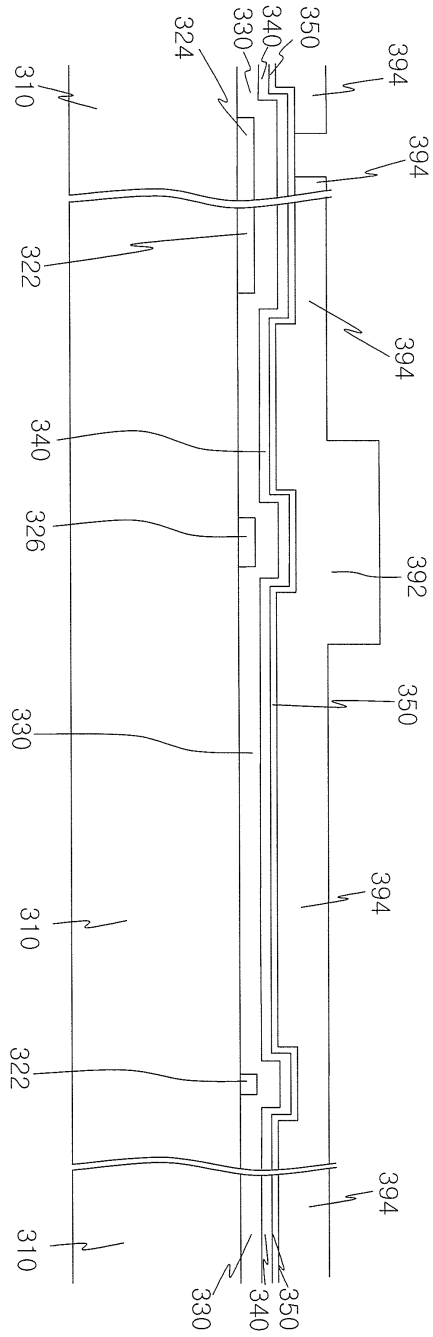
도면17



도면18a

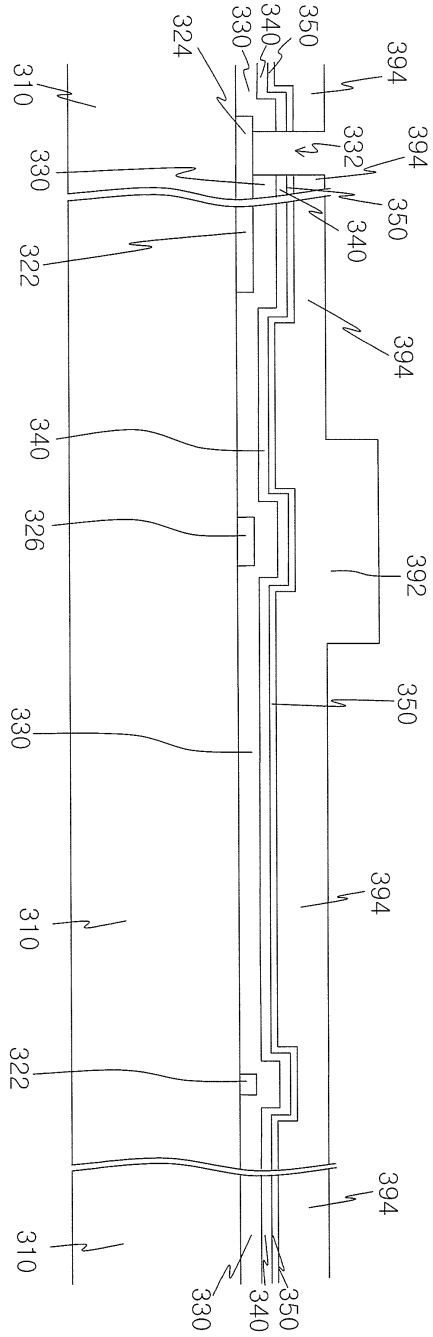


도면18b

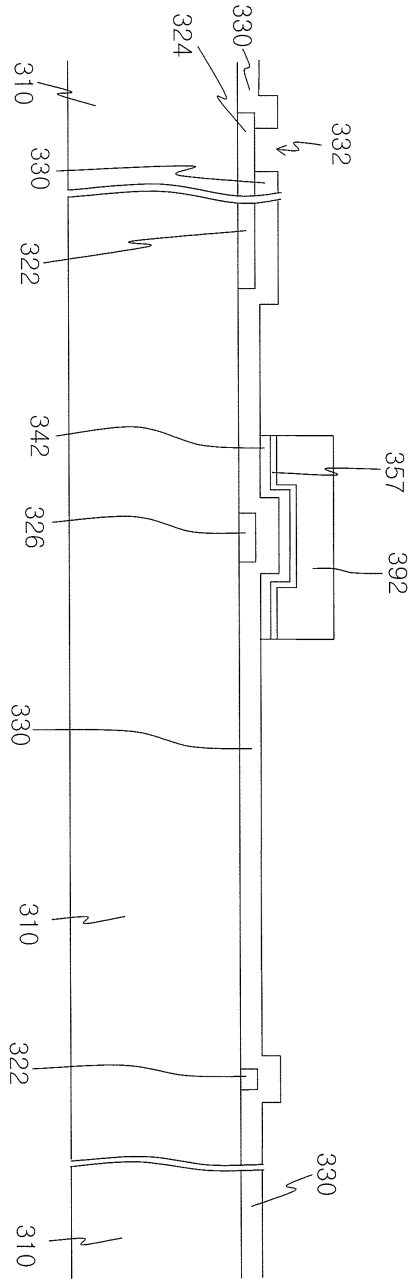




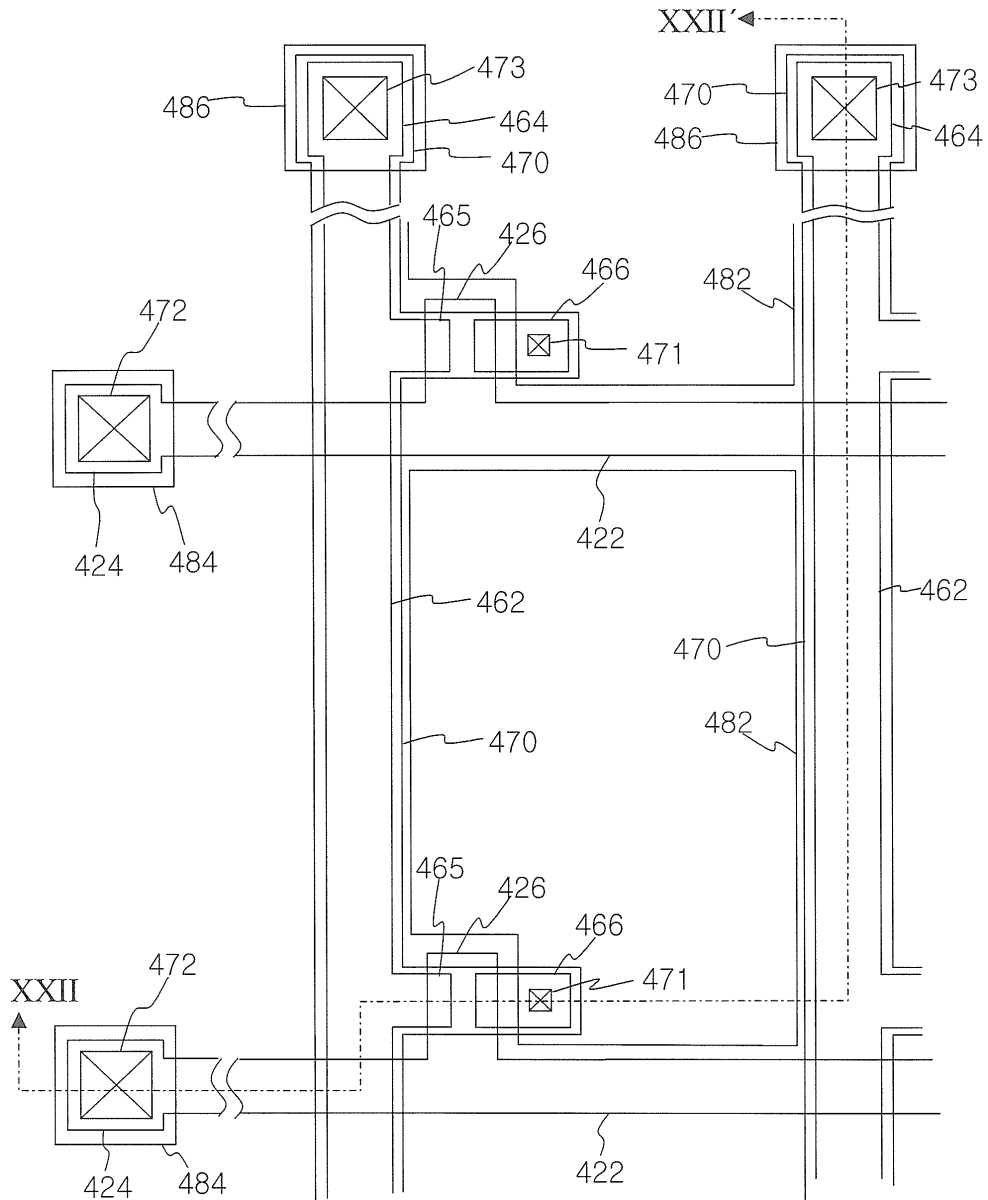
도면19



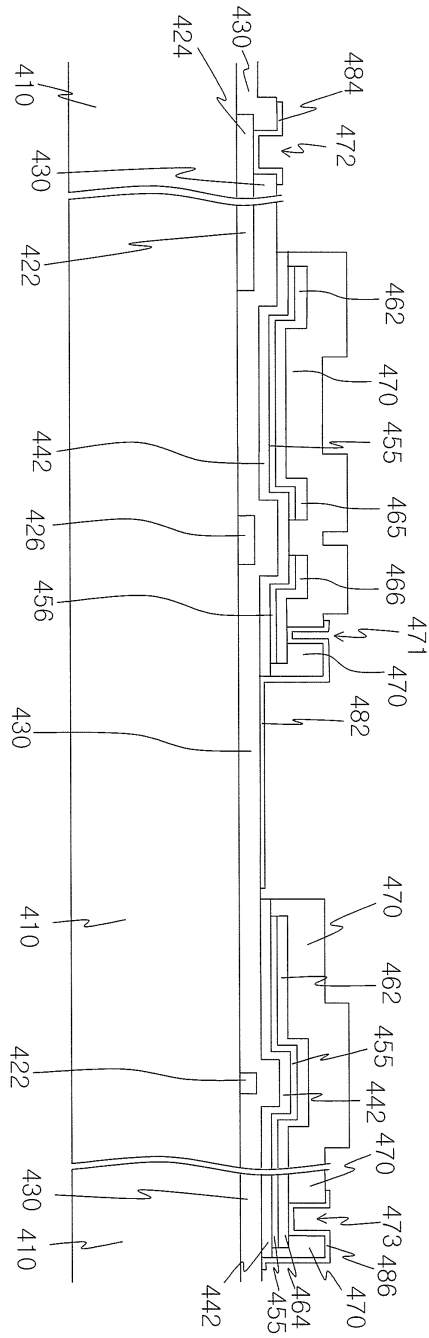
도면20



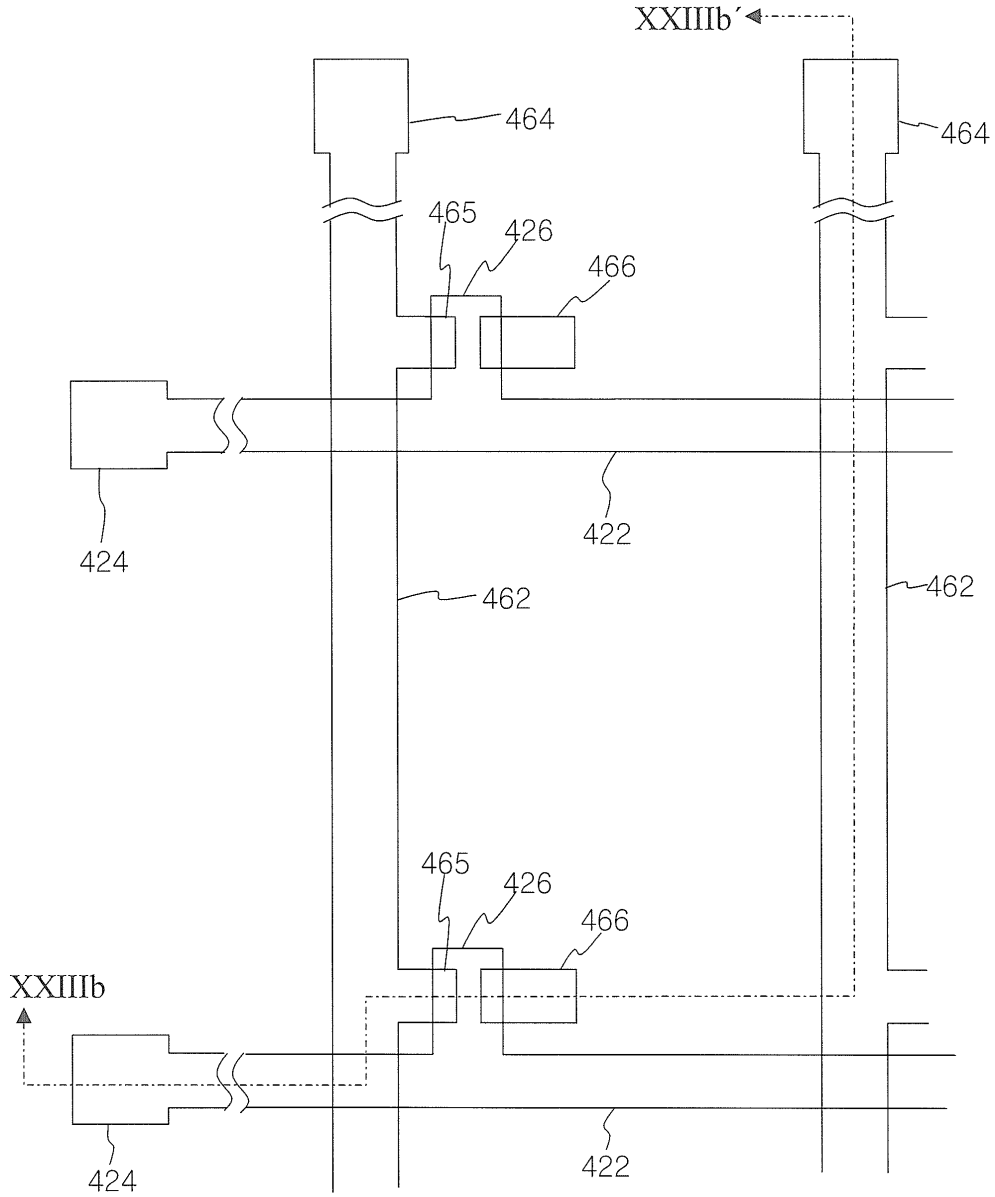
도면21



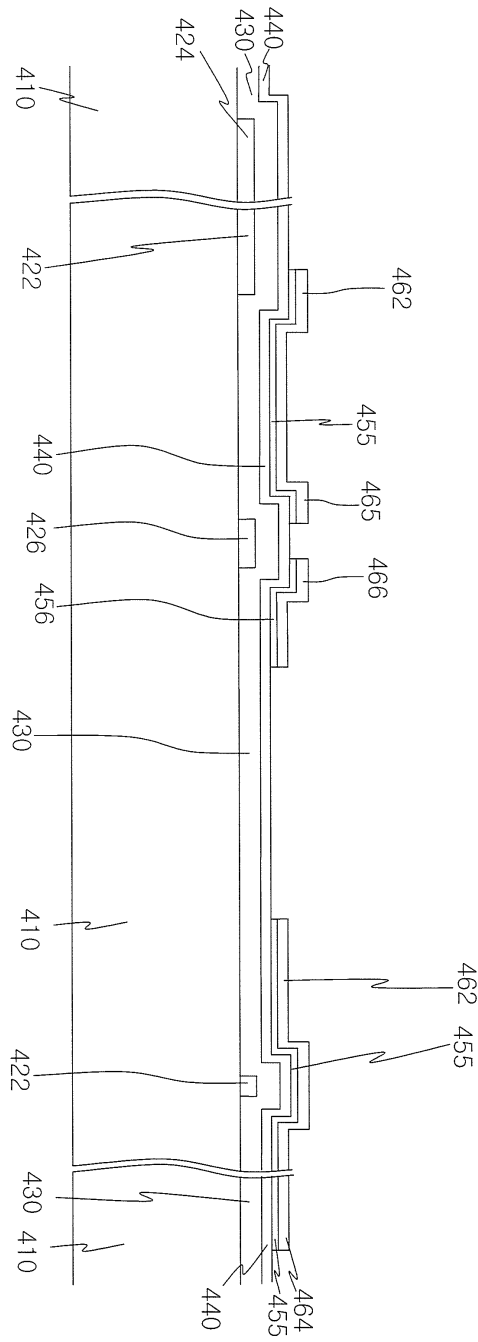
도면22



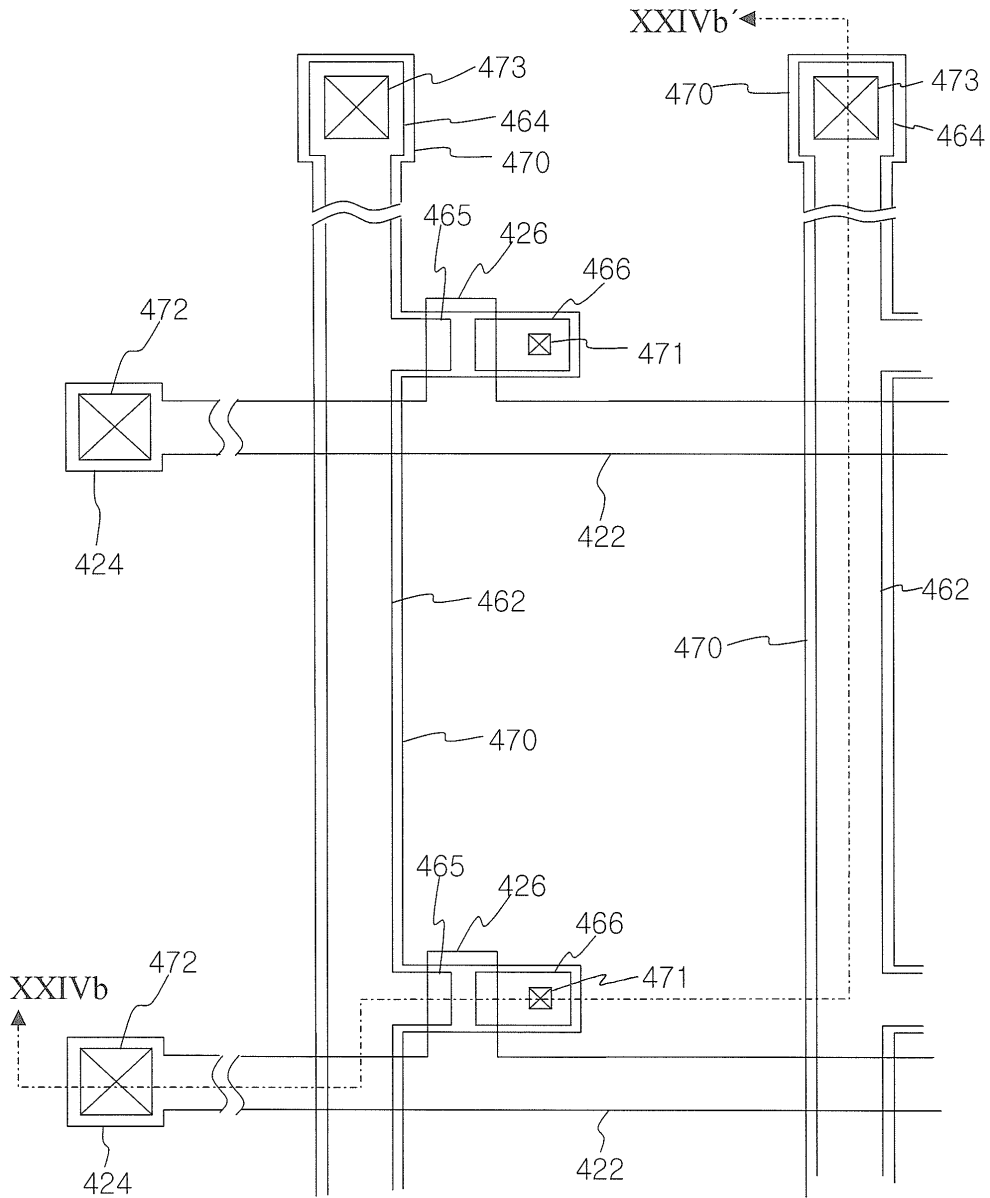
도면23a



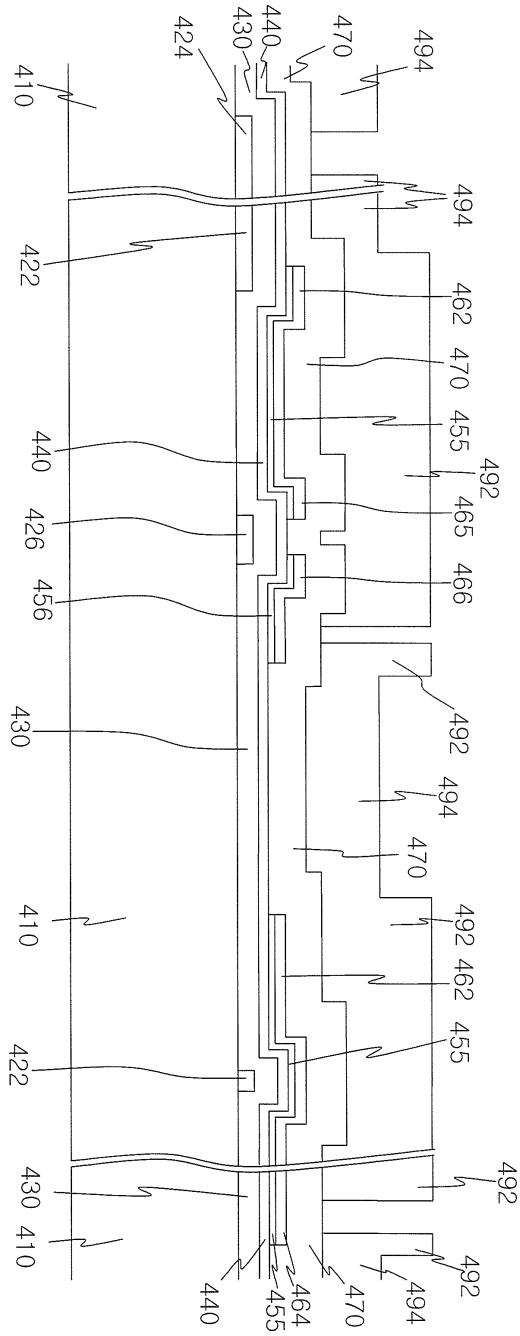
도면23b



도면24a

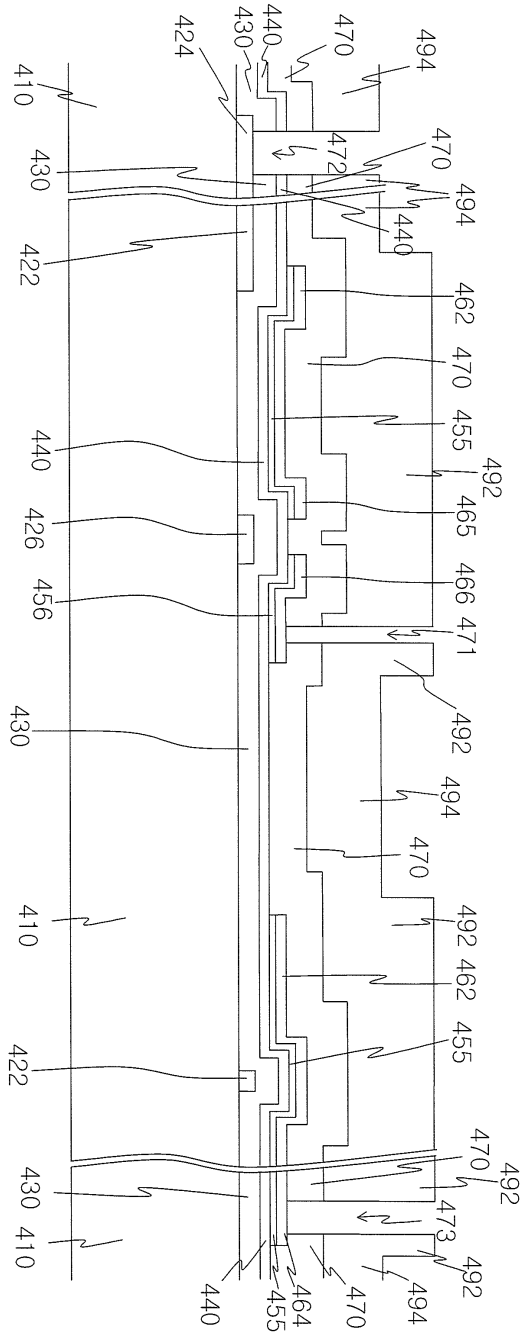


도면24b

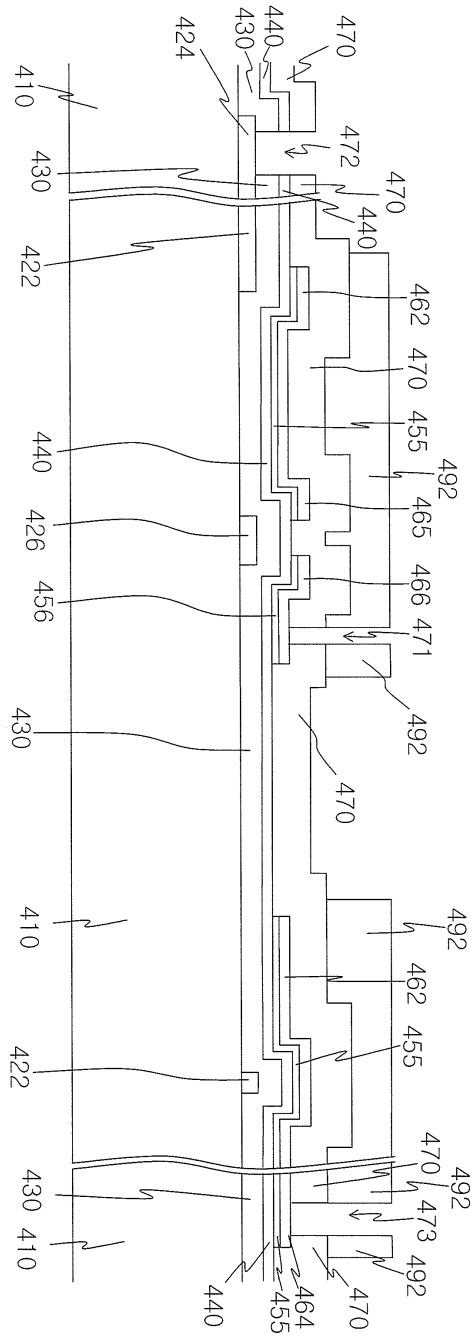




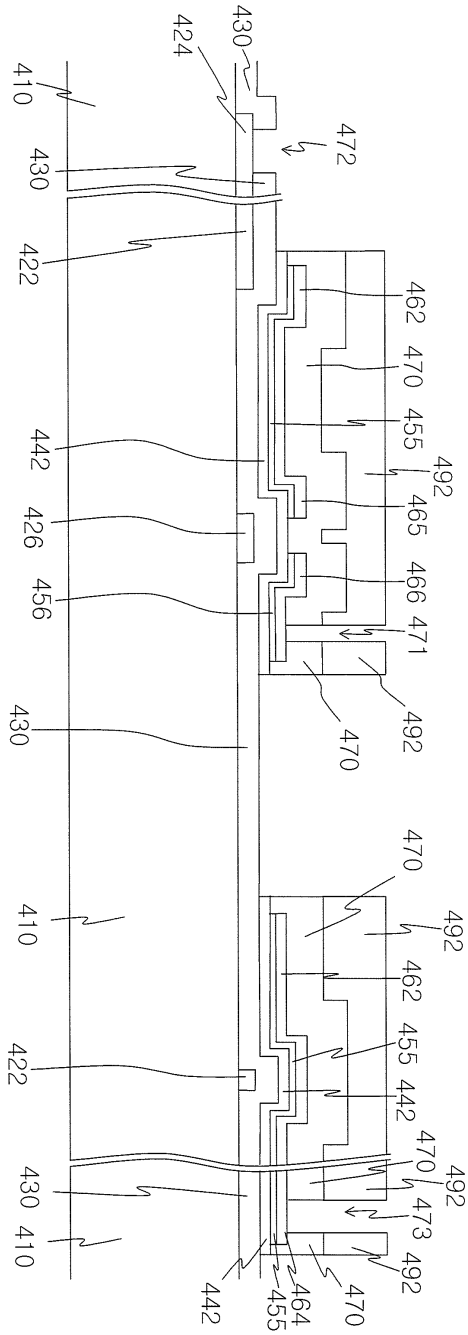
도면25



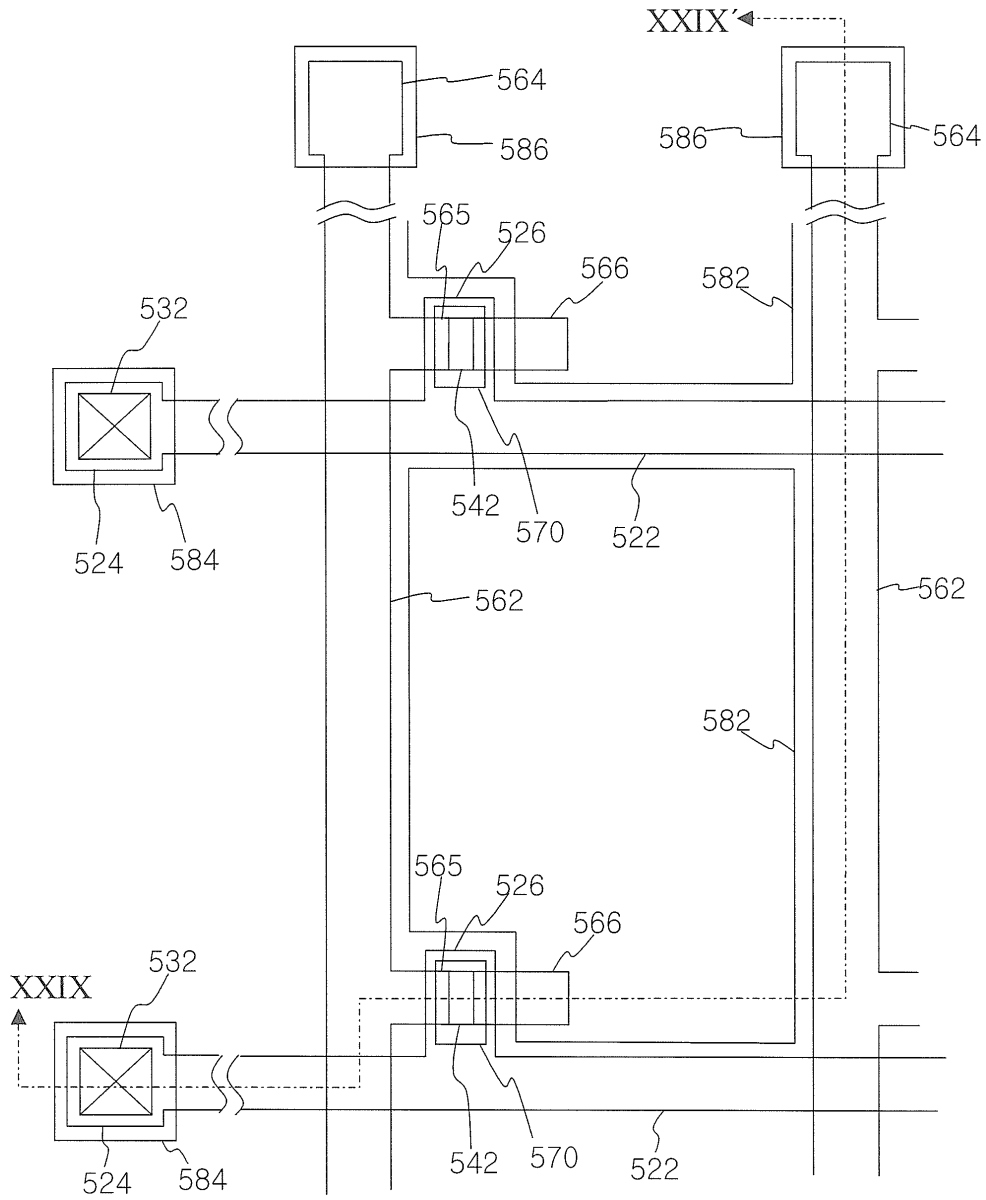
도면26



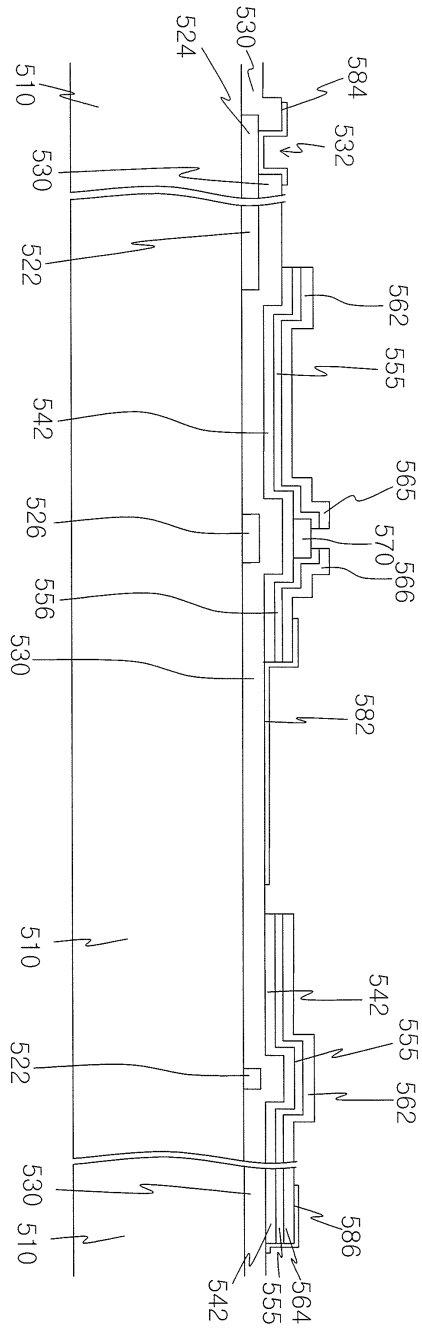
도면27



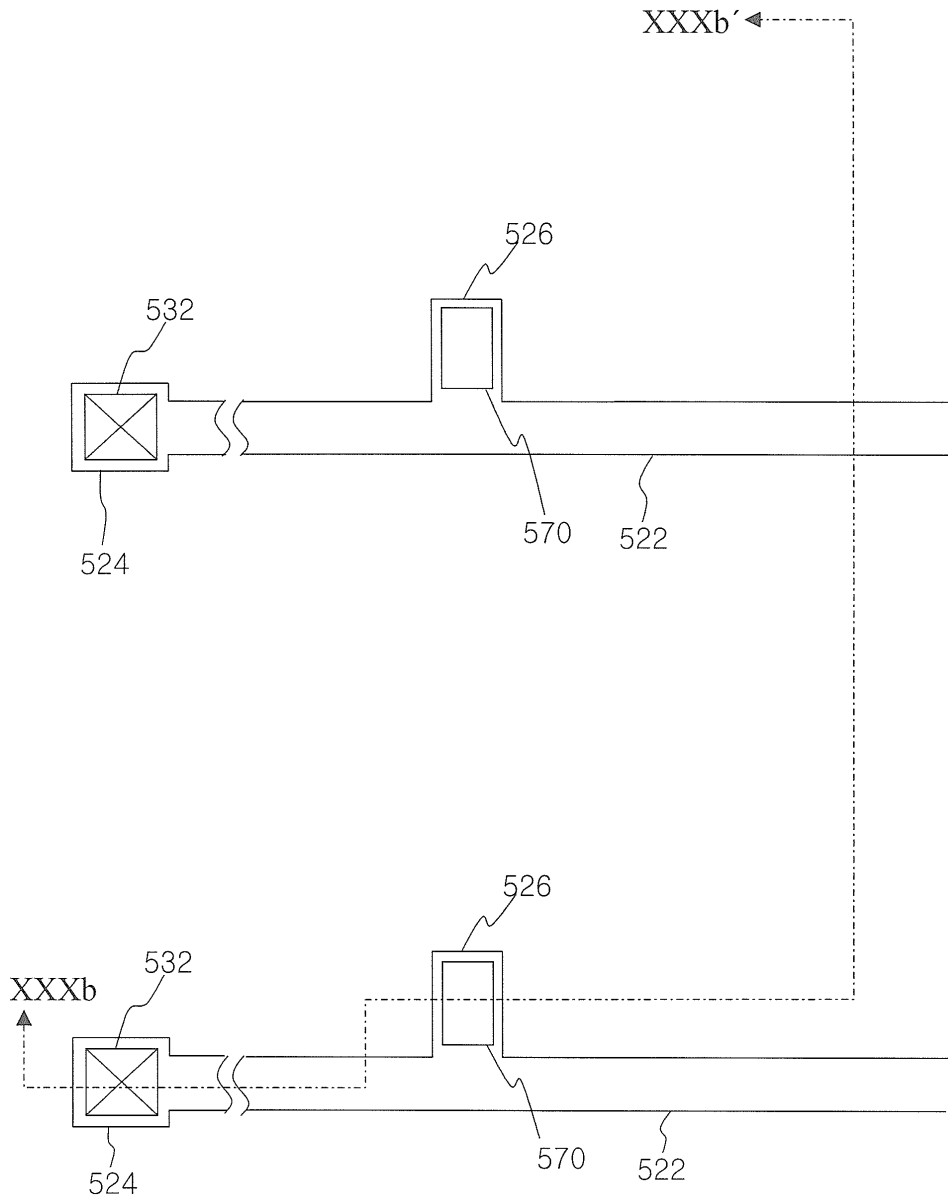
도면28



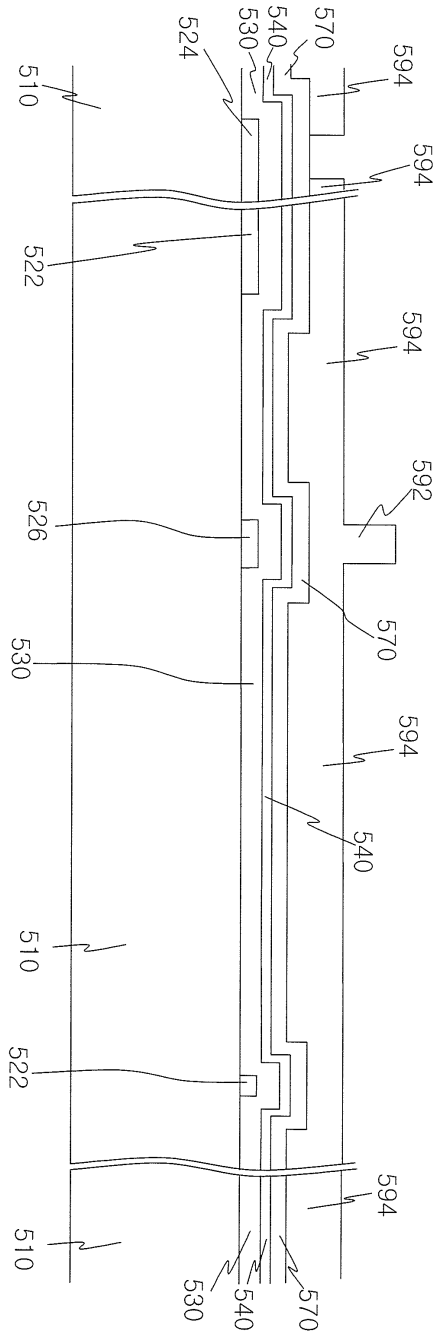
도면29



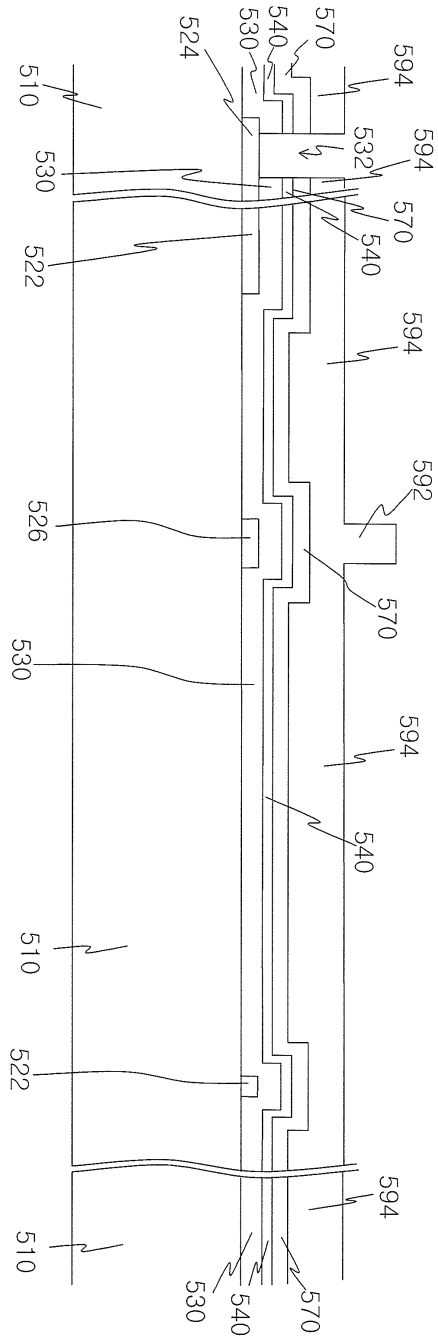
도면30a



도면30b



도면31





도면32

