

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H04N 7/01

(45) 공고일자 1995년02월25일
(11) 공고번호 95-001562

(21) 출원번호	특1991-0024816	(65) 공개번호	특1993-0015832
(22) 출원일자	1991년12월28일	(43) 공개일자	1993년07월24일
(71) 출원인	주식회사금성사 이현조 서울특별시 영등포구 여의도동 20번지		

(72) 발명자 홍성훈
서울특별시 송파구 방이동 올림픽 APT 123동 503호
(74) 대리인 김용인, 심창섭

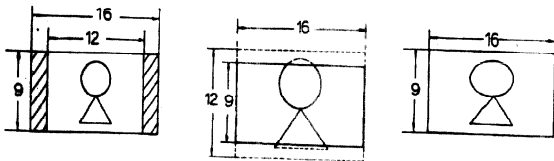
심사관 : 이종일 (책자공보 제3880호)

(54) TV의 화면 종횡비 변환방법 및 장치

요약

내용없음.

대표도



명세서

[발명의 명칭]

TV의 화면 종횡비 변환방법 및 장치

[도면의 간단한 설명]

제1도는 종래의 화면 종횡비 변환예시도.

제2도와 제3도는 제1도의 처리방법을 설명하기 위한 도면.

제4도는 본 발명의 변환방법을 설명하기 위한 도면.

제5도는 본 발명의 화면 종횡비 변환장치의 블록도.

제6도는 본 발명에 따른 보간의 원리를 설명하기 위한 도면.

제7도는 제5도의 보간기의 실시예를 나타낸 회로도.

제8도는 제5도의 버퍼의 실시예를 나타낸 회로도.

제9도는 제8도의 라인 메모리 타이밍 차트.

제10도는 제8도의 필드 메모리 타이밍 차트.

제11도는 본 발명의 보간 과정의 실시예를 나타낸 회로도.

제12도는 제11도의 보간기에 대응하는 버퍼의 실시예를 나타낸 회로도.

제13도는 제12도의 라인 메모리 타이밍 차트.

제14도는 제12도의 필드 메모리 타이밍 차트.

* 도면의 주요부분에 대한 부호의 설명

부터 N개의 주사선을 추출한다.

표 1은 제6도의 원리에 따라 7개의 주사선으로 부터 8개의 주사선을 만드는 식을 나타낸 것으로 이는 입력신호의 샘플링율을 8배로 상승시키고 1/7 필터링(LPF)처리한 후 7배로 샘플링율을 감소시키는 과정을 보여준다.

[표 1]

$$y[n] = \sum_{m=-\infty}^{\infty} h[7n-8m] \times [n] \quad \dots\dots\dots \text{[식 1]}$$

$$\begin{aligned} y[0] &= h_{16} \times [-2] + h_8 \times [-1] + h_0 \times [0] + h_8 \times [1] + h_{16} \times [2] \\ y[1] &= h_{15} \times [-1] + h_7 \times [0] + h_1 \times [1] + h_8 \times [2] + h_{17} \times [3] \\ y[2] &= h_{14} \times [0] + h_6 \times [1] + h_2 \times [2] + h_{10} \times [3] + h_{18} \times [4] \\ y[3] &= h_{13} \times [1] + h_5 \times [2] + h_3 \times [3] + h_{11} \times [4] + h_{19} \times [5] \\ y[4] &= h_{12} \times [2] + h_4 \times [3] + h_4 \times [4] + h_{12} \times [5] + h_{20} \times [6] \\ y[5] &= h_{11} \times [3] + h_{11} \times [3] + h_3 \times [4] + h_5 \times [5] + h_{13} \times [6] \\ y[6] &= h_{10} \times [4] + h_{10} \times [4] + h_2 \times [5] + h_6 \times [6] + h_{14} \times [7] \\ y[7] &= h_{9} \times [5] + h_9 \times [5] + h_1 \times [6] + h_7 \times [7] + h_{15} \times [8] \\ y[8] &= h_8 \times [6] + h_8 \times [6] + h_0 \times [7] + h_8 \times [8] + h_{16} \times [9] \quad \dots\dots\dots \text{[식 2]} \end{aligned}$$

상기에서 저대역 필터링시 샘플링된 8개의 신호중 유효 신호는 1개뿐이므로 실제적인 필터 처리과정은 상기(식1)로 표시된다. 또한 (식2)는 필터를 대칭적 필터로 설정하고 5개의 입력신호를 사용할 경우 (식1)을 계산한 것으로 (식2)에서 입력신호에 적용하는 필터 계수 집합은 8개의 출력신호를 주기로 반복됨을 알 수 있다.

한편, 아래의 (표2)는 11개의 입력주사선 신호로부터 12개의 주사선을 얻는 과정을 나타낸 것으로 (식4)로부터 입력신호에 적용되는 필터 계수 집합은 12개의 출력신호를 주기로 반복됨을 알 수 있다.

[표 2]

$$y[n] = \sum_{m=-\infty}^{\infty} h[7n-8m] \times [n] \quad \dots\dots\dots \text{[식 3]}$$

$$\begin{aligned} y[0] &= h_{24} \times [-2] + h_{12} \times [-1] + h_0 \times [0] + h_{12} \times [1] + h_{24} \times [2] \\ y[1] &= h_{23} \times [-1] + h_{11} \times [0] + h_1 \times [1] + h_{13} \times [2] + h_{25} \times [3] \\ y[2] &= h_{22} \times [0] + h_{10} \times [1] + h_2 \times [2] + h_{14} \times [3] + h_{26} \times [4] \\ y[3] &= h_{21} \times [1] + h_9 \times [2] + h_3 \times [3] + h_{15} \times [4] + h_{27} \times [5] \\ y[4] &= h_{20} \times [2] + h_8 \times [3] + h_4 \times [4] + h_{16} \times [5] + h_{28} \times [6] \\ y[5] &= h_{19} \times [3] + h_7 \times [4] + h_5 \times [5] + h_{17} \times [6] + h_{29} \times [7] \\ y[6] &= h_{18} \times [4] + h_{16} \times [4] + h_6 \times [5] + h_{18} \times [6] + h_{30} \times [7] \\ y[7] &= h_{17} \times [5] + h_{17} \times [5] + h_5 \times [6] + h_7 \times [7] + h_{19} \times [8] \\ y[8] &= h_{16} \times [6] + h_{16} \times [6] + h_4 \times [7] + h_8 \times [8] + h_{20} \times [9] \\ y[9] &= h_{15} \times [7] + h_{15} \times [7] + h_3 \times [8] + h_9 \times [9] + h_{21} \times [10] \\ y[10] &= h_{14} \times [8] + h_{14} \times [8] + h_2 \times [9] + h_{10} \times [10] + h_{22} \times [11] \\ y[11] &= h_{13} \times [9] + h_{13} \times [9] + h_1 \times [10] + h_{11} \times [11] + h_{23} \times [12] \\ y[12] &= h_{12} \times [10] + h_{12} \times [10] + h_0 \times [11] + h_{12} \times [12] + h_{24} \times [13] \quad \dots\dots\dots \text{[식 4]} \end{aligned}$$

제7도는 상기 표 1에 나타난 보간 과정을 회로로 구현한 것으로 롬(26-30)에는 상기 식 2에서 사용된 필터 계수들이 기록되어 있고 입력신호(S₁)와 라인 메모리(31-34)를 통해 1라인씩 지연된 신호들은 롬에 기록된 필터 계수와 곱해진다. 이때 라인 메모리(31-34)의 리드(Read), 라이트(Write) 클럭은 모두 f_s이며, 각 필터 계수와 곱해진 신호들은 가산기(35-42)에서 합해진 후 동시에 8개의 신호로 출력된다.

제8도는 제7도와 같은 보간기에 대한 버퍼(제5도의 25)의 일실시예를 나타낸 회로도로서 다수의 FIFO 형식의 라인 메모리(FF₁~FF₂) 및 필드 메모리(FF₈)와 스위치(SW₁)로 이루어지며 라인 메모리(FF₁)(FF₂)는 제7도의 가산기(35-42)를 통한 출력신호를 제9도의 타이밍 차트에 나타난 바와같이 1라인 주기마다 라이트 리셋시키고 제9a도의 유효 수평영역에 해당하는 데이터를 라인 메모리(FF₁)(FF₂)에 쓰는 동안 라이트 인에이블시킨다(제9b도). 이때 두개의 라인 메모리(FF₁)(FF₂)의 라이트 클럭은 입력신호의 샘플링 클럭과 같은 f_s를 사용한다.

이하, 메모리 라인(FF₁)(FF₂)의 리드과정을 설명하면 다음과 같다.

즉, 제7도와 같은 보간기는 7개의 수평 주사시간(7×T_H)동안 8개의 라인을 보간하여 출력하므로 리드 클럭은 라이트 클럭보다 8/7배 이상 빨라야 한다.

따라서 라인 메모리(FF₁)(FF₂)의 제9도(c)와 같은 리드 리셋은 라이트 리셋보다 8/7배 빠른 7/8T_H 기간마다 발생한다. 또한, 리드 클럭은 출력영상에 5 : 3 화면 중횡비를 가져야 하고, 4 : 3 화면 중횡비를 갖는 입력 영상신호와 비교하여 5/4배 빨라야 하므로 5/4f_s를 사용하며 리드 인에이블 기간

은 라이트 인에이블 기간(제9도(b)의 T_{AH})의 $4/5T_{AH}$ 이어야 한다.

그리고 스위치(SW_1)는 f_H 의 속도로 스위칭하면서 제7도에 도시된 보간기의 출력신호(가산기(35-42)출력)를 선택하며 선택된 신호는 FIFO 형식의 라인 메모리(FF_2)에 제9a, b도와 같은 방식으로 라이트된다. 또한 가산기(39)출력과 동시에 출력되는 가산기(40) 출력은 라인 메모리(FF_1)에 상기 라인 메모리(FF_2)와 같은 형식으로 제9a, b도와 같이 라이트된다. 여기서 두개의 라인 메모리(FF_1)(FF_2)의 리드동작은 제9c도에 도시된 바와 같이 리드 리셋되고 이중 라인 메모리(FF_2)의 리드 인에이블은 제9d도와 같으며 라인 메모리(FF_1)의 리드 인에이블은 제9e도와 같다.

따라서, 라인 메모리(FF_1)(FF_2)의 라이트 클락이 f_s 이고 리드클락이 $5/4f_s$ 이더라도 리드와 라이트 데이터 사이에 충돌이 발생하지 않는다.

한편, 필드 메모리(FF_8)의 라이트 클락은 라인 메모리(FF_1)(FF_2)의 출력 영상신호에 비하여 수평으로 5/4배 확장된 신호가 된다. 필드 메모리(FF_9)의 라이트 동작은 제10a, b도에 도시된 바와 같이 수직 주사기간인 T_V 마다 라이트 리셋펄스가 발생하고 라이트 인에이블은 유효 주사선수인 약 480 라인 기간동안($7/8T_{AV}$)만 인에이블된다.

제10c도와 같은 리드 리셋은 제10a도와 같은 라이트 리셋 펄스보다 $\frac{T_V}{2}$ 시간 지연되어 수행되고 리드 동작은 제10d도와 같이 T_{AV} 기간동안 인에이블된다. 따라서 최종적으로 16 : 9 화면 중횡비에 디스플레이되는 출력영상은 수평방향으로 9.375% 확장되고 화면의 좌우에 화면수평길이의 3.125%에 해당하는 사이드 판넬을 갖으며 수직방향으로는 4 : 3 영상의 480 유효 주사선중 60라인 정도가 제거된 영상이 디스플레이되는데, 이러한 제9도, 제10도에 도시된 모든 신호들은 제5도의 윈도우 회로(23)에서 발생시킨다.

제11도는 상기 표 2에 나타난 보간과정을 나타낸 보간기 구성도로 롬(43-47)에는 식 4에서 사용된 로우패스필터 계수들이 기록되어 있고 입력신호와 라인 메모리(48-51)를 통과한 지연신호는 롬(43-47)에 기록된 로우 패스 필터 계수와 곱해진 후 가산기(52-63)에서 합산되어 동시에 12개의 신호로 출력된다.

제12도는 제11도의 보간기에 대응하는 버퍼의 실시예시도로 스위치(SW_2)는 1라인 주사기간을 주기로 스위칭하면서 제11도에 도시된 보간기의 가산기(52-63) 출력신호들 중 한 신호를 선택하여 라인 메모리(FF_5)에 제13a, b도에 도시된 타이밍 차트와 같은 방식으로 라이트한다. 또한 가산기(58) 출력신호와 동시에 출력되는 가산기(59)의 출력신호 역시 라인 메모리(FF_4)에 상기 라인 메모리(FF_5)와 같은 형식으로 라이트된다.

그리고 상기 2개의 라인 메모리(FF_4)(FF_5)의 리드동작을 제13c도에 도시된 바와 같은 형식으로 리드 리셋되고 라인 메모리(FF_5)의 리드 인에이블은 제13d도와 같으며 라인 메모리(FF_4)의 리드 인에이블은 제13e도와 같다. 따라서 라인 메모리(FF_4)(FF_5)의 라이트 클락이 f_s 이고 리드 클락이 $5/4f_s$ 이더라도 리드와 라이트 데이터 사이에 충돌이 발생하지는 않는다.

한편, 필드 메모리(FF_6)의 라이트 클락은 라인 메모리(FF_4)(FF_5)의 리드클락과 같은 $5/4f_s$ 이고 리드클락은 f_s 이므로 필드 메모리(FF_6)의 출력영상신호는 라인 메모리(FF_4)(FF_5)의 출력영상신호에 비하여 5/4배 확장된 신호가 된다.

또한, 필드 메모리(FF_6)의 라이트 동작은 제14a도에 도시된 바와 같이 수직 주사 기간인 T_V 마다 라이트 리셋 펄스가 발생하고 라이트 인에이블은 제14b도와 같이 유효주사선수인 약 480 라인기간($11/12 T_{AV}$)동안만 인에이블된다. 그리고 리드 리셋은 제14c도와 같이 라이트 리셋보다 $\frac{T_V}{2}$ 만큼 지연되어 수행되고 리드동작은 제14d도와 같이 T_{AV} 기간동안 인에이블된다.

따라서, 최종적으로 16 : 9 화면에 디스플레이되는 출력영상은 수평방향으로 약 14.6% 확장되고 화면의 좌우에 화면의 수평길이의 3.125%에 해당하는 사이드 판넬을 갖는다. 또한 수직방향으로 4 : 3 영상의 480 유효주사선의 정보중 40라인에 해당하는 정보가 제거된 영상이 디스플레이되며, 각 메모리에서 사용되는 모든 제어펄스(리드 리셋, 리드 인에이블, 라이트 리셋, 라이트 인에이블)는 제5도의 윈도우 회로(23)로부터 발생된다.

이상에서 설명한 바와 같은 본 발명은 4 : 3 영상신호에서 수직방향으로 중요 정보를 갖지 않는 부분의 주사선을 제거하고 수직 보간처리에 의해 원래의 주사선수로 복원 후 5 : 3 화면 중횡비를 갖는 영상으로 변환시켜 16 : 9 화면에 디스플레이할 수 있는 효과가 있으며, 출력영상은 화면의 좌우에 화면 수평길이의 3.125%에 해당하는 사이드 판넬을 갖으며 특히 7 : 8 보간기 방식의 경우 약 11%, 9 : 10 보간기 방식의 경우 12.5%, 10 : 11 보간기 방식의 경우 14.5% 수평방향으로 확장되는 특징을 갖는다.

(57) 청구의 범위

청구항 1

4 : 3 화면 중횡비를 갖는 영상신호를 수직방향으로하여 위, 아래의 중요하지 않은 영상정보를 제거

보간을 수행하고 버퍼와 윈도우 회로의 제어에 의해 5 : 3 화면 종횡비를 갖는 영상으로 변환한 후 16 : 9 화면 종횡비를 갖는 화면에 디스플레이함을 특징으로 하는 TV의 화면 종횡비 변환방법.

청구항 2

제1항에 있어서, 영상신호를 수직방향으로 보간 수행시 7 : 8, 8 : 9, 9 : 10, 11 : 12로 보간함을 특징으로 하는 TV의 화면 종횡비 변환방법.

청구항 3

제1항에 있어서, 16 : 9 화면에 디스플레이시 사이드 판넬은 좌우 3.125%임을 특징으로 하는 TV의 화면 종횡비 변환방법.

청구항 4

제1항 또는 제2항에 있어서, 7 : 8 보간시 9.375%, 8 : 9 보간시 11%, 9 : 10 보간시 12.5%, 10 : 11 보간시 13.6%, 11 : 12 보간시 14.5% 수평방향으로 확장됨을 특징으로 하는 TV의 화면 종횡비 변환방법.

청구항 5

제1항에 있어서, 수직방향으로 보간을 수행하여 위, 아래 주사선을 제거시 30라인 이하로 제거함을 특징으로 하는 TV의 화면 종횡비 변환방법.

청구항 6

수평, 수직동기신호를 받아 수직방향으로 보간된 신호중 16 : 9 화면에 디스플레이할 소정라인을 추출하고 5 : 3 영상을 16 : 9 화면의 중간에 위치하도록 제어신호를 출력하는 윈도우 회로(23)와, 입력되는 4 : 3 영상신호를 수직방향으로 적당비로 보간 후 출력시키는 수직 보간기(24)와, 상기 수직 보간기(24)에 의해 수직방향으로 보간된 입력신호를 라인 메모리를 이용하여 4/5시간 압축시킨 후 상기 윈도우 회로(23)의 제어신호에 따라 영상신호를 출력하는 버퍼(25)를 구비하여서 이루어짐을 특징으로 하는 TV의 화면 종횡비 변환방법.

청구항 7

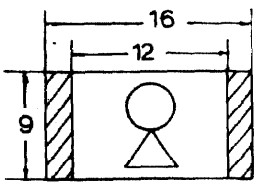
제6항에 있어서, 수직 보간기(24)는 수직 보간기에 사용되는 필터 계수들이 기록되어 있는 다수의 롬과, 영상신호들을 1라인씩 지연시키는 다수의 라인 메모리와, 상기 롬의 각 필터 계수와 지연된 신호들의 곱해진 출력을 가산하여 동시에 출력시키는 다수의 가산기를 구비하여 x개의 수평 주사기 간 동안 x개의 라인을 보간하여 출력하도록 이루어짐을 특징으로 하는 TV의 화면 종횡비 변환방법.

청구항 8

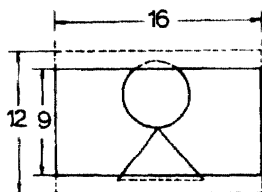
제6항에 있어서, 버퍼(25)는 상기 가산기의 출력을 선택하기 위해 f_H 의 속도로 스위칭하는 스위치와, 상기 스위치에 의해 선택된 신호와 가산기의 일부 출력을 라이트하고 리드하여 리드와 라이트 데이터 사이에 충돌이 발생하지 않게 동작하는 복수개의 라인 메모리와, 상기 라인 메모리의 출력을 받아 라인 메모리의 출력영상신호에 비해 수평으로 확장된 신호를 출력시키는 필드 메모리를 구비하여서 이루어짐을 특징으로 하는 TV의 화면 종횡비 변환방법.

도면

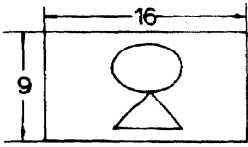
도면1-A



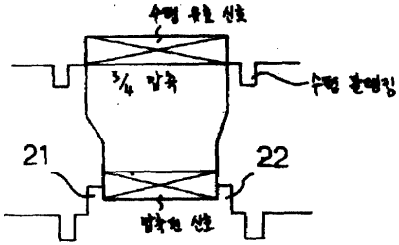
도면1-B



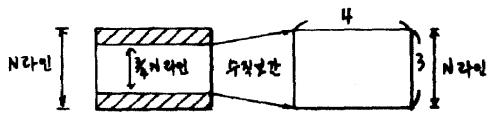
도면1-C



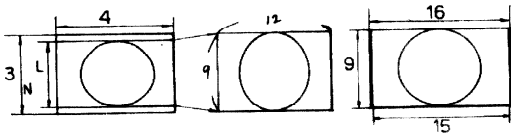
도면2



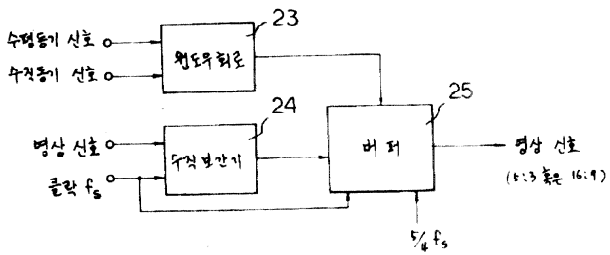
도면3



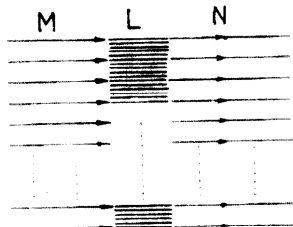
도면4



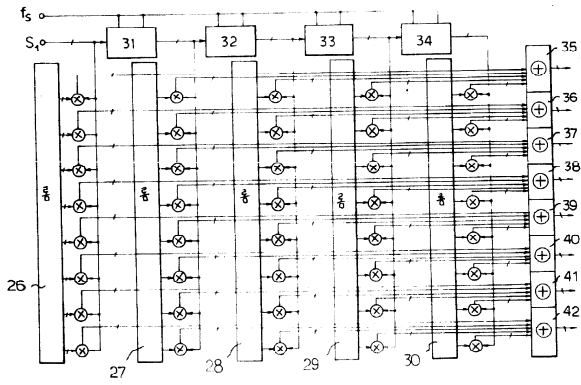
도면5



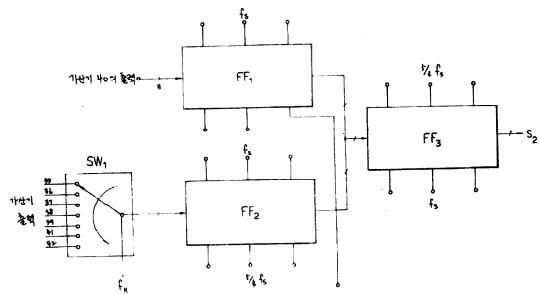
도면6



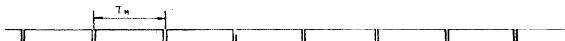
도면7



도면8



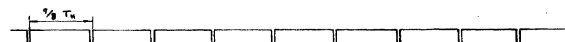
도면9-A



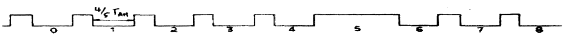
도면9-B



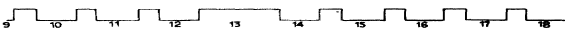
도면9-C



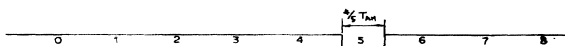
도면9-D



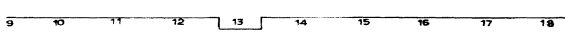
도면9-E



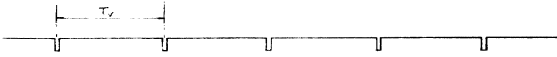
도면9-F



도면9-G



도면 10-A



도면 10-B



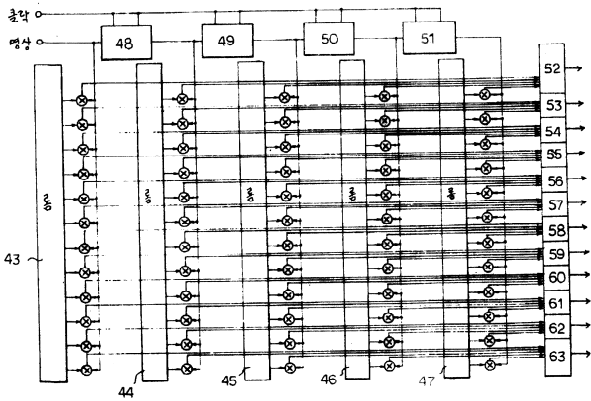
도면 10-C



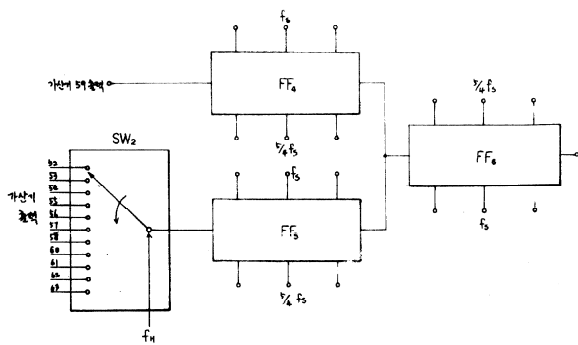
도면 10-D



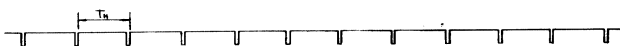
도면 11



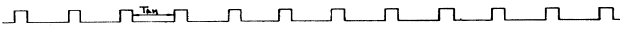
도면 12



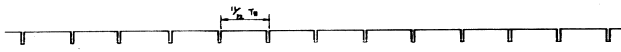
도면 13-A



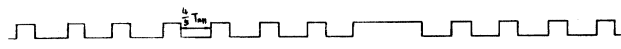
도면 13-B



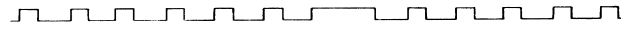
도면 13-C



도면 13-D



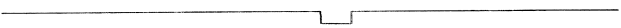
도면 13-E



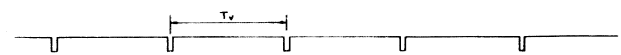
도면 13-F



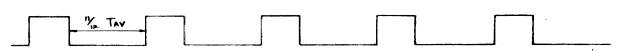
도면 13-G



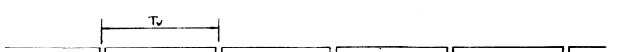
도면 14-A



도면 14-B



도면 14-C



도면 14-D

