

【特許請求の範囲】**【請求項 1】**

入力電圧から目的レベルの出力電圧を生成するために、入力電極に前記入力電圧が印加され、出力電極にインダクタを介して負荷が接続されるトランジスタを所定時間オンするスイッチングを行うスイッチング制御回路であって、

前記トランジスタのスイッチング周期毎に、前記トランジスタがオフされている際の前記出力電圧に含まれるリップル電圧の傾きに応じた傾きで変化するスロープ電圧を生成する電圧生成回路と、

前記スロープ電圧の振幅が、前記目的レベルの出力電圧が生成されている際の前記スロープ電圧の振幅よりも大きい所定の振幅を超えないよう、前記スロープ電圧の振幅を制限する振幅制限回路と、

前記目的レベルの出力電圧の基準となる基準電圧または前記出力電圧に応じた帰還電圧に、前記スロープ電圧を加算する加算回路と、

前記基準電圧及び前記帰還電圧のうち、前記スロープ電圧が加算された何れか一方の電圧のレベルが、他方の電圧のレベルとなると、前記トランジスタを所定時間オンした後にオフする駆動回路と、

を備えることを特徴とするスイッチング制御回路。

【請求項 2】

請求項 1 に記載のスイッチング制御回路であって、

前記電圧生成回路は、

前記トランジスタのスイッチング周期毎に、前記出力電圧に基づいて前記スロープ電圧を生成すること、

を特徴とするスイッチング制御回路。

【請求項 3】

請求項 1 または請求項 2 に記載のスイッチング制御回路であって、

前記振幅制限回路は、

前記スロープ電圧の振幅が前記所定の振幅を超えないよう、前記スロープ電圧の振幅を制限し、

前記所定の振幅は、

前記出力電圧のレベルの上昇に応じて大きくなること、

を特徴とするスイッチング制御回路。

【請求項 4】

請求項 3 に記載のスイッチング制御回路であって、

前記電圧生成回路は、

前記スイッチング周期毎に、コンデンサを放電した後に前記出力電圧に応じた電流で充電する充放電回路と、

前記コンデンサの充電電圧のレベルをシフトするレベルシフト回路と、

前記レベルシフト回路から出力される電圧のレベルの上昇に応じて振幅が大きくなる前記スロープ電圧を生成するスロープ電圧生成回路と、

を含み、

前記振幅制限回路は、

前記コンデンサの充電電圧のレベルが、前記出力電圧のレベルの上昇に応じて高くなり、前記所定の振幅に応じた所定レベルとなると、前記レベルシフト回路から出力される電圧のレベルが上昇しないよう、前記レベルシフト回路から出力される電圧をクランプするクランプ回路を含むこと、

を特徴とするスイッチング制御回路。

【請求項 5】

入力電圧から目的レベルの出力電圧を生成するために、入力電極に前記入力電圧が印加され、出力電極にインダクタを介して負荷が接続されるトランジスタを所定時間オンするスイッチングを行うスイッチング制御回路であって、

10

20

30

40

50

前記トランジスタのスイッチング周期毎に、前記トランジスタがオフされている際の前記出力電圧に含まれるリップル電圧の傾きに応じた傾きで変化するスロープ電圧を生成する電圧生成回路と、

前記スロープ電圧の振幅が、前記目的レベルの出力電圧が生成されている際の前記スロープ電圧の振幅よりも大きい所定の振幅を超えないよう、前記スロープ電圧の振幅を制限する振幅制限回路と、

前記目的レベルの出力電圧の基準となる基準電圧に前記スロープ電圧が加算された電圧のレベルが上昇するよう、前記基準電圧に前記スロープ電圧を加算する第1加算回路と、

前記出力電圧に応じた帰還電圧に前記スロープ電圧が加算された電圧のレベルが低下するよう、前記帰還電圧に前記スロープ電圧を加算する第2加算回路と、

前記基準電圧に前記スロープ電圧が加算された電圧のレベルが、前記帰還電圧に前記スロープ電圧が加算された電圧のレベルとなると、前記トランジスタを所定時間オンした後にオフする駆動回路と、

を備えることを特徴とするスイッチング制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング制御回路に関する。

【背景技術】

【0002】

入力電圧から目的レベルの出力電圧を生成するスイッチング電源回路としては、リップルコンバータやヒステリシス制御レギュレータと呼ばれる方式の電源回路が知られている（例えば、特許文献1参照）。図19は、一般的なオン時間固定方式のリップルコンバータ300の一例を示す図である。制御回路410は、出力電圧 V_{out} に応じた帰還電圧 V_{fb} が基準電圧 V_{ref} より低くなると、NMOSトランジスタ420を所定時間オンする。この結果、出力電圧 V_{out} は上昇することになる。そして、負荷の影響によって出力電圧 V_{out} が低下し、帰還電圧 V_{fb} が基準電圧 V_{ref} より低くなると、制御回路410は再度NMOSトランジスタ420を所定時間オンする。このような動作が繰り返されることにより、目的レベルの出力電圧 V_{out} が生成される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2004-104942号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、リップルコンバータ300において、出力電圧 V_{out} のリップル電圧を小さくするために、ESR（Equivalent Series Resistance：等価直列抵抗）の小さいセラミック型のコンデンサ440が用いられることがある。このような場合、帰還電圧 V_{fb} に含まれるリップル電圧が小さくなるため、リップルコンバータ300が安定に動作しなくなる可能性がある。したがって、リップルコンバータ300を安定に動作させるために、例えば、帰還電圧 V_{fb} の利得及び位相を調整する調整回路（不図示）や、インダクタ430に流れる電流に基づいてリップル電圧を生成し、帰還電圧 V_{fb} に加算する回路（不図示）が用いられる（特許文献1参照）。

【0005】

しかしながら、例えばリップルコンバータ300を安定に動作させるためにリップル電圧を帰還電圧 V_{fb} に加算すると、例えば、負荷の状態が過渡的に変化した場合や無負荷時等に出力電圧 V_{out} が目的レベルから大きく変化してしまうことがある。

【0006】

具体的には、図20に示すように、時刻 t_{100} に負荷の状態が、重負荷から軽負荷に

10

20

30

40

50

変化すると、出力電圧 V_{out} はオーバーシュートするため帰還電圧 V_{fb} も急激に上昇する。例えば、帰還電圧 V_{fb} にリップル電圧が加算されていない場合、時刻 t_{100} 以降、帰還電圧 V_{fb} は点線に示すように緩やかに低下する。そして、帰還電圧 V_{fb} が基準電圧 V_{ref} となるまで $NMOS$ トランジスタ 420 はオンすることは無いため、出力電圧 V_{out} も点線に示すように徐々に低下する。

【0007】

一方、帰還電圧 V_{fb} にリップル電圧が加算されている場合、帰還電圧 V_{fb} は実線に示すように急激に低下する。そして、時刻 t_{101} に帰還電圧 V_{fb} が基準電圧 V_{ref} となると、 $NMOS$ トランジスタ 420 はオンする。つまり、この場合、出力電圧 V_{out} が目的レベルよりも高いレベルにあるにも関わらず、 $NMOS$ トランジスタ 420 がオンしてしまう。したがって、出力電圧 V_{out} が目的レベルから大きくずれてしまうという問題が生じる。

10

【0008】

本発明は上記課題を鑑みてなされたものであり、リップルコンバータを安定に動作させつつ、リップルコンバータに精度良く目的レベルの出力電圧を生成させることが可能なスイッチング制御回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明の一つの側面に係る、入力電圧から目的レベルの出力電圧を生成するために、入力電極に前記入力電圧が印加され、出力電極にインダクタを介して負荷が接続されるトランジスタを所定時間オンするスイッチングを行うスイッチング制御回路であって、前記トランジスタのスイッチング周期毎に、前記トランジスタがオフされている際の前記出力電圧に含まれるリップル電圧の傾きに応じた傾きで変化するスロープ電圧を生成する電圧生成回路と、前記スロープ電圧の振幅が、前記目的レベルの出力電圧が生成されている際の前記スロープ電圧の振幅よりも大きい所定の振幅を超えないよう、前記スロープ電圧の振幅を制限する振幅制限回路と、前記目的レベルの出力電圧の基準となる基準電圧または前記出力電圧に応じた帰還電圧に、前記スロープ電圧を加算する加算回路と、前記基準電圧及び前記帰還電圧のうち、前記スロープ電圧が加算された何れか一方の電圧のレベルが、他方の電圧のレベルとなると、前記トランジスタを所定時間オンした後にオフする駆動回路と、を備える。

20

30

【発明の効果】

【0010】

リップルコンバータを安定に動作させつつ、リップルコンバータに精度良く目的レベルの出力電圧を生成させることが可能なスイッチング制御回路を提供できる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態であるリップルコンバータ 10a の構成を示す図である。

【図2】レベルシフト回路 51, 52 及びコンパレータ 55 の構成を示す図である。

【図3】電流生成回路 61 及び振幅制限回路 62 の構成を示す図である。

40

【図4】バイアス電流生成回路 90 の構成を示す図である。

【図5】バイアス電流生成回路 97 の構成を示す図である。

【図6】電圧 V_2 のクランプレベル及び所定の振幅 V_{lim} を説明するための図である。

【図7】定常時のリップルコンバータ 10a の主要な波形を示す図である。

【図8】負荷 15 の状態が過渡的に変化した場合のリップルコンバータ 10a の主要な波形を示す図である。

【図9】定常時のリップルコンバータ 10a の主要な波形を示す図である。

【図10】本発明の第2の実施形態であるリップルコンバータ 10b の構成を示す図である。

【図11】電流生成回路 63 の構成を示す図である。

50

【図 1 2】定常時のリップルコンバータ 1 0 b の主要な波形を示す図である。

【図 1 3】負荷 1 5 の状態が過渡的に変化した場合のリップルコンバータ 1 0 b の主要な波形を示す図である。

【図 1 4】本発明の第 3 の実施形態であるリップルコンバータ 1 0 c の構成を示す図である。

【図 1 5】定常時のリップルコンバータ 1 0 c の主要な波形を示す図である。

【図 1 6】負荷 1 5 の状態が過渡的に変化した場合のリップルコンバータ 1 0 c の主要な波形を示す図である。

【図 1 7】本発明の第 4 の実施形態であるリップルコンバータ 1 0 d の構成を示す図である。

【図 1 8】負荷 1 5 の状態が軽負荷の場合のリップルコンバータ 1 0 d の主要な波形を示す図である。

【図 1 9】一般的なリップルコンバータ 3 0 0 の構成を示す図である。

【図 2 0】負荷の状態が過渡的に変化した場合のリップルコンバータ 3 0 0 の動作を説明するための図である。

【発明を実施するための形態】

【0 0 1 2】

本明細書および添付図面の記載により、少なくとも以下の事項が明らかとなる。

【0 0 1 3】

< < 第 1 の実施形態 > >

図 1 は、本発明の第 1 の実施形態であるオン時間固定方式のリップルコンバータ 1 0 a の構成を示す図である。リップルコンバータ 1 0 a は、例えば、入力電圧 V_{in} から目的レベルの出力電圧 V_{out} を生成する回路であり、制御 IC (Integrated Circuit) 2 0 a、NMOS トランジスタ 3 0、3 1、インダクタ 3 2、コンデンサ 3 3、抵抗 3 4 ~ 3 6 を含んで構成されている。また、リップルコンバータ 1 0 a では、リップルコンバータ 1 0 a を安定に動作させるため、出力電圧 V_{out} のレベルに応じた傾きで変化するスロー電圧が基準電圧 V_{ref} に加算されている。

【0 0 1 4】

負荷 1 5 は、例えば CPU (Central Processing Unit) 等の集積回路であり、出力電圧 V_{out} を電源電圧として動作する。

制御 IC 2 0 a (スイッチング制御回路) は、出力電圧 V_{out} を抵抗 3 5、3 6 で分圧した帰還電圧 V_{fb} に基づいて、NMOS トランジスタ 3 0、3 1 をスイッチングする集積回路である。制御 IC 2 0 a は、端子 A、FB、OUT 1、OUT 2 を備えている。

端子 A には、出力電圧 V_{out} が印加され、端子 FB には、帰還電圧 V_{fb} が印加される。

端子 OUT 1 には、NMOS トランジスタ 3 0 のゲート電極が接続され、端子 OUT 2 には、NMOS トランジスタ 3 1 のゲート電極が接続される。

【0 0 1 5】

また、制御 IC 2 0 は、基準電圧生成回路 5 0、レベルシフト回路 5 1、5 2、抵抗 5 3、5 4、コンパレータ 5 5、パルス信号生成回路 5 6、6 0、駆動回路 5 7、電流生成回路 6 1、及び振幅制限回路 6 2 を含んで構成される。

【0 0 1 6】

基準電圧生成回路 5 0 は、例えば、バンドギャップ電圧等の所定の基準電圧 V_{ref} を生成する。

レベルシフト回路 5 1 は、基準電圧 V_{ref} のレベルをシフトした電圧 V_A を抵抗 5 3 の一端に出力する回路であり、図 2 に示すように、PNP トランジスタ Q 1 及び定電流源 7 0 を含んで構成される。PNP トランジスタ Q 1 及び定電流源 7 0 は、エミッタフォロワを構成するため、電圧 $V_A = V_{ref} + V_{be1}$ (V_{be1} : PNP トランジスタ Q 1 のベース - エミッタ電圧) となる。なお、電圧 V_{cc} は、例えば制御 IC 2 0 a の内部で

10

20

30

40

50

生成されるいわゆる内部電源の電圧である。

レベルシフト回路52は、帰還電圧 V_{fb} のレベルをシフトした電圧 V_B を抵抗54の一端に出力する回路であり、PNPトランジスタQ2及び定電流源71を含んで構成される。PNPトランジスタQ2及び定電流源71は、エミッタフォロワを構成するため、電圧 $V_B = V_{fb} + V_{be2}$ (V_{be2} : PNPトランジスタQ2のベース - エミッタ電圧)となる。なお、電圧 V_{be1} 及び電圧 V_{be2} が等しくなるよう、定電流源70と定電流源71の電流値が等しくなるよう設計されている。

【0017】

抵抗53の他端は、コンパレータ55の非反転入力端子に接続され、抵抗54の他端は、コンパレータ55の反転入力端子に接続される。ここでは、コンパレータ55の非反転入力端子の電圧を電圧 V_C とし、反転入力端子の電圧を電圧 V_D とする。

コンパレータ55は、電圧 V_C 及び電圧 V_D を比較し、比較結果を示す比較電圧 V_{cp} を出力する。コンパレータ55は、定電流源72、NPNトランジスタQ5、Q6、PNPトランジスタQ7、Q8を含んで構成される。

【0018】

定電流源72及びNPNトランジスタQ5、Q6は差動入力回路を構成し、PNPトランジスタQ7、Q8の夫々は電流源として動作する。このため、コンパレータ55は、電圧 V_D が電圧 V_C より高くなると、ローレベル(以下、“L”レベル)の比較電圧 V_{cp} を出力し、電圧 V_D が電圧 V_C より低くなると、ハイレベル(以下、“H”レベル)の比較電圧 V_{cp} を出力する。

【0019】

パルス信号生成回路56は、いわゆるワンショット回路であり、比較電圧 V_{cp} が“H”レベルとなると、所定時間 T_1 だけ“H”レベルとなるパルス信号 V_{p1} を生成する。

駆動回路57は、パルス信号 V_{p1} が“H”レベルとなると、“L”レベルの駆動信号 V_{dr2} を出力してNMOSTランジスタ31をオフした後、“H”レベルの駆動信号 V_{dr1} を所定時間 T_1 だけ出力してNMOSTランジスタ30をオンする。また、駆動回路57は、パルス信号 V_{p1} が“L”レベルとなると、“L”レベルの駆動信号 V_{dr1} を出力してNMOSTランジスタ30をオフした後、“H”レベルの駆動信号 V_{dr2} を出力してNMOSTランジスタ31をオンする。このように、駆動回路57は、NMOSTランジスタ30、31がともにオンしないよう、いわゆるデッドタイムを設けてNMOSTランジスタ30、31を相補的にスイッチングする。

【0020】

パルス信号生成回路60は、スイッチング周期毎、例えば、NMOSTランジスタ30がオンされる直前のデッドタイムの期間毎に“H”レベルとなるパルス信号 V_{p2} を生成する。つまりパルス信号生成回路60は、駆動信号 V_{dr1} が“L”レベルであり、駆動信号 V_{dr2} が“H”レベルから“L”レベルとなる間に“H”レベルのパルス信号 V_{p2} を出力する。

電流生成回路61は、パルス信号 V_{p2} が“H”レベルから“L”レベルに変化する毎に、出力電圧 V_{out} のレベルに応じた傾きで変化する電流 I_r を生成する。具体的には、パルス信号 V_{p2} が“H”レベルの間には、ゼロとなり、パルス信号 V_{p2} が“L”レベルとなると、出力電圧 V_{out} のレベルに応じた傾きで増加する電流 I_r を生成する。そして、電流生成回路61は、抵抗53とコンパレータ55の非反転入力端子とが接続されるノードに電流 I_r を供給することにより、基準電圧 V_{ref} のレベルを変化させる。

【0021】

ここで、抵抗53の抵抗値を R とし、電流 I_r の電流値を I_r とし、コンパレータ55の入力インピーダンスを無限大とすると、電圧 V_C は、

$$V_C = V_A + I_r \times R = V_{ref} + V_{be1} + I_r \times R \cdots (1)$$

となる。

つまり、本実施形態ではスイッチング周期毎に、出力電圧 V_{out} のレベルに応じた傾

10

20

30

40

50

きで増加するスロープ電圧 V_s ($V_s = I_r \times R$) が、基準電圧 V_{ref} に加算される。

【0022】

また、電流生成回路 61 は、電圧 V_{be1} 及び電圧 V_{be2} が等しくなるよう、すなわちコンパレータ 55 のオフセットがキャンセルされるよう、レベルシフト回路 52 及び抵抗 54 が接続されるノードに対して電流 I_r を供給する。

このため、電圧 V_D は、

$$V_D = V_B = V_{fb} + V_{be2} = V_{fb} + V_{be1} \dots (2)$$

となる。

【0023】

振幅制限回路 62 は、電流 I_r の電流値を制限することにより、スロープ電圧 V_s の振幅を制限する。なお、電流生成回路 61、及び振幅制限回路 62 の詳細については後述する。また、電流生成回路 61 及び抵抗 53 は、電圧生成回路に相当し、レベルシフト回路 51 及び抵抗 53 は、加算回路に相当する。

10

【0024】

NMOS トランジスタ 30 は、ハイサイドのパワートランジスタであり、ドレイン電極（入力電極）には入力電圧 V_{in} が印加され、ソース電極（出力電極）は、NMOS トランジスタ 31 のドレイン電極及びインダクタ 32 が接続される。

NMOS トランジスタ 31 は、ローサイドのパワートランジスタであり、ソース電極は接地され、ドレイン電極にはインダクタ 32 が接続されている。

20

【0025】

インダクタ 32 及びコンデンサ 33 は、NMOS トランジスタ 30、31 が接続されるノードの電圧を平滑化する LC フィルタである。ここでは、インダクタ 32 に流れる電流をインダクタ電流 I_L とする。

抵抗 34 は、コンデンサ 33 の等価直列抵抗 (ESR: Equivalent Series Resistance) である。なお、コンデンサ 33 は、例えばセラミック型のコンデンサであるため、抵抗 34 の抵抗値は、例えば数 m 等の小さい値となる。このため、出力電圧 V_{out} に含まれるリップル電圧も小さくなる。

【0026】

== 電流生成回路 61 及び振幅制限回路 62 の詳細 ==

ここで図 3 を参照しつつ、電流生成回路 61 及び振幅制限回路 62 の具体的な構成について説明する。電流生成回路 61 は、充放電回路 80、レベルシフト回路 81、及び電圧電流変換回路 82 を含んで構成される。

30

【0027】

充放電回路 80 は、パルス信号 V_{p2} が “H” レベルから “L” レベルに変化する毎に放電されたコンデンサ 91 を充電し、出力電圧 V_{out} のレベルに応じた傾きで変化する電圧 V_1 を生成する。充放電回路 80 は、バイアス電流生成回路 90、コンデンサ 91、及び、NMOS トランジスタ M1 を含んで構成される。

【0028】

バイアス電流生成回路 90 は、出力電圧 V_{out} に比例するバイアス電流 I_{b1} を生成する回路であり、図 4 に示すように、抵抗 100 ~ 102、オペアンプ 103、NPN トランジスタ Q60、及び PNP トランジスタ Q61、62 を含んで構成される。

40

【0029】

抵抗 100 及び抵抗 101 は、出力電圧 V_{out} を分圧し、分圧した電圧 V_x をオペアンプ 103 の非反転入力端子に印加する。なお、抵抗 100、101 の抵抗値を夫々 R_a 、 R_b とすると、電圧 V_x は、

$$V_x = (R_b / (R_a + R_b)) \times V_{out} \dots (3)$$

となる。

【0030】

また、NPN トランジスタ Q60 のベース電極は、オペアンプ 103 の出力に接続され、エミッタ電極は、オペアンプ 103 の反転入力端子に接続されている。したがって、オ

50

ペアンプ103は、反転入力端子の電圧が非反転入力端子に印加された電圧 V_x に一致するように、NPNトランジスタQ60を制御する。この結果、抵抗102に印加される電圧は電圧 V_x に等しくなり、電流 $I_x = V_x / R_c$ が抵抗102に流れることとなる。なお、ここでは、抵抗102の抵抗値を R_c とする。

【0031】

PNPトランジスタQ61, Q62は、例えば等しい電流が流れるカレントミラー回路を構成するため、PNPトランジスタQ62に流れるバイアス電流 I_{b1} は、

$$I_{b1} = V_x / R_c = (R_b / (R_c \times (R_a + R_b))) \times V_{out} \dots (4)$$

となる。このように、バイアス電流 I_{b1} は、出力電圧 V_{out} に比例した電流となる。なお、本実施形態では、バイアス電流 I_{b1} の温度変化が十分小さくなるような温度係数の抵抗100~102が選択されていることとする。

10

【0032】

バイアス電流 I_{b1} は、図3に示すNMOSTランジスタM1のドレイン電極及びコンデンサ91に供給される。したがって、例えば、パルス信号 V_{p2} が“H”レベルの場合、NMOSTランジスタM1はオンとなるため、コンデンサ91の充電電圧である電圧 V_1 はほぼゼロとなる。

【0033】

一方、パルス信号 V_{p2} が“L”レベルの場合、NMOSTランジスタM1はオフとなるため、電圧 V_1 は、出力電圧 V_{out} に比例したバイアス電流 I_{b1} により充電される。ここで、電圧 V_1 は、NMOSTランジスタM1がオフとなったからの時間を T とし、コンデンサ91の容量値を C とすると、

20

$$V_1 = (I_{b1} \times T) / C \dots (5)$$

となる。

【0034】

レベルシフト回路81は、電圧 V_1 のレベルをシフトした電圧 V_2 を出力する回路であり、PNPトランジスタQ10及び定電流源95を含んで構成される。PNPトランジスタQ10及び定電流源95は、エミッタフォロワを構成する。

電圧電流変換回路82は、電圧 V_2 のレベルに応じた値の電流 I_r を生成する回路であり、抵抗96、NPNトランジスタQ20、及びPNPトランジスタQ21~Q23を含んで構成される。

30

【0035】

NPNトランジスタQ20のベース電極には、電圧 V_2 が印加され、エミッタ電極には抵抗96が接続されている。電圧 V_2 が上昇し、NPNトランジスタQ20がオンすると、NPNトランジスタQ20には、抵抗96の抵抗値 R_d に反比例し電圧 V_2 のレベルに比例した電流 I_r が流れる。ここで、電流 I_r は、NPNトランジスタQ20のベース-エミッタ間電圧を V_{be20} とすると、

$$I_r = (V_2 - V_{be20}) / R_d \dots (6)$$

となる。

【0036】

また、電流 I_r は、ダイオード接続されたPNPトランジスタQ21に流れ、PNPトランジスタQ21~Q23は、カレントミラー回路を構成する。本実施形態では、PNPトランジスタQ21~Q23のトランジスタサイズは同じであるため、PNPトランジスタQ22, 23は、電圧 V_2 のレベルに比例した電流 I_r を供給する電流源として動作する。

40

【0037】

ところで、例えば、レベルシフト回路81が、電圧 V_1 のレベルをシフトして出力する場合、電圧 V_2 は、電圧 $V_2 = V_1 + V_{be10}$ となる。なお、ここでは、PNPトランジスタQ10のベース-エミッタ間電圧を V_{be10} としている。本実施形態では、電圧 V_1 がゼロとなり、電圧 V_2 が前述の V_{be10} となる際には、NPNトランジスタQ20はオフするよう設計されている。このため、電圧 V_1 がゼロの場合、NPNトランジス

50

タQ20に流れる電流 I_r はゼロとなる。一方、電圧 V_1 がゼロから上昇すると、電圧 V_1 は前述のように、出力電圧 V_{out} のレベルに比例した傾きで変化する。このため、このような場合、電流 I_r も出力電圧 V_{out} のレベルに比例した傾きで変化することになる。

【0038】

振幅制限回路62(クランプ回路)は、電圧 V_2 をクランプしてスロープ電圧 V_s の振幅を制限する回路であり、バイアス電流生成回路97、抵抗98、及びPNPトランジスタQ30を含んで構成される。

【0039】

バイアス電流生成回路97は、出力電圧 V_{out} に比例するバイアス電流 I_{b2} を生成する回路であり、図5に示すように、オペアンプ110、抵抗111~113、NPNトランジスタQ65、及びPNPトランジスタQ66,67を含んで構成される。なお、バイアス電流生成回路97は、バイアス電流生成回路90と同様であるため、バイアス電流生成回路97は、バイアス電流生成回路90と同様に動作する。ここで、抵抗111,112,113の夫々の抵抗値を R_e, R_f, R_g とすると、バイアス電流 I_{b2} は、

$$I_{b2} = (R_f / (R_g \times (R_e + R_f))) \times V_{out} \dots (7)$$
 となる。

【0040】

また、バイアス電流 I_{b2} は抵抗98に供給される。ここで、抵抗98の抵抗値を R_h とすると、抵抗98に発生する電圧 V_3 は、

$$V_3 = (R_h \times R_f / (R_g \times (R_e + R_f))) \times V_{out} \dots (8)$$

となる。なお、本実施形態では、電圧 V_3 の温度変化が十分小さくなるような温度係数の抵抗98,111~113が選択されていることとする。

【0041】

PNPトランジスタQ30は、PNPトランジスタQ10と同様に定電流源95に接続されているため、PNPトランジスタQ30及び定電流源95はエミッタフォロワを構成する。したがって、電圧 V_1, V_3 のうち、何れか低いレベルの電圧が選択されて電圧 V_2 として出力される。このため、電圧 V_2 は、電圧 $V_3 + V_{be30}$ (V_{be30} :PNPトランジスタQ30のベース-エミッタ電圧)より高くなることは無い。つまり、振幅制限回路62は、電圧 V_2 が電圧 $V_3 + V_{be30}$ を超えないように、電圧 V_2 をクランプする。なお、電圧 V_2 がクランプされると電流 I_r の電流値も一定となる。この結果、スロープ電圧 V_s ($I_r \times R$)の振幅は制限される。

【0042】

==スロープ電圧 V_s の振幅が制限される大きさについて==

ここで、スロープ電圧 V_s の振幅が制限される大きさについて説明する。本実施形態のスロープ電圧 V_s の振幅は、目的レベルの出力電圧 V_{out} が生成されている際のスロープ電圧 V_s の振幅よりも大きい振幅で制限されることとする。つまり、目的レベルの出力電圧 V_{out} が生成されている際には、電圧 V_2 はクランプされず、電圧 V_1 に応じて変化することになる。

【0043】

そこで、目的レベルの出力電圧 V_{out} が生成されている際の電圧 $V_1 \sim V_3$ 、及びスロープ電圧 V_s について図6を参照しつつ説明する。目的レベルの出力電圧 V_{out} が生成されている際には、入力電圧 V_{in} と、出力電圧 V_{out} と、ハイサイドのNMOSTランジスタ30がオンする時間 T_{on} と、NMOSTランジスタがオフする時間 T_{off} との間には、

$$V_{out} = (T_{on} / (T_{on} + T_{off})) \times V_{in} \dots (9)$$

の関係が成立する。

【0044】

式(9)は、一般的なスイッチング電源回路がいわゆる電流連続モードで動作している際に成立する。本実施形態では、時間 T_{on} は所定時間 T_1 であり、入力電圧 V_{in} は所

10

20

30

40

50

定の電圧であり、出力電圧 V_{out} は目的レベルの電圧である。このため、目的レベルの出力電圧 V_{out} が生成されている際には、NMOSトランジスタ30がオフする時間 T_{off} は一義的に、例えば所定時間 T_2 と定まる。つまり、目的レベルの出力電圧 V_{out} が生成されている際のいわゆるスイッチング周期 $T_{on} + T_{off}$ は、所定時間 $T_1 + T_2$ となる。

【0045】

また、前述のように、NMOSトランジスタ30がオンされる直前のデッドタイム毎にパルス信号 V_{p2} は“H”レベルとなるため、電圧 V_1 は、スイッチング周期 $T_1 + T_2$ の間にゼロから上昇する。スイッチング周期の間だけ上昇した際の電圧 V_1 のレベル（または、電圧 V_1 の振幅 V_1 ）は、

$$\begin{aligned} V_1 &= (I_{b1} / C) \times (T_1 + T_2) \\ &= A_1 \times (T_1 + T_2) \times V_{out} \cdots (10) \end{aligned}$$

となる。

【0046】

なお、式(10)の係数 A_1 は、 $R_b / (C \times R_c \times (R_a + R_b))$ である。また、ここでは、便宜上デッドタイムの期間を分かり易くするために長く描いているが、実際には、例えば所定時間 T_1 よりも十分短い期間である。

【0047】

また、電圧 V_3 は、式(8)で示したように、

$$V_3 = (R_h \times R_f / (R_g \times (R_e + R_f))) \times V_{out} \cdots (8)$$

となる。

【0048】

ここでは、目的レベルの出力電圧 V_{out} が生成されている際には、電圧 V_2 はクランプされることは無いよう電圧 V_3 のレベルが定められる。このため、本実施形態では、式(8)の係数である $(R_h \times R_f / (R_g \times (R_e + R_f)))$ は、式(10)の係数である $A_1 \times (T_1 + T_2)$ より大きくなるよう設計される。このような場合、電圧 V_2 及びスロープ電圧 V_s は電圧 V_1 と同様に变化する。

【0049】

ところで、電圧 V_2 がクランプされている際の電圧 V_2 のレベルは、

$$\begin{aligned} V_2 &= V_3 + V_{be30} \\ &= (R_h \times R_f / (R_g \times (R_e + R_f))) \times V_{out} + V_{be30} \cdots (11) \end{aligned}$$

となる。

さらに、この場合の電流 I_r は、

$$\begin{aligned} I_r &= (V_2 - V_{be20}) / R_d \\ &= ((R_h \times R_f / (R_g \times (R_e + R_f))) \times V_{out} \\ &\quad + V_{be30} - V_{be20}) / R_d \cdots (12) \end{aligned}$$

となる。

【0050】

したがって、電圧 V_2 がクランプされている際のスロープ電圧 V_s の振幅 V_{lim} は、下記の式(13)で示される振幅で制限される。

$$\begin{aligned} V_{lim} &= R \times I_r \\ &= R \times ((R_h \times R_f / (R_g \times (R_e + R_f))) \times V_{out} \\ &\quad + V_{be30} - V_{be20}) / R_d \cdots (13) \end{aligned}$$

なお、上記の式(13)に示されるように、制限されるスロープ電圧 V_s の振幅 V_{lim} は、出力電圧 V_{out} の上昇に応じて大きくなる。

【0051】

==リップルコンバータ10aの動作==

<<定常時の場合>>

ここで、図1及び図7を参照しつつ、目的レベルの出力電圧 V_{out} が生成されている際（定常時）のリップルコンバータ10aの動作について説明する。

10

20

30

40

50

【 0 0 5 2 】

なお、本実施形態では、出力電圧 V_{out} に含まれるリップル電圧は十分小さいため、帰還電圧 V_{fb} に含まれるリップル電圧も十分小さくなる。つまり、目的レベルの出力電圧 V_{out} が生成されている際の帰還電圧 V_{fb} のレベルはほぼ一定となる。このため、便宜上、図 7 においては電圧 V_D のレベルを一定としている。また、入力電圧 V_{in} は所定電圧であるため、目的レベルの出力電圧 V_{out} が生成されている際の NMOS トランジスタ 30 のオフ時間 T_{off} は、例えば所定時間 T_2 となり、スイッチング周期 ($T_{on} + T_{off}$) は、 $T_1 + T_2$ となる。

【 0 0 5 3 】

まず、時刻 t_0 に電圧 V_C (一方の電圧) のレベルが上昇して電圧 V_D (他方の電圧) のレベルとなると、比較電圧 V_{cp} は “H” レベルとなるため、“H” レベルのパルス信号 V_{p1} が出力される。このため、NMOS トランジスタ 31 をオフすべく駆動信号 V_{dr2} が “L” レベルとなり、パルス信号 V_{p2} は “H” レベルとなる。この結果、スロープ電圧 V_s はゼロとなり、電圧 V_C は $V_C = V_{ref} + V_{be1}$ まで低下する。

10

【 0 0 5 4 】

そして、時刻 t_0 からデッドタイムだけ経過した時刻 t_1 となると、NMOS トランジスタ 30 をオンすべく、駆動信号 V_{dr1} が “H” レベルとなる。この結果、パルス信号 V_{p2} は “L” レベルになるため、スロープ電圧 V_s は出力電圧 V_{out} のレベルに比例した傾きで増加する。また、電圧 V_C もスロープ電圧 V_s と同様に、出力電圧 V_{out} のレベルに比例した傾きで上昇する。

20

【 0 0 5 5 】

時刻 t_1 から所定時間 T_1 だけ経過した時刻 t_2 となると、NMOS トランジスタ 30 をオフすべく、駆動信号 V_{dr1} は “L” レベルとなる。そして、時刻 t_2 からデッドタイムだけ経過した時刻 t_3 となると、NMOS トランジスタ 31 をオンすべく、駆動信号 V_{dr2} は “H” レベルとなる。

【 0 0 5 6 】

その後、時刻 t_2 から所定時間 T_2 だけ経過した時刻 t_4 に、電圧 V_C のレベルが上昇して電圧 V_D のレベルとなり、再び時刻 t_0 の動作が繰り返される。このような動作が繰り返されることにより、目的レベルの出力電圧 V_{out} が生成される。

【 0 0 5 7 】

ところで、NMOS トランジスタ 30 がオフ、NMOS トランジスタ 31 がオンされている際のインダクタ 32 の両端電圧は、出力電圧 V_{out} となる。このため、NMOS トランジスタ 31 がオンされている時間において、インダクタ電流 I_L は、出力電圧 V_{out} のレベルに比例し、インダクタ 32 のインダクタンス L に反比例する傾きで減少する。なお、インダクタンス L は所定値であるため、NMOS トランジスタ 31 がオンされている時間のインダクタ電流 I_L は、実質的に出力電圧 V_{out} のレベルに比例する。

30

【 0 0 5 8 】

リップルコンバータ 10a では、リップル電圧、もしくはリップル電圧と相似形の電圧が基準電圧 V_{ref} に加算されていないが、リップル電圧の変化と同様に变化する傾きのスロープ電圧 V_s が、NMOS トランジスタ 30 がオフの期間に基準電圧 V_{ref} に加算されている。つまり、本実施形態では、NMOS トランジスタ 30 がオンするタイミングを検出するために、NMOS トランジスタ 30 がオフしている期間 (例えば、時刻 $t_2 \sim$ 時刻 t_4) に、リップル電圧の傾き (V_{out}/L に比例) と同様の傾き (V_{out} に比例) で電圧 V_C を変化させている。

40

【 0 0 5 9 】

したがって、リップルコンバータ 10a は、例えばリップル電圧が基準電圧 V_{ref} に加算された一般的なリップルコンバータと同様に、安定に動作する。つまり、リップルコンバータ 10a は、インダクタ電流 I_L 等を検出する外付け部品等を用いることなく、安定に動作する。また、定常時においては、スロープ電圧 V_s の振幅は、常に所定の振幅 V_{lim} よりも小さい。このため、スロープ電圧 V_s の振幅は制限されることは無い。

50

【 0 0 6 0 】

< < 負荷が過渡的に変化した場合 > >

ここで、図 8 を参照しつつ、負荷 1 5 の状態が重負荷から軽負荷に過渡的に変化した場合のリップルコンバータ 1 0 a の動作について説明する。なお、図 8 においては、例えば時刻 t_{12} のタイミングで負荷 1 5 の状態が過渡的に変化することとする。

【 0 0 6 1 】

まず、時刻 t_{10} に N M O S トランジスタ 3 0 がオンとなると、出力電圧 V_{out} は上昇するため、帰還電圧 V_{fb} 及び電圧 V_D も上昇する。また、時刻 t_{10} においては、スロープ電圧 V_s がゼロから上昇するため、電圧 V_C も上昇する。

【 0 0 6 2 】

そして、時刻 t_{10} から所定時間 T_1 だけ経過した時刻 t_{11} となると、N M O S トランジスタ 3 0 はオフするため、出力電圧 V_{out} は低下し、帰還電圧 V_{fb} 及び電圧 V_D も低下する。

【 0 0 6 3 】

時刻 t_{12} になり、負荷 1 5 の状態が重負荷から軽負荷に過渡的に変化すると、出力電圧 V_{out} にはオーバーシュートが発生するため、電圧 V_D も大きく上昇する。このため、時刻 t_{11} から、前述の所定期間 T_2 だけ経過した時刻 t_{13} となっても、電圧 V_D のレベルが電圧 V_C のレベルとなることは無い。

【 0 0 6 4 】

また、時刻 t_{14} となると、スロープ電圧 V_s の振幅が、所定の振幅 V_{lim} となるため、スロープ電圧 V_s 及び電圧 V_C はクランプされる。その後、時刻 t_{15} に電圧 V_D のレベルが低下してクランプされている電圧 V_C のレベルとなると、パルス信号 V_{p1} が “ H ” レベルとなる。このため、時刻 t_{15} からデッドタイムだけ経過した時刻 t_{16} に、再度 N M O S トランジスタ 3 0 がオンされる。

【 0 0 6 5 】

なお、例えば、スロープ電圧 V_s が所定の振幅 V_{lim} で制限されない場合、電圧 V_C は、点線のように上昇し続ける。このような場合、時刻 t_{15} よりも早い時刻 t_{20} において、電圧 V_D のレベルと電圧 V_C のレベルは一致し、N M O S トランジスタ 3 0 はオンされることになる。つまり、オーバーシュートされた出力電圧 V_{out} が十分低下していないタイミングで N M O S トランジスタ 3 0 がオンされることがある。しかしながら、リップルコンバータ 1 0 a では、スロープ電圧 V_s の振幅を制限することにより、N M O S トランジスタ 3 0 がオンされるタイミングを遅くしている。このため、スロープ電圧 V_s の振幅を制限しない場合と比較すると、出力電圧 V_{out} の目的レベルからのずれを低減できる。

【 0 0 6 6 】

= = スロープ電圧 V_s の変化のタイミングについて = =

リップルコンバータ 1 0 a では、N M O S トランジスタ 3 0 がオンとなるタイミングでスロープ電圧 V_s を上昇させることとした。ただし、リップルコンバータ 1 0 a の動作を安定させるためには、N M O S トランジスタ 3 0 がオフされている時間の電圧 V_C の傾き (V_{out} に比例) が、リップル電圧の傾き (V_{out}/L に比例) と同様であれば良い。このため、例えば、図 1 に示すように、パルス信号生成回路 6 0 の代わりにパルス信号生成回路 6 5 を用いても良い。

【 0 0 6 7 】

パルス信号生成回路 6 5 は、例えば図 9 に示すように、駆動信号 V_{dr2} が “ L ” レベルとなってから、駆動信号 V_{dr1} が “ L ” レベルとなるまでの間、“ H ” レベルのパルス信号 V_{p2} を出力する。このような場合、スロープ電圧 V_s 、及び電圧 V_C は時刻 t_2 から上昇することになるが、N M O S トランジスタ 3 0 がオフされている時間の電圧 V_C の傾きは、リップル電圧の傾きと同様になる。したがって、このような場合であっても、リップルコンバータ 1 0 a は、安定に動作する。

【 0 0 6 8 】

10

20

30

40

50

ただし、この場合には、スローブ電圧 V_s が上昇する時間は、スイッチング周期 ($T_1 + T_2$) でなく、所定時間 T_2 となる。このため、所定時間 T_2 経過した際の電圧 V_1 のレベルは、式 (10) ではなく、式 (14) で表されることになる。

$$\begin{aligned} V_1 &= (I_{b1} / C) \times T_2 \\ &= A_1 \times T_2 \times V_{out} \dots (14) \end{aligned}$$

【0069】

前述のように、本実施形態では、目的レベルの出力電圧 V_{out} が生成されている際には、電圧 V_2 はクランプされることは無いよう電圧 V_3 のレベルが定められる。したがって、この場合には、式 (8) の係数である ($R_h \times R_f / (R_g \times (R_e + R_f))$) が、式 (14) の係数である $A_1 \times T_2$ より大きくなるよう設計される。このように、電圧 V_3 のレベルを定めることにより、スローブ電圧 V_s を上昇させるタイミングが時刻 t_2 となった場合であっても、時刻 t_1 の場合と同様の効果を得ることができる。つまり、スローブ電圧 V_s の振幅は、目的レベルの出力電圧 V_{out} が生成されている際の振幅より大きい所定の振幅 V_{lim} で制限される。したがって、負荷 15 の状態が過渡的に変化した場合であっても、出力電圧 V_{out} の目的レベルからのずれを抑制することができる。

10

【0070】

<<< 第2の実施形態 >>>

図10は、本発明の第2の実施形態であるオン時間固定方式のリプルコンバータ10bの構成を示す図である。

【0071】

20

リプルコンバータ10bでは、リプルコンバータ10bを安定に動作させるため、出力電圧 V_{out} のレベルに応じた傾きで変化するスローブ電圧が帰還電圧 V_{fb} に加算されている。本明細書では、例えば図1にあるブロックと同じ符号の付されたブロックは同じである。図1と図10とを比較すると、制御 IC 20b では、電流生成回路 61 の代わりに電流生成回路 63 が設けられている。

【0072】

電流生成回路 63 は、パルス信号 V_{p2} が “H” レベルから “L” レベルに変化する毎に、出力電圧 V_{out} のレベルに応じた傾きで変化するソース電流 (電流 I_r , $2 \times I_r$ (以下、 $2 I_r$ と記載する))、及びシンク電流 (電流 I_r) を生成する。

【0073】

30

図11は、電流生成回路 63 の詳細を示す図である。電流生成回路 63 は、充放電回路 80、レベルシフト回路 (LS) 81、及び電圧電流変換回路 83 を含んで構成される。

【0074】

図8と、図3とにおいて、同じ符号の付されたブロックは同じであるため、ここでは、PNPトランジスタ Q70, 71、及びNPNトランジスタ Q72, 73 について説明する。なお、図8のレベルシフト回路 81 の電圧 V_2 は、図3に示した場合と同様に、振幅制限回路 62 によりクランプされる。

【0075】

PNPトランジスタ Q70, Q71 は、PNPトランジスタ Q21 とカレントミラー回路を構成する。ただし、PNPトランジスタ Q70 には、電流 I_r の2倍の電流 ($2 I_r$) が流れ、PNPトランジスタ Q71 には、電流 I_r が流れるよう設計されている。このため、PNPトランジスタ Q70 はソース電流である電流 $2 I_r$ を生成する。また、ダイオード接続されたNPNトランジスタ Q72 と、NPNトランジスタ Q73 は同じ電流が流れるようなカレントミラー回路を構成する。このため、NPNトランジスタ Q73 は、シンク電流である電流 I_r を生成する。

40

【0076】

また、図10に示すように、レベルシフト回路 52 及び抵抗 54 が接続されるノードには、電流 $2 I_r$ が供給され、抵抗 54 及びコンパレータ 55 の非反転入力端子が接続されるノードには、シンク電流である電流 I_r が流れる。

このため、抵抗 54 の抵抗値を R とすると、電圧 V_D は、

50

$$V_D = V_B - I_r \times R = V_{fb} + V_{be2} - I_r \times R \dots (15)$$

となる。

【0077】

また、電流生成回路63は、電圧 V_{be1} 及び電圧 V_{be2} が等しくなるよう、すなわちコンパレータ55のオフセットがキャンセルされるよう、レベルシフト回路51及び抵抗53が接続されるノードに対して電流 I_r を供給する。

このため、電圧 V_C は、

$$V_C = V_A = V_{ref} + V_{be1} = V_{ref} + V_{be2} \dots (16)$$

となる。

【0078】

ところで、前述のように電流 I_r は、パルス信号 V_{p2} が“H”レベルから“L”レベルに変化する毎に、出力電圧 V_{out} のレベルに比例して大きくなる。このため、電圧 V_D は、パルス信号 V_{p2} が“H”レベルから“L”レベルに変化する毎に、出力電圧 V_{out} のレベルに比例した傾きで低下することになる。

【0079】

= =リップルコンバータ10bの動作 = =

<<定常時の場合>>

ここで、図10及び図12を参照しつつ、目的レベルの出力電圧 V_{out} が生成されている際(定常時)のリップルコンバータ10bの動作について説明する。なお、ここでは、基準電圧 V_{ref} のレベル及び電圧 V_{be1} のレベルは一定であるため、電圧 V_C のレベルも一定となる。また、入力電圧 V_{in} は所定電圧であるため、目的レベルの出力電圧 V_{out} が生成されている際のNMOSトランジスタ30のオフ時間 T_{off} は、例えば所定時間 T_2 となり、スイッチング周期($T_{on} + T_{off}$)は、 $T_1 + T_2$ となる。

【0080】

まず、時刻 t_{30} に電圧 V_D のレベルが低下して電圧 V_C のレベルとなると、比較電圧 V_{cp} は“H”レベルとなるため、“H”レベルのパルス信号 V_{p1} が出力される。このため、NMOSトランジスタ31をオフすべく駆動信号 V_{dr2} が“L”レベルとなり、パルス信号 V_{p2} は“H”レベルとなる。この結果、電流生成回路63が生成する電流 I_r はゼロとなり、電圧 V_D は $V_D = V_{fb} + V_{be2}$ まで上昇する。

【0081】

そして、時刻 t_{30} からデッドタイムだけ経過した時刻 t_{31} となると、NMOSトランジスタ30をオンすべく、駆動信号 V_{dr1} が“H”レベルとなる。この結果、パルス信号 V_{p2} は“L”レベルになるため、スロープ電圧 V_s は出力電圧 V_{out} のレベルに比例した傾きで増加する。したがって、電圧 V_D は、出力電圧 V_{out} のレベルに比例した傾きで低下する。

【0082】

時刻 t_{31} から所定時間 T_1 だけ経過した時刻 t_{32} となると、NMOSトランジスタ30をオフすべく、駆動信号 V_{dr1} は“L”レベルとなる。そして、時刻 t_{32} からデッドタイムだけ経過した時刻 t_{33} となると、NMOSトランジスタ31をオンすべく、駆動信号 V_{dr2} は“H”レベルとなる。

【0083】

その後、時刻 t_{32} から所定時間 T_2 だけ経過した時刻 t_{34} に、電圧 V_D のレベルが低下して電圧 V_C のレベルとなると、再び時刻 t_{30} の動作が繰り返される。

【0084】

ところで、NMOSトランジスタ30がオフされている時間(例えば、時刻 $t_{32} \sim t_{34}$)の電圧 V_D の傾き(V_{out} に比例)は、NMOSトランジスタ30がオフされている時間のリップル電圧の傾き(V_{out}/L に比例)と同様である。したがって、リップルコンバータ10bは、NMOSトランジスタ30がオフされている時間において、例えばリップル電圧が帰還電圧 V_{fb} に加算された一般的なリップルコンバータと同様に、安定に動作をする。

10

20

30

40

50

【0085】

なお、リップルコンバータ10bの動作を安定させるためには、NMOSトランジスタ30がオフされている時間における電圧VDの傾き（Voutに比例）が、リップル電圧の傾き（Vout/Lに比例）と同様であれば良い。このため、例えば、パルス信号生成回路60の代わりにパルス信号生成回路65を用い、電圧VDを時刻t32から低下させても良い。また、定常時においては、スロープ電圧Vsの振幅は、常に所定の振幅Vlimよりも小さい。このため、スロープ電圧Vsの振幅は制限されることは無い。

【0086】

<< 負荷が過渡的に変化した場合 >>

ここで、図13を参照しつつ、負荷15の状態が重負荷から軽負荷に過渡的に変化した場合のリップルコンバータ10bの動作について説明する。なお、図13においては、例えば時刻t42のタイミングで負荷15の状態が過渡的に変化することとする。

【0087】

まず、時刻t40にNMOSトランジスタ30がオンとなると、出力電圧Voutは上昇するため、帰還電圧Vfbは上昇する。一方、電圧VDは、上昇するスロープ電圧Vsが減算されるため若干低下する。

【0088】

そして、時刻t40から所定時間T1だけ経過した時刻t41となると、NMOSトランジスタ30はオフするため、出力電圧Voutは低下し、帰還電圧Vfb及び電圧VDも低下する。

【0089】

時刻t42になり、負荷15の状態が重負荷から軽負荷に過渡的に変化すると、出力電圧Voutにはオーバーシュートが発生するため、帰還電圧Vfb及び電圧VDも大きく上昇する。このため、時刻t41から、前述の所定期間T2だけ経過した時刻t43となっても、電圧VDのレベルが電圧VCのレベルとなることは無い。

【0090】

また、時刻t44となると、スロープ電圧Vsの振幅が、所定の振幅Vlimとなるため、スロープ電圧Vsはクランプされる。したがって、電圧VDは帰還電圧Vfbと同様に緩やかに低下することになる。その後、帰還電圧Vfbの低下に応じて電圧VDのレベルが低下し、電圧VCのレベルとなると（不図示）、再度NMOSトランジスタ30がオンされる。

【0091】

例えば、スロープ電圧Vsが所定の振幅Vlimで制限されない場合、電圧VDは、点線のように低下し続ける。このような場合、例えば時刻t50において、電圧VDのレベルと電圧VCのレベルは一致し、NMOSトランジスタ30はオンされることになる。つまり、オーバーシュートされた出力電圧Voutが十分低下していないタイミングでNMOSトランジスタ30がオンされる。しかしながら、リップルコンバータ10bでは、スロープ電圧Vsの振幅を制限することにより、NMOSトランジスタ30がオンされるタイミングを遅くしている。このため、スロープ電圧Vsの振幅を制限しない場合と比較すると、出力電圧Voutの目的レベルからのずれを低減できる。

【0092】

<<< 第3の実施形態 >>>

図14は、本発明の第3の実施形態であるオン時間固定方式のリップルコンバータ10cの構成を示す図である。

【0093】

リップルコンバータ10cでは、リップルコンバータ10cを安定に動作させるため、出力電圧Voutのレベルに応じた傾きで変化するスロープ電圧が、基準電圧Vref及び帰還電圧Vfbの両方に加算されている。なお、図14の制御IC20cと、図10の制御IC20bとを比較すると、電流生成回路63から電流Irが、抵抗53及びコンパレータ55の非反転入力端子が接続されたノードに供給されている以外は同じである。な

10

20

30

40

50

お、電流 I_r が、抵抗 53 及びコンパレータ 55 の非反転入力端子が接続されたノードに供給されている構成は、図 1 に示した場合と同様である。

【0094】

このため、電圧 V_C は、前述の式 (1) で表されることになり、電圧 V_D は、前述の式 (15) で表されることになる。

$$V_C = V_A + I_r \times R = V_{ref} + V_{be1} + I_r \times R \dots (1)$$

$$V_D = V_B - I_r \times R = V_{fb} + V_{be2} - I_r \times R \dots (15)$$

つまり、パルス信号 V_{p2} が “H” レベルから “L” レベルに変化する毎に、電圧 V_C は、出力電圧 V_{out} のレベルに比例した傾きで上昇し、電圧 V_D は、出力電圧 V_{out} のレベル比例した傾きで低下する。

10

【0095】

したがって、定常時においては、図 15 に示すように、リップルコンバータ 10c は、図 7、及び図 12 に示したリップルコンバータ 10a, 10b と同様に動作する。なお、図 15 において、NMOS トランジスタ 30 がオフされている時間における電圧 V_C , V_D の傾き (V_{out} に比例) は、リップル電圧の傾き (V_{out}/L に比例) と同様である。このため、リップルコンバータ 10c は、リップルコンバータ 10a 等と同様に、安定に動作する。

【0096】

また、負荷 15 の状態が重負荷から軽負荷に過渡的に変化した場合も、図 15 に示すように、リップルコンバータ 10c は、図 8、及び図 13 に示したリップルコンバータ 10a, 10b と同様に動作する。具体的には、時刻 t_{70} に負荷 15 の過渡的な変化が発生し、出力電圧 V_{out} にオーバーシュートが発生した後、時刻 t_{71} にスローブ電圧 V_s がクランプされる。例えば、スローブ電圧 V_s がクランプされていない場合には、オーバーシュートされた出力電圧 V_{out} が十分低下していない時刻 t_{72} で NMOS トランジスタ 30 がオンされる。しかしながら、本実施形態では、スローブ電圧 V_s の振幅が振幅 V_{lim} で制限されているため、出力電圧 V_{out} にオーバーシュートが発生した際に、NMOS トランジスタ 30 がオンするタイミングを遅くすることができる。

20

【0097】

なお、式 (1) における電圧 $I_r \times R$ は、第 1 スローブ電圧に相当し、式 (15) における電圧 ($-I_r$) $\times R$ は、第 2 スローブ電圧に相当する。また、電流生成回路 63 及び抵抗 53 は、第 1 電圧生成回路に相当し、電流生成回路 63 及び抵抗 54 は、第 2 電圧生成回路に相当する。さらに、レベルシフト回路 51 及び抵抗 53 は、第 1 加算回路に相当し、レベルシフト回路 52 及び抵抗 54 は、第 2 加算回路に相当する。

30

【0098】

<<< 第 4 の実施形態 >>>

図 17 は、本発明の第 4 の実施形態であるオン時間固定方式のリップルコンバータ 10d の構成を示す図である。

【0099】

リップルコンバータ 10d は、いわゆるダイオード整流方式のリップルコンバータであり、NMOS トランジスタ 31 の代わりにダイオード 37 が設けられている。また、図 1 の制御 IC 20a と、図 17 の制御 IC 20d とを比較すると、駆動回路 58、及びパルス信号生成回路 66 が異なる。

40

【0100】

駆動回路 58 は、パルス信号 V_{p1} が “H” レベルとなる間、NMOS トランジスタ 30 をオンし、パルス信号生成回路 66 は、NMOS トランジスタ 30 がオンされると、“H” レベルのパルス信号 V_{p2} を出力する。このような構成のリップルコンバータ 10d も、例えば、リップルコンバータ 10a と同様に動作する。したがって、負荷 15 に過渡的な変化が発生した際も、出力電圧 V_{out} が目的レベルからずれることを抑制することができる。

【0101】

50

ところで、一般的なダイオード整流方式のリプルコンバータでは、負荷の状態が軽負荷または無負荷の場合、出力電圧が上昇してしまうことがある。しかしながら、リプルコンバータ10dは、負荷15の状態が軽負荷（または無負荷）であっても、出力電圧 V_{out} の上昇を抑制できる。

【0102】

図18は、負荷15の状態が軽負荷の場合におけるリプルコンバータ10dの主要な波形を示す図である。例えば、時刻 t_{80} にNMOSトランジスタ30がオンすると、出力電圧 V_{out} は上昇するため、帰還電圧 V_{fb} 及び電圧 V_D は上昇する。そして、時刻 t_{81} にNMOSトランジスタ30がオフすると、出力電圧 V_{out} 、帰還電圧 V_{fb} 、及び電圧 V_D は緩やかに低下する。

10

【0103】

また、時刻 t_{82} となると、スローブ電圧 V_s の振幅が、所定の振幅 V_{lim} となるため、スローブ電圧 V_s はクランプされる。したがって、電圧 V_C をクランプされることになる。その後、帰還電圧 V_{fb} の低下に応じて電圧 V_D のレベルが低下し、電圧 V_C のレベルとなると（不図示）、再度NMOSトランジスタ30がオンされる。

【0104】

例えば、スローブ電圧 V_s が所定の振幅 V_{lim} で制限されない場合、電圧 V_C は、点線のように上昇し続ける。このような場合、例えば時刻 t_{90} において、電圧 V_D のレベルと電圧 V_C のレベルは一致し、NMOSトランジスタ30はオンされることになる。つまり、出力電圧 V_{out} が十分低下していないタイミングでNMOSトランジスタ30がオンされる。

20

【0105】

しかしながら、リプルコンバータ10dでは、スローブ電圧 V_s の振幅を制限することにより、NMOSトランジスタ30がオンされるタイミングを遅くしている。このため、スローブ電圧 V_s の振幅を制限しない場合と比較すると、出力電圧 V_{out} の目的レベルからのずれを低減できる。

【0106】

以上、本発明の一実施形態であるリプルコンバータ10a～10dについて説明した。

【0107】

一般的なオン時間固定方式のリプルコンバータでは、例えば出力電圧 V_{out} が目的レベルより上昇し、低下させる必要がある場合には、スイッチング周期を長くする必要がある。しかしながら、一般には、振幅が大きく変化するリプル電圧が帰還電圧等に加算されたため、スイッチング周期を延ばすことができず、出力電圧が目的レベルより大きくずれてしまっていた。本実施形態では、スローブ電圧 V_s の振幅は、所定の振幅 V_{lim} で制限される。したがって、リプルコンバータ10aでは、出力電圧 V_{out} が上昇した際に、一般的なリプルコンバータと比較してスイッチング周期を延ばすことができる。このため、リプルコンバータ10aは、出力電圧 V_{out} が目的レベルからずれことを抑制できるため、精度の良い目的レベルの出力電圧 V_{out} が生成される。

30

【0108】

また、例えば、一般的なリプルコンバータでは、インダクタ電流 I_L に基づいて生成されるリプル電圧が帰還電圧に加算されることがある。このような場合であっても、リプル電圧の振幅を制限することにより、本実施形態と同様の効果を得ることができる。ただし、インダクタ電流 I_L を検出するためには、一般に外付け部品等を用いる必要がある。また、外付け部品はノイズの影響を受け易いため、リプルコンバータの動作が不安定になることがある。制御IC20aでは、出力電圧 V_{out} に基づいて、スローブ電圧 V_s を生成している。したがって、制御IC20aを用いることにより、外付け部品の点数が少なく、ノイズの影響を受けにくいリプルコンバータ10aを構成することが可能となる。

40

【0109】

50

また、式(13)で示したように、例えば利用者が目的レベルの出力電圧 V_{out} を高く設定すると、所定の振幅 V_{lim} は大きくなる。つまり、本実施形態では、出力電圧 V_{out} に応じてクランプレベルを変化させている。このため、目的レベルがどのようなレベルであっても、定常時にスロープ電圧 V_s がクランプされることは無い。

【0110】

また、コンデンサ91の容量値 C や、バイアス電流 I_{b1} の電流値を調整することにより、スロープ電圧 V_s の傾きを自由に設定できる。

【0111】

また、基準電圧 V_{ref} 、帰還電圧 V_{fb} の何れか一方の電圧のみにスロープ電圧 V_s を加算してもよいが、スロープ電圧の変化が大きくなると、電圧 V_C 、または電圧 V_D がコンパレータ55のいわゆる同相入力電圧範囲を超えてしまうことがある。このような場合、例えば、図14に示したように、基準電圧 V_{ref} にスロープ電圧($I_r \times R$)を加算し、帰還電圧 V_{fb} にスロープ電圧($-I_r \times R$)を加算し、電圧 V_C 、 V_D の両方を変化させても良い。電圧 V_C 及び電圧 V_D を変化させることにより、電圧 V_C 、 V_D は、コンパレータ55の同相入力電圧範囲を超えにくくなる。

10

【0112】

さらに、本実施形態では、バイアス電流 I_{b1} の温度変化が十分小さくなるような温度係数の抵抗100~102が選択され、電圧 V_3 の温度変化が十分小さくなるような温度係数の抵抗98, 111~113が選択されている。このため、振幅 V_{lim} の温度依存性を小さくすることができる。

20

【0113】

なお、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物も含まれる。

【0114】

例えば、NMOSトランジスタ30, 31を制御IC20aに集積化しても良い。このようなパワートランジスタを含むスイッチング電源回路であっても、本実施形態と同様の効果を得ることができる。

【0115】

また、NMOSトランジスタ31のソース電極はグランドGNDに接地されているが、例えば、グランドGNDの代わりに負電圧($-V_{dd}$)が印加されていても良い。このような場合、NMOSトランジスタ31がオンされている際のスロープ電圧を $V_{in} - (-V_{dd})$ の電圧レベルに応じて生成すると、より精度良くリップルコンバータを制御できる。

30

【0116】

例えば、スロープ電圧 V_s をクランプする際に、コンパレータ55の非反転入力端子の電圧 V_C をツェナーダイオード等でクランプしても良い。

【0117】

また、例えば、制御IC20aには、入力電圧 V_{in} 、出力電圧 V_{out} に基づいて、スイッチング周期(例えば、 $T_1 + T_2$)を一定にする制御回路が含まれていても、本実施形態と同様の効果を得ることができる。

40

【符号の説明】

【0118】

10a~10d リップルコンバータ

15 負荷

20a~20d 制御IC

30, 31, M1 NMOSトランジスタ

32 インダクタ

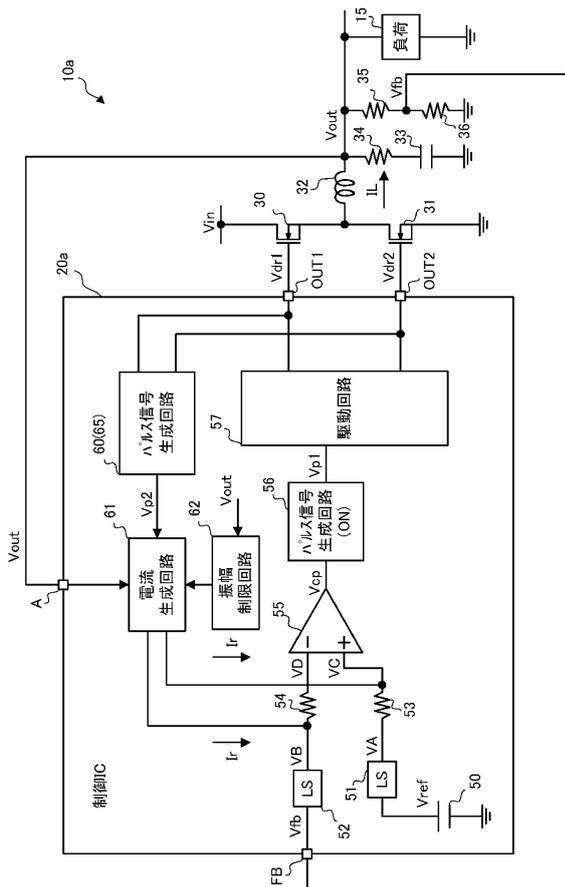
33 コンデンサ

34~36, 53, 54, 96, 98, 100~102, 111~113 抵抗

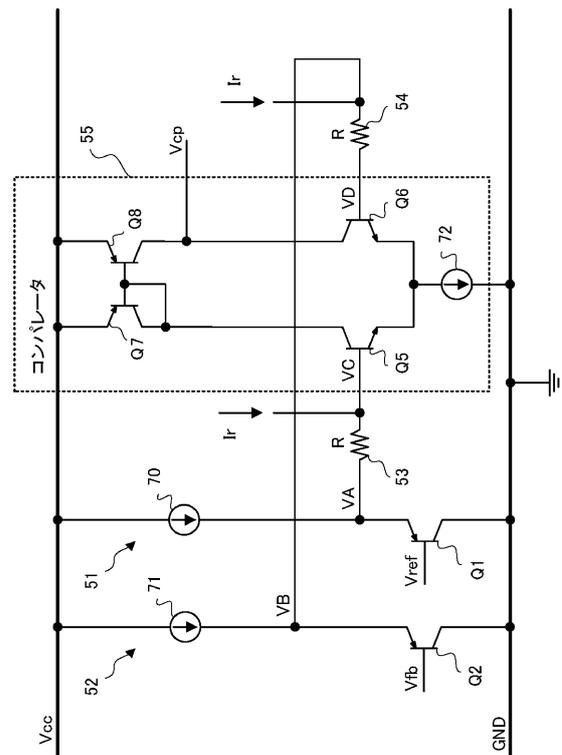
50

- 50, 120, 121 基準電圧生成回路
- 51, 52, 81 レベルシフト回路
- 55 コンパレータ
- 56, 60, 65, 66 パルス信号生成回路
- 57, 58 駆動回路
- 61, 63 電流生成回路
- 70 ~ 72, 95 定電流源
- 80 充放電回路
- 82, 83 電圧電流変換回路
- 90, 97 バイアス電流生成回路

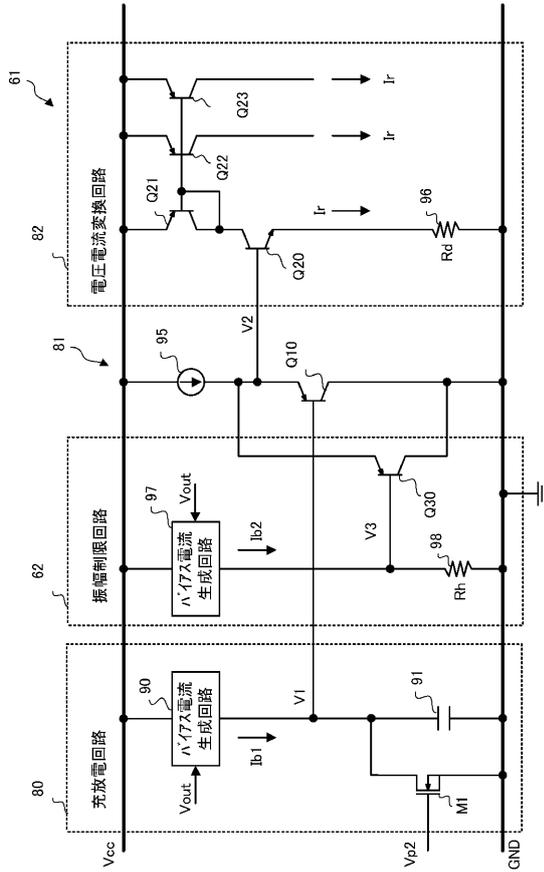
【 図 1 】



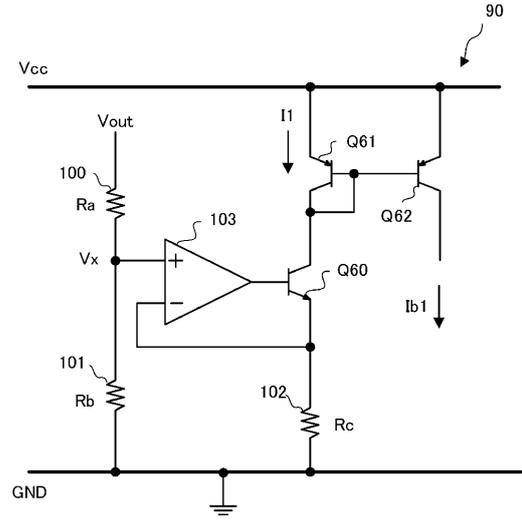
【 図 2 】



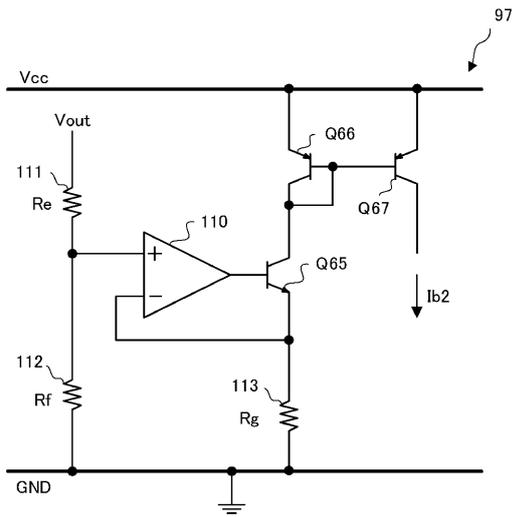
【 図 3 】



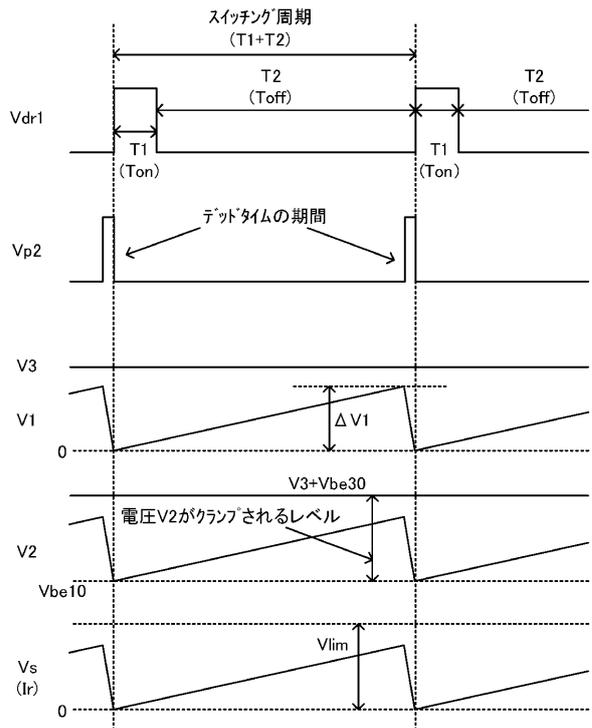
【 図 4 】



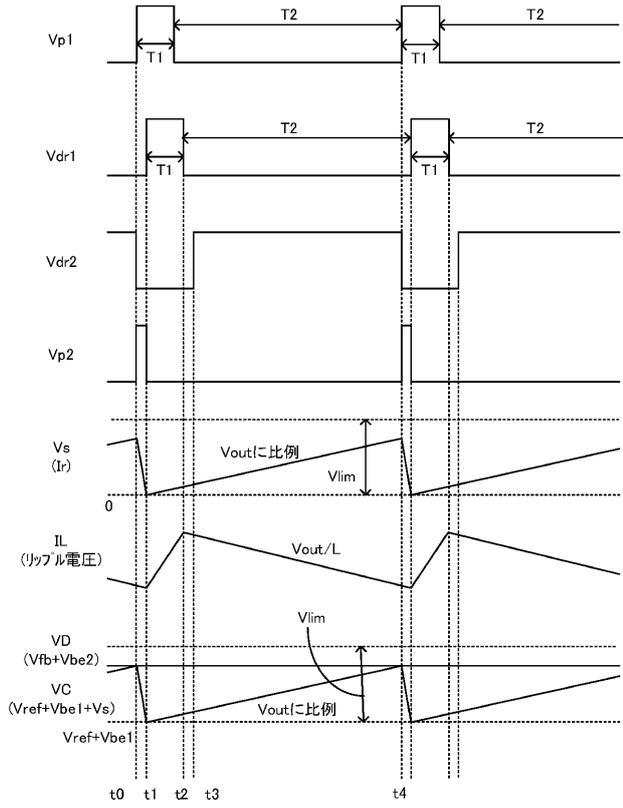
【 図 5 】



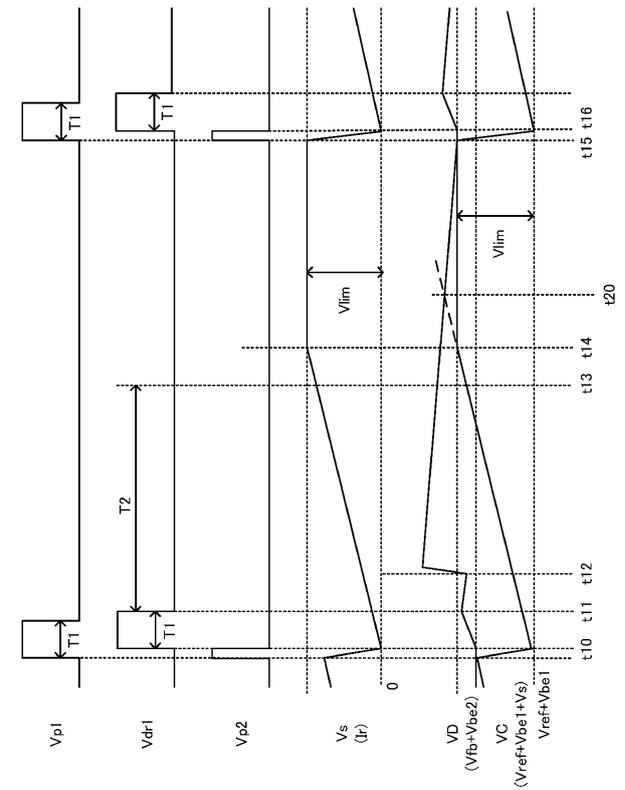
【 図 6 】



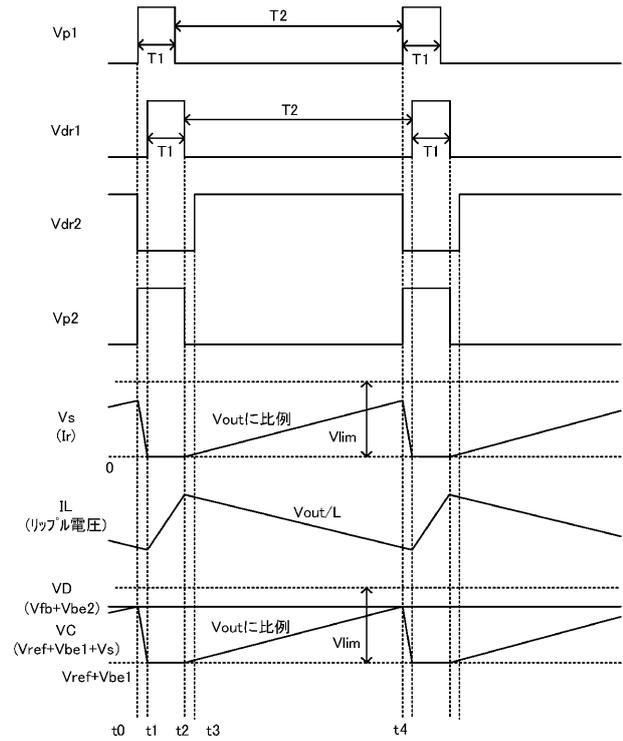
【図7】



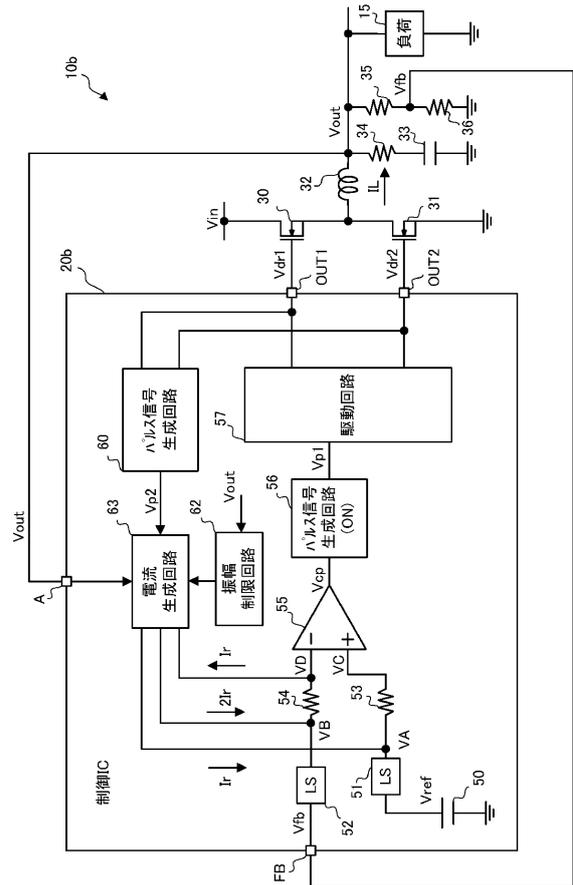
【図8】



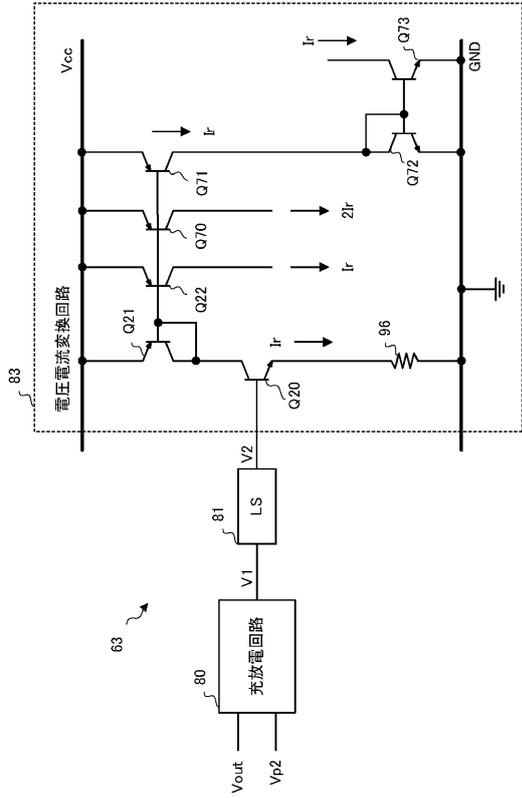
【図9】



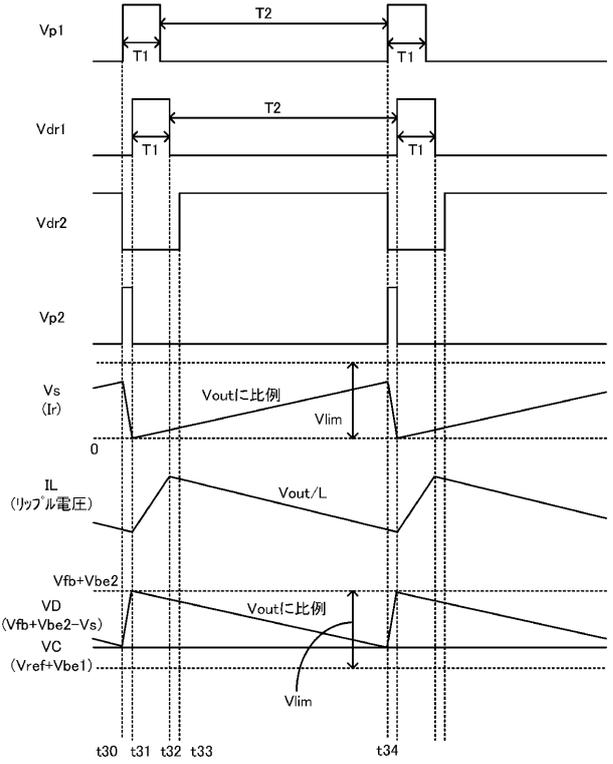
【図10】



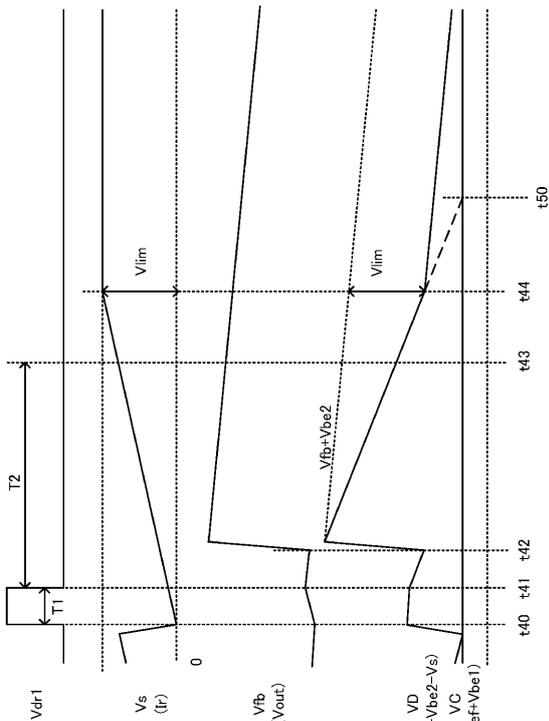
【図 1 1】



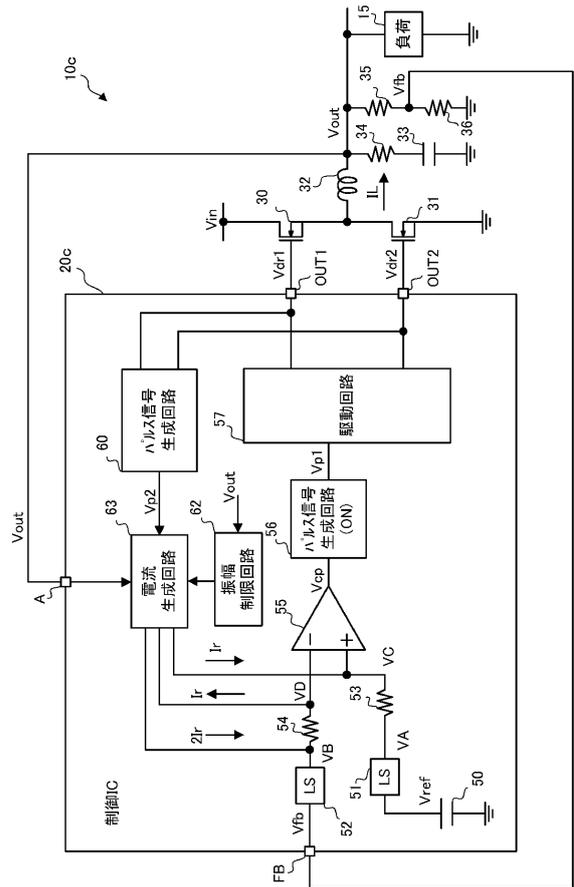
【図 1 2】



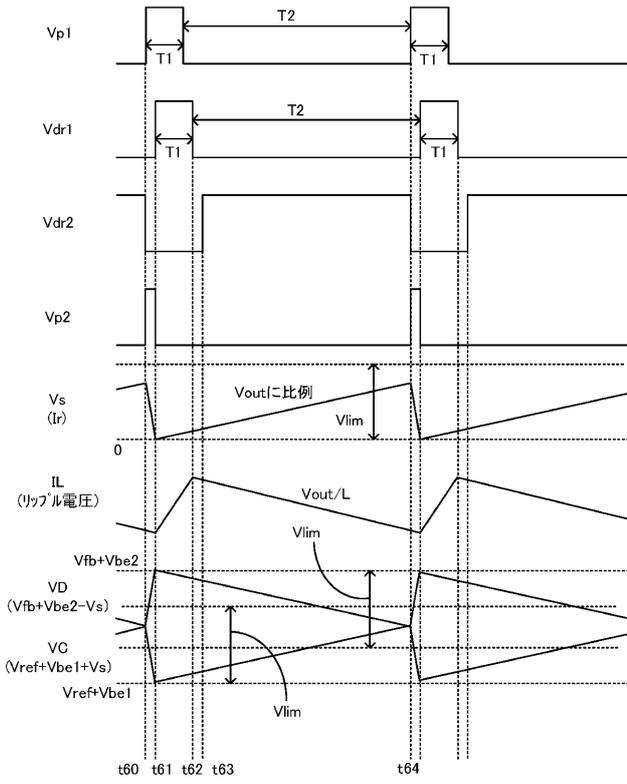
【図 1 3】



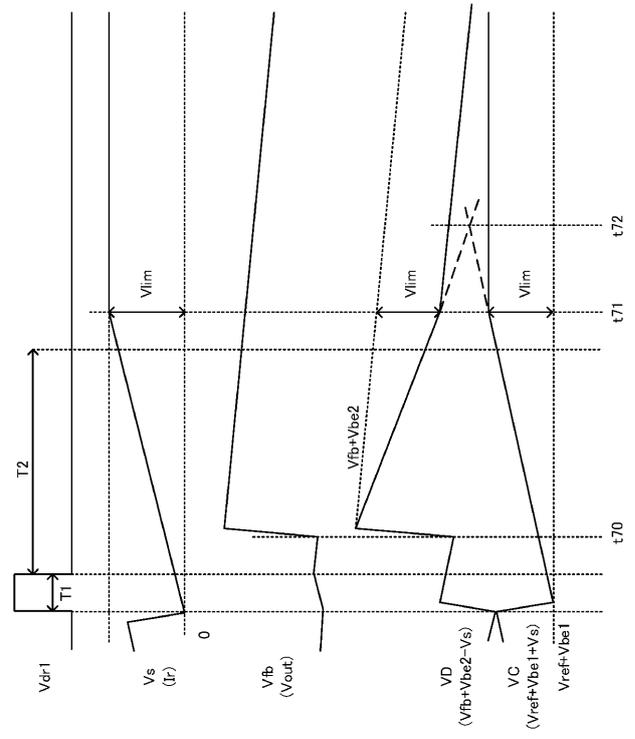
【図 1 4】



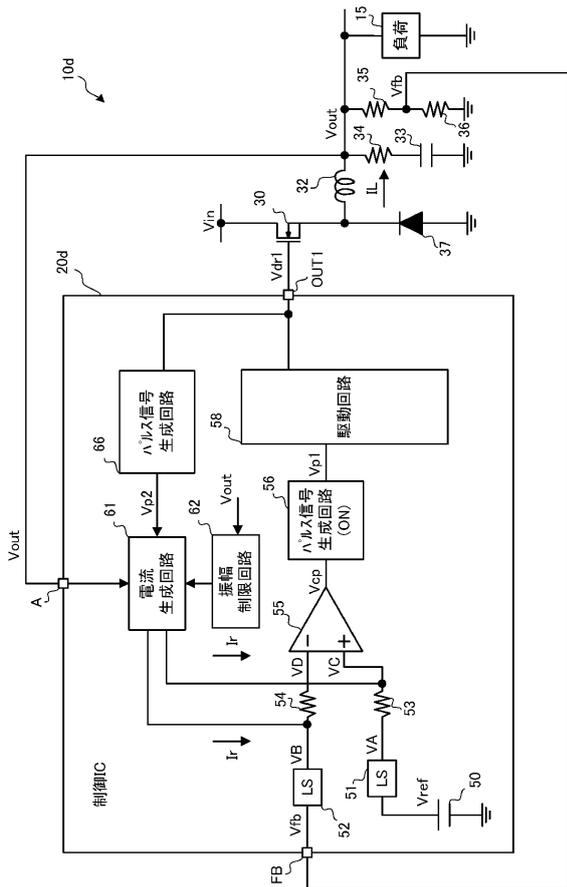
【図 15】



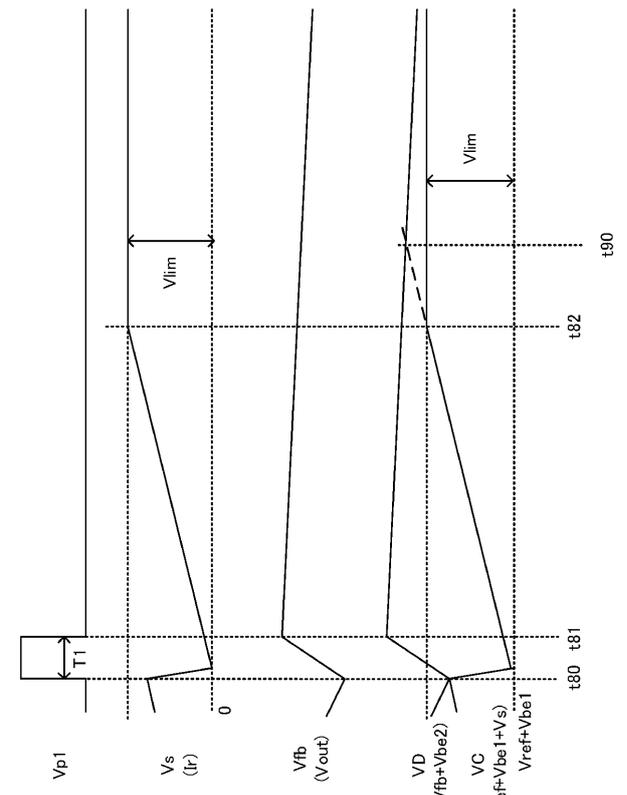
【図 16】



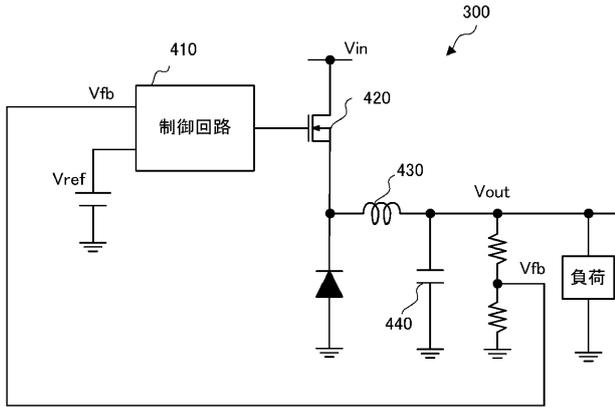
【図 17】



【図 18】



【 図 1 9 】



【 図 2 0 】

