



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I469351 B

(45)公告日：中華民國 104 (2015) 年 01 月 11 日

(21)申請案號：100143697

(22)申請日：中華民國 100 (2011) 年 11 月 29 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/205 (2006.01)

(71)申請人：茂達電子股份有限公司 (中華民國) ANPEC ELECTRONICS CORPORATION
(TW)

新竹市新竹科學工業園區篤行一路 6 號

(72)發明人：林永發 LIN, YUNG FA (TW)；徐守一 HSU, SHOU YI (TW)；吳孟韋 WU, MENG WEI (TW)；張家豪 CHANG, CHIA HAO (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

US 2009/0321819A1

審查人員：張靖輝

申請專利範圍項數：17 項 圖式數：13 共 36 頁

(54)名稱

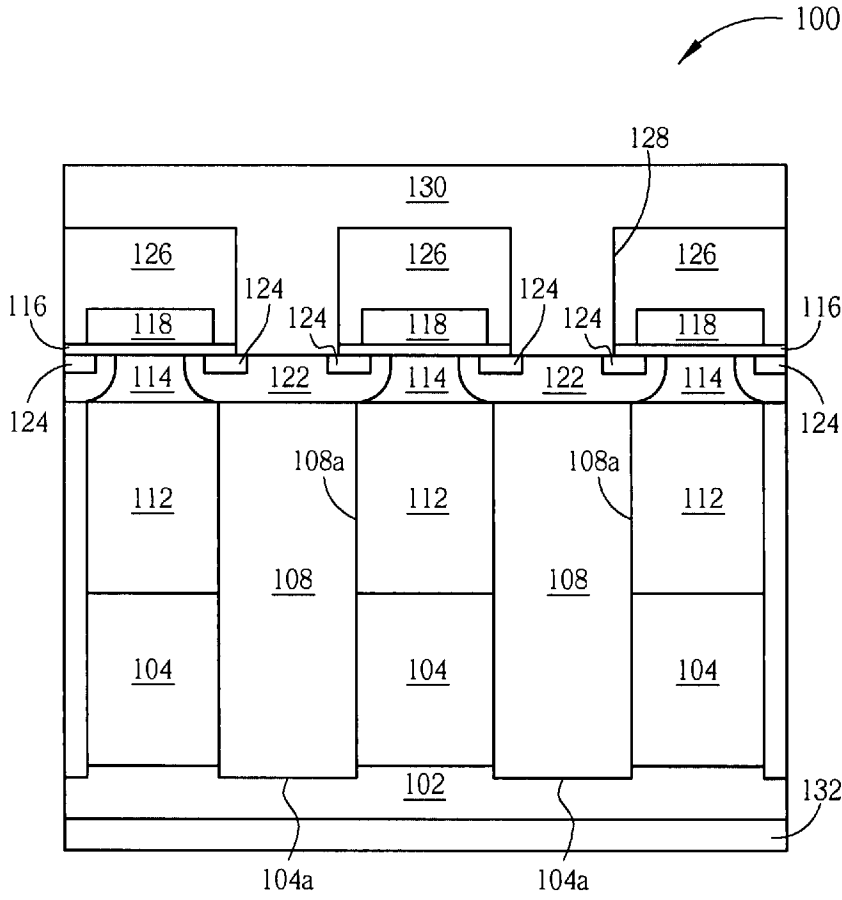
具有超級介面之功率電晶體元件及其製作方法

POWER TRANSISTOR DEVICE WITH SUPER JUNCTION AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明提供一種具有超級介面之功率電晶體元件，其包括一基底、一第一磊晶層、一第二磊晶層以及一第三磊晶層。第一磊晶層設於基底上，並具有複數個溝槽。第二磊晶層填滿溝槽，且第二磊晶層之上表面高於第一磊晶層之上表面。第二磊晶層具有複數個穿孔，貫穿第二磊晶層並位於第一磊晶層上，其中第二磊晶層與第一磊晶層具有不同導電類型。第三磊晶層填滿穿孔，並與第一磊晶層相接觸，其中第三磊晶層與第一磊晶層具有相同導電類型。

The present invention provides a power transistor device with a super junction including a substrate, a first epitaxial layer, a second epitaxial layer, and a third epitaxial layer. The first epitaxial layer is disposed on the substrate, and has a plurality of trenches. The trenches are filled up with the second epitaxial layer, and a top surface of the second epitaxial layer is higher than a top surface of the first epitaxial layer. The second epitaxial layer has a plurality of through holes penetrating through the second epitaxial layer and disposed on the first epitaxial layer. The second epitaxial layer and the first epitaxial layer have different conductive types. The through holes are filled up with the third epitaxial layer, and the third epitaxial layer is in contact with the first epitaxial layer. The third epitaxial layer and the first epitaxial layer have the same conductive type.



- 100 . . . 功率電晶體
元件
- 102 . . . 基底
- 104 . . . 第一磊晶層
- 104a . . . 溝槽
- 108 . . . 第二磊晶層
- 108a . . . 第一穿孔
- 112 . . . 第三磊晶層
- 114 . . . 第四磊晶層
- 116 . . . 絕緣層
- 118 . . . 閘極導電層
- 122 . . . 基體摻雜區
- 124 . . . 源極摻雜區
- 126 . . . 介電層
- 128 . . . 接觸洞
- 130 . . . 源極金屬層
- 132 . . . 汲極金屬層

第8圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

100143697

※申請日：

100.11.29

※IPC 分類：

H01L 21/18

G2006.01

一、發明名稱：(中文/英文)

H01L 21/205

G2006.01

具有超級介面之功率電晶體元件及其製作方法/POWER TRANSISTOR
DEVICE WITH SUPER JUNCTION AND MANUFACTURING
METHOD THEREOF

二、中文發明摘要：

本發明提供一種具有超級介面之功率電晶體元件，其包括一基底、一第一磊晶層、一第二磊晶層以及一第三磊晶層。第一磊晶層設於基底上，並具有複數個溝槽。第二磊晶層填滿溝槽，且第二磊晶層之上表面高於第一磊晶層之上表面。第二磊晶層具有複數個穿孔，貫穿第二磊晶層並位於第一磊晶層上，其中第二磊晶層與第一磊晶層具有不同導電類型。第三磊晶層填滿穿孔，並與第一磊晶層相接觸，其中第三磊晶層與第一磊晶層具有相同導電類型。

三、英文發明摘要：

The present invention provides a power transistor device with a super junction including a substrate, a first epitaxial layer, a second epitaxial layer, and a third epitaxial layer. The first epitaxial layer is disposed on the substrate, and has a plurality of trenches. The trenches are filled up with the second epitaxial layer, and a top surface of the second epitaxial layer is higher than a top surface of the first epitaxial

layer. The second epitaxial layer has a plurality of through holes penetrating through the second epitaxial layer and disposed on the first epitaxial layer. The second epitaxial layer and the first epitaxial layer have different conductive types. The through holes are filled up with the third epitaxial layer, and the third epitaxial layer is in contact with the first epitaxial layer. The third epitaxial layer and the first epitaxial layer have the same conductive type.

四、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

100	功率電晶體元件	102	基底
104	第一磊晶層	104a	溝槽
108	第二磊晶層	108a	第一穿孔
112	第三磊晶層	114	第四磊晶層
116	絕緣層	118	閘極導電層
122	基體摻雜區	124	源極摻雜區
126	介電層	128	接觸洞
130	源極金屬層	132	汲極金屬層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種功率電晶體元件及其製作方法，尤指一種具有超級介面之功率電晶體元件及其製作方法。

【先前技術】

在功率電晶體元件中，汲極與源極間導通電阻 $R_{DS(on)}$ 的大小係與元件之功率消耗成正比，因此降低導通電阻 $R_{DS(on)}$ 的大小可減少功率電晶體元件所消耗之功率。於導通電阻 $R_{DS(on)}$ 中，用於耐壓之磊晶層所造成之電阻值所佔的比例係為最高。雖然增加磊晶層中導電物質之摻雜濃度可降低磊晶層之電阻值，但磊晶層的作用係為用於承受高電壓。若增加摻雜濃度會降低磊晶層之崩潰電壓，因而降低功率電晶體元件之耐壓能力。

為了維持或提升功率電晶體元件之耐壓能力，並降低磊晶層之電阻值，目前已發展出一種具有超級介面(super junction)之功率電晶體元件，以兼具高耐壓能力以及低導通電阻。於習知功率電晶體元件中，基底上係形成有沿著水平方向交替設置 P 型磊晶層與 N 型磊晶層，使 P 型磊晶層與 N 型磊晶層形成複數個 PN 接面，彼此平行且垂直於基底表面。習知製作功率電晶體元件之方法係利用蝕刻製程於 N 型磊晶層中形成複數個深溝槽，然後於深溝槽中填入 P 型磊晶

層。然而，深溝槽之深寬比具有一定大小，且習知之蝕刻製程所製作出之溝槽的深寬比有一定的限制，因此P型磊晶層亦不易完整填充於溝槽中，而容易於其中產生空隙，使超級介面有缺陷。尤其是當功率電晶體元件之尺寸逐漸縮小化時，深溝槽的深寬比更會增加，而更容易產生有缺陷的超級介面。

有鑑於此，提供一種具有超級介面之功率電晶體元件及其製作方法，來降低利用蝕刻製程製作深溝槽所造成之限制，且降低沉積磊晶層之困難度，以避免形成有缺陷之超級介面實為業界努力之目標。

【發明內容】

本發明之主要目的在於提供一種具有超級介面之功率電晶體元件及其製作方法，以降低利用蝕刻製程製作深溝槽所造成之限制，且降低沉積磊晶層之困難度。

為達上述之目的，本發明提供一種具有超級介面之功率電晶體元件，其包括一基底、一第一磊晶層、一第二磊晶層以及一第三磊晶層。基底具有一第一導電類型。第一磊晶層設於基底上，且具有複數個溝槽。第二磊晶層填滿溝槽，且第二磊晶層之上表面高於第一磊晶層之上表面。第二磊晶層具有複數個穿孔，貫穿第二磊晶層並位於第一磊晶層上，其中第二磊晶層與第一磊晶層具有不同導電類型。第三磊晶層填滿穿孔，並與第一磊晶層相接觸，其中第三磊晶層與第一磊晶層具有相同導電類型。

為達上述之目的，本發明提供一種製作具有超級介面之功率電晶體元件之方法。首先，提供具有一第一導電類型之一基底，且於基底上形成一第一磊晶層。接著，圖案化第一磊晶層，以於第一磊晶層中形成複數個溝槽。然後，於第一磊晶層上形成一第二磊晶層，且第二磊晶層填滿溝槽，其中第二磊晶層與第一磊晶層具有不同導電類型。隨後，圖案化第二磊晶層，以於第二磊晶層中形成複數個第一穿孔，分別曝露出第一磊晶層。接著，於第二磊晶層上形成一第三磊晶層，且第三磊晶層填滿第一穿孔，而與第一磊晶層相接觸，其中第三磊晶層與第一磊晶層具有相同導電類型。

本發明藉由重複於基底上進行N型磊晶製程、圖案化製程、P型磊晶製程、圖案化製程來達到分別堆疊N型磊晶層與P型磊晶層，使所堆疊之N型磊晶層與P型磊晶層形成具有一定高度之超級介面。藉此，本實施例可避免因一次於磊晶層中製作出深溝槽而造成填入溝槽中之P型磊晶層具有空隙，進而製作出具有缺陷之超級介面，且可降低利用蝕刻製程製作深溝槽所造成之限制，以及降低沉積磊晶層之困難度。

【實施方式】

請參考第1圖至第8圖，第1圖至第8圖為本發明一第一較佳實施例之功率電晶體元件之製作方法示意圖，其中第8圖為本發明第一較佳實施例之功率電晶體元件之剖面示意圖。如第1圖所示，首

先提供一基底 102，例如：矽晶圓，且基底 102 具有一第一導電類型。然後，進行一第一磊晶製程，於基底 102 上形成一第一磊晶層 104。隨後，於第一磊晶層 104 上形成一第一圖案化遮罩層 106，且第一圖案化遮罩層 106 具有複數個第一開口 106a，曝露出第一磊晶層 104。接著，以第一圖案化遮罩層 106 為遮罩，進行一第一圖案化製程，圖案化第一磊晶層 104，以於第一磊晶層 104 中形成複數個溝槽 104a。於本發明中，磊晶製程可為例如物理氣相沉積製程或化學氣相沉積製程等沉積製程，但不以此為限。並且，各溝槽 104a 係貫穿第一磊晶層 104 而曝露出基底 102。

如第 2 圖所示，接著，移除第一圖案化遮罩層 106，進行一第二磊晶製程，於第一磊晶層 104 上覆蓋一第二磊晶層 108，且第二磊晶層 108 填滿各溝槽 104a，使第二磊晶層 108 之上表面高於第一磊晶層 104 之上表面。隨後，於第二磊晶層 108 上形成一第二圖案化遮罩層 110，具有複數個第二開口 110a，且各第二開口 110a 之位置係位於第一磊晶層 104 之正上方，以曝露出第一磊晶層 104 上之第二磊晶層 108。接著，以第二圖案化遮罩層 110 為遮罩，進行一第二圖案化製程，圖案化第二磊晶層 108，以於第二磊晶層 108 中形成複數個第一穿孔 108a，貫穿第二磊晶層 108，並分別曝露出第一磊晶層 104。於本實施例中，第一磊晶層 104 具有第一導電類型，且第二磊晶層 108 具有不同於第一導電類型之一第二導電類型。並且，本實施例之第一導電類型與第二導電類型分別為 N 型與 P 型，但不限於此，亦可互換。由於本實施例之 N 型第一磊晶層 104 與 N

型基底 102 具有相同導電類型，因此溝槽 104a 並不限需貫穿 N 型第一磊晶層 104，而亦可未貫穿 N 型第一磊晶層 104。此外，本發明之第一開口 106a 與溝槽 104a 之數量不限為複數個，亦可分別僅為單一個。此外，第一穿孔 108a 之寬度係大體上與位於兩相鄰溝槽 104a 之間的 N 型第一磊晶層 104 之寬度相同，但本發明並不限於此，第一穿孔 108a 之寬度亦可大於或小於位於兩相鄰溝槽 104a 之間的 N 型第一磊晶層 104 之寬度。此外，為了使 P 型第二磊晶層 108 填滿各溝槽 104a，P 型第二磊晶層 108 之沉積厚度大於各溝槽 104a 之寬度的二分之一。

如第 3 圖所示，然後，移除第二圖案化遮罩層 110，進行一第三磊晶製程，於 P 型第二磊晶層 108 上覆蓋一 N 型第三磊晶層 112，且 N 型第三磊晶層 112 填滿各第一穿孔 108a，而與 N 型第一磊晶層 104 相接觸。至此 N 型第一磊晶層 104 與其上之 N 型第三磊晶層 112 分別與 P 型第二磊晶層 108 形成複數個垂直 N 型基底 102 表面之 PN 接面，亦稱為超級介面，作為功率電晶體元件之耐壓結構，可用於承受從 N 型基底 102 來的高電壓，且 PN 接面沿著水平方向依序交替設置。於本實施例中，由於第一穿孔 108a 的寬度與位於兩相鄰溝槽 104a 之間的 N 型第一磊晶層 104 之寬度相同，使填入第一穿孔 108a 之 N 型第三磊晶層 112 與其下方之 N 型第一磊晶層 104 具有相同寬度，因此為了使 N 型第一磊晶層 104 與 P 型第二磊晶層 108 所構成之超級介面以及 N 型第三磊晶層 112 與 P 型第二磊晶層 108 所構成之超級介面具有相同電荷分布，以具

有相同耐壓能力，N型第三磊晶層 112 與 N型第一磊晶層 104 大體上具有相同之摻雜濃度。不過，本發明之 N型第三磊晶層 112 與其下方的 N型第一磊晶層 104 亦可具有不同寬度。於本發明之其他實施例中，當 N型第三磊晶層 112 與其下方的 N型第一磊晶層 104 具有不同寬度時，為了使 N型第一磊晶層 104 與 P型第二磊晶層 108 所構成之超級介面以及 N型第三磊晶層 112 與 P型第二磊晶層 108 所構成之超級介面具有相同耐壓能力，N型第三磊晶層 112 與其下方之 N型第一磊晶層 104 係具有不同摻雜濃度。舉例來說，當 N型第一磊晶層 104 之寬度大於 N型第三磊晶層 112 之寬度時，N型第一磊晶層 104 之摻雜濃度係小於 N型第三磊晶層 112 之摻雜濃度，使 N型第一磊晶層 104 與 P型第二磊晶層 108 所構成之超級介面的電荷分布以及 N型第三磊晶層 112 與 P型第二磊晶層 108 所構成之超級介面的電荷分布具有相同耐壓能力。反之亦然。

值得一提的是，由於 P型第二磊晶層 108 之位置係對應於 N型第一磊晶層 104 之溝槽 104a，且 P型第二磊晶層 108 之第一穿孔 108a 係對應於 N型第一磊晶層 104 之位置，因此本實施例可藉由於 N型基底 102 上依序進行 N型磊晶製程、圖案化製程、P型磊晶製程、圖案化製程以及 N型磊晶製程來分別堆疊 N型磊晶層與 P型磊晶層，進而製作出具有一預定高度之超級介面。藉此，本實施例可避免因一次於磊晶層中製作出深溝槽而造成填入溝槽中之 P型磊晶層具有空隙，進而製作出具有缺陷之超級介面，且可降低利用蝕刻製程製作深溝槽所造成之限制，以及降低沉積磊晶層之困難度。

如第 4 圖所示，接著，進行一研磨製程以及一回蝕刻製程，以移除位於 P 型第二磊晶層 108 上之 N 型第三磊晶層 112，使 P 型第二磊晶層 108 之上表面與 N 型第三磊晶層 112 之上表面位於同一平面上。隨後，進行一第四磊晶製程，於 P 型第二磊晶層 108 與 N 型第三磊晶層 112 上覆蓋一 N 型第四磊晶層 114。接下來，於 N 型第四磊晶層 114 上覆蓋一絕緣層 116，例如氧化矽(SiO₂)。然後，進行一沉積製程與一微影暨蝕刻製程，於絕緣層 116 上形成複數個閘極導電層 118，例如多晶矽，作為功率電晶體元件之閘極，且各閘極導電層 118 位於 N 型第三磊晶層 112 之正上方，其中各閘極導電層 118 與其下方之部分絕緣層 116 構成一閘極結構 120。

如第 5 圖所示，接著，以閘極導電層 118 為遮罩，進行一 P 型離子佈值製程以及一熱趨入製程，於任兩相鄰閘極結構 120 之間的 N 型第四磊晶層 114 中形成一 P 型基體摻雜區 122，且 P 型基體摻雜區 122 與 P 型第二磊晶層 108 相接觸，並與閘極結構 120 部分重疊，以作為功率電晶體元件之基極。於本發明其他實施例中，第一磊晶層亦可與基底具有不同導電類型，而為 P 型，且第二磊晶層可與基底具有相同導電類型，而為 N 型。並且，閘極結構之位置係對應於 N 型第二磊晶層，使所形成之 P 型基體摻雜區位於 P 型第三磊晶層上，且與 P 型第三磊晶層相接觸。

如第 6 圖所示，然後，利用一光罩(圖未示)，進行一 N 型離子佈

值製程以及一熱趨入製程，於各 P 型基體摻雜區 122 中形成二 N 型源極摻雜區 124，分別與各閘極結構 120 部分重疊，以作為功率電晶體元件之源極。本發明之閘極結構 120、P 型基體摻雜區 122 以及 N 型源極摻雜區 124 並不限分別具有複數個，且亦可僅具有單一一個，並可依據實際需求來作相對應調整。

如第 7 圖所示，接著，於閘極導電層 118 以及絕緣層 116 上覆蓋一介電層 126，例如氧化矽。然後，進行一微影暨蝕刻製程，於介電層 126 與絕緣層 116 中形成複數個接觸洞 128，且各接觸洞 128 曝露出 N 型源極摻雜區 124 與 P 型基體摻雜區 122。此外，此接觸洞 128 亦形成於閘極導電層 118 上，以形成閘極接觸洞(圖未示)。於本發明之其他實施例中，形成接觸洞之後可進行一 P 型離子佈植製程與一熱趨入製程，以於各 P 型基體摻雜區中形成一 P 型接觸摻雜區，但不限於此。

如第 8 圖所示，然後，於介電層 126 上與接觸洞 128 中形成一源極金屬層 130。並且，於 N 型基底 102 下形成一汲極金屬層 132。於本實施例中，形成源極金屬層 130 與汲極金屬層 132 之步驟可分別包含進行電漿濺鍍或電子束沉積等製程，且源極金屬層 130 與汲極金屬層 132 可分別包括鈦、氮化鈦、鋁、鎢等金屬或金屬化合物，但不限於此。至此已完成本實施例之功率電晶體元件 100。於本發明之其他實施例中，於形成源極金屬層 130 之前亦可先於接觸洞 128 中形成接觸插塞，或先於接觸洞 128 底部之 N 型第四磊晶層 114 上

形成一阻障層。

本發明之功率電晶體元件及其製作方法並不以上述實施例為限。下文將繼續揭示本發明之其它實施例或變化形，然為了簡化說明並突顯各實施例或變化形之間的差異，下文中使用相同標號標注相同元件，並不再對重覆部分作贅述。

請參考第 9 圖，且一併參考第 1 圖至第 3 圖。第 9 圖為本發明一第二較佳實施例之功率電晶體元件之剖面示意圖。如第 1 圖至第 3 圖所示，本實施例之製作方法於形成 N 型第三磊晶層之前的步驟係與第一實施例相同，因此在此不再贅述。接著，如第 9 圖所示，相較於第一實施例，本實施例之製作方法係於形成 N 型第三磊晶層 112 之後不進行研磨製程與回蝕刻製程，使 N 型第三磊晶層 112 之上表面高於 P 型第二磊晶層 108 之上表面。然後，直接於 N 型第三磊晶層 112 上形成絕緣層 116。並且，本實施例位於第一穿孔 112a 中之 N 型第三磊晶層 112 之寬度小於其下方的 N 型第一磊晶層 104 之寬度，且位於第一穿孔 112a 中之 N 型第三磊晶層 112 之摻雜濃度大於其下方的 N 型第一磊晶層 104 之摻雜濃度，但不限於此。如第 9 圖所示，然後，於 P 型第二磊晶層 108 上之 N 型第三磊晶層 112 中形成 P 型基體摻雜區 122。為使 P 型基體摻雜區 122 可與 P 型第二磊晶層相接觸，N 型第三磊晶層之上表面與 P 型第二磊晶層之上表面之距離可根據離子佈植製程與熱趨入製程之條件來作調整。由於本實施例之後續步驟係與第一實施例亦相同，因此不再在此贅

述。由此可知，本實施例之功率電晶體元件 200 係直接將 P 型基體摻雜區 122 設於 P 型第二磊晶層 108 上之 N 型第三磊晶層 112 中，可減少研磨製程與回蝕刻製程以及形成 N 型第四磊晶層 114 之製作成本。

請參考第 10 圖與第 11 圖，且一併參考第 1 圖至第 3 圖。第 10 圖與第 11 圖為本發明一第三較佳實施例之功率電晶體元件之製作方法示意圖，其中第 11 圖為本發明第三較佳實施例之功率電晶體元件之剖面示意圖。相較於第一實施例，本實施例之第一磊晶層與第三磊晶層係與基底具有不同導電類型，而為 P 型，且第二磊晶層與基底具有相同導電類型，而為 N 型。如第 1 圖至第 3 圖所示，本實施例之製作方法於形成第三磊晶層之前的步驟係與第一實施例相同，因此在此不再贅述。接著，如第 10 圖所示，相較於第一實施例，本實施例之製作方法係於第三磊晶製程之後，進行一第三圖案化製程，圖案化 P 型第三磊晶層 112，以於 P 型第三磊晶層 112 中形成複數個第二穿孔 112a，分別曝露出 N 型第二磊晶層 108。然後，進行一第五磊晶製程，於 P 型第三磊晶層 112 上形成一 N 型第五磊晶層 302，且 N 型第五磊晶層 302 填滿各第二穿孔 112a，而堆疊於 N 型第二磊晶層 108 上。隨後，進行研磨製程與回蝕刻製程，移除位於 P 型第三磊晶層 112 上之 N 型第五磊晶層 302，使 P 型第三磊晶層 112 之上表面與 N 型第五磊晶層 302 之上表面位於同一平面上。如第 11 圖所示，接著，進行第四磊晶製程，於 P 型第三磊晶層 112 與 N 型第五磊晶層 302 上形成 N 型第四磊晶層 114。由於本實施例

之後續步驟係與第一實施例亦相同，因此不再在此贅述。於本實施例中，功率電晶體元件 300 之 P 型基體摻雜區 122 係與 P 型第三磊晶層 112 相接觸。於本發明之其他實施例中，第一磊晶層與第三磊晶層亦可與基底具有相同導電類型，而為 N 型，且第二磊晶層與第五磊晶層可與基底具有相反導電類型，而為 P 型。並且，閘極結構之位置係對應於 N 型第三磊晶層，使所形成之 P 型基體摻雜區位於 P 型第五磊晶層上，且與 P 型第五磊晶層相接觸。或者，於形成 N 型第五磊晶層之後不進行研磨製程與回蝕刻製程，使 N 型第五磊晶層之上表面高於 P 型第三磊晶層之上表面。藉此，P 型基體摻雜區可形成於 N 型第五磊晶層中。

請參考第 12 圖與第 13 圖，且一併參考第 1 圖至第 3 圖。第 12 圖與第 13 圖為本發明一第四較佳實施例之功率電晶體元件之製作方法示意圖，其中第 13 圖為本發明第四較佳實施例之功率電晶體元件之剖面示意圖。如第 1 圖至第 3 圖所示，本實施例之製作方法於形成 N 型第三磊晶層之前的步驟係與第一實施例相同，因此在此不再贅述。接著，如第 12 圖所示，相較於第一實施例，本實施例之製作方法係於第三磊晶製程之後，圖案化 N 型第三磊晶層 112，以於 N 型第三磊晶層 112 中形成複數個第二穿孔 112a，分別曝露出 P 型第二磊晶層 108。然後，至少重複一次形成 P 型第二磊晶層 108、圖案化 P 型第二磊晶層 108 以及形成 N 型第三磊晶層 112 之步驟，以於 P 型第二磊晶層 108 上形成至少一 P 型第五磊晶層 402 以及於 N 型第三磊晶層 112 上形成至少一 N 型第六磊晶層 404，且 N 型第六

磊晶層 404 覆蓋 P 型第五磊晶層 402。隨後，進行研磨製程與回蝕刻製程，移除位於 P 型第五磊晶層 402 上之 N 型第六磊晶層 404，使 N 型第六磊晶層 404 之上表面與 P 型第五磊晶層 402 之上表面位於同一平面上。如第 13 圖所示，然後，進行第四磊晶製程，於 N 型第六磊晶層 404 與 P 型第五磊晶層 402 上形成 N 型第四磊晶層 114。由於本實施例之後續步驟係與第一實施例亦相同，因此不再在此贅述。於本實施例中，功率電晶體元件 400 之 P 型基體摻雜區 122 係與 P 型第五磊晶層 402 相接觸。由於本實施例之後續步驟係與第一實施例亦相同，因此不再在此贅述。於本發明之其他實施例中，第一磊晶層、第三磊晶層與第六磊晶層亦可與基底具有不同導電類型，而為 P 型，且第二磊晶層與第五磊晶層可與基底具有相同導電類型，而為 N 型。並且，閘極結構之位置係對應於 N 型第五磊晶層，使所形成之 P 型基體摻雜區位於 P 型第六磊晶層上，且與 P 型第六磊晶層相接觸。

綜上所述，本發明藉由重複於基底上進行 N 型磊晶製程、圖案化製程、P 型磊晶製程、圖案化製程來達到分別堆疊 N 型磊晶層與 P 型磊晶層，使所堆疊之 N 型磊晶層與 P 型磊晶層形成具有一定高度之超級介面。藉此，本實施例可避免因一次於磊晶層中製作出深溝槽而造成填入溝槽中之 P 型磊晶層具有空隙，進而製作出具有缺陷之超級介面，且可降低利用蝕刻製程製作深溝槽所造成之限制，以及降低沉積磊晶層之困難度。並且，各層之 N 型磊晶層之摻雜濃度可根據其所具有之寬度來作相對應調整，使各層之 N 型磊晶層與

P 型磊晶層所構成之超級介面具有相同電荷分布，進而具有相同耐壓能力。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖至第 8 圖為本發明一第一較佳實施例之功率電晶體元件之製作方法示意圖。

第 9 圖為本發明一第二較佳實施例之功率電晶體元件剖面示意圖。

第 10 圖與第 11 圖為本發明一第三較佳實施例之功率電晶體元件之製作方法示意圖。

第 12 圖與第 13 圖為本發明一第四較佳實施例之功率電晶體元件之製作方法示意圖。

【主要元件符號說明】

100	功率電晶體元件	102	基底
104	第一磊晶層	104a	溝槽
106	第一圖案化遮罩層	106a	第一開口
108	第二磊晶層	108a	第一穿孔
110	第二圖案化遮罩層	110a	第二開口
112	第三磊晶層	112a	第二穿孔
114	第四磊晶層	116	絕緣層

118	閘極導電層	120	閘極結構
122	基體摻雜區	124	源極摻雜區
126	介電層	128	接觸洞
130	源極金屬層	132	汲極金屬層
200	功率電晶體元件	300	功率電晶體元件
302	第五磊晶層	400	功率電晶體元件
402	第五磊晶層	404	第六磊晶層

七、申請專利範圍：

103年9月24日修正頁

1. 一種具有超級介面之功率電晶體元件，包括：

一基底，具有一第一導電類型；

一第一磊晶層，設於該基底上，且具有複數個溝槽；

一第二磊晶層，填滿該等溝槽，該第二磊晶層之上表面高於該第

一磊晶層之上表面，且該第二磊晶層具有複數個穿孔，貫穿

該第二磊晶層並位於該第一磊晶層上，其中該第二磊晶層與

該第一磊晶層具有不同導電類型；以及

一第三磊晶層，填滿該等穿孔，並與該第一磊晶層相接觸，其中

該第三磊晶層與該第一磊晶層具有相同導電類型，其中該第

一磊晶層與該第三磊晶層具有不同摻雜濃度，且該第一磊晶

層與該第三磊晶層具有不同寬度。

2. 如請求項1所述之具有超級介面之功率電晶體元件，其中該第一

磊晶層具有該第一導電類型，且該第二磊晶層具有不同於該第一

導電類型之一第二導電類型。

3. 如請求項2所述之具有超級介面之功率電晶體元件，其中該第二

磊晶層之上表面與該第三磊晶層之上表面位於同一平面上，且該

功率電晶體元件另包括：

一第四磊晶層，設於該第二磊晶層與該第三磊晶層上，並與該第

二磊晶層與該第三磊晶層相接觸，且該第四磊晶層具有該第

一導電類型；

- 至少一閘極結構，設於該第四磊晶層上；
- 至少一基體摻雜區，設於該閘極結構一側之該第四磊晶層中，並與該閘極結構部分重疊，且該基體摻雜區具有該第二導電類型，其中該基體摻雜區與該第二磊晶層相接觸；以及
- 至少一源極摻雜區，設於該基體摻雜區中，並與該閘極結構部分重疊，且該源極摻雜區具有該第一導電類型。
4. 如請求項 2 所述之具有超級介面之功率電晶體元件，其中該第三磊晶層延伸至覆蓋該第二磊晶層，且該功率電晶體元件另包括：
- 至少一閘極結構，設於該第三磊晶層上；
- 至少一基體摻雜區，設於該閘極結構一側之該第三磊晶層中，並與該閘極結構部分重疊，且該基體摻雜區具有該第二導電類型，其中該基體摻雜區與該第二磊晶層相接觸；以及
- 至少一源極摻雜區，設於該基體摻雜區中，並與該閘極結構部分重疊，且該源極摻雜區具有該第一導電類型。
5. 如請求項 2 所述之具有超級介面之功率電晶體元件，其中該第三磊晶層之上表面高於該第二磊晶層之上表面，且該功率電晶體元件另包括至少一第五磊晶層以及至少一第六磊晶層，分別設於該第二磊晶層上以及設於該第三磊晶層上，其中該第五磊晶層具有該第二導電類型，且該第六磊晶層具有該第一導電類型。
6. 如請求項 1 所述之具有超級介面之功率電晶體元件，其中該第一

磊晶層具有不同於該第一導電類型之一第二導電類型，且該第二磊晶層具有該第一導電類型。

7. 如請求項 6 所述之具有超級介面之功率電晶體元件，其中該第二磊晶層之上表面與該第三磊晶層之上表面位於同一平面上，且該功率電晶體元件另包括：

一第四磊晶層，設於該第二磊晶層與該第三磊晶層上，並與該第二磊晶層與該第三磊晶層相接觸，且該第四磊晶層具有該第一導電類型；以及

一基體摻雜區，設於該第四磊晶層中，並與該第三磊晶層相接觸，且該基體摻雜區具有該第二導電類型。

8. 如請求項 6 所述之具有超級介面之功率電晶體元件，其中該第三磊晶層之上表面高於該第二磊晶層之上表面，且該功率電晶體元件另包括至少一第五磊晶層，設於該第二磊晶層上，並具有該第一導電類型。

9. 一種製作具有超級介面之功率電晶體元件之方法，包括：

提供一基底，具有一第一導電類型；

於該基底上形成一第一磊晶層；

圖案化該第一磊晶層，以於該第一磊晶層中形成複數個溝槽；

於該第一磊晶層上形成一第二磊晶層，且該第二磊晶層填滿該等溝槽，其中該第二磊晶層與該第一磊晶層具有不同導電類型；

圖案化該第二磊晶層，以於該第二磊晶層中形成複數個第一穿

孔，分別曝露出該第一磊晶層；以及

於該第二磊晶層上形成一第三磊晶層，且該第三磊晶層填滿該等

第一穿孔，而與該第一磊晶層相接觸，其中該第三磊晶層與

該第一磊晶層具有相同導電類型，其中該第三磊晶層與該第

一磊晶層具有不同摻雜濃度，且該第三磊晶層與該第一磊晶

層具有不同寬度。

10. 如請求項 9 所述之製作具有超級介面之功率電晶體元件之方

法，其中該第一磊晶層具有該第一導電類型，且該第二磊晶層具

有不同於該第一導電類型之一第二導電類型。

11. 如請求項 10 所述之製作具有超級介面之功率電晶體元件之方

法，其中於形成該第三磊晶層之步驟之後，該方法另包括進行一

研磨製程與一回蝕刻製程，移除位於該第二磊晶層上之該第三磊

晶層，使該第三磊晶層之上表面與該第二磊晶層之上表面位於同

一平面上。

12. 如請求項 11 所述之製作具有超級介面之功率電晶體元件之方

法，其中於該研磨製程與該回蝕刻製程之步驟之後，該方法另包

括：

於該第二磊晶層與該第三磊晶層上覆蓋一第四磊晶層，且該第四

磊晶層具有該第一導電類型；

於該第四磊晶層上形成至少一閘極結構；

於該閘極結構一側之該第四磊晶層中形成一基體摻雜區，且該基

體摻雜區與該閘極結構部分重疊，並與該第二磊晶層相接

觸，其中該基體摻雜區具有該第二導電類型；以及

於該基體摻雜區中形成一源極摻雜區，且該源極摻雜區與該閘極

結構部分重疊，其中該源極摻雜區具有該第一導電類型。

13. 如請求項 10 所述之製作具有超級介面之功率電晶體元件之方

法，其中於形成該第三磊晶層之步驟之後，該方法另包括：

於該第三磊晶層上形成至少一閘極結構；以及

於該閘極結構一側之該第三磊晶層中形成一基體摻雜區，且該基

體摻雜區與該閘極結構部分重疊，並與該第二磊晶層相接

觸，其中該基體摻雜區具有該第二導電類型。

14. 如請求項 10 所述之製作具有超級介面之功率電晶體元件之方

法，另包括至少重複一次形成該第二磊晶層、圖案化該第二磊晶

層以及形成該第三磊晶層之步驟，於該第二磊晶層上形成至少一

第五磊晶層以及於該第三磊晶層上形成至少一第六磊晶層，其中

該第五磊晶層具有該第二導電類型，且該第六磊晶層具有該第一

導電類型。

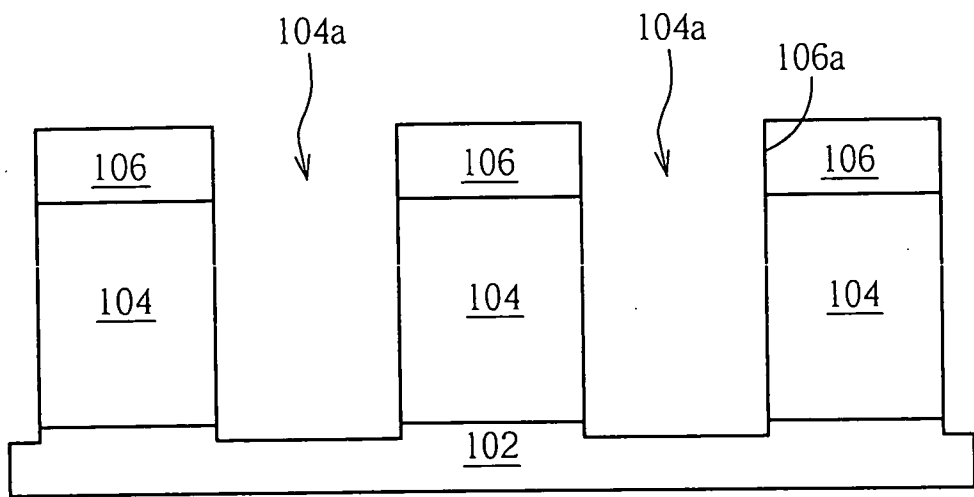
15. 如請求項 9 所述之製作具有超級介面之功率電晶體元件之方

法，其中該第一磊晶層具有不同於該第一導電類型之一第二導電

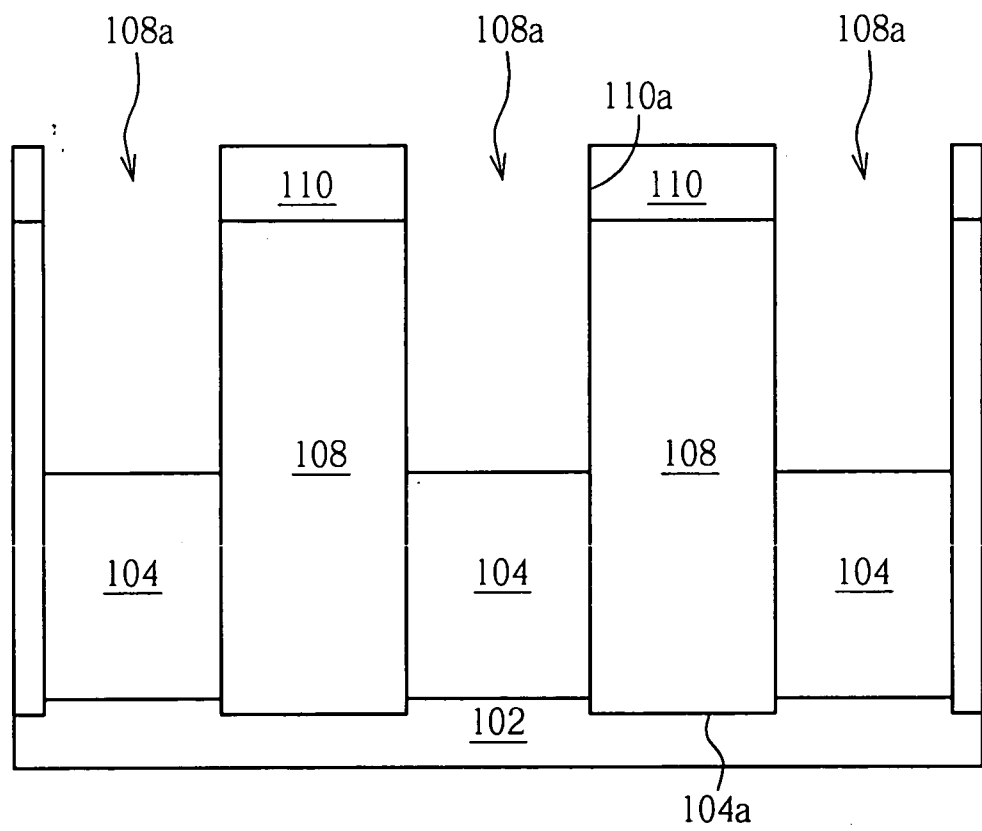
類型，且該第二磊晶層具有該第一導電類型。

16. 如請求項 15 所述之製作具有超級介面之功率電晶體元件之方法，其中於形成該第三磊晶層之步驟之後，該方法另包括圖案化該第三磊晶層，以於該第三磊晶層中形成複數個第二穿孔，分別曝露出該第二磊晶層。
17. 如請求項 16 所述之製作具有超級介面之功率電晶體元件之方法，其中於圖案化該第三磊晶層之步驟之後，該方法另包括於該第二磊晶層上形成至少一第五磊晶層，其中該第五磊晶層具有該第一導電類型。

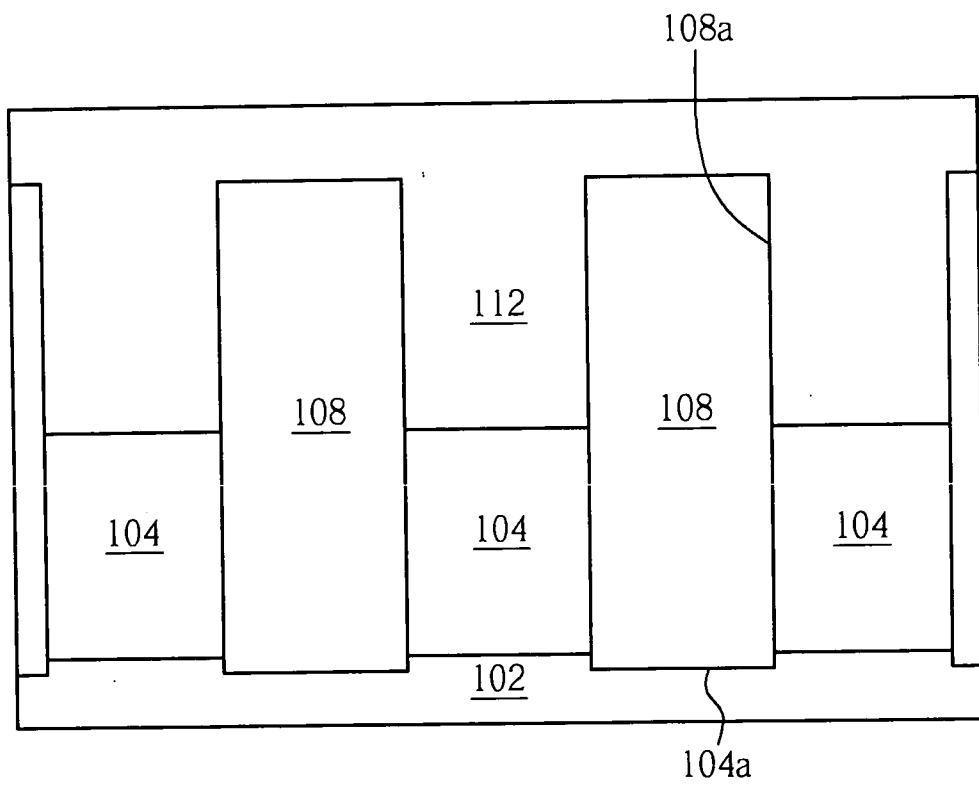
八、圖式：



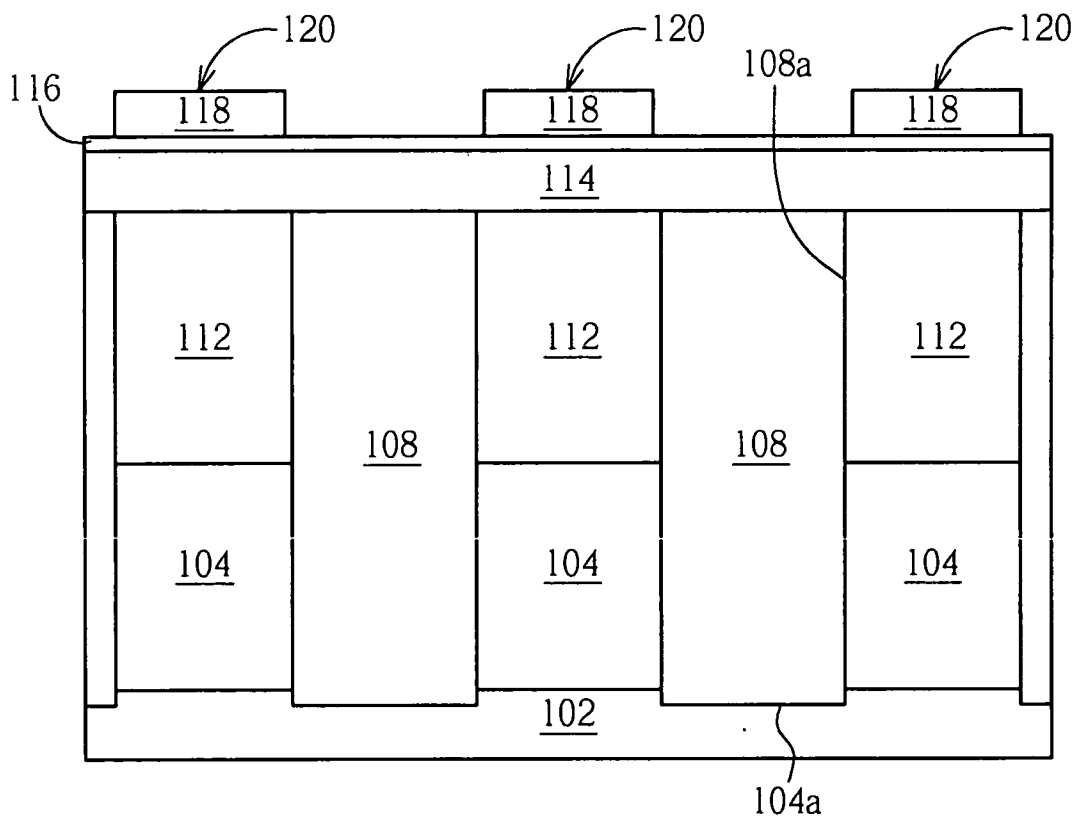
第1圖



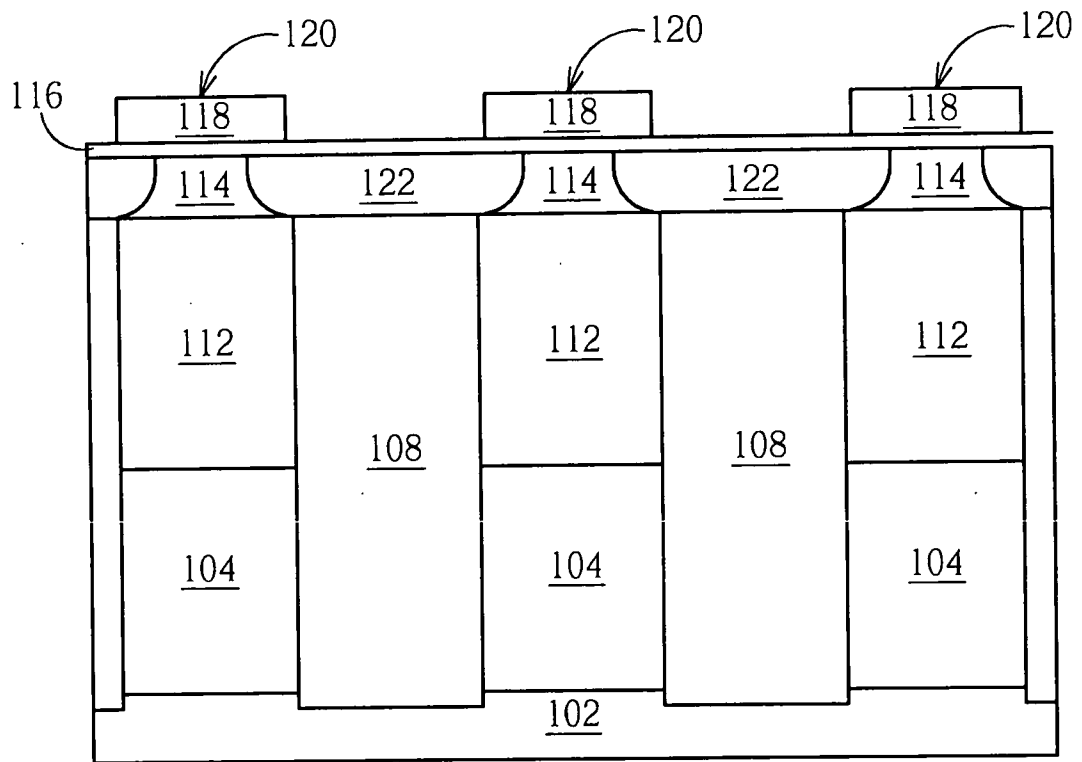
第2圖



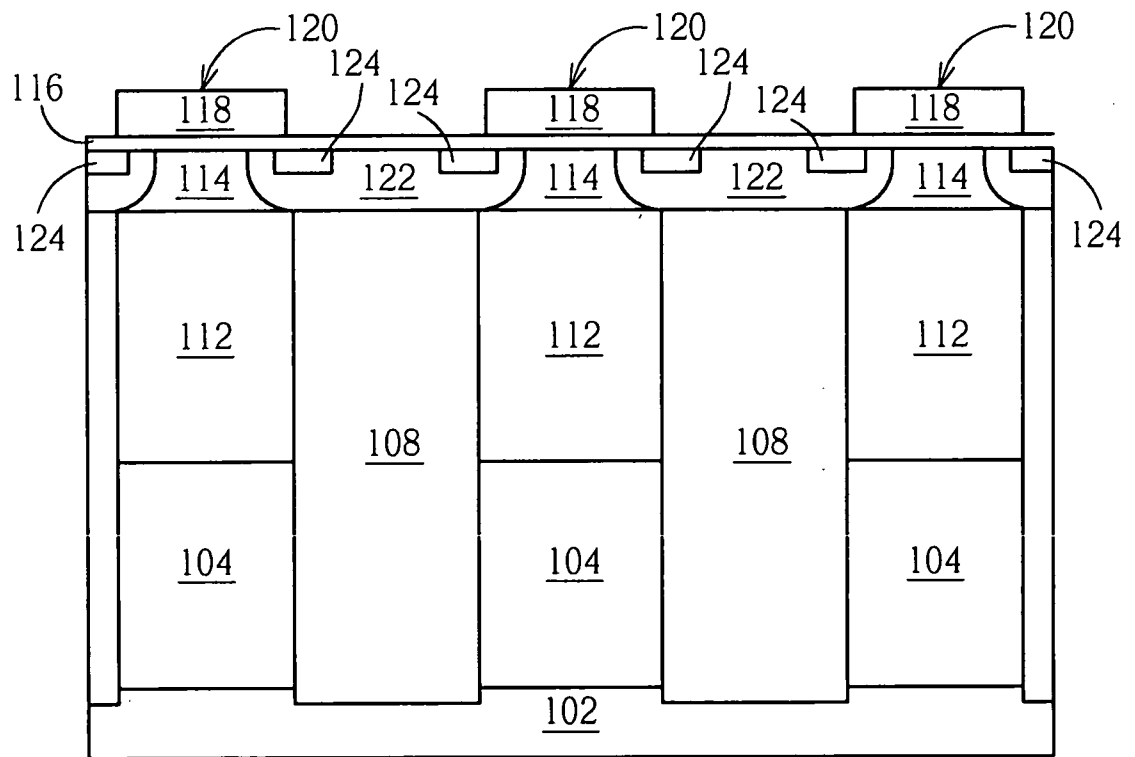
第3圖



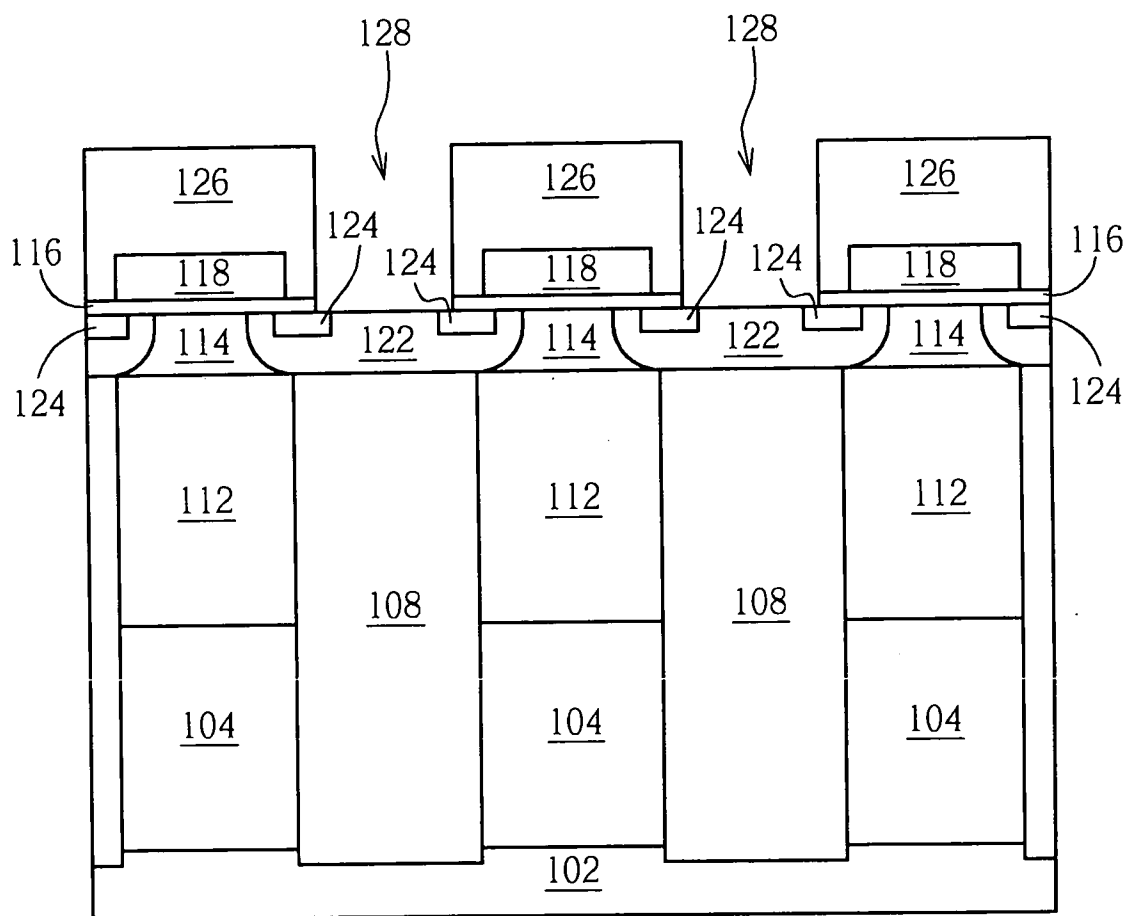
第4圖



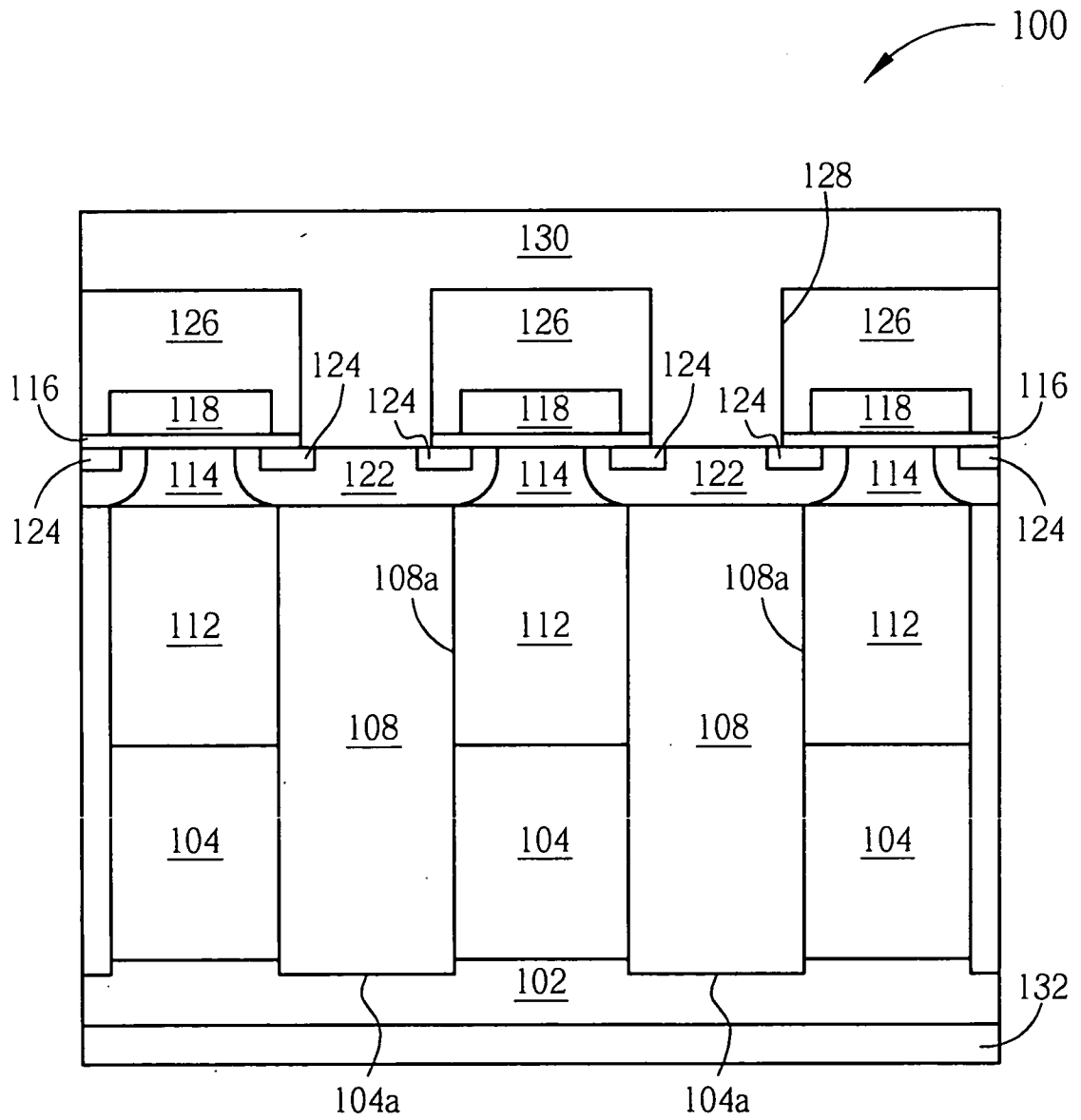
第5圖



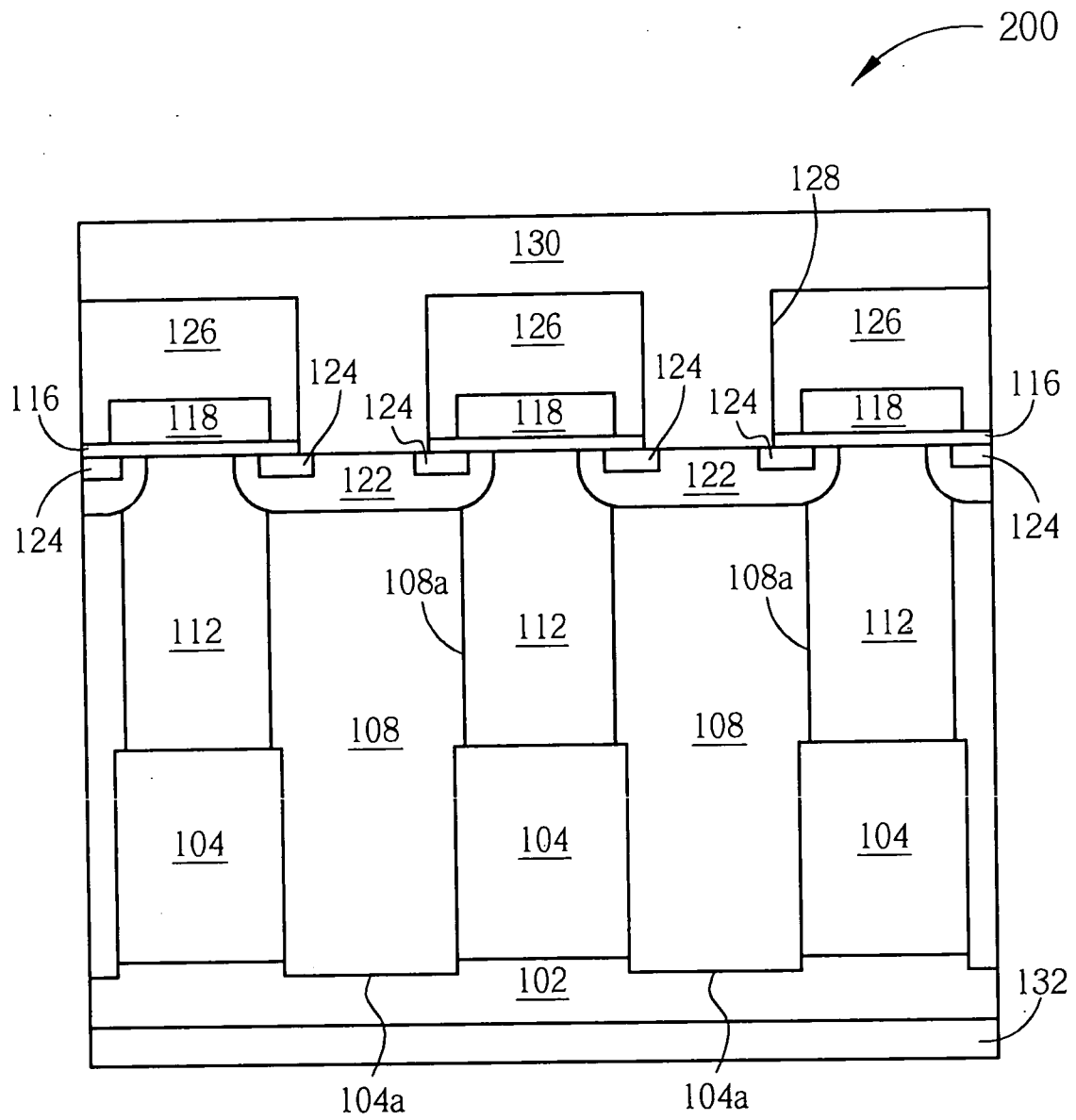
第6圖



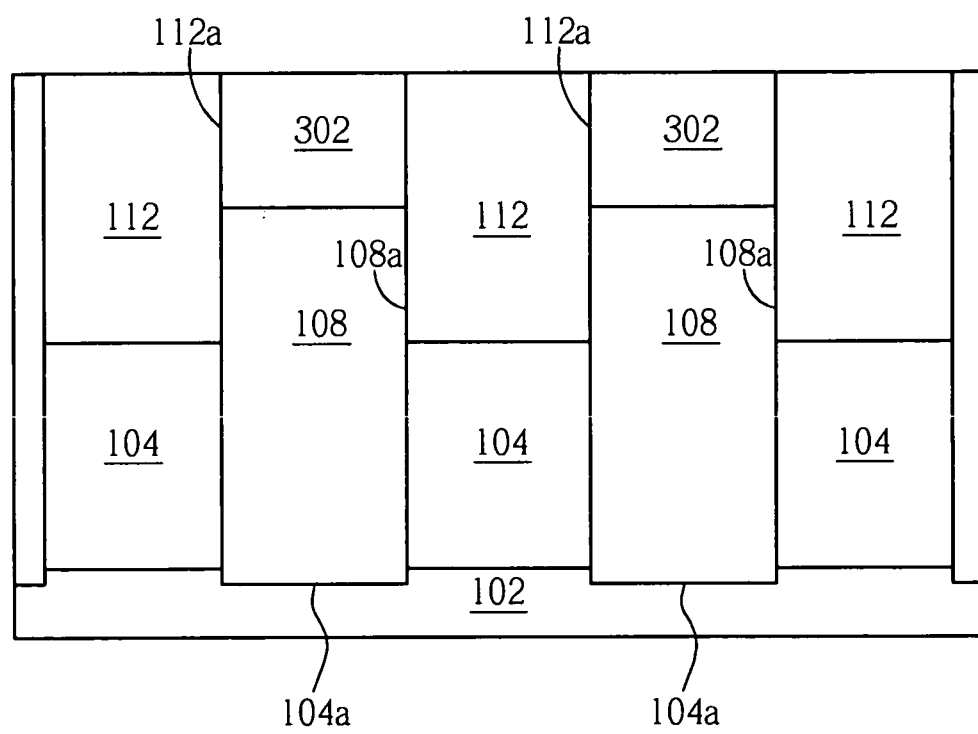
第7圖



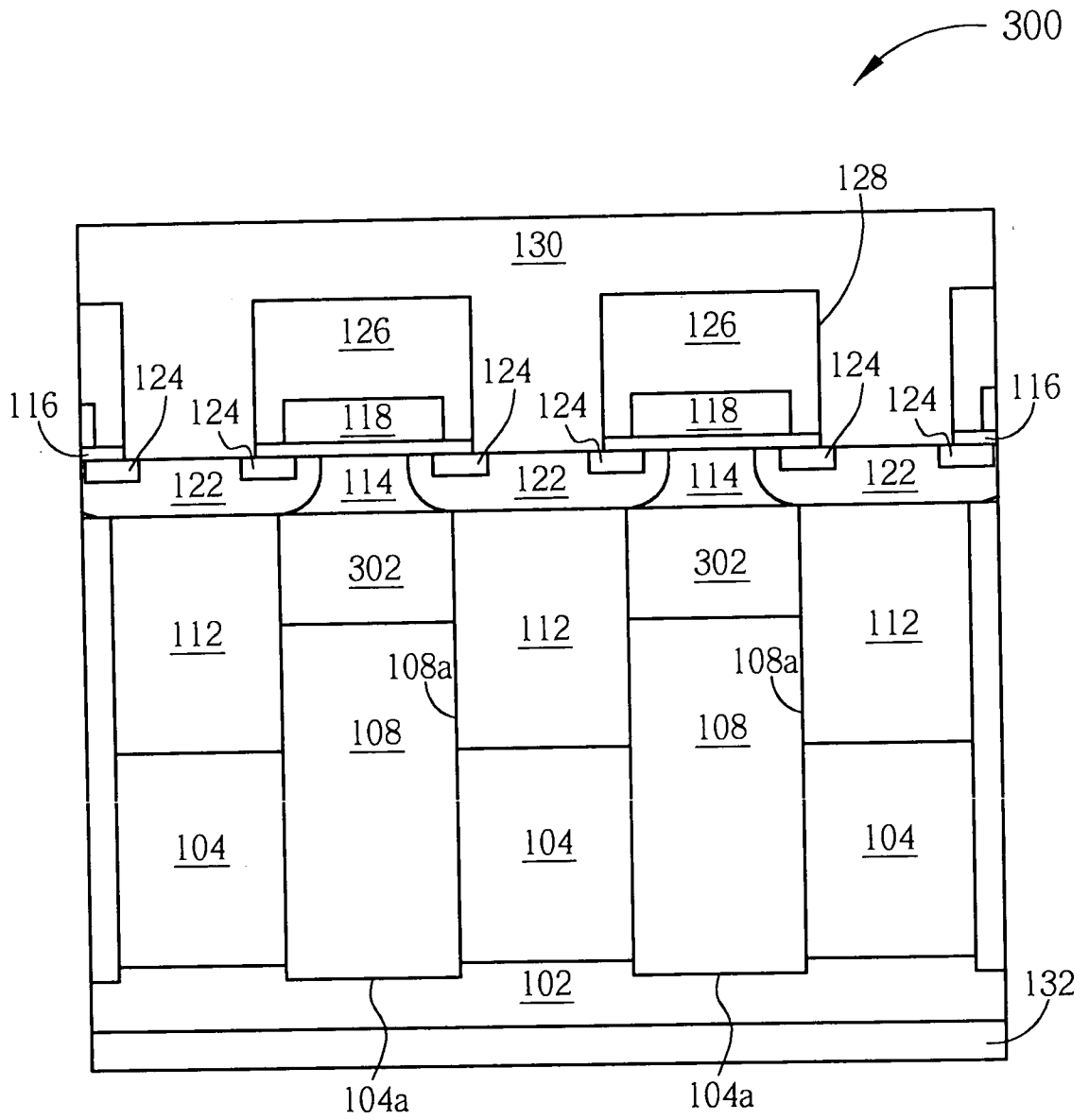
第8圖



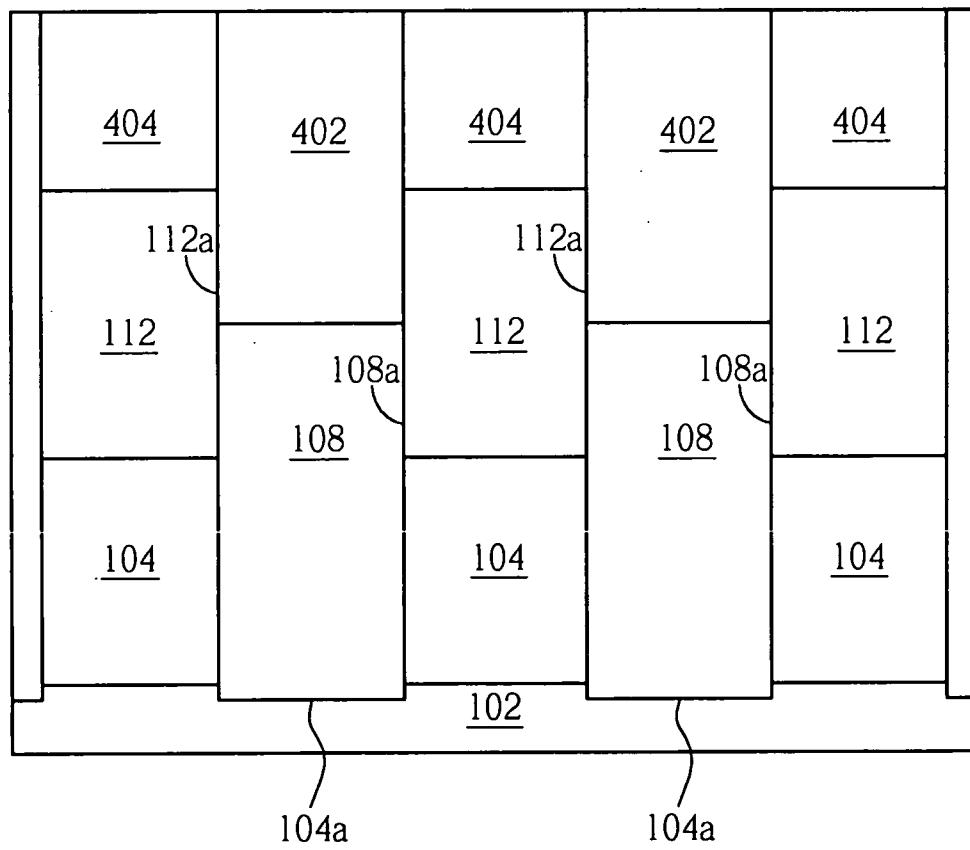
第9圖



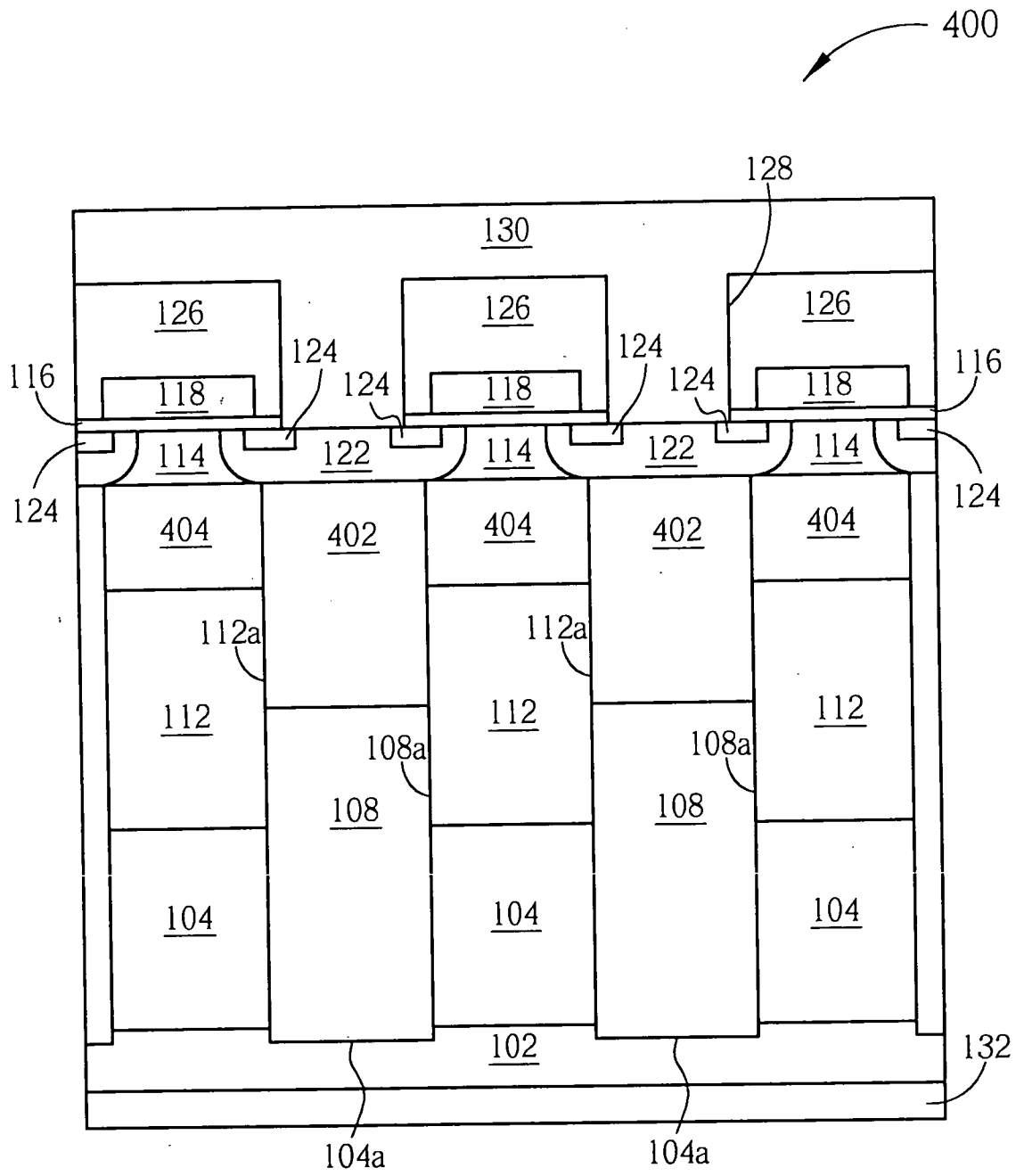
第10圖



第11圖



第12圖



第13圖