



(12) 发明专利

(10) 授权公告号 CN 113190389 B

(45) 授权公告日 2024.10.29

(21) 申请号 202110400249.1

(22) 申请日 2021.04.14

(65) 同一申请的已公布的文献号
申请公布号 CN 113190389 A

(43) 申请公布日 2021.07.30

(73) 专利权人 西安紫光国芯半导体股份有限公司

地址 710000 陕西省西安市西安市高新区
丈八街办高新六路38号A座4楼

(72) 发明人 邱锋波 左丰国 王玉冰

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280
专利代理师 黎坚怡

(51) Int. Cl.

G06F 11/22 (2006.01)

(56) 对比文件

CN 108693465 A, 2018.10.23

审查员 闪赛

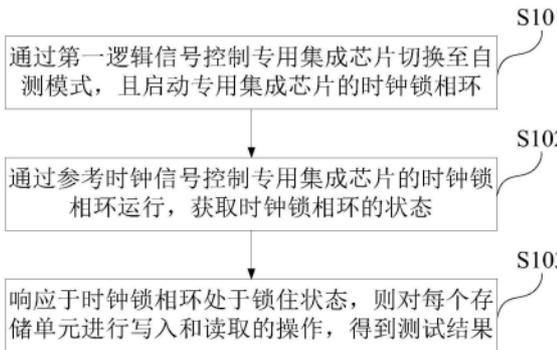
权利要求书2页 说明书10页 附图5页

(54) 发明名称

自测方法、测试装置以及计算机可读存储介质

(57) 摘要

本申请公开了一种自测方法、测试装置以及计算机可读存储介质。自测方法包括：通过第一逻辑信号控制所述专用集成芯片切换至自测模式，且启动所述专用集成芯片的时钟锁相环；通过参考时钟信号控制所述专用集成芯片的时钟锁相环运行，获取所述时钟锁相环的状态；响应于所述时钟锁相环处于锁住状态，则对每个所述存储单元进行写入和读取的操作，得到测试结果。通过这种方式，无需大量额外逻辑和布线资源，降低测试成本。



1. 一种自测方法,其特征在于,用于测试专用集成芯片,所述专用集成芯片设有多个存储单元,所述专用集成芯片进一步包括多个逻辑核心单元和多个片上网络单元,每个所述存储单元和每个所述逻辑核心单元分别与对应的所述片上网络单元连接,所述自测方法包括:

通过第一逻辑信号控制所述专用集成芯片切换至自测模式,且启动所述专用集成芯片的时钟锁相环;

通过参考时钟信号控制所述专用集成芯片的时钟锁相环运行,获取所述时钟锁相环的状态;

响应于所述时钟锁相环处于锁住状态,则对每个所述存储单元进行写入和读取的操作,得到测试结果;

在所述启动所述专用集成芯片的时钟锁相环的步骤之后,所述自测方法进一步包括:

基于第二逻辑信号判断是否对所有所述逻辑核心单元进行测试;

响应于所述第二逻辑信号为第一电平,则测试所有所述逻辑核心单元,执行所述通过参考时钟信号控制所述专用集成芯片的时钟锁相环运行的步骤;

响应于所述第二逻辑信号为第二电平,则执行所述通过参考时钟信号控制所述专用集成芯片的时钟锁相环运行的步骤。

2. 根据权利要求1所述的自测方法,其特征在于,所述对每个所述存储单元进行写入和读取的操作,包括:

对每个所述存储单元写入预设数据;

从每个所述存储单元读取得到第一数据;

将所述第一数据与对应的所述预设数据进行比较,得到比较结果;

响应于所述第一数据与对应的所述预设数据相同,则得到第一比较结果;

响应于所述第一数据与对应的所述预设数据不相同,则得到第二比较结果。

3. 根据权利要求2所述的自测方法,其特征在于,所述得到测试结果,包括:

接收到基于所有的所述存储单元的比较结果得到的多个输出信号,判断所述多个输出信号是否都为1;

响应于所述多个输出信号都为1,则得到所述专用集成芯片测试成功;

响应于至少一个所述输出信号不为1,则得到所述专用集成芯片测试失败。

4. 根据权利要求3所述的自测方法,其特征在于,所述基于所有的所述存储单元的比较结果得到的多个输出信号,包括:

响应于所有的所述存储单元的比较结果都为所述第一比较结果,则得到所述多个输出信号都为所述1;

响应于至少一个所述存储单元的比较结果为所述第二比较结果,则得到对应的所述输出信号不为1。

5. 根据权利要求1所述的自测方法,其特征在于,所述专用集成芯片设有多个第一引脚,所述通过第一逻辑信号控制所述专用集成芯片切换至自测模式,包括:

向所述多个第一引脚输入所述第一逻辑信号;

响应于所有的所述第一逻辑信号都为第一电平,则控制所述专用集成芯片切换至所述自测模式。

6. 根据权利要求1所述的自测方法,其特征在于,所述专用集成芯片设有多个第二引脚,所述通过第二逻辑信号判断是否对所述专用集成芯片的逻辑核心单元进行测试,包括:等待第一预设时间,向所述多个第二引脚输入所述第二逻辑信号。

7. 根据权利要求1所述的自测方法,其特征在于,所述专用集成芯片设有时钟引脚,所述通过参考时钟信号控制所述专用集成芯片的时钟锁相环运行,包括:

等待第二预设时间,向所述时钟引脚输入所述参考时钟信号;

在所述通过参考时钟信号控制所述专用集成芯片的时钟锁相环运行的步骤之后,所述自测方法进一步包括:

统计测试时间,将所述测试时间与预设的时间进行比较;

响应于所述测试时间大于或等于所述预设的时间,则获取多个输出信号,重置所述测试时间,执行所述得到测试结果的步骤。

8. 一种测试装置,其特征在于,所述测试装置设有专用集成芯片,所述专用集成芯片包括多个逻辑核心单元、多个片上网络单元、多个存储单元以及多个第一引脚,每个所述逻辑核心单元和每个所述存储单元分别与对应的所述片上网络单元连接,每行的所述片上网络单元对应设置有两个所述第一引脚,所述测试装置用于通过多个所述第一引脚测试所述专用集成芯片,所述测试装置包括处理器和存储器;所述存储器中存储有计算机程序,所述处理器用于执行所述计算机程序以实现如权利要求1-7中任一项所述自测方法的步骤。

9. 一种计算机可读存储介质,其特征在于,所述计算机可读存储介质存储有程序指令,程序指令能够被执行以实现如权利要求1-7中任一项所述的自测方法的步骤。

自测方法、测试装置以及计算机可读存储介质

技术领域

[0001] 本申请涉及电子技术领域,特别是涉及一种自测方法、测试装置以及计算机可读存储介质。

背景技术

[0002] 专用集成电路(Application Specific Integrated Circuit,ASIC)是一种为专门目的而设计的集成电路,具体指应特定用户要求和特定电子系统的需要而设计、制造的集成电路。专用集成电路的特点是面向特定用户的需求,专用集成电路在批量生产时与通用集成电路相比具有体积更小、功耗更低、可靠性提高、性能提高、保密性增强、成本降低等优点。

[0003] 其中,基于高带宽存储架构的大数据多路并行处理的专用集成电路,应用越来越广泛,例如专用集成电路集成成千上万个多路处理单元的逻辑核心单元(process element,PE),应用于并行“挖矿”。

[0004] 由于专用集成电路的出货量非常大,因此需要对专用集成电路进行测试筛片,以提高专用集成电路良率。目前,专用集成电路通过ATPG(Automatic Test Pattern Generation,自动测试向量生成)进行测试,但是ATPG测试需要大量额外逻辑和布线资源,导致测试成本高。

发明内容

[0005] 本申请提供一种自测方法、测试装置以及计算机可读存储介质,以解决测试成本高的技术问题。

[0006] 为解决上述技术问题,本申请采用的一个技术方案是:提供一种自测方法。所述自测方法用于测试专用集成电路,所述专用集成电路设有多个存储单元,所述自测方法包括:

[0007] 通过第一逻辑信号控制所述专用集成电路切换至自测模式,且启动所述专用集成电路的时钟锁相环;

[0008] 通过参考时钟信号控制所述专用集成电路的时钟锁相环运行,获取所述时钟锁相环的状态;

[0009] 响应于所述时钟锁相环处于锁住状态,则对每个所述存储单元进行写入和读取的操作,得到测试结果。

[0010] 其中,所述对每个所述存储单元进行写入和读取的操作,包括:

[0011] 对每个所述存储单元写入预设数据;

[0012] 从每个所述存储单元读取得到第一数据;

[0013] 将所述第一数据与对应的所述预设数据进行比较,得到比较结果;

[0014] 响应于所述第一数据与对应的所述预设数据相同,则得到第一比较结果;

[0015] 响应于所述第一数据与对应的所述预设数据不相同,则得到第二比较结果。

[0016] 其中,所述得到测试结果,包括:

[0017] 接收到基于所有的所述存储单元的比较结果得到的多个输出信号,判断所述多个输出信号是否都为1;

[0018] 响应于所述多个输出信号都为1,则得到所述专用集成电路测试成功;

[0019] 响应于至少一个所述输出信号不为1,则得到所述专用集成电路测试失败。

[0020] 其中,所述基于所有的所述存储单元的比较结果得到的多个输出信号,包括:

[0021] 响应于所有的所述存储单元的比较结果都为所述第一比较结果,则得到所述多个输出信号都为1;

[0022] 响应于至少一个所述存储单元的比较结果为所述第二比较结果,则得到对应的所述输出信号不为1。

[0023] 其中,所述专用集成电路设有多个第一引脚,所述通过第一逻辑信号控制所述专用集成电路切换至自测模式,包括:

[0024] 向所述多个第一引脚输入所述第一逻辑信号;

[0025] 响应于所有的所述第一逻辑信号都为第一电平,则控制所述专用集成电路切换至所述自测模式。

[0026] 其中,所述专用集成电路进一步包括多个逻辑核心单元和多个片上网络单元,每个所述存储单元和每个所述逻辑核心单元分别与对应的所述片上网络单元连接,在所述启动所述专用集成电路的时钟锁相环的步骤之后,所述自测方法进一步包括:

[0027] 基于第二逻辑信号判断是否对所有所述逻辑核心单元进行测试;

[0028] 响应于所述第二逻辑信号为第一电平,则测试所有所述逻辑核心单元,执行所述通过参考时钟信号控制所述专用集成电路的时钟锁相环运行的步骤;

[0029] 响应于所述第二逻辑信号为第二电平,则执行所述通过参考时钟信号控制所述专用集成电路的时钟锁相环运行的步骤。

[0030] 其中,所述专用集成电路设有多个第二引脚,所述通过第二逻辑信号判断是否对所述专用集成电路的逻辑核心单元进行测试,包括:

[0031] 等待第一预设时间,向所述多个第二引脚输入所述第二逻辑信号;

[0032] 在所述通过参考时钟信号控制所述专用集成电路的时钟锁相环运行的步骤之后,所述自测方法进一步包括:

[0033] 统计测试时间,将所述测试时间与预设的时间进行比较;

[0034] 响应于所述测试时间大于或等于所述预设的时间,则获取多个输出信号,重置所述测试时间,执行所述得到测试结果的步骤。

[0035] 为解决上述技术问题,本申请采用的另一技术方案是:提供一种测试装置。所述测试装置设有专用集成电路,所述专用集成电路包括多个逻辑核心单元、多个片上网络单元、多个存储单元以及多个第一引脚,每个所述逻辑核心单元和每个所述存储单元分别与对应的所述片上网络单元连接,每行的所述片上网络单元对应设置有两个所述第一引脚,所述测试装置用于通过多个所述第一引脚测试所述专用集成电路,所述测试装置包括处理器和存储器;所述存储器中存储有计算机程序,所述处理器用于执行所述计算机程序以实现上述自测方法。

[0036] 为解决上述技术问题,本申请采用的另一技术方案是:提供一种计算机可读存储介质。该计算机可读存储介质存储有程序指令,程序指令能够被执行以实现上述自测方法。

[0037] 本申请的自测方法包括:通过第一逻辑信号控制所述专用集成电路切换至自测模式,且启动所述专用集成电路的时钟锁相环;通过参考时钟信号控制所述专用集成电路的时钟锁相环运行,获取所述时钟锁相环的状态;响应于所述时钟锁相环处于锁住状态,则对每个所述存储单元进行写入和读取的操作,得到测试结果。即,本申请通过向专用集成电路输入第一逻辑信号和通过向专用集成电路输入参考时钟信号,响应于时钟锁相环处于锁住状态,则对每个存储单元进行写入和读取的操作,得到测试结果;因此本申请无需大量额外逻辑和布线资源,降低测试成本;此外,本申请通过复用专用集成电路的引脚,无需增加专用集成电路的引脚,进一步降低测试成本。

附图说明

[0038] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0039] 图1是本申请自测方法一实施例的流程示意图;
- [0040] 图2是本申请专用集成电路和测试装置的框架示意图;
- [0041] 图3是图1中步骤S103一实施例的流程示意图;
- [0042] 图4是图3中步骤S304一实施例的流程示意图;
- [0043] 图5是图2中专用集成电路一实施例的结构示意图;
- [0044] 图6是本申请自测方法另一实施例的流程示意图;
- [0045] 图7是图6中步骤S503一实施例的流程示意图;
- [0046] 图8是本申请测试装置一实施例的框架示意图;
- [0047] 图9是本申请计算机可读存储介质一实施例的结构示意图。

具体实施方式

[0048] 下面结合附图和实施例,对本申请作进一步的详细描述。特别指出的是,以下实施例仅用于说明本申请,但不对本申请的范围进行限定。同样的,以下实施例仅为本申请的部分实施例而非全部实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例,都属于本申请保护的范围。

[0049] 请参见图1-2所示,图1是本申请自测方法一实施例的流程示意图;

[0050] 图2是本申请专用集成电路和测试装置的框架示意图。本申请的自测方法用于测试专用集成电路20(即待测试的专用集成电路20),即测试装置10通过本申请的自测方法对专用集成电路20进行测试。

[0051] 如图2所示,测试装置10设有专用集成电路20,用于测试专用集成电路20。例如测试装置10设置有测试平台,则专用集成电路20设置于测试平台上。

[0052] 专用集成电路20设置有多个第一引脚21、多个第二引脚22、时钟引脚23以及多个输出引脚24,其中专用集成电路20与测试装置10连接,例如专用集成电路20的多个第一引脚21和时钟引脚23与测试装置10连接。可选地,第一引脚21的总数量与第二引脚22的总数量相等。

[0053] 如图1所示,本实施例的自测方法包括以下步骤:

[0054] S101:通过第一逻辑信号控制专用集成电路20切换至自测模式,且启动专用集成电路20的时钟锁相环。

[0055] 在测试装置10对专用集成电路20进行测试时,测试装置10进行上电,以使测试装置10正常工作。在测试装置10正常工作时,测试装置10产生第一逻辑信号,并通过第一逻辑信号控制专用集成电路20切换至自测模式。例如,测试装置10可以向专用集成电路20的第一引脚21输入第一逻辑信号,专用集成电路20基于第一逻辑信号切换至自测模式(也可以称为测试模式或检测模式),以实现通过第一逻辑信号控制专用集成电路20切换至自测模式。在其他实施例中,测试装置10可以接收到测试指令,基于测试指令产生第一逻辑信号。

[0056] 其中,专用集成电路20进一步设置有时钟锁相环(Phase Locked Loop,PLL),时钟锁相环也可以称为锁相回路,用于同一整合时钟信号,以使高频器件正常工作。例如,时钟锁相环可以不断根据外部信号的相位来调整本地晶振的时钟相位,直到两个信号的相位同步。

[0057] 可选地,测试装置10可以向多个第一引脚21输入第一逻辑信号,其中第一逻辑信号包括第一电平(高电平)和第二电平(低电平)。测试装置10响应于多个第一引脚21接收到所有的第一逻辑信号都为第一电平,则测试装置10控制专用集成电路20切换至自测模式。

[0058] 进一步,在专用集成电路20切换至自测模式时,启动专用集成电路20的时钟锁相环,即专用集成电路20基于第一逻辑信号控制时钟锁相环启动。

[0059] S102:通过参考时钟信号控制专用集成电路20的时钟锁相环运行,获取时钟锁相环的状态。

[0060] 测试装置10通过参考时钟信号控制专用集成电路20的时钟锁相环运行,获取时钟锁相环的状态。例如,在测试装置10向专用集成电路20的第一引脚21输入第一逻辑信号之后,测试装置10等待第三预设时间,测试装置10向专用集成电路20的时钟引脚23输入参考时钟信号,时钟锁相环基于参考时钟信号运行。

[0061] 测试装置10获取时钟锁相环的状态,即测试装置10可以通过专用集成电路20内部查询时钟锁相环的状态。测试装置10进一步判断时钟锁相环的状态是否为锁住状态;若测试装置10判断到时钟锁相环的状态为锁住状态,则进入步骤S103;若测试装置10判断到时钟锁相环的状态不为锁住状态,则返回测试装置10判断时钟锁相环的状态是否为锁住状态的步骤。

[0062] 例如,测试装置10从专用集成电路20获取时钟锁相环的状态,即PLL lock (PLL锁定信号),并判断PLL lock是否为1;若是,则专用集成电路20的时钟锁相环锁定,稳定输出,进入步骤S103;若否,则返回判断PLL lock是否为1的步骤。

[0063] S103:响应于时钟锁相环处于锁住状态,则对每个存储单元进行写入和读取的操作,得到测试结果。

[0064] 响应于时钟锁相环处于锁住状态,则测试装置10对每个存储单元进行写入和读取的操作。其中,专用集成电路20设置有多多个存储单元,测试装置10通过对每个存储单元进行写入和读取的操作,以实现测试装置10对所有的存储单元进行写入和读取的操作,实现对所有的存储单元进行测试。测试装置10基于对所有的存储单元进行写入和读取的操作,得到测试结果,测试结果包括测试成功和测试失败。

[0065] 本实施例通过测试装置10向专用集成芯片20输入第一逻辑信号,以使专用集成芯片20切换至自测模式;通过测试装置10向专用集成芯片20输入参考时钟信号,以控制专用集成芯片20的时钟锁相环运行;响应于时钟锁相环处于锁住状态,对每个存储单元进行写入和读取的操作,得到测试结果;因此本实施例无需大量额外逻辑和布线资源,降低测试成本;此外,本实施例通过复用专用集成芯片20的引脚,无需增加专用集成芯片20的引脚,进一步降低测试成本。

[0066] 如图3所示,步骤S103包括以下步骤:

[0067] S301:对每个存储单元写入预设数据。

[0068] 测试装置10响应于时钟锁相环处于锁住状态,对每个存储单元写入预设数据,以实现测试装置10对所有的存储单元写入预设数据。例如,测试装置10预先设置有预设数据,并将预设数据写入至每个存储单元;或者,专用集成芯片20预先设置有预设数据,测试装置10控制专用集成芯片20将预设数据写入至每个存储单元。

[0069] S302:从每个存储单元读取得到第一数据。

[0070] 在测试装置10对每个存储单元写入预设数据之后,测试装置10从每个存储单元读取得到第一数据,其中测试装置10从每个存储单元读取的数据可称作第一数据,并不是指测试装置10从每个存储单元读取的数据必须相同。

[0071] S303:将第一数据与对应的预设数据进行比较,得到比较结果。

[0072] 测试装置10将第一数据与对应的预设数据进行比较,得到比较结果,其中比较结果包括第一比较结果和第二比较结果,因此测试装置10针对多个存储单元得到多个比较结果。在其他实施例中,专用集成芯片20将第一数据与对应的预设数据进行比较,得到比较结果。

[0073] 响应于第一数据与对应的预设数据相同,则专用集成芯片20得到第一比较结果。响应于第一数据与对应的预设数据不相同,则专用集成芯片20得到第二比较结果。可选地,第一比较结果可为正确,第二比较结果可为错误。

[0074] 例如,测试装置10预先设置有预设数据A,将预设数据A分别写入存储单元B1、存储单元B2以及存储单元B3。测试装置10分别从存储单元B1、存储单元B2以及存储单元B3读取得到数据C1、数据C2和数据C3。其中,数据C1、数据C2和数据C3都可称为第一数据。测试装置10分别将数据C1、数据C2和数据C3与预设数据A进行比较,若数据C1和数据C2分别与预设数据A相同,则专用集成芯片20得到两个第一比较结果;若数据C3与预设数据A不相同,则专用集成芯片20得到第二比较结果;因此专用集成芯片20得到三个比较结果。

[0075] 或者,专用集成芯片20预先设置有预设数据A1、预设数据A2和预设数据A3,将预设数据A1、预设数据A2和预设数据A3分别写入存储单元B1、存储单元B2以及存储单元B3。专用集成芯片20分别从存储单元B1、存储单元B2以及存储单元B3读取得到数据C1、数据C2和数据C3。专用集成芯片20分别将数据C1、数据C2和数据C3与预设数据A1、预设数据A2和预设数据A3进行比较,若数据C1与预设数据A1相同,则专用集成芯片20得到第一比较结果;若数据C2与预设数据A2不相同,则专用集成芯片20得到第二比较结果;若数据C3与预设数据A3相同,则专用集成芯片20得到第一比较结果;因此专用集成芯片20得到三个比较结果。

[0076] 本实施例通过对每个存储单元写入预设数据和从每个存储单元读取得到第一数据,实现对专用集成芯片20的所有存储单元进行写入和读取的操作,能够对所有的存储单

元实现全覆盖测试。

[0077] S304:接收到基于所有的存储单元的比较结果得到的多个输出信号,判断多个输出信号是否都为1。

[0078] 测试装置10接收到基于所有的存储单元的比较结果得到的多个输出信号,其中专用集成电路20的多个输出引脚24用于多个输出信号,测试装置10通过专用集成电路20的多个输出引脚24接收到多个输出信号。

[0079] S305:响应于多个输出信号都为1,则得到专用集成电路20测试成功。

[0080] S306:响应于至少一个输出信号不为1,则得到专用集成电路20测试失败。

[0081] 测试装置10响应于多个输出信号都为1,则得到专用集成电路20测试成功,即测试装置10对专用集成电路20的测试结果为测试成功;响应于至少一个输出信号不为1,则得到专用集成电路20测试失败,即测试装置10对专用集成电路20的测试结果为测试失败,以实现专用集成电路20进行测试筛片,以提高专用集成电路20良率。此外,测试装置10通过读取多个输出引脚24的状态,实现判断专用集成电路20的测试结果,减少测试时间,提高测试效率。

[0082] 如图4所示,步骤S304包括以下步骤:

[0083] S401:响应于所有的存储单元的比较结果都为第一比较结果,则得到多个输出信号都为1。

[0084] 专用集成电路20得到所有的存储单元的比较结果,并判断所有的存储单元的比较结果是否都为第一比较结果;响应于所有的存储单元的比较结果都为第一比较结果,则专用集成电路20输出的多个输出信号都为1,即专用集成电路20的每个输出引脚24输出1。响应于至少一个存储单元的比较结果为第二比较结果,则进入步骤S402。

[0085] S402:响应于至少一个存储单元的比较结果为第二比较结果,则得到对应的输出信号不为1。

[0086] 响应于至少一个存储单元的比较结果为第二比较结果,则专用集成电路20得到与该存储单元对应的输出信号不为1(例如输出信号为低电平0),专用集成电路20输出的多个输出信号包括输出信号不为1。

[0087] 本实施例基于所有的存储单元的比较结果得到的多个输出信号,测试装置10基于多个输出信号得到专用集成电路20的测试结果,能够提高测试效果。

[0088] 在一具体实施例中,如图5所示,专用集成电路20进一步包括多个逻辑核心单元PE(process element)、多个片上网络单元NOC(network on chip)和多个存储单元25,上述实施例所揭示的多个存储单元为存储单元25。其中,多个片上网络单元NOC可以呈矩阵分布,例如片上网络单元NOC00-NOC03沿行排列,片上网络单元NOC00-NOC30沿列排列。且沿行排列的多个片上网络单元NOC依次连接,沿列排列的多个片上网络单元NOC依次连接,例如片上网络单元NOC00-NOC03依次连接,片上网络单元NOC00-NOC30依次连接。每个逻辑核心单元PE和每个存储单元25分别与对应的片上网络单元NOC连接,例如片上网络单元NOC00-NOC02分别连接一个存储单元25,片上网络单元NOC03连接两个存储单元25,片上网络单元NOC01-NOC31分别连接一个逻辑核心单元PE。

[0089] 进一步,该专用集成电路20设置有多个第一引脚21、多个第二引脚22、时钟引脚23以及多个输出引脚24,测试装置10与多个第一引脚21和多个第二引脚22连接,以通过多个

第一引脚21和多个第二引脚22测试专用集成电路20;每行的片上网络单元NOC对应设置有两个第一引脚21和两个第二引脚22,即专用集成电路20设置有8个第一引脚21和8个第二引脚22。例如,片上网络单元NOC00-NOC03对应设置两个第一引脚21和两个第二引脚22,第一引脚21为引脚ca0,第二引脚21为引脚ca1,时钟引脚23为引脚ck_t。在其他实施例中,测试装置10可以复用8个第一引脚21,以实现8个第二引脚22的功能,例如测试装置10仅设置8个第一引脚21,无需设置第二引脚22;多个输出引脚24也可以复用8个第一引脚21。

[0090] 可选地,测试装置10设有多个BIST逻辑单元11,BIST是一种用于测试的电路模块,能够直接产生测试激励和检测测试响应。其中,多个BIST逻辑单元11用于生成第一逻辑信号和第二逻辑信号,并且接收专用集成电路20的多个输出信号,基于多个输出信号生成测试结果。其中,BIST逻辑单元11的总数量可以与第一引脚21的总数量相等,例如测试装置10设有8个BIST逻辑单元11,沿行排列的多个片上网络单元NOC对应设置两个BIST逻辑单元11。在其他实施例中,BIST逻辑单元11的总数量可以设置为其他数值,例如4、6、7。

[0091] 基于上述实施例的自测方法,8个BIST逻辑单元11分别向对应的第一引脚21输入第一逻辑信号,即将第一引脚21的输入拉高,以使专用集成电路20切换至自测模式,且启动专用集成电路20的时钟锁相环。测试装置10等待第三预设时间,向专用集成电路20的时钟引脚23输入参考时钟信号,时钟锁相环基于参考时钟信号运行。测试装置10响应于时钟锁相环处于锁住状态,则测试装置10通过8个BIST逻辑单元11对每个存储单元25进行写入和读取的操作,以接收专用集成电路20的多个输出信号,基于多个输出信号生成测试结果,以实现测试装置10测试专用集成电路20。

[0092] 本申请提供另一实施例的自测方法,如图6所示,该自测方法包括以下步骤:

[0093] S501:通过第一逻辑信号控制专用集成电路20切换至自测模式,且启动专用集成电路20的时钟锁相环。

[0094] 步骤S501和步骤S101相同,在此不再赘述。

[0095] S502:基于第二逻辑信号判断是否对所有所述逻辑核心单元PE进行测试。

[0096] 测试装置10的8个BIST逻辑单元11向每个第二引脚22输入第二逻辑信号。响应于第二逻辑信号为第一电平,即第二逻辑信号为高电平,则测试装置10需要测试所有逻辑核心单元PE,并进入步骤S503;响应于第二逻辑信号为第二电平,即第二逻辑信号为低电平,则测试装置10无需测试所有逻辑核心单元PE,直接进入步骤S503。

[0097] 可选地,在测试装置10向每个第一引脚21输入第一逻辑信号之后,测试装置10等待第一预设时间,向每个第二引脚22输入第二逻辑信号,第一预设时间为1us。在其他实施例中,第一预设时间在1-5us的范围内即可。

[0098] S503:通过参考时钟信号控制专用集成电路20的时钟锁相环运行,获取时钟锁相环的状态。

[0099] 其中,在测试装置10向每个第二引脚22输入第二逻辑信号之后,测试装置10等待第二预设时间,向时钟引脚23输入参考时钟信号,第二预设时间为1us。在其他实施例中,第二预设时间在1-5us的范围内即可。

[0100] 此外,上述实施例的第三预设时间等于第一预设时间和第二预设时间之和。

[0101] 步骤S503进一步与步骤S102相同,在此不再赘述。

[0102] S504:响应于时钟锁相环处于锁住状态,则对每个存储单元25进行写入和读取的

操作,得到测试结果。

[0103] 步骤S504和步骤S103不同之处在于:响应于第二逻辑信号为第一电平,测试装置10需要测试所有逻辑核心单元PE。因此,测试装置10在对每个存储单元25进行写入和读取的操作之前,测试装置10进一步对所有逻辑核心单元PE进行测试,例如测试装置10向每个逻辑核心单元PE输入第二预设数据,每个逻辑核心单元PE基于第二预设数据输出第二数据,将第二数据与对应的第二预设数据进行比较,得到所有逻辑核心单元PE的比较结果。测试装置10基于所有逻辑核心单元PE的比较结果和所有存储单元25的比较结果得到测试结果。

[0104] 本实施例基于第二逻辑信号判断是否对所有逻辑核心单元PE进行测试,即自测模式包括测试所有逻辑核心单元PE和所有存储单元25,或者自测模式包括仅测试所有存储单元25,进而支持多种测试模式,且能够测试具有逻辑核心单元PE容错能力的专用集成电路20,提高测试范围。

[0105] 如图7所示,在步骤S503中通过参考时钟信号控制专用集成电路20的时钟锁相环运行之后,自测方法进一步包括以下步骤:

[0106] S601:统计测试时间,将测试时间与预设的时间进行比较。

[0107] 在测试装置10向时钟引脚23输入参考时钟信号之后,测试装置10开始统计测试时间,并将测试时间与预设的时间进行比较。在测试装置10得到测试结果之前,测试装置10判断到测试时间大于或等于预设的时间,即响应于测试时间大于或等于预设的时间,则进入步骤S602;测试装置10判断到测试时间小于预设的时间,即响应于测试时间小于预设的时间,则返回将测试时间与预设的时间进行比较的步骤。

[0108] S602:响应于测试时间大于或等于预设的时间,则获取多个输出信号,重置测试时间。

[0109] 测试装置10响应于测试时间大于或等于预设的时间,测试装置10获取专用集成电路20的多个输出信号,并重置测试时间,即测试时间归零。测试装置10基于专用集成电路20的多个输出信号得到测试结果,即执行步骤S504中得到测试结果的步骤。

[0110] 本实施例统计测试时间,将测试时间与预设的时间进行比较,能够在测试装置10出现错误(例如测试装置10宕机)及时完成测试,提高测试装置10的准确率和测试效率。

[0111] 在测试装置10得到测试结果为测试失败,则本申请的自测方法进一步对测试失败的专用集成电路20进行分析,以对专用集成电路20进行废片处理。

[0112] 本申请进一步基于上述自测方法对专用集成电路20进行仿真测试,得到仿真结果:测试装置10通过上述自测方法对专用集成电路20进行测试,测试覆盖率可达到99.8%,因此本申请的自测方法无需大量额外逻辑和布线资源,可以完成对专用集成电路20的逻辑进行全覆盖测试。此外,测试装置10还可以同时测试多个专用集成电路20,实现并行测试,提高测试效率。

[0113] 综上所述,本申请的自测方法无需大量额外逻辑和布线资源,可以完成对专用集成电路20的逻辑进行全覆盖测试,降低测试成本。另外,本申请的自测方法通过复用专用集成电路20的引脚,无需额外增加引脚,等待固定的测试时间(毫秒级)即可完成专用集成电路20的测试,因此测试时间短,进一步降低测试成本。此外,本申请的自测方法支持多种测试模式,且能够测试具有逻辑核心单元PE容错能力的专用集成电路20,提高测试范围。

[0114] 本申请进一步提出一种测试装置,如图8所示,测试装置10包括处理器71和存储器72;存储器72中存储有计算机程序,处理器71用于执行计算机程序以实现上述实施例所揭示的自测方法。测试装置10设有专用集成芯片20,用于测试专用集成芯片20。

[0115] 本申请进一步提出一种计算机可读存储介质,如图9所示,本实施例计算机可读存储介质80用于存储上述实施例的程序指令810,程序指令810能够被执行以实现上述实施例的控制方法。程序指令810已在上述方法实施例中进行了详细的叙述,这里不赘述。

[0116] 本实施例计算机可读存储介质80可以是但不局限于U盘、SD卡、PD光驱、移动硬盘、大容量软驱、闪存、多媒体记忆卡、服务器等。

[0117] 另外,上述功能如果以软件功能的形式实现并作为独立产品销售或使用,可存储在一个移动终端可读取存储介质中,即,本申请还提供一种存储有程序数据的存储装置,所述程序数据能够被执行以实现上述实施例的方法,该存储装置可以为如U盘、光盘、服务器等。也就是说,本申请可以以软件产品的形式体现出来,其包括若干指令用以使得一台智能终端执行各个实施例所述方法的全部或部分步骤。

[0118] 在本申请的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、“或”、“一些示例”等的描述意指结合该实施例或示例描述的具体特征、机构、材料或者特点包含于本申请的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必须针对的是相同的实施例或示例。而且,描述的具体特征、机构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外,在不相互矛盾的情况下,本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

[0119] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本申请的描述中,“多个”的含义是至少两个,例如两个,三个等,除非另有明确具体的限定。

[0120] 流程图中或在此以其他方式描述的任何过程或方法描述可以被理解为,表示包括一个或更多个用于实现特定逻辑功能或过程的步骤的可执行指令的代码的模块、片段或部分,并且本申请的优选实施方式的范围包括另外的实现,其中可以不按所示出或讨论的顺序,包括根据所涉及的功能按基本同时的方式或按相反的顺序,来执行功能,这应被本申请的实施例所属技术领域的技术人员所理解。

[0121] 在流程图中表示或在此以其他方式描述的逻辑和/或步骤,例如,可以被认为用于实现逻辑功能的可执行指令的定序列表,可以具体实现在任何计算机可读介质中,以供指令执行系统、装置或设备(可以是个人计算机,服务器,网络设备或其他可以从指令执行系统、装置或设备取指令并执行指令的系统)使用,或结合这些指令执行系统、装置或设备而使用。就本说明书而言,“计算机可读介质”可以是任何可以包含、存储、通信、传播或传输程序以供指令执行系统、装置或设备或结合这些指令执行系统、装置或设备而使用的装置。计算机可读介质的更具体的示例(非穷尽性列表)包括以下:具有一个或多个布线的电连接部(电子装置),便携式计算机盘盒(磁装置),随机存取存储单元(RAM),只读存储单元(ROM),可擦除可编程只读存储单元(EPROM或闪存存储单元),光纤装置,以及便携式光盘只读存储单元(CDROM)。另外,计算机可读介质甚至可以是可在其上打印所述程序的纸或其他

合适的介质,因为可以例如通过对纸或其他介质进行光学扫描,接着进行编辑、解译或必要时以其他合适方式进行处理来以电子方式获得所述程序,然后将其存储在计算机存储单元中。以上所述仅为本申请的实施方式,并非因此限制本申请的专利范围,凡是利用本申请说明书及附图内容所作的等效机构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本申请的专利保护范围内。

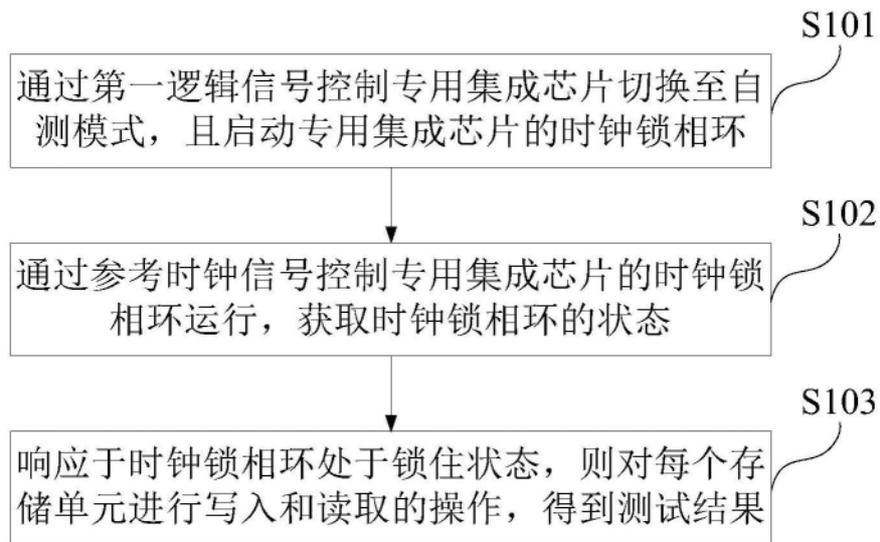


图1

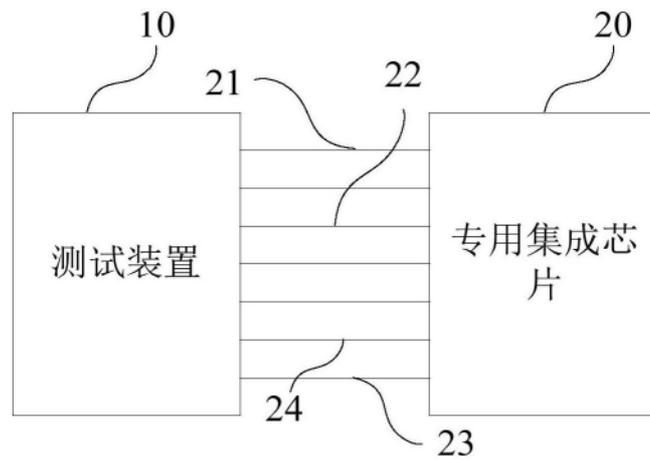


图2

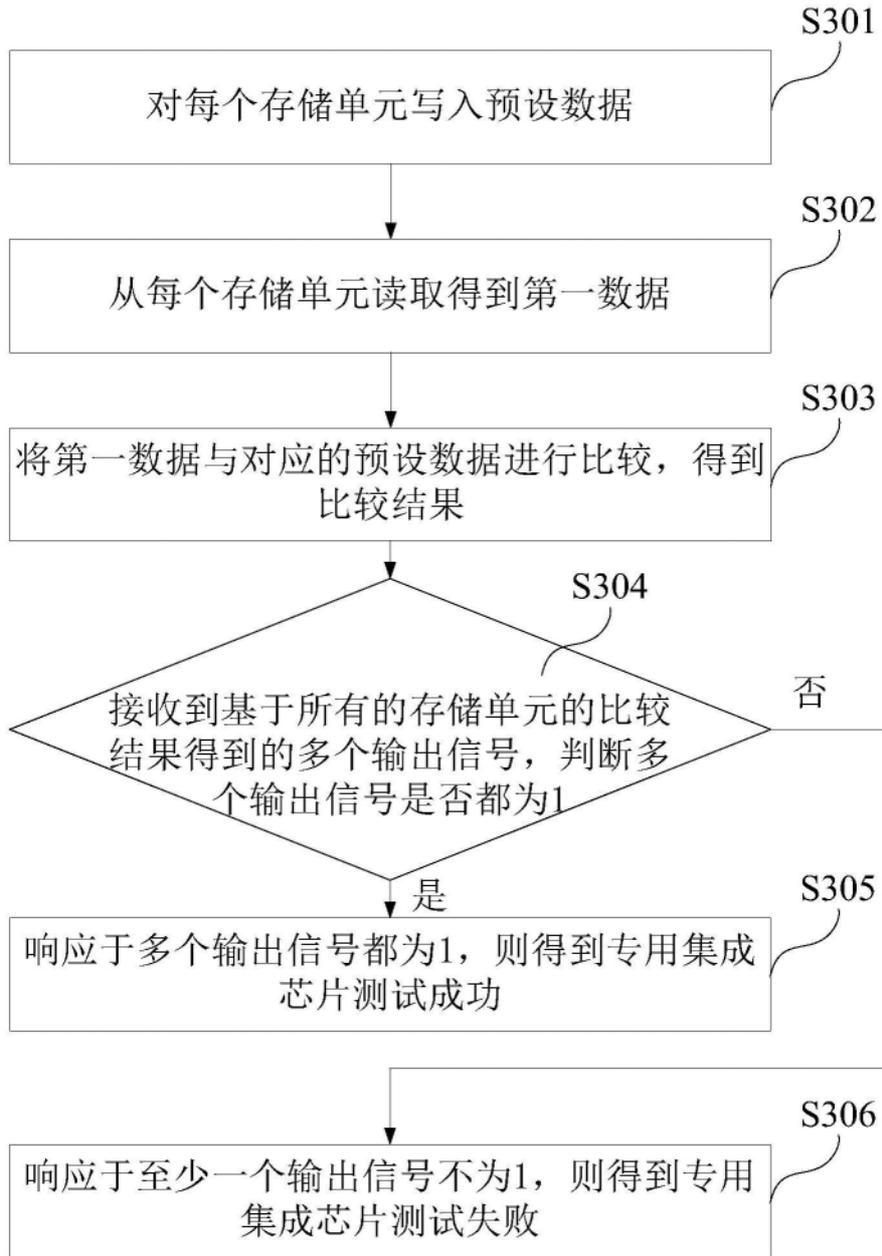


图3

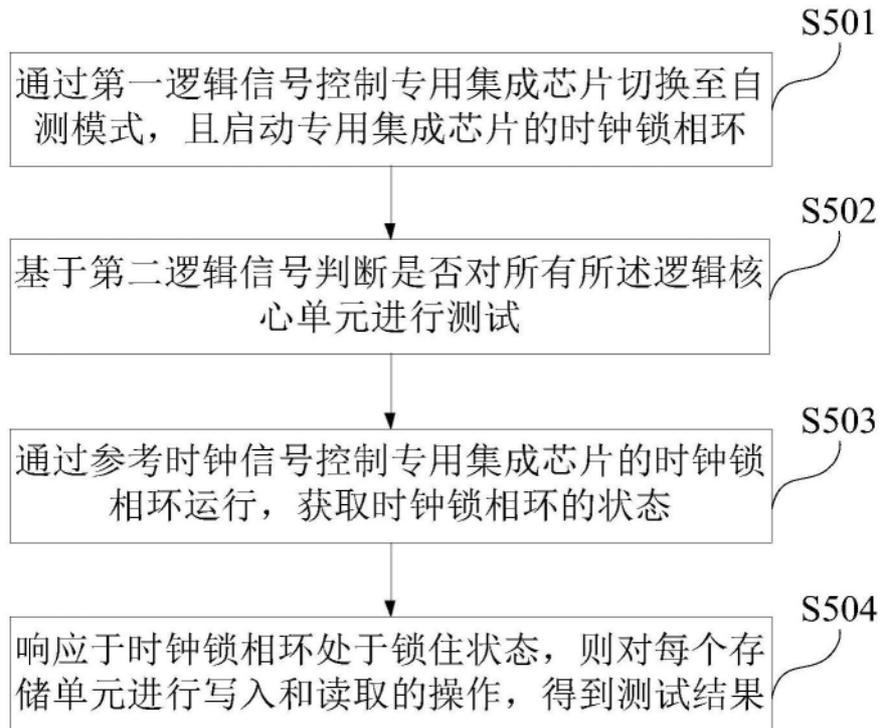


图6

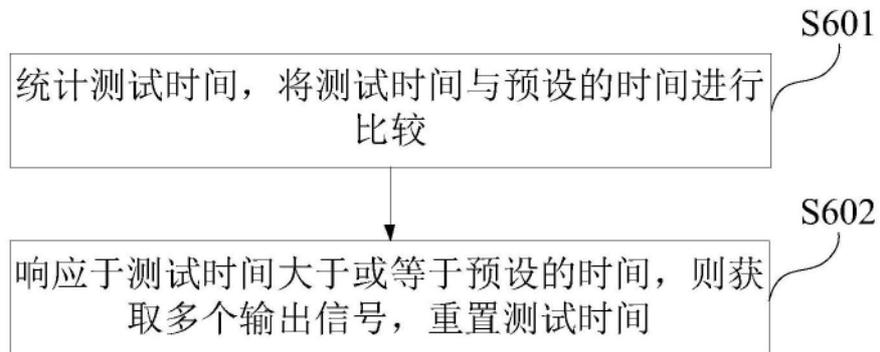


图7

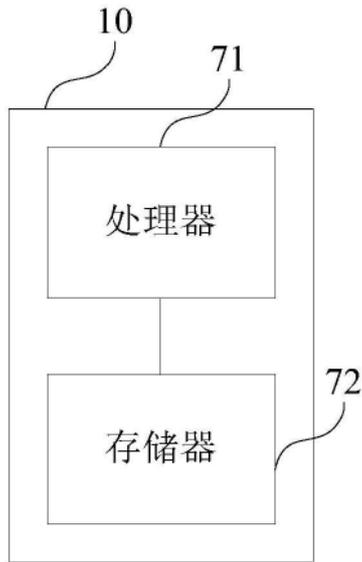


图8

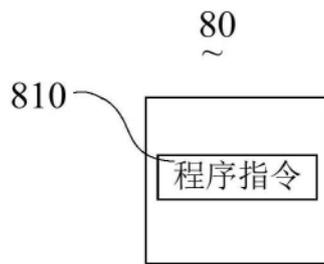


图9