

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-259723

(P2004-259723A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/82	HO 1 L 21/82	5 B O 4 6
HO 1 L 21/3205	HO 1 L 21/82	5 F O 3 3
HO 1 L 21/822	HO 1 L 21/82	5 F O 3 8
HO 1 L 27/04	HO 1 L 27/04	5 F O 6 4
// GO 6 F 17/50	HO 1 L 21/88	S
審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く		

(21) 出願番号 特願2003-45434 (P2003-45434)
 (22) 出願日 平成15年2月24日 (2003.2.24)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100110858
 弁理士 柳瀬 睦肇
 (74) 代理人 100107526
 弁理士 鈴木 直郁
 (74) 代理人 100110777
 弁理士 宇都宮 正明
 (74) 代理人 100100413
 弁理士 渡部 温
 (72) 発明者 作田 孝
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 5B046 AA08 BA06

最終頁に続く

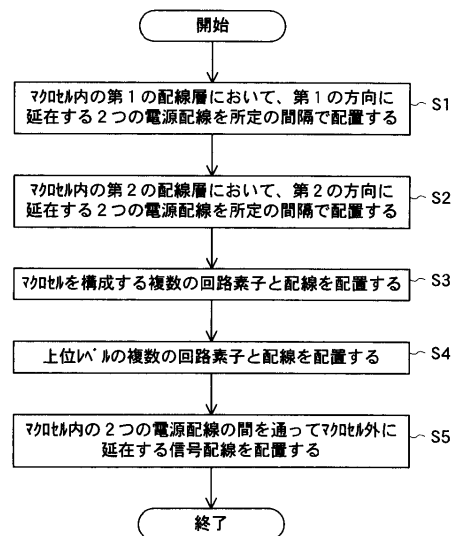
(54) 【発明の名称】 半導体集積回路及びそのレイアウト方法

(57) 【要約】

【課題】 マクロセルの内部に上位レベルの配線を容易に配置することが可能な半導体集積回路のレイアウト方法を提供する。

【解決手段】 このレイアウト方法は、コンピュータを用いて半導体集積回路のレイアウトを行う方法であって、マクロセル内の第1の配線層において、第1の方向に延在する2つの電源配線を所定の間隔で配置するステップ(a)と、マクロセル内の第2の配線層において、第1の方向と異なる第2の方向に延在する2つの電源配線を所定の間隔で配置するステップ(b)と、マクロセルを構成する複数の回路素子と、それらの回路素子間の配線を配置するステップ(c)と、第1及び第2の配線層の内の少なくとも一方において、マクロセル内の2つの電源配線の間を通過してマクロセル外に延在する信号配線を配置するステップ(d)とを具備する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

コンピュータを用いて半導体集積回路のレイアウトを行う方法であって、マクロセル内の第 1 の配線層において、第 1 の方向に延在する 2 つの電源配線を所定の間隔で配置するステップ (a) と、前記マクロセル内の第 2 の配線層において、前記第 1 の方向と異なる第 2 の方向に延在する 2 つの電源配線を所定の間隔で配置するステップ (b) と、前記マクロセルを構成する複数の回路素子と、それらの回路素子間の配線を配置するステップ (c) と、前記第 1 及び第 2 の配線層の内の少なくとも一方において、前記マクロセル内の前記 2 つの電源配線の間を通過して前記マクロセル外に延在する信号配線を配置するステップ (d) と、を具備するレイアウト方法。

【請求項 2】

ステップ (a) 及びステップ (b) の各々が、半導体集積回路のレイアウト設計において用いられる単位格子の間隔を D とするとき、前記 2 つの電源配線を 2 D の間隔で配置することを含み、請求項 1 記載のレイアウト方法。

【請求項 3】

半導体集積回路であって、マクロセルを構成する複数の回路素子が形成された半導体基板と、前記半導体基板上に形成され、マクロセル内において第 1 の方向に延在し所定の間隔を有する 2 つの電源配線を含む第 1 の配線層と、前記半導体基板上に形成され、前記マクロセル内において前記第 1 の方向と異なる第 2 の方向に延在し所定の間隔を有する 2 つの電源配線を含む第 2 の配線層と、を具備し、前記第 1 及び第 2 の配線層の内の少なくとも一方が、前記マクロセル内の前記 2 つの電源配線の間を通過して前記マクロセル外に延在する信号配線を含む、半導体集積回路。

【請求項 4】

前記第 1 の方向と前記第 2 の方向とが直交する、請求項 3 記載の半導体集積回路。

【請求項 5】

前記第 1 及び第 2 の配線層の各々において、前記 2 つの電源配線の内の一方に高電位側の電源電位が供給され、他方に低電位側の電源電位が供給される、請求項 3 又は 4 記載の半導体集積回路。

【請求項 6】

前記第 1 及び第 2 の配線層において、前記 2 つの電源配線の各々がループを形成する、請求項 5 記載の半導体集積回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、いわゆる P & R (place and route) ツールと呼ばれる自動配置配線プログラムを用いてマクロセルを含む複数のセルを配置配線することにより L S I 等の半導体集積回路をレイアウトする方法に関し、さらに、そのようなレイアウト方法を用いて製造された半導体集積回路に関する。

【0002】**【従来の技術】**

L S I に I P (intellectual property) やメモリセルアレイを搭載するためには、通常のセルよりも大規模なマクロセルが用いられる。ここで、I P とは、一般的に、プロセッサ等の信号処理回路や、メモリ、入出力回路等を含む電子回路の機能ブロックをいう。マクロセルは、数行数列に配置された複数のブロックを含んでおり、各ブロックの周辺部には、リング状の電源配線が設けられている。

10

20

30

40

50

【0003】

従来、このようなLSIのレイアウトを設計する際には、配置配線の予測に基づいて、マクロセルにおいて配線通過可能領域を設定し、この配線通過可能領域にシールド配線を挿入した後でマクロセルの回路素子の配置配線を行うことにより、P & Rツールにおいて使用されるマクロセルのライブラリを作成していた。

【0004】

例えば、下記の特許文献1には、配置配線情報を持ち、クロストークノイズによる信号遅延等の特性変動を抑えることのできるマクロの作成方法が開示されている。このマクロ作成方法によれば、IPマクロの形状、外部端子の位置に基づいてIPマクロ内にチップレベルの配線が通過可能な領域を算出し、シールド配線挿入処理後、その領域の配線条件を設定する。その配線条件に基づいてIPマクロ内の自動配置配線を行い、シールド配線のコンタクト処理を行い、通過配線可能領域の情報と自動配置配線結果を含むIPマクロのライブラリを作成する。

10

【0005】

しかしながら、実際に上位レベルのレイアウトを行う際に必要となる配線領域が確定しない段階でマクロセルの内部に配線通過可能領域が設定されてしまうので、上位レベルの配線が困難になることも多い。一方、マクロセルを迂回する配線を用いる場合には、配線長が長くなってしまいうので、信号の遅延により動作タイミングが不良になるおそれがある。

【0006】

【特許文献1】

特開2002-24310号公報(第1頁、図3)

20

【0007】

【発明が解決しようとする課題】

そこで、本発明は、上記の点に鑑み、マクロセルの内部に上位レベルの配線を容易に配置することが可能な半導体集積回路のレイアウト方法、及び、そのようなレイアウト方法を用いて製造された半導体集積回路を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の課題を解決するため、本発明に係る半導体集積回路のレイアウト方法は、コンピュータを用いて半導体集積回路のレイアウトを行う方法であって、マクロセル内の第1の配線層において、第1の方向に延在する2つの電源配線を所定の間隔で配置するステップ(a)と、マクロセル内の第2の配線層において、第1の方向と異なる第2の方向に延在する2つの電源配線を所定の間隔で配置するステップ(b)と、マクロセルを構成する複数の回路素子と、それらの回路素子間の配線を配置するステップ(c)と、第1及び第2の配線層の内の少なくとも一方において、マクロセル内の2つの電源配線の間を通過してマクロセル外に延在する信号配線を配置するステップ(d)とを具備する。

30

【0009】

ここで、ステップ(a)及びステップ(b)の各々が、半導体集積回路のレイアウト設計において用いられる単位格子の間隔をDとするときに、2つの電源配線を2Dの間隔で配置するようにしても良い。

40

【0010】

また、本発明に係る半導体集積回路は、マクロセルを構成する複数の回路素子が形成された半導体基板と、半導体基板上に形成され、マクロセル内において第1の方向に延在し所定の間隔を有する2つの電源配線を含む第1の配線層と、半導体基板上に形成され、マクロセル内において第1の方向と異なる第2の方向に延在し所定の間隔を有する2つの電源配線を含む第2の配線層とを具備し、第1及び第2の配線層の内の少なくとも一方が、マクロセル内の2つの電源配線の間を通過してマクロセル外に延在する信号配線を含む。

【0011】

ここで、第1の方向と第2の方向とが直交するようにしても良い。また、第1及び第2の配線層の各々において、2つの電源配線の内の一方に高電位側の電源電位が供給され、他

50

方に低電位側の電源電位が供給されるようにしても良い。さらに、第1及び第2の配線層において、2つの電源配線の各々がループを形成するようにしても良い。

【0012】

本発明によれば、マクロセル内の第1及び第2の配線層において第1及び第2の方向にそれぞれ延在する2つの電源配線の間を上位レベルの配線領域として使用することができるので、マクロセルの内部に上位レベルの配線を容易に配置することが可能となる。

【0013】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面を参照しながら詳しく説明する。なお、同一の構成要素には、同一の参照番号を付して説明を省略する。

10

図1は、本発明の一実施形態に係る半導体集積回路のレイアウト方法を示すフローチャートである。本実施形態に係るレイアウト方法においては、コンピュータ上で動作するP&Rツールと呼ばれる自動配置配線プログラムを用いて、マクロセルを含む複数のセルを配置配線することにより、LSI等の半導体集積回路のレイアウトを行う。

【0014】

ステップS1において、マクロセル内の第1の配線層（最下層の配線層に限らない）において、第1の方向（例えば、X方向）に延在する2つの電源配線を所定の間隔で配置する。これらの電源配線は、高電位側の電源電位 V_{DD} が供給される2つの電源配線でも良いし、低電位側の電源電位 V_{SS} が供給される2つの電源配線でも良いし、高電位側の電源電位 V_{DD} が供給される1つの電源配線と低電位側の電源電位 V_{SS} が供給される1つの電源配線とのペアでも良い。

20

【0015】

ステップS2において、マクロセル内の第2の配線層（第2層目の配線層に限らない）において、第1の方向と異なる第2の方向（例えば、X方向と直交するY方向）に延在する2つの電源配線を所定の間隔で配置する。

【0016】

以上において、所定の間隔とは、2つの電源配線の間他に他の配線を設けることが可能な間隔をいう。例えば、半導体集積回路のレイアウト設計において用いられる単位格子（グリッド）の間隔をDとするとときに、2つの電源配線を2Dの間隔で配置するようにしても良い。

30

【0017】

ステップS3において、マクロセルを構成する複数の回路素子と、それらの回路素子間の配線を配置する。ステップS3までの工程によってレイアウトされた半導体集積回路の例を、図2～図4に示す。ここでは、説明を簡単にするため、マクロセルにおける1つのブロック内に1つのMOSトランジスタの構造を拡大して示している。

【0018】

図2は、ステップS3までの工程によってレイアウトされた半導体集積回路の平面図である。図2においては、第2層目以上の層間絶縁膜を省略している。図3は、図2のIII-IIIにおける断面図である。半導体基板10上にゲート絶縁膜12及びゲート電極13が形成され、その両側の半導体基板10内に不純物拡散領域11が形成されている。ゲート絶縁膜12、ゲート電極13及び不純物拡散領域11は、MOSトランジスタを構成する。

40

【0019】

MOSトランジスタが形成された半導体基板10上に、第1層目の層間絶縁膜20を介して、第1層目の配線層が形成されている。第1層目の層間絶縁膜20の所定の位置には開口が設けられており、第1層目の配線層の配線34及び35は、それらの開口を通してMOSトランジスタの不純物拡散領域11に接続されている。

【0020】

図4は、図2のIV-IVにおける断面図である。第1層目の層間絶縁膜20上には、第1層目の配線層の電源配線31が設けられている。その上に、第2層目の層間絶縁膜40

50

を介して、第2層目の配線層が形成されている。第2層目の層間絶縁膜40の所定の位置には開口が設けられており、第2層目の配線層の電源配線51は、それらの開口を通して第1層目の配線層の電源配線31に接続されている。図4には示されていないが、第2層目の配線層の電源配線52は、第1層目の配線層の電源配線32に接続されている。さらにその上に、保護膜60が形成されている。

【0021】

図2に示すように、第1層目の配線層においてX方向に延在する2つの電源配線31及び32は、半導体集積回路のレイアウト設計において用いられる単位格子(グリッド)の間隔をDとするときに、2Dの間隔で配置されている。電源配線31には、高電位側の電源電位 V_{DD} が供給され、電源配線32には、低電位側の電源電位 V_{SS} が供給される。

10

【0022】

また、第2層目の配線層においてY方向に延在する2つの電源配線51及び52も、2Dの間隔で配置されている。電源配線51には、高電位側の電源電位 V_{DD} が供給され、電源配線52には、低電位側の電源電位 V_{SS} が供給される。

【0023】

次に、再び図1を参照すると、ステップS4において、上位レベルの複数の回路素子と、それらの回路素子間の配線を配置する。さらに、ステップS5において、第1及び第2の配線層の内の少なくとも一方において、マクロセル内の2つの電源配線の間を通過してマクロセル外に延在する信号配線を配置する。ステップS5までの工程によってレイアウトされた半導体集積回路の例を、図5に示す。

20

【0024】

図5は、ステップS5までの工程によってレイアウトされた半導体集積回路の平面図である。図5においては、第2層目以上の層間絶縁膜を省略している。図5に示すように、第1層目の配線層においてX方向に延在する2つの電源配線31及び32の間に、マクロセルの左右両側に位置する上位レベルの2つの回路素子を接続する信号配線33が配置されている。半導体集積回路のレイアウト設計において用いられる単位格子(グリッド)の間隔をDとするときに、電源配線31と信号配線33、及び、信号配線33と電源配線32は、それぞれDの間隔で配置されている。

【0025】

また、第2層目の配線層においてY方向に延在する2つの電源配線51及び52の間に、マクロセルの上下両側に位置する上位レベルの2つの回路素子を接続する信号配線53が配置されている。電源配線51と信号配線53、及び、信号配線53と電源配線52も、それぞれDの間隔で配置されている。

30

【0026】

このようにすれば、上位レベルの信号配線がマクロセルを迂回することなく配置できるので、信号の遅延が必要以上に増大することなく、上位レベルの配線が困難になることもない。また、電源配線は、シールド配線も兼ねているので、クロストークや基板面積の増加を抑えることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るレイアウト方法を示すフローチャート。

40

【図2】途中までレイアウトされた半導体集積回路の平面図。

【図3】図2のIII-IIIにおける断面図。

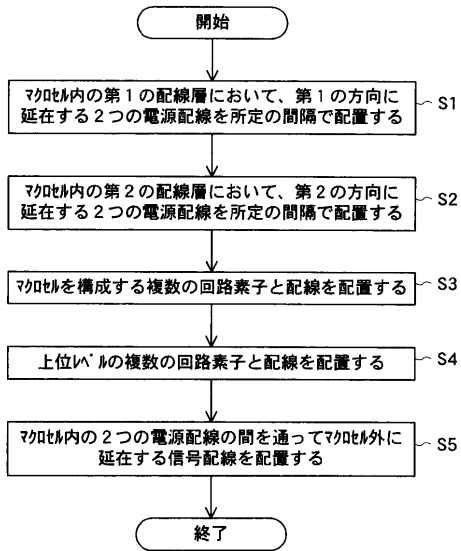
【図4】図2のIV-IVにおける断面図。

【図5】最終的にレイアウトされた半導体集積回路の平面図。

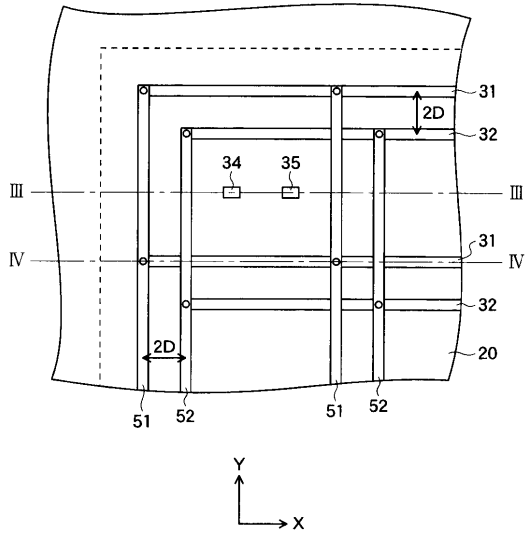
【符号の説明】

10 半導体基板、 11 不純物拡散領域、 12 ゲート絶縁膜、 13 ゲート電極、 20、40 層間絶縁膜、 31~35 第1層目の配線層の配線、 51~53 第2層目の配線層の配線、 60 保護膜

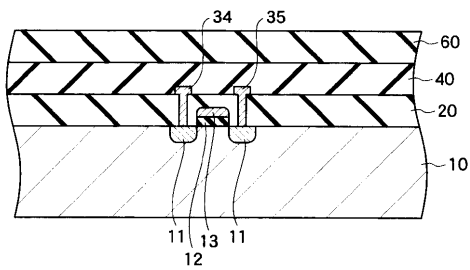
【 図 1 】



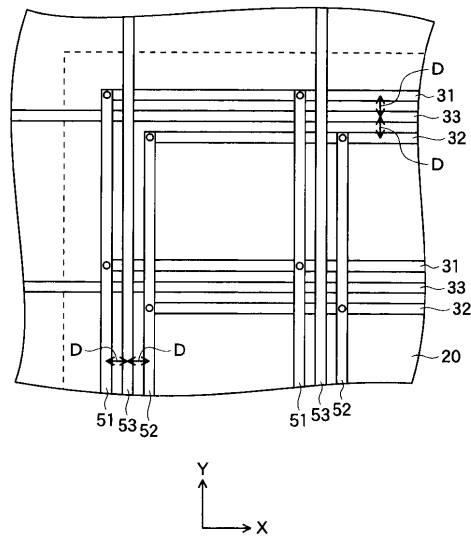
【 図 2 】



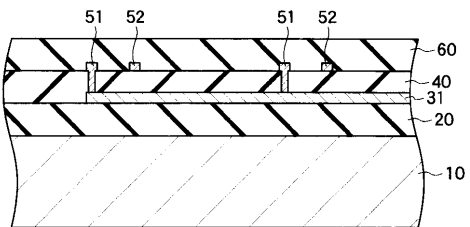
【 図 3 】



【 図 5 】



【 図 4 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 6 F 17/50 6 5 8 K

Fターム(参考) 5F033 UU04 VV03 VV04 XX23

5F038 BH10 CA17 CD02 CD05 EZ09 EZ20

5F064 AA06 DD02 DD04 EE02 EE12 EE14 EE16 EE22 EE24 EE46

EE52 HH06 HH11