

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-65953

(P2008-65953A)

(43) 公開日 平成20年3月21日(2008.3.21)

(51) Int.Cl. F I テーマコード(参考)
G 1 1 C 13/00 (2006.01) G 1 1 C 13/00 A 5 F 0 8 3
H 0 1 L 27/10 (2006.01) H 0 1 L 27/10 4 5 1

審査請求 未請求 請求項の数 5 O L (全 27 頁)

(21) 出願番号 特願2006-245463 (P2006-245463)
 (22) 出願日 平成18年9月11日(2006.9.11)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号
 (74) 代理人 100087479
 弁理士 北野 好人
 (74) 代理人 100114915
 弁理士 三村 治彦
 (72) 発明者 木下 健太郎
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
 Fターム(参考) 5F083 FZ10 GA11 JA21 JA35 JA36
 JA37 JA38 JA39 JA40 JA60
 KA01 KA11 LA01 LA12 LA16
 LA20 MA06 MA19 NA01

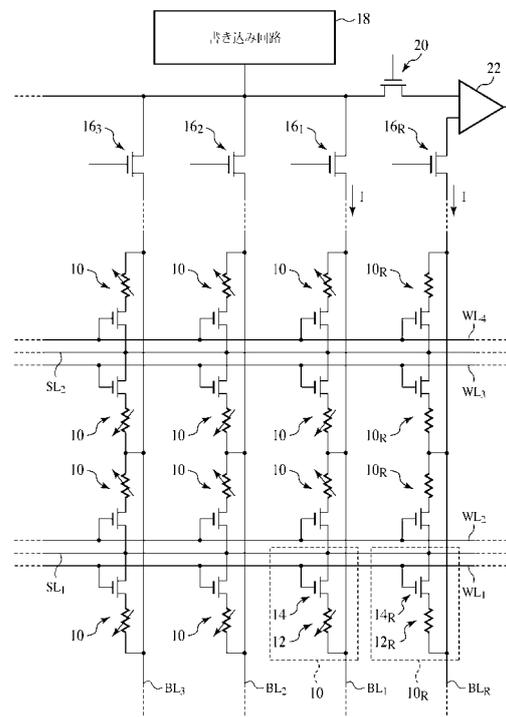
(54) 【発明の名称】 不揮発性半導体記憶装置及びその読み出し方法

(57) 【要約】

【課題】 抵抗値が異なる複数の抵抗状態を記憶する抵抗記憶素子を用いた不揮発性半導体記憶装置に関し、リファレンス抵抗の信頼性が高く、読み出しエラーを効果的に防止しうる不揮発性半導体記憶装置及びその読み出し方法を提供する。

【解決手段】 一对の電極間に抵抗記憶材料が挟持され、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、抵抗記憶特性を発現した抵抗記憶素子12を有するメモリセル10と、メモリセル10を読み出す際に参照されるリファレンスセルであって、抵抗記憶特性を発現していない抵抗記憶素子12_Rよりなるリファレンス抵抗を有するリファレンスセル10_Rとを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、

前記抵抗記憶特性を発現した第 1 の抵抗記憶素子を有するメモリセルと、

前記メモリセルを読み出す際に参照されるリファレンスセルであって、前記抵抗記憶特性を発現していない第 2 の抵抗記憶素子よりなるリファレンス抵抗を有するリファレンスセルと

を有することを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、

前記抵抗記憶特性を発現した第 1 の抵抗記憶素子と、ドレイン端子が前記第 1 の抵抗記憶素子の一方の端部に接続された第 1 のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、

前記抵抗記憶特性を発現していない第 2 の抵抗記憶素子よりなるリファレンス抵抗と、ドレイン端子が前記第 2 の抵抗記憶素子の一方の端部に接続された第 2 のトランジスタとをそれぞれ有し、第 1 の方向に並ぶように配置された複数のリファレンスセルと、

20

前記第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記第 1 の抵抗記憶素子の他方の端部、又は前記第 1 の方向に並ぶ前記リファレンスセルの前記第 2 の抵抗記憶素子の他方の端部に接続された複数のビット線と、

前記第 1 の方向と交差する第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記第 1 のトランジスタのゲート端子及び前記リファレンスセルの前記第 2 のトランジスタのゲート端子に接続された複数のワード線と、

前記第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記第 1 のトランジスタのソース端子及び前記リファレンスセルの前記第 2 のトランジスタのソース端子に接続された複数のソース線と

30

を有することを特徴とする不揮発性半導体記憶装置。

【請求項 3】

一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、

前記抵抗記憶特性を発現した第 1 の抵抗記憶素子と、ドレイン端子が前記第 1 の抵抗記憶素子の一方の端部に接続された第 1 のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、

前記抵抗記憶特性を発現していない第 2 の抵抗記憶素子よりなるリファレンス抵抗と、ドレイン端子が前記第 2 の抵抗記憶素子の一方の端部に接続された第 2 のトランジスタとをそれぞれ有し、第 1 の方向に並ぶように配置された複数のリファレンスセルと、

40

前記第 1 の方向と交差する第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記第 1 の抵抗記憶素子の他方の端部及び前記リファレンスセルの前記第 2 の抵抗記憶素子の他方の端部に接続された複数のビット線と、

前記第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記第 1 のトランジスタのゲート端子、又は前記第 1 の方向に並ぶ前記リファレンスセルの前記第 2 のトランジスタのゲート端子に接続された複数のワード線と、

50

前記第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記第 1 のトランジスタのソース端子、又は前記第 1 の方向に並ぶ前記リファレンスセルの前記第 2 のトランジスタのソース端子に接続された複数のソース線と

を有することを特徴とする不揮発性半導体記憶装置。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の不揮発性半導体記憶装置において、

前記リファレンス抵抗の抵抗値は、前記第 1 の抵抗記憶素子が前記低抵抗状態のときの抵抗値より大きく、前記第 1 の抵抗記憶素子が前記高抵抗状態のときの抵抗値の $1/2$ 以下である

10

ことを特徴とする不揮発性半導体記憶装置。

【請求項 5】

一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、前記抵抗記憶特性を発現した第 1 の抵抗記憶素子を有するメモリセルと、前記メモリセルを読み出す際に参照されるリファレンスセルであって、前記抵抗記憶特性を発現していない第 2 の抵抗記憶素子よりなるリファレンス抵抗を有するリファレンスセルとを有する不揮発性半導体記憶装置の読み出し方法であって、

前記第 1 の抵抗記憶素子と前記第 2 の抵抗記憶素子とに互いに等しい読み出し電流を流した際に、前記第 1 の抵抗記憶素子に印加される第 1 の電圧と、前記第 2 の抵抗記憶素子に印加される第 2 の電圧とを比較することにより、前記第 1 の抵抗記憶素子の抵抗状態を判定する

20

ことを特徴とする不揮発性半導体記憶装置の読み出し方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗値が異なる複数の抵抗状態を記憶する抵抗記憶素子を用いた不揮発性半導体記憶装置及びその読み出し方法に関する。

【背景技術】

【0002】

近年、新たなメモリ素子として、R e R A M (Resistance Random Access Memory : 抵抗変化メモリ) と呼ばれる不揮発性半導体記憶装置が注目されている。R e R A M は、抵抗値が異なる複数の抵抗状態を有し、外部から電氣的刺激を与えることにより抵抗状態が変化する抵抗記憶素子を用い、抵抗記憶素子の高抵抗状態と低抵抗状態とを例えば情報の“0”と“1”とに対応づけることにより、メモリ素子として利用するものである。R e R A M は、高速性、大容量性、低消費電力性等、そのポテンシャルの高さから、その将来性が期待されている。

30

【0003】

抵抗記憶素子は、電圧の印加により抵抗状態が変化する抵抗記憶材料を一对の電極間に挟持したものである。抵抗記憶材料としては、代表的なものとして遷移金属を含む酸化物材料が知られている。

40

【0004】

図 1 3 に、抵抗記憶素子の電気特性を示す。図 1 3 に示すように、高抵抗状態にある抵抗記憶素子に電圧を徐々に印加していくと、電圧がある値(セット電圧 V_{set})を超えたところで急激に抵抗値が減少し、抵抗記憶素子は低抵抗状態に遷移する。この動作を、一般に「セット」と呼ぶ。一方、低抵抗状態にある抵抗記憶素子に電圧を徐々に印加していくと、電圧がある値(リセット電圧 V_{reset})を超えたところで急激に抵抗値が増加し、抵抗記憶素子は高抵抗状態に遷移する。この動作を、一般に「リセット」と呼ぶ。

【0005】

これら動作により、抵抗記憶素子に単純に電圧を印加するだけで、抵抗記憶素子の抵抗

50

状態を制御することができる。

【0006】

また、データの読み出しは、抵抗記憶素子に所定の読み出し電流を流したときに抵抗記憶素子に印加される電圧を測定することにより可能である。

【非特許文献1】I. G. Baek et al., "Highly scalable non-volatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses", Tech. Digest IEDM 2004, p.587

【非特許文献2】M. Durlam et al., "A low power 1Mbit MRAM based on 1T1MTJ bit cell integrated with copper interconnects", 2002 Symposium on VLSI Circuits Digest of Technical Papers

【非特許文献3】H. Honigschmid et al., "A non-volatile 2Mbit CBRAM memory core featuring advanced read and program control", 2006 Symposium on VLSI Circuits Digest of Technical Papers

【発明の開示】

【発明が解決しようとする課題】

【0007】

抵抗記憶素子を用いた不揮発性半導体記憶装置に記憶された情報を読み出す手法の一つとして、読み出し対象の抵抗記憶素子の抵抗値とリファレンス抵抗の抵抗値とを比較することが考えられる。この場合、リファレンス抵抗には、読み出しエラーを防止するために、信頼性が高いこと及び抵抗値の安定性が要求される。ここで、リファレンス抵抗としては、装置構成上、メモリセルに用いると同様の抵抗記憶素子を用いることが有効である。

【0008】

しかしながら、一般に、抵抗記憶素子が高抵抗状態のときの抵抗値はばらつきが大きいため、メモリセルに用いると同様の抵抗記憶素子をリファレンス抵抗に用いたのでは、読み出しエラーを効果的に防止することができなかつた。

【0009】

本発明の目的は、リファレンス抵抗の信頼性が高く、読み出しエラーを効果的に防止しうる不揮発性半導体記憶装置及びその読み出し方法を提供することにある。

【課題を解決するための手段】

【0010】

本発明の一観点によれば、一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、前記抵抗記憶特性を発現した第1の抵抗記憶素子を有するメモリセルと、前記メモリセルを読み出す際に参照されるリファレンスセルであって、前記抵抗記憶特性を発現していない第2の抵抗記憶素子よりなるリファレンス抵抗を有するリファレンスセルとを有する不揮発性半導体記憶装置が提供される。

【0011】

また、本発明の他の観点によれば、一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、前記抵抗記憶特性を発現した第1の抵抗記憶素子と、ドレイン端子が前記第1の抵抗記憶素子の一方の端部に接続された第1のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、前記抵抗記憶特性を発現していない第2の抵抗記憶素子よりなるリファレンス抵抗と、ドレイン端子が前記第2の抵抗記憶素子の一方の端部に接続された第2のトランジスタとをそれぞれ有し、第1の方向に並ぶように配置された複数のリファレンスセルと、前記第1の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第1の方向に並ぶ前記メモリセルの前記第1の抵抗記憶素子の他方の端部、又は前記第1の方向に並ぶ前記リファレンスセルの前記第2の抵抗記憶素子の他方の端部に接続された複数のビット線と、前記第1の方向と交差する第2の方向に延在して並行に配された複数の信号

10

20

30

40

50

線であって、各信号線が、前記第2の方向に並ぶ前記メモリセルの前記第1のトランジスタのゲート端子及び前記リファレンスセルの前記第2のトランジスタのゲート端子に接続された複数のワード線と、前記第2の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第2の方向に並ぶ前記メモリセルの前記第1のトランジスタのソース端子及び前記リファレンスセルの前記第2のトランジスタのソース端子に接続された複数のソース線とを有する不揮発性半導体記憶装置が提供される。

【0012】

また、本発明の更に他の観点によれば、一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、前記抵抗記憶特性を
10
発現した第1の抵抗記憶素子と、ドレイン端子が前記第1の抵抗記憶素子の一方の端部に接続された第1のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、前記抵抗記憶特性を発現していない第2の抵抗記憶素子よりなるリファレンス抵抗と、ドレイン端子が前記第2の抵抗記憶素子の一方の端部に接続された第2のトランジスタとをそれぞれ有し、第1の方向に並ぶように配置された複数のリファレンスセルと、前記第1の方向と交差する第2の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第2の方向に並ぶ前記メモリセルの前記第1の抵抗記憶素子の他方の端部及び前記リファレンスセルの前記第2の抵抗記憶素子の他方の端部に接続された複数のビット線と、前記第1の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第1の方向に並ぶ前記メモリセルの前記第1のトランジスタのゲート端子、又は前記第1の方向に並ぶ前記リファレンスセルの前記第2のトランジスタのゲート端子に
20
接続された複数のワード線と、前記第1の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第1の方向に並ぶ前記メモリセルの前記第1のトランジスタのソース端子、又は前記第1の方向に並ぶ前記リファレンスセルの前記第2のトランジスタのソース端子に接続された複数のソース線とを有する不揮発性半導体記憶装置が提供される。

【0013】

また、本発明の更に他の観点によれば、一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、前記抵抗記憶特性を
30
発現した第1の抵抗記憶素子を有するメモリセルと、前記メモリセルを読み出す際に参照されるリファレンスセルであって、前記抵抗記憶特性を発現していない第2の抵抗記憶素子よりなるリファレンス抵抗を有するリファレンスセルとを有する不揮発性半導体記憶装置の読み出し方法であって、前記第1の抵抗記憶素子と前記第2の抵抗記憶素子とに互いに等しい読み出し電流を流した際に、前記第1の抵抗記憶素子に印加される第1の電圧と、前記第2の抵抗記憶素子に印加される第2の電圧とを比較することにより、前記第1の抵抗記憶素子の抵抗状態を判定する不揮発性半導体記憶装置の読み出し方法が提供される。

【発明の効果】

【0014】

本発明によれば、電圧の印加により高抵抗状態と低抵抗状態とを切り換える抵抗記憶素子を用いた不揮発性半導体記憶装置において、メモリセル読み出す際に参照するリファレンスセルを、フォーミング処理を行っていない抵抗記憶素子、すなわち高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性を発現していない抵抗記憶素子よりなるリファレンス抵抗を用いて構成するので、リファレンス抵抗の熱的なストレス等に対する安定性を向上することができる。これにより、安定したリファレンス電圧を発生することができ、読み出しエラーを効果的に防止することができる。

【発明を実施するための最良の形態】

【0015】

[第1実施形態]

10

20

30

40

50

本発明の第1実施形態による不揮発性半導体記憶装置及びその読み出し方法について図1乃至図5を用いて説明する。

【0016】

図1は本実施形態による不揮発性半導体記憶装置の構造を示す回路図、図2及び図3は抵抗記憶素子の電流 - 電圧特性を示すグラフ、図4は抵抗記憶素子の抵抗値の温度特性を示すグラフ、図5は抵抗記憶素子の抵抗状態の保持特性を示すグラフである。

【0017】

はじめに、本実施形態による不揮発性半導体記憶装置の構造について図1を用いて説明する。

【0018】

行方向（図面横方向）には、複数のワード線 $WL_1, WL_2, WL_3, WL_4 \dots$ と、複数のソース線 $SL_1, SL_2 \dots$ とが配されている。また、列方向（図面縦方向）には、複数のビット線 $BL_R, BL_1, BL_2, BL_3 \dots$ が配されている。

【0019】

ワード線 $WL_1, WL_2, WL_3, WL_4 \dots$ とビット線 $BL_1, BL_2, BL_3 \dots$ との各交差部には、抵抗記憶素子12と選択トランジスタ14とを有するメモリセル10が、それぞれ形成されている。各メモリセル10において、抵抗記憶素子12は、その一端が対応するビット線 BL に接続され、他端が選択トランジスタ14のドレイン端子に接続されている。選択トランジスタ14のソース端子は対応するソース線 SL に接続され、ゲート端子は対応するワード線 WL に接続されている。列方向に隣接するメモリセル10のソース線 SL は、共用されている。

【0020】

ワード線 $WL_1, WL_2, WL_3, WL_4 \dots$ とビット線 BL_R との各交差部には、抵抗記憶素子 12_R と選択トランジスタ 14_R とを有するリファレンスセル 10_R が、それぞれ形成されている。各リファレンスセル 10_R において、抵抗記憶素子 12_R は、その一端がビット線 BL_R に接続され、他端が選択トランジスタ 14_R のドレイン端子に接続されている。選択トランジスタ 14_R のソース端子は対応するソース線 SL に接続され、ゲート端子は対応するワード線 WL に接続されている。列方向に隣接するリファレンスセル 10_R のソース線 SL は、共用されている。

【0021】

ビット線 $BL_1, BL_2, BL_3 \dots$ の端部には、列選択用トランジスタ $16_1, 16_2, 16_3 \dots$ のドレイン端子がそれぞれ接続されている。列選択用トランジスタ $16_1, 16_2, 16_3 \dots$ のソース端子には、書き込み回路18と、読み出し用トランジスタ20のソース端子とが接続されている。読み出し用トランジスタ20のドレイン端子には、カレントコンベヤ及びセンスアンプを含む読み出し回路22が接続されている。

【0022】

ビット線 BL_R の端部には、列選択用トランジスタ 16_R のドレイン端子が接続されている。列選択用トランジスタ 16_R のソース端子には、読み出し回路22が接続されている。

【0023】

このように、本実施形態による不揮発性半導体記憶装置は、1つのメモリセル10が1つの抵抗記憶素子12と1つの選択トランジスタ14とにより構成されている。また、メモリセル10の読み出しの際に参照されるリファレンスセル 10_R も、メモリセル10と同様、1つの抵抗記憶素子 12_R と1つの選択トランジスタ 14_R とにより構成されている。

【0024】

ここで、本実施形態による不揮発性半導体記憶装置は、リファレンスセル 10_R の抵抗記憶素子 12_R に主たる特徴がある。すなわち、本実施形態による不揮発性半導体記憶装置では、リファレンスセル 10_R の抵抗記憶素子 12_R （リファレンス抵抗）として、フォーミング処理を行っていない抵抗記憶素子を用いている。換言すれば、メモリセル10

10

20

30

40

50

の抵抗記憶素子 1 2 への印加電圧履歴のうちの最大電圧が、抵抗記憶特性を発現するためのフォーミング電圧以上の電圧であるのに対し、リファレンスセル 1 0_R の抵抗記憶素子 1 2_R への印加電圧履歴のうちの最大電圧が、フォーミング電圧未満である。

【 0 0 2 5 】

また、抵抗記憶素子 1 2_R の素子抵抗は、メモリセル 1 0 の抵抗記憶素子 1 2 が低抵抗状態のときの抵抗値よりも大きく、メモリセル 1 0 の抵抗記憶素子 1 2 が高抵抗状態のときの抵抗値の半分以下である。

【 0 0 2 6 】

次に、リファレンスセル 1 0_R の抵抗記憶素子 1 2_R として、このような抵抗記憶素子を用いる理由について図 2 乃至図 5 を用いて説明する。

10

【 0 0 2 7 】

一般に、抵抗記憶素子は、素子形成直後の初期状態では、電圧の印加により高抵抗状態と低抵抗状態とを可逆的に変化しうる抵抗記憶特性を有していない。このような抵抗記憶特性を発現させるためには、フォーミングと呼ばれる処理を行う必要がある。

【 0 0 2 8 】

素子形成直後の初期状態では、例えば図 2 に示すように、高抵抗であり且つ絶縁耐圧は非常に高くなっている。この絶縁耐圧は、通常は、セットやリセットに必要な電圧と比較して高い値である。この初期状態では、セットやリセットというような抵抗状態の変化は生じない。

【 0 0 2 9 】

20

初期状態において絶縁耐圧よりも高い電圧を印加すると、例えば図 2 に示すように、素子に流れる電流値が急激に増加し、すなわち抵抗記憶素子のフォーミングが行われる。このようなフォーミングを行うことにより、抵抗記憶素子は低抵抗状態と高抵抗状態とを可逆的に変化しうる抵抗記憶特性を発現するようになる。一度フォーミングを行った後は、抵抗記憶素子が初期状態に戻ることはない。

【 0 0 3 0 】

図 3 は、抵抗記憶材料として NiO_y を用いた抵抗記憶素子の電流 - 電圧特性を示すグラフである。図中、印はフォーミング処理の際の特性であり、印はリセット動作の際の特性であり、印はセット動作の際の特性である。

【 0 0 3 1 】

30

図 3 に示すように、 NiO_y を用いた抵抗記憶素子では、フォーミング処理に必要な電圧は、抵抗記憶素子を低抵抗状態にセットするためのセット電圧とほぼ等しい。すなわち、 NiO_y を用いた抵抗記憶素子では、図 2 に示すような明瞭なフォーミングの現象は観察されない。ただし、後述のように、フォーミング処理の有無で素子特性は大きく変化する。

【 0 0 3 2 】

図 4 は、抵抗記憶材料として NiO_y を用いた抵抗記憶素子の温度特性を示すグラフである。図中、印はフォーミングを行っていない素子の特性であり、印はフォーミング処理後に高抵抗状態を書き込んだ素子の特性である。

【 0 0 3 3 】

40

図 4 に示すように、フォーミングを行っていない素子の抵抗値は、フォーミング処理後に高抵抗状態を書き込んだ素子の抵抗値とほぼ一致している。また、フォーミングを行っていない素子の抵抗値の温度特性も、フォーミング処理後に高抵抗状態を書き込んだ素子の抵抗値の温度特性とほぼ一致している。

【 0 0 3 4 】

図 5 は、抵抗記憶材料として NiO_y を用いた抵抗記憶素子のデータ保持特性を示すグラフである。図 5 に示すデータ保持特性は、抵抗記憶素子に所定の抵抗状態を書き込んだ後に 250 のベークを行い、ベークに伴う抵抗値の時間変化を測定したものである。図中、点線はフォーミングを行っていない素子の特性であり、図に「HRS」と付したものはフォーミング処理後に高抵抗状態を書き込んだ素子の特性であり、図に「LRS」と付

50

したものはフォーミング処理後に低抵抗状態を書き込んだ素子の特性である。

【0035】

図5に示すように、フォーミング処理後に低抵抗状態を書き込んだ素子では、100時間のベーク後もほぼ等しい抵抗値を維持している。また、フォーミング処理を行っていない素子では、ベーク時間の増加とともに抵抗値は増加しているが、複数の素子間での特性のばらつきは小さい。

【0036】

これに対し、フォーミング処理後に高抵抗状態を書き込んだ素子では、傾向としてはフォーミング処理を行っていない素子と同様の抵抗値変化を示すものの、ベークに伴う素子特性の劣化及びそのばらつきが大きく、100時間ベーク後に高抵抗状態を維持している素子もあれば、低抵抗状態に変化している素子もある。

10

【0037】

このように、フォーミング処理を行っていない抵抗記憶素子は、フォーミング処理後に高抵抗状態を書き込んだ抵抗記憶素子とほぼ等しい抵抗特性を有しているとともに、フォーミング処理後に高抵抗状態を書き込んだ抵抗記憶素子よりも安定である。

【0038】

フォーミング処理後に高抵抗状態を書き込んだ抵抗記憶素子では、その抵抗値が、最悪の場合、2倍程度ばらつくことがある。このため、このような抵抗記憶素子をリファレンスセル用の抵抗記憶素子として用いた場合、読み出しのためのリファレンス電圧を安定して発生させることが困難である。

20

【0039】

しかしながら、フォーミング処理を行っていない抵抗記憶素子は、上述したように、フォーミング処理後に高抵抗状態を書き込んだ抵抗記憶素子とほぼ等しい抵抗値を有しているとともに、フォーミング処理後に高抵抗状態を書き込んだ抵抗記憶素子よりも安定である。したがって、フォーミング処理を行っていない初期状態の抵抗記憶素子は、リファレンスセル10_R用の抵抗記憶素子12_Rとして、極めて有用である。

【0040】

リファレンスセル10_Rは、メモリセル10を読み出す際に、メモリセル10から出力される読み出し電圧と比較してメモリセル10に記憶されている情報を判定するためのリファレンス電圧を発生するためのものである。このため、このリファレンス電圧は、メモリセル10の抵抗記憶素子12が低抵抗状態のときの読み出し電圧と、メモリセル10の抵抗記憶素子12が高抵抗状態のときの読み出し電圧との中間程度であることが望ましい。

30

【0041】

さらに、高抵抗状態の抵抗記憶素子の抵抗値が低抵抗状態の抵抗記憶素子の抵抗値よりも3桁程度高いこと、及び高抵抗状態の抵抗記憶素子の抵抗値が倍近くばらつくことを考慮すると、リファレンスセル10_R用の抵抗記憶素子12_Rの抵抗値は、メモリセル10の抵抗記憶素子12が低抵抗状態のときの抵抗値よりも大きく、メモリセル10の抵抗記憶素子12が高抵抗状態のときの抵抗値の半分以下であることが望ましい。

【0042】

したがって、リファレンスセル10_R用の抵抗記憶素子12_Rを、メモリセル10の抵抗記憶素子12と同様の層構造とした場合、抵抗記憶素子12_Rの素子面積は、メモリセル10の抵抗記憶素子12の素子面積の2倍以上とすることが望ましい。メモリセル10の抵抗記憶素子12と同じ素子面積の抵抗記憶素子を、複数並列に接続して抵抗記憶素子12_Rを構成するようにしてもよい。

40

【0043】

なお、図3～図5は、抵抗記憶素子の抵抗記憶材料としてNiO_yを用いた場合のデータであるが、フォーミング処理前の素子特性の安定性については他の抵抗記憶材料を用いた場合も同様であると考えられる。すなわち、フォーミング処理は絶縁破壊を伴うものであると考えられ、フォーミングに伴って膜中にはダメージが導入されていることが予測さ

50

れる。したがって、フォーミングを行っていない初期状態の素子では、他の抵抗記憶材料についても、フォーミング後の状態よりも安定した特性を有しているものと考えられる。

【0044】

次に、本実施形態による不揮発性半導体記憶装置のフォーミング処理方法について図1を用いて説明する。ここでは、フォーミングを行うメモリセル10は、ワード線 WL_1 及びビット線 BL_1 に接続されたメモリセル10であるものとする。

【0045】

まず、ビット線 BL_1 に接続された列選択用トランジスタ 16_1 のゲート端子に所定の電圧を印加し、列選択用トランジスタ 16_1 をオン状態にする。

【0046】

また、列選択用トランジスタ 16_1 をオンにするのと同時に、ワード線 WL_1 に所定の電圧を印加し、選択トランジスタ 14 をオン状態にする。

【0047】

ソース線 SL_1 は、基準電位、例えば接地電位である0Vに接続する。

【0048】

次いで、書き込み回路18から、列選択用トランジスタ 16_1 のドレイン端子に、抵抗記憶素子12をフォーミングするに要する電圧と同じ或いはこれよりやや大きいバイアス電圧を印加する。これにより、列選択用トランジスタ 16_1 、ビット線 BL_1 、抵抗記憶素子12及び選択トランジスタ 14 を介してソース線 SL_1 へ向かう電流経路が形成され、印加したバイアス電圧は、抵抗記憶素子12の初期抵抗、列選択用トランジスタ 16_1 のチャンネル抵抗及び選択トランジスタ 14 のチャンネル抵抗に応じてそれぞれに分配される。

【0049】

このとき、抵抗記憶素子12の初期抵抗は、列選択用トランジスタ 16_1 のチャンネル抵抗及び選択トランジスタのチャンネル抵抗に比べて十分に大きいため、バイアス電圧のほとんどは抵抗記憶素子12に印加される。これにより、抵抗記憶素子12には絶縁耐圧を超える電圧が印加され、フォーミング処理が行われる。

【0050】

次いで、ビット線 BL_1 に印加するバイアス電圧をゼロに戻した後、列選択用トランジスタ 16_1 のゲート端子に印加する電圧及びワード線 WL_1 に印加する電圧をオフにし、フォーミングの動作を完了する。

【0051】

本実施形態による不揮発性半導体記憶装置では、図1に示すように、ワード線 WL とソース線 SL とが行方向に配されており、一のワード線 WL (例えばワード線 WL_1)に接続されたメモリセル10は、同じソース線 SL (例えばソース線 SL_1)に接続されている。したがって、上記フォーミング動作において複数のビット線 BL (例えば $BL_1 \sim BL_3$)に同時にバイアス電圧を印加すれば、選択ワード線 WL (例えばワード線 WL_1)に連なる複数のメモリセル10を一括してフォーミングすることも可能である。

【0052】

なお、本実施形態による不揮発性半導体記憶装置では、ビット線 BL_R に接続されているリファレンスセル 10_R の抵抗記憶素子 12_R については、フォーミング処理を行わず、初期状態のまま維持する。すなわち、抵抗記憶素子 12_R には、使用前及び使用の際に、フォーミング電圧以上の電圧が印加されないようにする。

【0053】

次に、本実施形態による不揮発性半導体記憶装置の書き込み方法について図1を用いて説明する。

【0054】

まず、高抵抗状態から低抵抗状態への書き換え動作、すなわちセットの動作について図1を用いて説明する。ここでは、書き換え対象のメモリセル10は、ワード線 WL_1 及びビット線 BL_1 に接続されたメモリセル10であるものとする。

10

20

30

40

50

【 0 0 5 5 】

まず、ビット線 $B L_1$ に接続された列選択用トランジスタ $1 6_1$ のゲート端子に所定の電圧を印加し、列選択用トランジスタ $1 6_1$ をオン状態にする。このとき、ゲート端子に印加する電圧は、列選択用トランジスタ $1 6_1$ のチャンネル抵抗が、抵抗記憶素子 $1 2$ が高抵抗状態のときの抵抗値 R_H よりも十分に小さく、且つ、抵抗記憶素子 $1 2$ が低抵抗状態のときの抵抗値 R_L と比べて無視できない程度の値になるように、制御する。

【 0 0 5 6 】

また、列選択用トランジスタ $1 6_1$ をオンにするのと同時に、ワード線 $W L_1$ に所定の電圧を印加し、選択トランジスタ $1 4$ をオン状態にする。このとき、ワード線 $W L_1$ に印加する電圧は、選択トランジスタ $1 4$ のチャンネル抵抗が、抵抗記憶素子 $1 2$ が低抵抗状態のときの抵抗値 R_L に比べて無視できる程度に小さな値になるように、制御する。

10

【 0 0 5 7 】

ソース線 $S L_1$ は、基準電位、例えば接地電位である $0 V$ に接続する。

【 0 0 5 8 】

次いで、書き込み回路 $1 8$ から、列選択用トランジスタ $1 6_1$ のドレイン端子に、抵抗記憶素子 $1 2$ をセットするに要する電圧と同じ或いはこれよりやや大きいバイアス電圧を印加する。これにより、列選択用トランジスタ $1 6_1$ 、ビット線 $B L_1$ 、抵抗記憶素子 $1 2$ 及び選択トランジスタ $1 4$ を介してソース線 $S L_1$ へ向かう電流経路が形成され、印加したバイアス電圧は、抵抗記憶素子 $1 2$ の抵抗値 R_H 、列選択用トランジスタ $1 6_1$ のチャンネル抵抗及び選択トランジスタ $1 4$ のチャンネル抵抗に応じてそれぞれに分配される。

20

【 0 0 5 9 】

このとき、抵抗記憶素子 $1 2$ の抵抗値 R_H は、列選択用トランジスタ $1 6_1$ のチャンネル抵抗及び選択トランジスタのチャンネル抵抗に比べて十分に大きいため、バイアス電圧のほとんどは抵抗記憶素子 $1 2$ に印加される。これにより、抵抗記憶素子 $1 2$ は、高抵抗状態から低抵抗状態に変化する。

【 0 0 6 0 】

次いで、ビット線 $B L_1$ に印加するバイアス電圧をゼロに戻した後、列選択用トランジスタ $1 6_1$ のゲート端子に印加する電圧及びワード線 $W L_1$ に印加する電圧をオフにし、セットの動作を完了する。

【 0 0 6 1 】

本実施形態による不揮発性半導体記憶装置では、図 1 に示すように、ワード線 $W L$ とソース線 $S L$ とが行方向に配されており、一のワード線 $W L$ (例えばワード線 $W L_1$) に接続されたメモリセル $1 0$ は、同じソース線 $S L$ (例えばソース線 $S L_1$) に接続されている。したがって、上記セット動作において複数のビット線 $B L$ (例えば $B L_1 \sim B L_3$) に同時にバイアス電圧を印加すれば、選択ワード線 $W L$ (例えばワード線 $W L_1$) に連なる複数のメモリセル $1 0$ を一括してセットすることも可能である。

30

【 0 0 6 2 】

次に、低抵抗状態から高抵抗状態への書き換え動作、すなわちリセットの動作について図 1 を用いて説明する。ここでは、書き換え対象のメモリセル $1 0$ は、ワード線 $W L_1$ 及びビット線 $B L_1$ に接続されたメモリセル $1 0$ であるものとする。

40

【 0 0 6 3 】

まず、ビット線 $B L_1$ に接続された列選択用トランジスタ $1 6_1$ のゲート端子に所定の電圧を印加し、列選択用トランジスタ $1 6_1$ をオン状態にする。このとき、ゲート端子に印加する電圧は、列選択用トランジスタ $1 6_1$ のチャンネル抵抗が、抵抗記憶素子 $1 2$ が低抵抗状態のときの抵抗値 R_L よりも十分に小さくなるように、制御する。

【 0 0 6 4 】

また、列選択用トランジスタ $1 6_1$ をオンにするのと同時に、ワード線 $W L_1$ に所定の電圧を印加し、選択トランジスタ $1 4$ をオン状態にする。このとき、ワード線 $W L_1$ に印加する電圧は、選択トランジスタ $1 4$ のチャンネル抵抗が、抵抗記憶素子 $1 2$ が低抵抗状態のときの抵抗値 R_L よりも十分に小さくなるように、制御する。

50

【 0 0 6 5 】

ソース線 SL_1 は、基準電位、例えば接地電位である $0V$ に接続する。

【 0 0 6 6 】

次いで、書き込み回路 18 から、列選択用トランジスタ 16_1 のドレイン端子に、抵抗記憶素子 12 をリセットするに要する電圧と同じ或いはこれよりやや大きいバイアス電圧を印加する。これにより、列選択用トランジスタ 16_1 、ビット線 BL_1 、抵抗記憶素子 12 及び選択トランジスタ 14 を介してソース線 SL_1 へ向かう電流経路が形成され、印加したバイアス電圧は、抵抗記憶素子 12 の抵抗値 R_L 、列選択用トランジスタ 16_1 のチャンネル抵抗及び選択トランジスタ 14 のチャンネル抵抗に応じてそれぞれに分配される。

【 0 0 6 7 】

このとき、列選択用トランジスタ 16_1 のチャンネル抵抗 R_{BS} 及び選択トランジスタ 14 のチャンネル抵抗 R は、抵抗記憶素子 12 の抵抗値 R_L よりも十分に小さいため、印加したバイアス電圧のほとんどは抵抗記憶素子 12 に印加される。これにより、抵抗記憶素子 12 は、低抵抗状態から高抵抗状態に変化する。

【 0 0 6 8 】

リセット過程では、抵抗記憶素子 12 が高抵抗状態に切り換わった瞬間、ほぼ全バイアス電圧が抵抗記憶素子 12 に配分されるため、このバイアス電圧によって抵抗記憶素子 12 が再度セットされることを防止する必要がある。このためには、ビット線 BL に印加するバイアス電圧は、セットに要する電圧よりも小さくしなければならない。

【 0 0 6 9 】

つまり、リセット過程では、列選択用トランジスタ 16_1 のチャンネル抵抗及び選択トランジスタ 14 のチャンネル抵抗が抵抗記憶素子 12 の抵抗値 R_L よりも十分に小さくなるように、これらトランジスタのゲート電圧を調整するとともに、ビット線 BL に印加するバイアス電圧を、リセットに必要な電圧以上、セットに必要な電圧未満に設定する。

【 0 0 7 0 】

次いで、ビット線 BL_1 に印加するバイアス電圧をゼロに戻した後、列選択用トランジスタ 16_1 のゲート端子に印加する電圧及びワード線 WL_1 に印加する電圧をオフにし、リセットの動作を完了する。

【 0 0 7 1 】

本実施形態による不揮発性半導体記憶装置では、図 1 に示すように、ワード線 WL とソース線 SL とが行方向に配されており、一のワード線 WL (例えばワード線 WL_1) に接続されたメモリセル 10 は、同じソース線 SL (例えばソース線 SL_1) に接続されている。したがって、上記セット動作において複数のビット線 BL (例えば $BL_1 \sim BL_3$) に同時にバイアス電圧を印加すれば、選択ワード線 WL (例えばワード線 WL_1) に連なる複数のメモリセル 10 を一括してリセットすることも可能である。

【 0 0 7 2 】

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図 1 を用いて説明する。ここでは、読み出し対象のメモリセル 10 は、ワード線 WL_1 及びビット線 BL_1 に接続されたメモリセル 10 であるものとする。

【 0 0 7 3 】

まず、列選択用トランジスタ 16_1 、 16_R のゲート端子に所定の電圧をそれぞれ印加し、列選択用トランジスタ 16_1 、 16_R をオン状態にする。このとき、ゲート端子に印加する電圧は、列選択用トランジスタ 16_1 、 16_R のチャンネル抵抗が、抵抗記憶素子 12 の抵抗値 R_L よりも十分に小さくなるように、制御する。

【 0 0 7 4 】

また、列選択用トランジスタ 16_1 、 16_R をオンにするのと同時に、ワード線 WL_1 に所定の電圧を印加し、選択トランジスタ 14、 14_R をオン状態にする。このとき、ワード線 WL_1 に印加する電圧は、選択トランジスタ 14、 14_R のチャンネル抵抗が、抵抗記憶素子 12 が低抵抗状態のときの抵抗値 R_L よりも十分に小さくなるように、制御する。

10

20

30

40

50

【 0 0 7 5 】

ソース線 SL_1 は、基準電位、例えば接地電位である $0V$ に接続する。

【 0 0 7 6 】

次いで、読み出し用トランジスタ 20 をオンにした後、読み出し回路 22 から、読み出し用トランジスタ 20 及び列選択用トランジスタ $16_1, 16_R$ を介して、ビット線 BL_1, BL_R のそれぞれに、互いに等しい所定の読み出し電流 I を流す。このとき、ビット線 BL_1, BL_R に流す電流は、抵抗記憶素子 $12, 12_R$ に印加される電圧が抵抗記憶素子 $12, 12_R$ のリセット電圧を超えないように、制御する。

【 0 0 7 7 】

これにより、ビット線 BL_R には、リファレンスセル 10_R の抵抗記憶素子 12_R の抵抗値に応じたリファレンス電圧が出力される。ここで、リファレンスセル 10_R の抵抗記憶素子 12_R は、フォーミング処理を行っていない安定な初期状態であり、安定したリファレンス電圧を発生することができる。

10

【 0 0 7 8 】

一方、ビット線 BL_1 には、抵抗記憶素子 12 の抵抗状態に応じた電圧が出力される。すなわち、抵抗記憶素子 12 が低抵抗状態のときには、抵抗記憶素子 12 の素子抵抗は抵抗記憶素子 12_R の素子抵抗よりも小さいため、リファレンス電圧よりも低い読み出し電圧が出力される。また、抵抗記憶素子 12 が高抵抗状態のときには、抵抗記憶素子 12 の素子抵抗は抵抗記憶素子 12_R の素子抵抗よりも大きいため、リファレンス電圧よりも高い読み出し電圧が出力される。

20

【 0 0 7 9 】

次いで、読み出し回路 22 のセンスアンプにより、ビット線 BL_1 の読み出し電圧とビット線 BL_R のリファレンス電圧とを比較し、ビット線 BL_1 の読み出し電圧がビット線 BL_R のリファレンス電圧よりも高いか低いかに応じて、抵抗記憶素子 12 が低抵抗状態であるのか高抵抗状態であるのかを判定する。

【 0 0 8 0 】

こうして、メモリセル 10 に記憶された情報を読み出すことができる。

【 0 0 8 1 】

このように、本実施形態によれば、電圧の印加により高抵抗状態と低抵抗状態とを切り換える抵抗記憶素子を用いた不揮発性半導体記憶装置において、メモリセル読み出す際に参照するリファレンスセルを、フォーミング処理を行っていない抵抗記憶素子、すなわち高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性を発現していない抵抗記憶素子よりなるリファレンス抵抗を用いて構成するので、リファレンス抵抗の熱的なストレス等に対する安定性を向上することができる。これにより、安定したリファレンス電圧を発生することができ、読み出しエラーを効果的に防止することができる。

30

【 0 0 8 2 】

[第 2 実施形態]

本発明の第 2 実施形態による不揮発性半導体記憶装置及びその読み出し方法について図 6 を用いて説明する。なお、第 1 実施形態による不揮発性半導体記憶装置と同一の構成要素には同一の符号を付し、説明を省略または簡潔にする。

40

【 0 0 8 3 】

図 6 は本実施形態による不揮発性半導体記憶装置の構造を示す回路図である。

【 0 0 8 4 】

はじめに、本実施形態による不揮発性半導体記憶装置の構造について図 6 を用いて説明する。

【 0 0 8 5 】

行方向（図面横方向）には、複数のワード線 $WL_1, WL_2, WL_3, WL_4 \dots$ と、複数のソース線 $SL_1, SL_2 \dots$ とが配されている。また、列方向（図面縦方向）には、複数のビット線 $BL_{R1}, BL_{R2}, BL_1, BL_2 \dots$ が配されている。

【 0 0 8 6 】

50

ワード線 $WL_1, WL_2, WL_3, WL_4 \dots$ とビット線 $BL_1, BL_2 \dots$ との各交差部には、抵抗記憶素子 12 と選択トランジスタ 14 とを有するメモリセル 10 が、それぞれ形成されている。各メモリセル 10 において、抵抗記憶素子 12 は、その一端が対応するビット線 BL に接続され、他端が選択トランジスタ 14 のドレイン端子に接続されている。選択トランジスタ 14 のソース端子は対応するソース線 SL に接続され、ゲート端子は対応するワード線 WL に接続されている。列方向に隣接するメモリセル 10 のソース線 SL は、共用されている。

【0087】

ワード線 $WL_1, WL_2, WL_3, WL_4 \dots$ とビット線 BL_{R1}, BL_{R2} との各交差部には、抵抗記憶素子 12_R と選択トランジスタ 14_R とを有するリファレンスセル 10_R が、それぞれ形成されている。各リファレンスセル 10_R において、抵抗記憶素子 12_R は、その一端がビット線 BL_R に接続され、他端が選択トランジスタ 14_R のドレイン端子に接続されている。選択トランジスタ 14_R のソース端子は対応するソース線 SL に接続され、ゲート端子は対応するワード線 WL に接続されている。列方向に隣接するリファレンスセル 10_R のソース線 SL は、共用されている。

10

【0088】

なお、図 6 では、ビット線 BL_{R1} に接続されるリファレンスセル 10_R の抵抗記憶素子 12_R 及び選択トランジスタ 14_R を、それぞれ抵抗記憶素子 12_{R1} 及び選択トランジスタ 14_{R1} と表し、ビット線 BL_{R2} に接続されるリファレンスセル 10_R の抵抗記憶素子 12_R 及び選択トランジスタ 14_R を、それぞれ抵抗記憶素子 12_{R2} 及び選択トランジスタ 14_{R2} と表している。

20

【0089】

ビット線 $BL_1, BL_2 \dots$ の端部には、列選択用トランジスタ $16_1, 16_2 \dots$ のドレイン端子がそれぞれ接続されている。列選択用トランジスタ $16_1, 16_2 \dots$ のソース端子には、書き込み回路 18 と、読み出し用トランジスタ 20 のソース端子とが接続されている。読み出し用トランジスタ 20 のドレイン端子には、カレントコンベヤー及びセンスアンプを含む読み出し回路 22 が接続されている。

【0090】

ビット線 BL_{R1}, BL_{R2} の一端は接続され、この接続ノードには、列選択用トランジスタ 16_R のドレイン端子が接続されている。列選択用トランジスタ 16_R のソース端子には、読み出し回路 22 が接続されている。

30

【0091】

このように、本実施形態による不揮発性半導体記憶装置は、メモリセル 10 及びリファレンスセル 10_R の基本的な構成は、第 1 実施形態による不揮発性半導体記憶装置と同様である。

【0092】

本実施形態による不揮発性半導体記憶装置は、各ワード線 WL に対応してそれぞれ 2 つのリファレンスセル 10_R が設けられていることに主たる特徴がある。すなわち、本実施形態による不揮発性半導体記憶装置では、読み出しの際に、ビット線 BL_{R1} に接続されるリファレンスセル 10_R とビット線 BL_{R2} に接続されるリファレンスセル 10_R との 2 つのリファレンスセル 10_R を用いてリファレンス電圧を発生する。

40

【0093】

リファレンスセル 10_R の抵抗記憶素子 12_R としてフォーミング処理を行っていない抵抗記憶素子を用いている点は、第 1 実施形態による不揮発性半導体記憶装置と同様であるが、リファレンスセル 10_R の抵抗記憶素子 12_R の素子面積とメモリセル 10 の抵抗記憶素子 12 の素子面積とが同じである点で、第 1 実施形態による不揮発性半導体記憶装置とは異なっている。

【0094】

メモリセル 10 の抵抗記憶素子 12 と同じ素子面積の抵抗記憶素子 12_R を用いてリファレンスセル 10_R を構成することにより、セルブロックの全体を同一構造のセルの繰り

50

返しパターンで構成することができる。これにより、セルブロックの構造を簡略化し、設計工数を削減することができる。

【0095】

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図6を用いて説明する。ここでは、読み出し対象のメモリセル10は、ワード線 WL_1 及びビット線 BL_1 に接続されたメモリセル10であるものとする。なお、本実施形態による不揮発性半導体記憶装置のフォーミング処理方法及び書き込み方法は、第1実施形態による不揮発性半導体記憶装置の書き込み方法と同様である。

【0096】

まず、列選択用トランジスタ 16_1 、 16_R のゲート端子に所定の電圧をそれぞれ印加し、列選択用トランジスタ 16_1 、 16_R をオン状態にする。このとき、ゲート端子に印加する電圧は、列選択用トランジスタ 16_1 、 16_R のチャネル抵抗が、抵抗記憶素子12の抵抗値 R_L よりも十分に小さくなるように、制御する。

10

【0097】

また、列選択用トランジスタ 16_1 、 16_R をオンにするのと同時に、ワード線 WL_1 に所定の電圧を印加し、選択トランジスタ 14 、 14_{R1} 、 14_{R2} をオン状態にする。このとき、ワード線 WL_1 に印加する電圧は、選択トランジスタ 14 、 14_{R1} 、 14_{R2} のチャネル抵抗が、抵抗記憶素子12が低抵抗状態のときの抵抗値 R_L よりも十分に小さくなるように、制御する。

20

【0098】

ソース線 SL_1 は、基準電位、例えば接地電位である0Vに接続する。

【0099】

次いで、読み出し用トランジスタ20をオンにした後、読み出し回路22から、読み出し用トランジスタ20及び列選択用トランジスタ 16_1 、 16_R を介して、ビット線 BL_1 と、ビット線 BL_{R1} 、 BL_{R2} とに、互いに等しい所定の読み出し電流を流す。すなわち、読み出し回路22から出力される読み出し電流を I とすると、ビット線 BL_1 には読み出し電流 I が流れ、ビット線 BL_{R1} 及び BL_{R2} にはそれぞれ読み出し電流 $I/2$ が流れる。このとき、ビット線 BL_1 、 BL_{R1} 、 BL_{R2} に流す読み出し電流は、抵抗記憶素子12、 12_{R1} 、 12_{R2} に印加される電圧が抵抗記憶素子12、 12_{R1} 、 12_{R2} のリセット電圧を超えないように、制御する。

30

【0100】

これにより、ビット線 BL_{R1} 、 BL_{R2} には、リファレンスセル10 $_R$ の抵抗記憶素子 12_{R1} 、 12_{R2} の抵抗値に応じたリファレンス電圧 V_{ref} が出力される。すなわち、フォーミングを行ってない抵抗記憶素子 12_{R1} 、 12_{R2} の抵抗値は、抵抗記憶素子12の高抵抗状態における抵抗値 R_H とほぼ等しいので、ビット線 BL_{R1} 、 BL_{R2} に出力されるリファレンス電圧 V_{ref} は、 $V_{ref} = I \times R_H / 2$ となる。

【0101】

一方、ビット線 BL_1 には、抵抗記憶素子12の抵抗状態に応じた読み出し電圧 V_{read} が出力される。すなわち、抵抗記憶素子12が低抵抗状態のときには、 $V_{read} = I \times R_L$ の読み出し電圧が出力され、抵抗記憶素子12が高抵抗状態のときには、 $V_{read} = I \times R_H$ の読み出し電圧が出力される。

40

【0102】

抵抗記憶素子12が高抵抗状態のときの抵抗値 R_H は、抵抗記憶素子12が低抵抗状態のときの抵抗値 R_L に対しておよそ3桁程度大きい。したがって、上記リファレンス電圧 V_{ref} は、抵抗記憶素子12が低抵抗状態のときの読み出し電圧 V_{read} と、抵抗記憶素子12が高抵抗状態のときの読み出し電圧 V_{read} とのほぼ中間の値となる。

【0103】

次いで、読み出し回路22のセンスアンプにより、ビット線 BL_1 の読み出し電圧とビット線 BL_{R1} 、 BL_{R2} のリファレンス電圧とを比較し、ビット線 BL_1 の読み出し電圧 V_{read} がビット線 BL_{R1} 、 BL_{R2} のリファレンス電圧 V_{ref} よりも高いか低い

50

かに応じて、抵抗記憶素子 1 2 が低抵抗状態であるのか高抵抗状態であるのかを判定する。

【 0 1 0 4 】

こうして、メモリセル 1 0 に記憶された情報を読み出すことができる。

【 0 1 0 5 】

このように、本実施形態によれば、電圧の印加により高抵抗状態と低抵抗状態とを切り換える抵抗記憶素子を用いた不揮発性半導体記憶装置において、メモリセル読み出す際に参照するリファレンスセルを、フォーミング処理を行っていない抵抗記憶素子、すなわち高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性を発現していない抵抗記憶素子よりなるリファレンス抵抗を用いて構成するので、リファレンス抵抗の熱的なストレス等に対する安定性を向上することができる。これにより、安定したリファレンス電圧を発生することができ、読み出しエラーを効果的に防止することができる。

10

【 0 1 0 6 】

[第 3 実施形態]

本発明の第 3 実施形態による不揮発性半導体記憶装置及びその読み出し方法について図 7 を用いて説明する。なお、第 1 及び第 2 実施形態による不揮発性半導体記憶装置と同一の構成要素には同一の符号を付し、説明を省略または簡潔にする。

【 0 1 0 7 】

図 7 は本実施形態による不揮発性半導体記憶装置の構造を示す回路図である。

【 0 1 0 8 】

はじめに、本実施形態による不揮発性半導体記憶装置の構造について図 7 を用いて説明する。

20

【 0 1 0 9 】

行方向（図面横方向）には、複数のワード線 $W L_R$, $W L_1$, $W L_2$, $W L_3$... と、複数のソース線 $S L_1$, $S L_2$... とが配されている。また、列方向（図面縦方向）には、複数のビット線 $B L_1$, $B L_2$, $B L_3$, $B L_4$... が配されている。

【 0 1 1 0 】

ワード線 $W L_1$, $W L_2$, $W L_3$... とビット線 $B L_1$, $B L_2$, $B L_3$, $B L_4$... との各交差部には、抵抗記憶素子 1 2 と選択トランジスタ 1 4 とを有するメモリセル 1 0 が、それぞれ形成されている。各メモリセル 1 0 において、抵抗記憶素子 1 2 は、その一端が対応するビット線 $B L$ に接続され、他端が選択トランジスタ 1 4 のドレイン端子に接続されている。選択トランジスタ 1 4 のソース端子は対応するソース線 $S L$ に接続され、ゲート端子は対応するワード線 $W L$ に接続されている。

30

【 0 1 1 1 】

ワード線 $W L_R$ とビット線 $B L_1$, $B L_2$, $B L_3$, $B L_4$... との各交差部には、抵抗記憶素子 1 2_R と選択トランジスタ 1 4_R とを有するリファレンスセル 1 0_R が、それぞれ形成されている。各リファレンスセル 1 0_R において、抵抗記憶素子 1 2_R は、その一端が対応するビット線 $B L$ に接続され、他端が選択トランジスタ 1 4_R のドレイン端子に接続されている。選択トランジスタ 1 4_R のソース端子はソース線 $S L_1$ に接続され、ゲート端子はワード線 $W L_R$ に接続されている。

40

【 0 1 1 2 】

ビット線 $B L_1$, $B L_2$, $B L_3$, $B L_4$... の端部には、列選択回路 2 4 を介して、書き込み回路 1 8 と、カレントコンベヤー及びセンスアンプを含む読み出し回路 2 2 とが接続されている。

【 0 1 1 3 】

このように、本実施形態による不揮発性半導体記憶装置は、メモリセル 1 0 及びリファレンスセル 1 0_R の基本的な構成は、第 1 及び第 2 実施形態による不揮発性半導体記憶装置と同様である。

【 0 1 1 4 】

本実施形態による不揮発性半導体記憶装置の主たる特徴は、共通のワード線 $W L_R$ に連

50

なるセルを、リファレンスセル 10_R として用いていることにある。

【0115】

リファレンスセル 10_R の抵抗記憶素子 12_R としてフォーミング処理を行っていない抵抗記憶素子を用いている点は、第1実施形態による不揮発性半導体記憶装置と同様である。また、抵抗記憶素子 12_R の抵抗値が、メモリセル 10 の抵抗記憶素子 12 が低抵抗状態のときの抵抗値よりも大きく、メモリセル 10 の抵抗記憶素子 12 が高抵抗状態のときの抵抗値の半分以下である点も、第1実施形態による不揮発性半導体記憶装置と同様である。

【0116】

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図7を用いて説明する。ここでは、読み出し対象のメモリセル 10 は、ワード線 WL_1 及びビット線 BL_1 に接続されたメモリセル 10 であるものとする。また、読み出しの際に用いるリファレンスセル 10_R は、ワード線 WL_R 及びビット線 BL_2 に接続されたリファレンスセル 10_R であるものとする。なお、本実施形態による不揮発性半導体記憶装置の書き込み方法は、第1実施形態による不揮発性半導体記憶装置の書き込み方法と同様である。

10

【0117】

まず、列選択回路24により、読み出し対象のメモリセル 10 が接続されたビット線 BL (BL_1) と、リファレンスセル 10_R が接続されたビット線 BL (例えば BL_2) とを選択する。リファレンス用に選択するビット線は、読み出し対象のメモリセル 10 が接続されたビット線以外のビット線であれば、いずれを選択してもよい。

20

【0118】

また、ビット線 BL を選択すると同時に、ワード線 WL_R , WL_1 に所定の電圧を印加し、ワード線 WL_1 に連なるメモリセル 10 の選択トランジスタ 14 と、ワード線 WL_R に連なるリファレンスセル 10_R の選択トランジスタ 14_R をオン状態にする。このとき、ワード線 WL_R , WL_1 に印加する電圧は、選択トランジスタ 14 , 14_R のチャネル抵抗が、抵抗記憶素子 12 が低抵抗状態のときの抵抗値 R_L よりも十分に小さくなるように、制御する。

【0119】

ソース線 SL_1 は、基準電位、例えば接地電位である $0V$ に接続する。

【0120】

次いで、列選択回路24により、選択したビット線 BL_1 , BL_2 と読み出し回路22とを接続する。そして、列選択回路24を介して、読み出し回路22からビット線 BL_1 , BL_2 のそれぞれに、互いに等しい所定の読み出し電流 I を流す。このとき、ビット線 BL_1 , BL_2 に流す電流は、抵抗記憶素子 12 , 12_R に印加される電圧が抵抗記憶素子 12 , 12_R のリセット電圧を超えないように、制御する。

30

【0121】

これにより、ビット線 BL_2 には、リファレンスセル 10_R の抵抗記憶素子 12_R の抵抗値に応じたリファレンス電圧が出力される。一方、ビット線 BL_1 には、抵抗記憶素子 12 の抵抗状態に応じた電圧が出力される。すなわち、抵抗記憶素子 12 が低抵抗状態のときには、抵抗記憶素子 12 の素子抵抗は抵抗記憶素子 12_R の素子抵抗よりも小さいため、リファレンス電圧よりも低い読み出し電圧が出力される。また、抵抗記憶素子 12 が高抵抗状態のときには、抵抗記憶素子 12 の素子抵抗は抵抗記憶素子 12_R の素子抵抗よりも大きいいため、リファレンス電圧よりも高い読み出し電圧が出力される。

40

【0122】

次いで、読み出し回路22のセンスアンプにより、ビット線 BL_1 の読み出し電圧とビット線 BL_2 のリファレンス電圧とを比較し、ビット線 BL_1 の読み出し電圧がビット線 BL_2 のリファレンス電圧よりも高いか低いかに応じて、抵抗記憶素子 12 が低抵抗状態であるのか高抵抗状態であるのかを判定する。

【0123】

こうして、メモリセル 10 に記憶された情報を読み出すことができる。

50

【 0 1 2 4 】

このように、本実施形態によれば、電圧の印加により高抵抗状態と低抵抗状態とを切り換える抵抗記憶素子を用いた不揮発性半導体記憶装置において、メモリセル読み出す際に参照するリファレンスセルを、フォーミング処理を行っていない抵抗記憶素子、すなわち高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性を発現していない抵抗記憶素子よりなるリファレンス抵抗を用いて構成するので、リファレンス抵抗の熱的なストレス等に対する安定性を向上することができる。これにより、安定したリファレンス電圧を発生することができ、読み出しエラーを効果的に防止することができる。

【 0 1 2 5 】

[第 4 実施形態]

本発明の第 4 実施形態による不揮発性半導体記憶装置及びその製造方法について図 8 乃至図 12 を用いて説明する。なお、第 1 乃至第 3 実施形態による不揮発性半導体記憶装置と同一の構成要素には同一の符号を付し、説明を省略または簡潔にする。

【 0 1 2 6 】

図 8 は本実施形態による不揮発性半導体記憶装置の構造を示す平面図、図 9 は本実施形態による不揮発性半導体記憶装置の構造を示す概略断面図、図 10 乃至図 12 は本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【 0 1 2 7 】

本実施形態では、図 1 に示す第 1 実施形態による不揮発性半導体記憶装置の回路構成を実現するための具体的な構造の一例及びその製造方法について説明する。

【 0 1 2 8 】

はじめに、本実施形態による不揮発性半導体記憶装置の構造について図 8 及び図 9 を用いて説明する。なお、図 9 は図 8 の A - A 線断面図である。

【 0 1 2 9 】

シリコン基板 30 上には、素子領域を画定する素子分離膜 32 が形成されている。それぞれの素子領域は、X 方向に長い矩形形状を有している。これら複数の活性領域は、互いに千鳥格子状に配置されている。

【 0 1 3 0 】

素子分離膜 32 が形成されたシリコン基板 30 上には、Y 方向に延在する複数のワード線 WL が形成されている。ワード線 WL は、各素子領域に、それぞれ 2 本ずつが延在している。ワード線 WL の両側の活性領域には、ソース/ドレイン領域 36, 38 が形成されている。これにより、各素子領域には、ワード線 WL を兼ねるゲート電極 34 とソース/ドレイン領域 36, 38 とを有する選択トランジスタが、それぞれ 2 つずつ形成されている。一の素子領域に形成された 2 つの選択トランジスタは、ソース/ドレイン領域 36 を共用している。

【 0 1 3 1 】

選択トランジスタ 12 が形成されたシリコン基板 30 上には、層間絶縁膜 40 が形成されている。層間絶縁膜 40 には、ソース/ドレイン領域 36 に接続されたコンタクトプラグ 46 と、ソース/ドレイン領域 38 に接続されたコンタクトプラグ 48 とが埋め込まれている。

【 0 1 3 2 】

層間絶縁膜 40 上には、コンタクトプラグ 46 を介してソース/ドレイン領域 36 (ソース端子) に電氣的に接続されたソース線 50 と、コンタクトプラグ 48 を介してソース/ドレイン領域 38 (ドレイン端子) に電氣的に接続された中継配線 52 とが形成されている。ソース線 50 (SL) は、図 8 に示すように、Y 方向に延在して形成されている。

【 0 1 3 3 】

ソース線 50 及び中継配線 52 が形成された層間絶縁膜 40 上には、層間絶縁膜 54 が形成されている。層間絶縁膜 54 には、中継配線 52 に接続されたコンタクトプラグ 58 が埋め込まれている。

【 0 1 3 4 】

10

20

30

40

50

コンタクトプラグ 5 8 が埋め込まれた層間絶縁膜 5 4 上には、抵抗記憶素子 6 6 が形成されている。抵抗記憶素子 6 6 は、コンタクトプラグ 5 8、中継配線 5 2 及びコンタクトプラグ 4 8 を介してソース/ドレイン領域 3 8 に電氣的に接続された下部電極 6 0 と、下部電極 6 0 上に形成された抵抗記憶材料よりなる抵抗記憶層 6 2 と、抵抗記憶層 6 2 上に形成された上部電極 6 4 とを有している。

【 0 1 3 5 】

抵抗記憶素子 6 6 が形成された層間絶縁膜 5 4 上には、層間絶縁膜 6 8 が形成されている。層間絶縁膜 6 8 には、抵抗記憶素子 6 6 の上部電極 6 4 に接続されたコンタクトプラグ 7 2 が埋め込まれている。

【 0 1 3 6 】

コンタクトプラグ 7 2 が埋め込まれた層間絶縁膜 6 8 上には、コンタクトプラグ 7 2 を介して抵抗記憶素子 6 6 の上部電極 6 4 に電氣的に接続されたビット線 7 4 が形成されている。ビット線 7 4 (B L) は、図 8 に示すように、X 方向に延在して形成されている。

【 0 1 3 7 】

図 8 において、一番下のビット線 7 4 (B L_R) に接続される抵抗記憶素子 6 6_R は、リファレンスセル用の抵抗記憶素子であり、素子面積が、他のビット線 7 4 (B L) に接続される抵抗記憶素子 6 6 の素子面積よりも大きくなっている。

【 0 1 3 8 】

こうして、図 1 に示すメモリセルアレイを構成する不揮発性半導体記憶装置が形成されている。

【 0 1 3 9 】

次に、本実施形態による不揮発性半導体装置の製造方法について図 1 0 乃至図 1 2 を用いて説明する。

【 0 1 4 0 】

まず、シリコン基板 3 0 内に、例えば S T I (Shallow Trench Isolation) 法により、素子領域を画定する素子分離膜 3 2 を形成する。

【 0 1 4 1 】

次いで、シリコン基板 3 0 の素子領域上に、通常の M O S トランジスタの製造方法と同様にして、ゲート電極 3 4 及びソース/ドレイン領域 3 6 , 3 8 を有する選択トランジスタを形成する (図 1 0 (a)) 。

【 0 1 4 2 】

次いで、選択トランジスタが形成されたシリコン基板 3 0 上に例えば C V D 法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えば C M P 法により研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜 4 0 を形成する。

【 0 1 4 3 】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜 4 0 に、ソース/ドレイン領域 3 6 , 3 8 に達するコンタクトホール 4 2 , 4 4 を形成する。

【 0 1 4 4 】

次いで、例えば C V D 法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール 4 2 , 4 4 内に、ソース/ドレイン領域 3 6 , 3 8 に電氣的に接続されたコンタクトプラグ 4 6 , 4 8 を形成する (図 1 0 (b)) 。

【 0 1 4 5 】

次いで、コンタクトプラグ 4 6 , 4 8 が埋め込まれた層間絶縁膜 4 0 上に例えば C V D 法により導電膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの導電膜をパターンニングし、コンタクトプラグ 4 6 を介してソース/ドレイン領域 3 6 に電氣的に接続されたソース線 5 0 と、コンタクトプラグ 4 8 を介してソース/ドレイン領域 3 8 に電氣的に接続された中継配線 5 2 とを形成する (図 1 0 (c)) 。

【 0 1 4 6 】

次いで、ソース線 5 0 及び中継配線 5 2 が形成された層間絶縁膜 4 0 上に例えば C V D 法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えば C M P 法によ

10

20

30

40

50

り研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜 5 4 を形成する。

【 0 1 4 7 】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜 5 4 に、中継配線 5 2 に達するコンタクトホール 5 6 を形成する。

【 0 1 4 8 】

次いで、例えば C V D 法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール 5 6 内に、中継配線 5 2、コンタクトプラグ 4 8 を介してソース/ドレイン領域 3 8 に電氣的に接続されたコンタクトプラグ 5 8 を形成する (図 1 1 (a)) 。

【 0 1 4 9 】

次いで、コンタクトプラグ 5 8 が埋め込まれた層間絶縁膜 5 4 上に、例えばスパッタ法により、例えばプラチナ膜を堆積する。

【 0 1 5 0 】

次いで、プラチナ膜上に、例えばレーザアブレーション、ゾルゲル、スパッタ、M O C V D 等により TiO_x 膜を堆積し、 TiO_x 膜を形成する。

【 0 1 5 1 】

次いで、 TiO_x 膜上に、例えばスパッタ法により、例えばプラチナ膜を堆積する。

【 0 1 5 2 】

次いで、フォトリソグラフィ及びドライエッチングにより、プラチナ膜/ TiO_x 膜/プラチナ膜よりなる積層膜をパターニングする。こうして、プラチナ膜よりなりコンタクトプラグ 5 8、中継配線 5 2 及びコンタクトプラグ 4 8 を介してソース/ドレイン領域 3 8 に電氣的に接続された下部電極 6 0 と、下部電極 6 0 上に形成された TiO_x 膜よりなる抵抗記憶層 6 2 と、抵抗記憶層 6 2 上に形成されたプラチナ膜よりなる上部電極 6 4 とを有する抵抗記憶素子 6 6 を形成する (図 1 1 (b)) 。

【 0 1 5 3 】

なお、抵抗記憶層 6 2 を構成する抵抗記憶材料としては、 TiO_x のほか、例えば、 NiO_x 、 YO_x 、 CeO_x 、 MgO_x 、 ZnO_x 、 ZrO_x 、 HfO_x 、 WO_x 、 NbO_x 、 TaO_x 、 CrO_x 、 MnO_x 、 AlO_x 、 VO_x 、 SiO_x 等を適用することができる。また、 $Pr_{1-x}Ca_xMnO_3$ 、 $La_{1-x}Ca_xMnO_3$ 、 $SrTiO_3$ 、 $YBa_2Cu_3O_y$ 、 $LaNiO$ 等の複数の金属や半導体原子を含む酸化物材料を適用することもできる。これら抵抗記憶材料は、単体で用いてもよいし積層構造としてもよい。

【 0 1 5 4 】

また、下部電極 6 0 及び上部電極 6 4 を構成する電極材料としては、プラチナのほか、例えば、 Ir 、 W 、 Ni 、 Au 、 Cu 、 Ag 、 Pd 、 Zn 、 Cr 、 Al 、 Mn 、 Ta 、 Si 、 TaN 、 TiN 、 Ru 、 ITO 、 NiO 、 IrO 、 $SrRuO$ 、 $CoSi_2$ 、 WSi_2 、 $NiSi$ 、 $MoSi_2$ 、 $TiSi_2$ 、 $Al-Si$ 、 $Al-Cu$ 、 $Al-Si-Cu$ 等を適用することができる。下部電極 6 0 を構成する電極材料と上部電極 6 4 を構成する電極材料とは、同じでも異なってもよい。

【 0 1 5 5 】

次いで、抵抗記憶素子 6 6 が形成された層間絶縁膜 5 4 上に例えば C V D 法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えば C M P 法により研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜 6 8 を形成する。

【 0 1 5 6 】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜 6 8 に、抵抗記憶素子 6 6 の上部電極 6 4 に達するコンタクトホール 7 0 を形成する。

【 0 1 5 7 】

次いで、例えば C V D 法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール 7 0 内に、抵抗記憶素子 6 6 の上部電極 6 4 に接続されたコンタクトプラグ 7 2 を形成する (図 1 2 (a)) 。

【 0 1 5 8 】

10

20

30

40

50

次いで、コンタクトプラグ72が埋め込まれた層間絶縁膜68上に導電膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの導電膜をパターンングし、コンタクトプラグ72を介して抵抗記憶素子66の上部電極64に電氣的に接続されたビット線74を形成する(図12(b))。

【0159】

次いで、必要に応じて更に上層の配線層等を形成し、不揮発性半導体装置を完成する。

【0160】

この後、不揮発性半導体記憶装置の使用にあたっては、リファレンスセルの抵抗記憶素子についてはフォーミング処理を行わず、メモリセルの抵抗記憶素子のみについてフォーミング処理を行う。

【0161】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0162】

例えば、上記実施形態では、書き込み電圧及び読み出し電流をビット線BL側に印加する回路構成としたが、書き込み電圧及び読み出し電流をソース線SL側に印加する回路構成としてもよい。

【0163】

また、上記第2実施形態では、2つのビット線BLに連なるリファレンスセル 10_R を並列に接続することによりリファレンスセルの抵抗値を実質的に $R_H/2$ としているが、3つ以上のビット線BLに連なるリファレンスセル 10_R を並列に接続し、リファレンスセルの実質的な抵抗値を更に低くしてもよい。

【0164】

上述のように、高抵抗状態の抵抗記憶素子の抵抗値は倍近くばらつくため、リファレンスセルの実質的な抵抗値を $R_H/2$ とただだけでは、十分な読み出しマージンが確保できないことも想定される。このような場合、3つ以上のビット線BLに連なるリファレンスセルを並列に接続することで、リファレンスセルの実質的な抵抗値を更に下げることができ、読み出しマージンを向上することができる。低抵抗状態の抵抗記憶素子の抵抗値は高抵抗状態の抵抗記憶素子の抵抗値よりも3桁程度低いため、リファレンスセルの抵抗値を下げることによって低抵抗状態の読み出しマージンを低下することもない。

【0165】

また、上記第2実施形態では、リファレンスセル 10_R の抵抗記憶素子 12_R の素子面積を、メモリセル10の抵抗記憶素子12の素子面積と同じにしているが、メモリセル10の抵抗記憶素子12の素子面積とは異なる素子面積にしてもよい。

【0166】

また、上記第3実施形態では、リファレンスセル 10_R の抵抗記憶素子 12_R の素子面積を、メモリセル10の抵抗記憶素子12の素子面積の2倍以上としているが、第2実施形態の場合と同様に、メモリセル10の抵抗記憶素子12と同じ素子面積にしてもよい。この場合、第2実施形態の場合と同様に、2つ以上のビット線に連なるリファレンスセルを並列に接続することで、リファレンスセルの抵抗値を実質的に $R_H/2$ 以下にすることができる。

【0167】

また、上記第1乃至第3実施形態では、フォーミング処理を行っていない抵抗記憶素子の抵抗値とフォーミング処理後に高抵抗状態を書き込んだ抵抗記憶素子の抵抗値とがほぼ等しい場合を前提としているが、フォーミング処理を行っていない抵抗記憶素子の抵抗値とフォーミング処理後に高抵抗状態を書き込んだ抵抗記憶素子の抵抗値とは必ずしも同じである必要はない。フォーミング処理を行っていない抵抗記憶素子の抵抗値とフォーミング処理後に高抵抗状態を書き込んだ抵抗記憶素子の抵抗値とが異なる場合には、これら抵抗値の差を考慮して、メモリセル及びリファレンスセルの抵抗記憶素子の素子面積等を設定すればよい。

10

20

30

40

50

【 0 1 6 8 】

また、第 4 実施形態による不揮発性半導体記憶装置の構造は、図 1 に示す回路構成を実現する一例を示したものであり、不揮発性半導体記憶装置の構造はこれに限定されるものではない。

【 0 1 6 9 】

以上詳述した通り、本発明の特徴をまとめると以下の通りとなる。

【 0 1 7 0 】

(付記 1) 一対の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、

10

前記抵抗記憶特性を発現した第 1 の抵抗記憶素子を有するメモリセルと、

前記メモリセルを読み出す際に参照されるリファレンスセルであって、前記抵抗記憶特性を発現していない第 2 の抵抗記憶素子よりなるリファレンス抵抗を有するリファレンスセルと

を有することを特徴とする不揮発性半導体記憶装置。

【 0 1 7 1 】

(付記 2) 一対の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、

20

前記抵抗記憶特性を発現した第 1 の抵抗記憶素子と、ドレイン端子が前記第 1 の抵抗記憶素子の一方の端部に接続された第 1 のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、

前記抵抗記憶特性を発現していない第 2 の抵抗記憶素子よりなるリファレンス抵抗と、ドレイン端子が前記第 2 の抵抗記憶素子の一方の端部に接続された第 2 のトランジスタとをそれぞれ有し、第 1 の方向に並ぶように配置された複数のリファレンスセルと、

前記第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記第 1 の抵抗記憶素子の他方の端部、又は前記第 1 の方向に並ぶ前記リファレンスセルの前記第 2 の抵抗記憶素子の他方の端部に接続された複数のビット線と、

前記第 1 の方向と交差する第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記第 1 のトランジスタのゲート端子及び前記リファレンスセルの前記第 2 のトランジスタのゲート端子に接続された複数のワード線と、

30

前記第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記第 1 のトランジスタのソース端子及び前記リファレンスセルの前記第 2 のトランジスタのソース端子に接続された複数のソース線と

を有することを特徴とする不揮発性半導体記憶装置。

【 0 1 7 2 】

(付記 3) 一対の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、

40

前記抵抗記憶特性を発現した第 1 の抵抗記憶素子と、ドレイン端子が前記第 1 の抵抗記憶素子の一方の端部に接続された第 1 のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、

前記抵抗記憶特性を発現していない第 2 の抵抗記憶素子よりなるリファレンス抵抗と、ドレイン端子が前記第 2 の抵抗記憶素子の一方の端部に接続された第 2 のトランジスタとをそれぞれ有し、第 1 の方向に並ぶように配置された複数のリファレンスセルと、

前記第 1 の方向と交差する第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記第 1 の抵抗記憶素子の他方の端部及び前記リファレンスセルの前記第 2 の抵抗記憶素子の他方の端部に接続された複数

50

のビット線と、

前記第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記第 1 のトランジスタのゲート端子、又は前記第 1 の方向に並ぶ前記リファレンスセルの前記第 2 のトランジスタのゲート端子に接続された複数のワード線と、

前記第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記第 1 のトランジスタのソース端子、又は前記第 1 の方向に並ぶ前記リファレンスセルの前記第 2 のトランジスタのソース端子に接続された複数のソース線と

を有することを特徴とする不揮発性半導体記憶装置。

10

【0173】

(付記 4) 付記 1 乃至 3 のいずれか 1 項に記載の不揮発性半導体記憶装置において、前記第 2 の抵抗記憶素子への印加電圧履歴のうちの最大電圧は、前記高抵抗状態と前記低抵抗状態とを可逆的に切り換え可能な前記抵抗記憶特性を発現するためのフォーミング電圧未満である

ことを特徴とする不揮発性半導体記憶装置。

【0174】

(付記 5) 付記 1 乃至 4 のいずれか 1 項に記載の不揮発性半導体記憶装置において、前記リファレンス抵抗の抵抗値は、前記第 1 の抵抗記憶素子が前記低抵抗状態のときの抵抗値より大きく、前記第 1 の抵抗記憶素子が前記高抵抗状態のときの抵抗値の $1/2$ 以下である

ことを特徴とする不揮発性半導体記憶装置。

20

【0175】

(付記 6) 付記 5 記載の不揮発性半導体記憶装置において、前記第 2 の抵抗記憶素子の素子面積は、前記第 1 の抵抗記憶素子の素子面積の 2 倍以上である

ことを特徴とする不揮発性半導体記憶装置。

【0176】

(付記 7) 付記 1 乃至 6 のいずれか 1 項に記載の不揮発性半導体記憶装置において、前記第 2 の抵抗記憶素子は、前記第 1 の抵抗記憶素子と同じ層構造を有する

ことを特徴とする不揮発性半導体記憶装置。

30

【0177】

(付記 8) 付記 4 記載の不揮発性半導体記憶装置において、前記リファレンスセルが接続された前記ビット線を複数有する

ことを特徴とする不揮発性半導体記憶装置。

【0178】

(付記 9) 付記 8 記載の不揮発性半導体記憶装置において、前記リファレンス抵抗の抵抗値は、前記第 1 の抵抗記憶素子が前記高抵抗状態のときの抵抗値と同じである

ことを特徴とする不揮発性半導体記憶装置。

40

【0179】

(付記 10) 一对の電極間に抵抗記憶材料が挟持されてなり、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性が電圧の印加によって発現する抵抗記憶素子を用いた不揮発性半導体記憶装置であって、前記抵抗記憶特性を発現した第 1 の抵抗記憶素子を有するメモリセルと、前記メモリセルを読み出す際に参照されるリファレンスセルであって、前記抵抗記憶特性を発現していない第 2 の抵抗記憶素子よりなるリファレンス抵抗を有するリファレンスセルとを有する不揮発性半導体記憶装置の読み出し方法であって、

前記第 1 の抵抗記憶素子と前記第 2 の抵抗記憶素子とに互いに等しい読み出し電流を流した際に、前記第 1 の抵抗記憶素子に印加される第 1 の電圧と、前記第 2 の抵抗記憶素子

50

に印加される第 2 の電圧とを比較することにより、前記第 1 の抵抗記憶素子の抵抗状態を判定する

ことを特徴とする不揮発性半導体記憶装置の読み出し方法。

【0180】

(付記 11) 付記 10 記載の不揮発性半導体記憶装置の読み出し方法において、

前記リファレンス抵抗の抵抗値は、前記第 1 の抵抗記憶素子が前記低抵抗状態のときの抵抗値より大きく、前記第 1 の抵抗記憶素子が前記高抵抗状態のときの抵抗値の 1 / 2 以下であり、

前記第 1 の電圧が前記第 2 の電圧よりも大きいときには、前記第 1 の抵抗記憶素子が高抵抗状態であると判定し、

前記第 1 の電圧が前記第 2 の電圧よりも小さいときには、前記第 1 の抵抗記憶素子が低抵抗状態であると判定する

ことを特徴とする不揮発性半導体記憶装置の読み出し方法。

【図面の簡単な説明】

【0181】

【図 1】本発明の第 1 実施形態による不揮発性半導体記憶装置の構造を示す回路図である。

【図 2】抵抗記憶素子の電流 - 電圧特性を示すグラフ (その 1) である。

【図 3】抵抗記憶素子の電流 - 電圧特性を示すグラフ (その 2) である。

【図 4】抵抗記憶素子の抵抗値の温度特性を示すグラフである。

【図 5】抵抗記憶素子の抵抗状態の保持特性を示すグラフである。

【図 6】本発明の第 2 実施形態による不揮発性半導体記憶装置の構造を示す回路図である。

【図 7】本発明の第 3 実施形態による不揮発性半導体記憶装置の構造を示す回路図である。

【図 8】本発明の第 4 実施形態による不揮発性半導体記憶装置の構造を示す平面図である。

【図 9】本発明の第 4 実施形態による不揮発性半導体記憶装置の構造を示す概略断面図である。

【図 10】本発明の第 4 実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図 (その 1) である。

【図 11】本発明の第 4 実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図 (その 2) である。

【図 12】本発明の第 4 実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図 (その 3) である。

【図 13】抵抗記憶素子の電気特性を示すグラフである。

【符号の説明】

【0182】

10 ... メモリセル

10_R ... リファレンスセル

12 ... 抵抗記憶素子

14 ... 選択トランジスタ

16 ... 列選択用トランジスタ

18 ... 書き込み回路

20 ... 読み出し用トランジスタ

22 ... 読み出し回路

24 ... 列選択回路

30 ... シリコン基板

32 ... 素子分離溝

34 ... ゲート電極

10

20

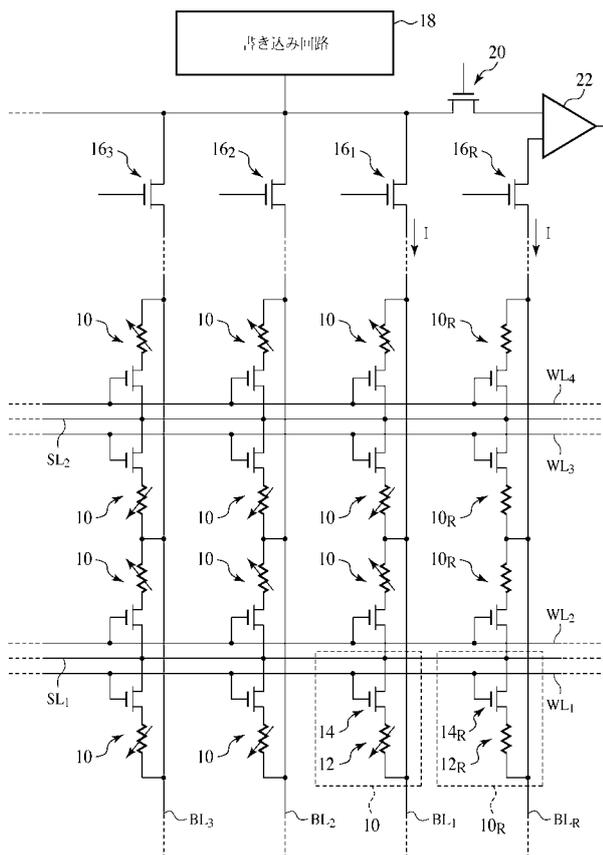
30

40

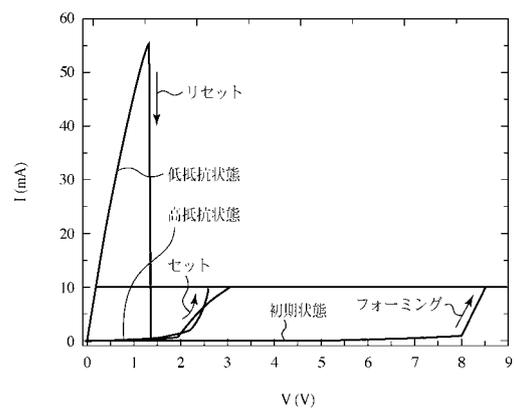
50

- 3 6 , 3 8 ... ソース/ドレイン領域
- 4 0 , 5 4 , 6 8 ... 層間絶縁膜
- 4 2 , 4 4 , 5 6 , 7 0 ... コンタクトホール
- 4 6 , 4 8 , 5 8 , 7 2 ... コンタクトプラグ
- 5 0 ... ソース線
- 5 2 ... 中継配線
- 6 0 ... 下部電極
- 6 2 ... 抵抗記憶層
- 6 4 ... 上部電極
- 6 6 ... 抵抗記憶素子
- 7 4 ... ビット線

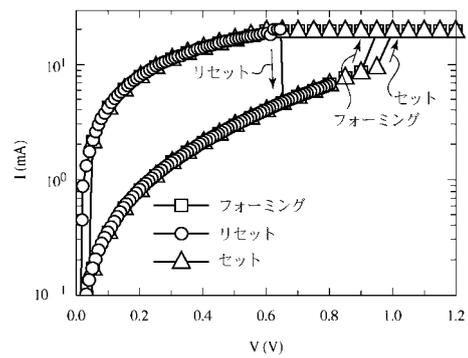
【 図 1 】



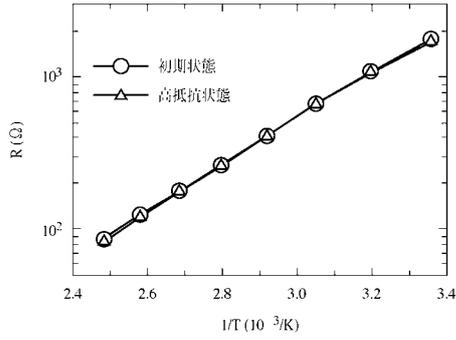
【 図 2 】



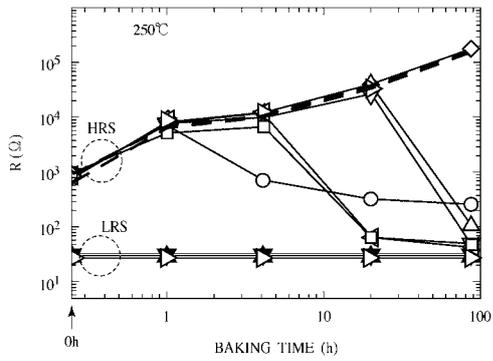
【 図 3 】



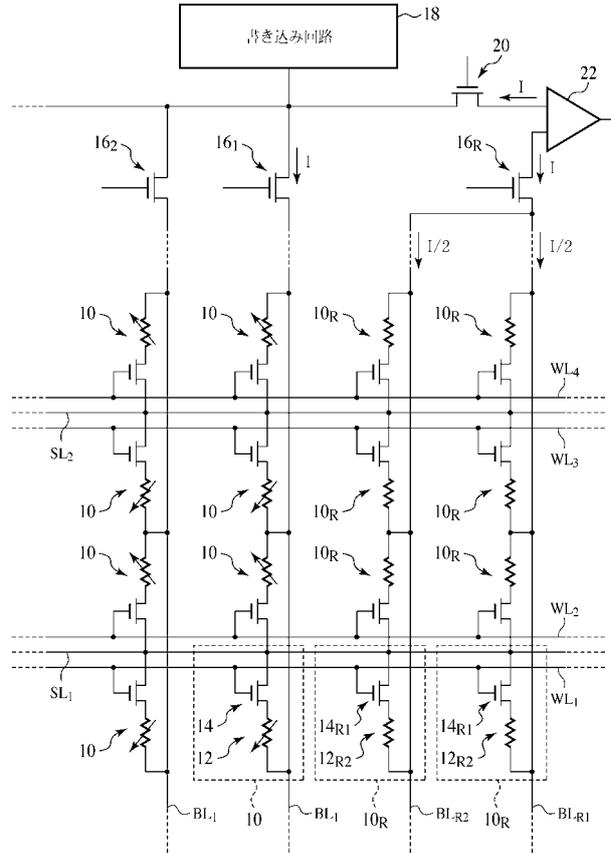
【 図 4 】



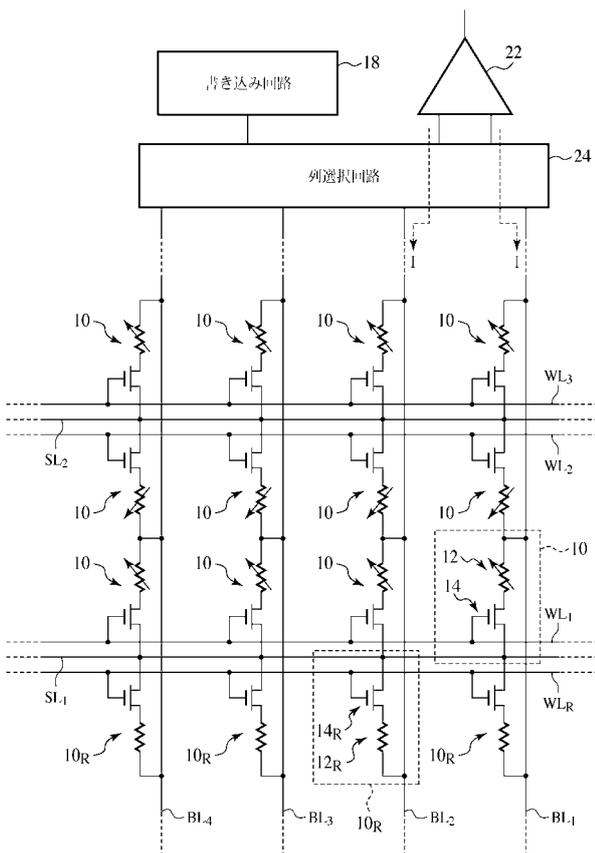
【 図 5 】



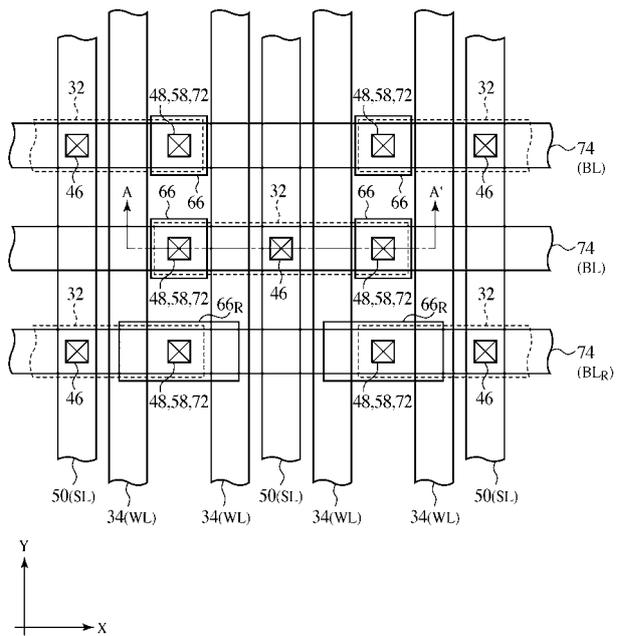
【 図 6 】



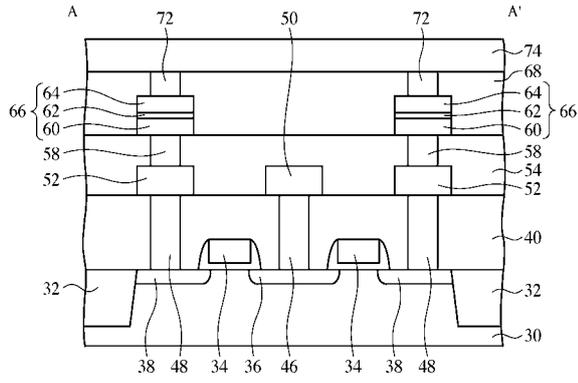
【 図 7 】



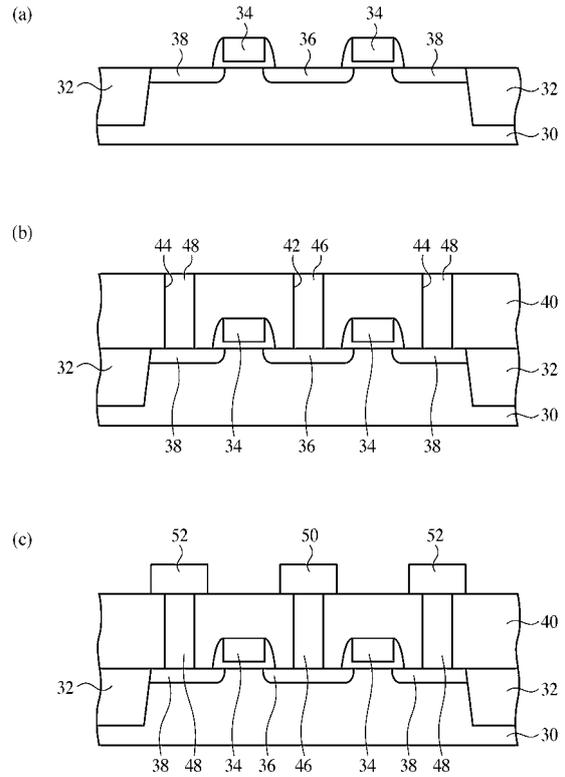
【 図 8 】



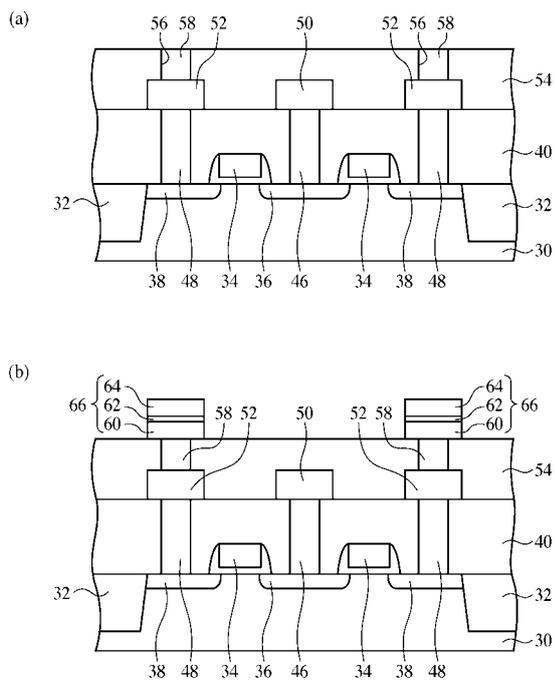
【 図 9 】



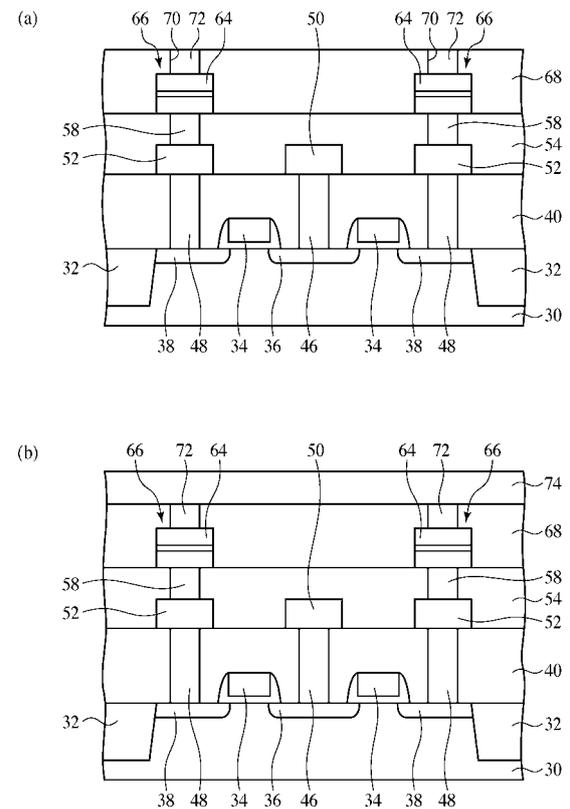
【 図 10 】



【 図 11 】



【 図 12 】



【 図 1 3 】

