



(12) 发明专利

(10) 授权公告号 CN 102820323 B

(45) 授权公告日 2014. 11. 05

(21) 申请号 201210329426. 2

(22) 申请日 2012. 09. 07

(73) 专利权人 温州大学

地址 325000 浙江省温州市瓯海区茶山高教
园区

(72) 发明人 韦文生

(74) 专利代理机构 温州瓯越专利代理有限公司
33211

代理人 陈加利

二极管.《半导体学报》.2005, 第26卷(第4期),
文章第2-3段,表1以及附图1.

Keiko Fujihira et al..Low-Loss,
High-Voltage 6H-SiC Epitaxial p-i-n
Diode.《IEEE TRANSACTIONS ON ELECTRON
DEVICES》.2002, 第49卷(第1期), 文章第5-7
段以及附图1.

审查员 苍凯

(51) Int. Cl.

H01L 29/06(2006. 01)

H01L 29/861(2006. 01)

H01L 21/329(2006. 01)

(56) 对比文件

WO 2011/024214 A1, 2011. 03. 03, 全文.

US 6737731 B1, 2004. 05. 18, 全文.

韦文生等. (p)nc-Si:H/(n)c-Si 异质结变容

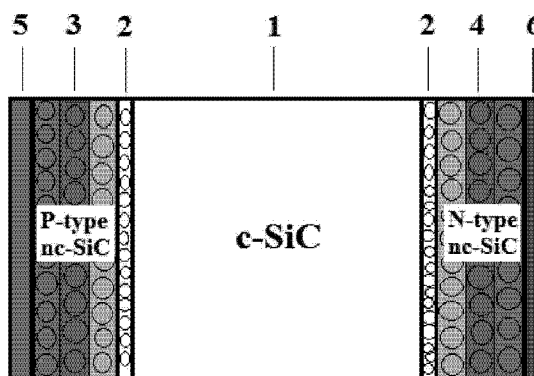
权利要求书2页 说明书7页 附图2页

(54) 发明名称

纳米碳化硅 / 晶体碳化硅双缓变结快速恢复
二极管及其制备方法

(57) 摘要

本发明公开了一种纳米碳化硅 / 晶体碳化硅
双缓变结快速恢复二极管及其制备方法, 包括单
晶碳化硅 (4H-SiC) 基片、分别沉积于4H-SiC基片
两侧的数纳米 nc-Si 超薄层、P 和 N 型梯度掺杂多
层 nc-SiC 薄膜 (4H-SiC 型)、沉积于外层 nc-SiC
薄膜上的合金欧姆电极, 所述梯度掺杂 nc-SiC
多层膜、4H-SiC 基片与合金欧姆电极构成电极 /
nc-SiC/4H-SiC/nc-SiC/ 电极双缓变结构。本发
明的有益效果是, 比较过去其它方法制成的 FRD,
其反向击穿电压提高了约 500V, 增强了耐压能
力; 反向恢复时间缩短至 100nS, 容易实现快速开
关; 反向恢复时浪涌电流非常小, 减少了损耗和
电磁干扰。



1. 一种纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管, 其特征在于: 包括 N⁻ 型 c-SiC 基片、分别沉积于 N⁻ 型 c-SiC 基片两侧的两片纳米硅 nc-Si 超薄膜、分别设置于两片 nc-Si 超薄膜外侧的 P 型掺杂递增纳米碳化硅多层薄膜和 N 型掺杂递增 nc-SiC 多层薄膜, 以及分别设置于 P 型掺杂递增 nc-SiC 多层薄膜和 N 型掺杂递增 nc-SiC 多层薄膜外侧的两个合金欧姆电极; 该 P 型掺杂递增 nc-SiC 多层薄膜和 N 型掺杂递增 nc-SiC 多层薄膜的掺杂递增方向为靠近 N⁻ 型 c-SiC 基片的最内层向最外层递增;

所述合金欧姆电极、P 型掺杂递增 nc-SiC 多层薄膜、nc-Si 超薄膜、N⁻ 型 c-SiC 基片、nc-Si 超薄膜、N 型掺杂递增 nc-SiC 多层薄膜和欧姆电极形成电极 / (P⁺)nc-SiC 多层膜 / (N⁻)c-SiC / (N⁺) nc-SiC 多层膜 / 电极型双缓变结快速恢复二极管,

所述的 N⁻ 型 c-SiC 基片与两侧 nc-Si 超薄膜的接触面为 Si 原子面, 偏离 (0001) 面 8°, 表面微管密度低于 30 μ P · cm⁻²。

2. 根据权利要求 1 所述的一种纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管, 其特征在于: 所述 P 型掺杂递增 nc-SiC 多层薄膜为硼掺杂, 该 P 型掺杂递增 nc-SiC 多层薄膜的最内层到最外层的载流子浓度由 0 递增至 1.0 × 10¹⁹ cm⁻³, 且从第二层开始, 相邻两层的载流子浓度差为 2.0 × 10¹⁶ cm⁻³—5.0 × 10¹⁸ cm⁻³; 所述 N 型掺杂递增 nc-SiC 多层薄膜为磷掺杂, 该 N 型掺杂递增 nc-SiC 多层薄膜的最内层到最外层的载流子浓度由 0 递增至 1.0 × 10¹⁹ cm⁻³, 且从第二层开始, 相邻两层的载流子浓度差为 2.0 × 10¹⁶ cm⁻³—5.0 × 10¹⁸ cm⁻³。

3. 根据权利要求 2 所述的一种纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管, 其特征在于: 所述 P 型掺杂递增 nc-SiC 多层薄膜, 共 8—10 层、每层厚度为 0.05—0.08 μm; 所述 N 型掺杂递增 nc-SiC 多层薄膜, 共 10—15 层、每层厚度为 0.5—1.0 μm。

4. 根据权利要求 3 所述的一种纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管, 其特征在于: 所述两个合金欧姆电极分别为: 欧姆连接于 P 型掺杂递增 nc-SiC 多层薄膜最外层外侧的 AuTi 合金薄膜、以及欧姆连接于 N 型掺杂递增 nc-SiC 薄膜最外层外侧的 AuNi 合金薄膜。

5. 一种如权利要求 1 所述的一种纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管的制备方法, 其特征在于: 包括以下步骤:

(1)、选择厚度 50 ± 2 μm、载流子浓度为 1.0 × 10¹⁴—9.0 × 10¹⁴ cm⁻³、双面抛光的 N⁻ 型 c-SiC 为衬底;

(2)、在室温下, 用刻蚀液刻蚀掉 N⁻ 型 c-SiC 二表面的 SiO₂;

(3)、采用等离子体化学气相沉积 PECVD 法, 以硅烷和甲烷为混合反应源气, 分别以乙硼烷、磷烷为掺杂气, 在 PECVD 反应室内在 N⁻ 型 c-SiC 衬底两侧, 首先生长 nc-Si 超薄层, 然后再分别沉积 P、N 型掺杂递增 nc-SiC 多层薄膜, 其工艺参数是:

PECVD 反应室极限真空度: 不低于 1.0 × 10⁻⁴ Pa;

混合反应源气掺杂比: 对 P 型 nc-SiC 多层膜而言, B₂H₆ / (CH₄ + SiH₄) = 0.0—5.0 vol%; 对 N 型 nc-SiC 多层膜而言, PH₃ / (CH₄ + SiH₄) = 0.0—5.0 vol%;

薄膜生长时所用射频 RF 源频率范围: 13.59 ≤ f ≤ 95.13 MHz;

薄膜生长射频 RF 功率密度: 0.3 — 0.8 W/cm²;

薄膜生长衬底温度: T_s = 623 ± 50 K;

薄膜生长负直流偏压: V_b = -50 — -250 V;

薄膜生长时反应气体压力 : $P=0.7 - 1.0$ Torr (毛, mmHg) ;

(4)、在最外层 P、N 型 nc-SiC 多层薄膜的外侧, 分别选用 AuTi 合金与 AuNi 合金为原料用电子束蒸发技术制成薄膜, AuTi 合金 / (P⁺P)nc-SiC 多层膜、AuNi 合金 / (N⁺N)nc-SiC 多层膜分别形成欧姆连接, 其工艺参数是 :

电子束蒸发室极限真空度 : 不低于 1.0×10^{-4} Pa ;

灯丝直流电流 : $I=5-10$ A ;

衬底温度 : $T_s=523 \pm 50$ K ;

电极薄膜的厚度 : $0.5-1.0$ μm ;

(5)、最终形成 AuTi 电极 / (P⁺P)nc-SiC 多层膜 / (N⁻)c-SiC / (N⁺N)nc-SiC 多层膜 / AuNi 电极双缓变结快速恢复二极管。

6. 根据权利要求 5 所述的一种纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管的制备方法, 其特征在于 : 所述的 N⁻ 型 c-SiC 衬底的结构为 N⁻ 型 4H-SiC。

7. 根据权利要求 5 所述的一种纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管的制备方法, 其特征在于 : 所述的沉积 P 型、N 型掺杂 nc-SiC 薄膜的结构为 4H-SiC 型。

纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管及其制备方法

技术领域

[0001] 本发明属于电力电子技术领域,涉及半导体器件,具体地说是一种快速恢复二极管(Fast Recovery Diode,简称FRD),更具体地说是纳米碳化硅(nc-SiC)/单晶碳化硅(c-SiC)双缓变结快速恢复二极管的制备方法,以及用该方法获得的FRD。

背景技术

[0002] FRD是能够快速导通和截止的二极管,它通常与三端功率开关器件如绝缘栅门控双极型晶体管(IGBT)、集成门极换流晶闸管(IGCT)等配合使用,以导通负载中的无功电流,缩短电容的充电时间,并抑制因负载电流瞬时反向而感应的高电压,大量应用于交直流变换器、脉冲宽度调制器等电力电子及通信设备之中。

[0003] 现有晶体碳化硅(3C-SiC、4H-SiC、6H-SiC等结构类型)材料的FRD,一般均采用外延、扩散、离子注入等工艺制造,器件的各个部分没有纳米晶SiC(Nanocrystalline SiC,nc-SiC)成份。c-SiC衬底的外延掺杂薄膜层需要1500°C以上的高温;扩散形成c-SiC衬底的掺杂薄层需要1500°C以上的高温;离子注入形成c-SiC高掺杂区需要500°C以上的退火;掺杂c-SiC与金属形成欧姆接触也需要700°C以上的退火。这些高温一定程度上造成了能源浪费。

[0004] 国内外使用外延、扩散、离子注入等技术研制硅FRD的反向恢复时间(t_{RR})已达微秒(μ S)、亚(μ S),软化因子(S)约0.5。受场迁移率不高等因素的限制,硅FRD难以胜任更高频率的要求。而SiC材料FRD的反向和动态特性均优于硅FRD的性能,特别适合高频、高电压、大功率领域的应用。现有的Si及SiC材料FRD一般为 $P^+N^-N^+$ (亦称P-I-N)型,由于工艺条件的限制, P^+ 、 N^+ 层的厚度以及 P^+/N^- 结、 N^-/N^+ 结的界面缺陷不易调节,反向恢复电流的峰值(I_{RRM})、 t_{RR} 和S等反向恢复性能指标难以准确控制。

[0005] 近来,国内外的研究人员发现:纳米晶碳化硅(nc-SiC)薄膜(含3C-SiC、4H-SiC、6H-SiC等结构)是由非晶形碳化硅(a-SiC)组织以及嵌在a-SiC组织中的纳米级nc-SiC晶粒构成。张洪涛等人在文献[半导体学报,Vol. 23, No. 7 (2002): 722-724.]中采用PECVD在350°C下制备的B、P掺杂4H-SiC单层薄膜,Hall迁移率达到 $10^{11} \text{cm}^2 \cdot \text{V}^{-1} \cdot \text{S}^{-1}$ 量级,推测其传导机制是纳米晶体中热激发到导带的电子在经过非晶态与晶体界面及非晶态本身时被隧穿,同时又在纳米晶粒之间产生渗流,从而导致电导率增高。这使它具有比非晶硅(a-Si)高出许多的暗电导率。由于nc-SiC薄膜的结构特征使它具有一系列不同于c-SiC、多晶碳化硅(pc-SiC)、非晶碳化硅(a-SiC)和微晶碳化硅薄膜(μ c-SiC)的物性。

[0006] 虽然尚未见采用nc-SiC研制FRD的报道,但nc-SiC在电力电子器件方面的应用前景引起了我们的重视。

发明内容

[0007] 本发明之目的是为了克服现有技术存在的缺点和不足,在 N^- 型晶体碳化硅

(c-SiC) 基片的一侧沉积 P 型掺杂递增的纳米碳化硅 (nc-SiC) 多层薄膜, 形成 (P⁺)nc-SiC 多层膜 / (N⁻)c-SiC 缓变结; 在该基片的另一侧沉积 N 型掺杂递增 nc-SiC 多层薄膜, 形成 (N⁻)c-SiC / (NN⁺) nc-SiC 多层膜缓变结, 整体构成 (P⁺)nc-SiC / (N⁻)c-SiC / (NN⁺)nc-SiC 双缓变结。根据 FRD 的发射效率控制原理, 调节 (P⁺)nc-SiC 多层膜较薄且载流子浓度稍高; 控制 (NN⁺) nc-SiC 多层膜较厚且载流子浓度较低。此双缓变结在反向恢复时, (P⁺)nc-SiC / (N⁻)c-SiC 结耗尽层在 (N⁻)c-SiC 基区侧的边界很快地向基区中心移动; 而 (N⁻)c-SiC / (NN⁺)nc-SiC 结耗尽层在 (N⁻)c-SiC 基区侧的边界稍慢地向基区中心移动, 两个边界重合即少子抽取完成, 反向恢复过程完毕。这样, 反向恢复时间 (t_{RR})、电流 (I_{RR})、软化因子 (S) 都能得到有效控制。

[0008] 本发明之另一个目的是提供一种纳米碳化硅 / 晶体碳化硅双缓变结快速恢复二极管的制备方法。

[0009] 为实现上述第一个目的, 本发明的技术方案是包括 N⁻型 c-SiC 基片、分别沉积于 N⁻型 c-SiC 基片两侧的两片纳米硅 nc-Si 超薄膜、分别设置于两片 nc-Si 超薄膜外侧的 P 型掺杂递增纳米碳化硅多层薄膜和 N 型掺杂递增 nc-SiC 多层薄膜, 以及分别设置于 P 型掺杂递增 nc-SiC 多层薄膜和 N 型掺杂递增 nc-SiC 多层薄膜外侧的二个合金欧姆电极; 该 P 型掺杂递增 nc-SiC 多层薄膜和 N 型掺杂递增 nc-SiC 多层薄膜的掺杂递增方向为靠近 N⁻型 c-SiC 基片的最内层向最外层递增;

[0010] 所述合金欧姆电极、P 型掺杂递增 nc-SiC 多层薄膜、nc-Si 超薄膜、N⁻型 c-SiC 基片、nc-Si 超薄膜、N 型掺杂递增 nc-SiC 多层薄膜和欧姆电极形成电极 / (P⁺)nc-SiC 多层膜 / (N⁻)c-SiC / (NN⁺) nc-SiC 多层膜 / 电极型双缓变结快速恢复二极管。

[0011] 进一步设置是所述 N⁻型 4H-SiC 基片与其两侧的 nc-Si 超薄膜的接触面为 Si 原子面, 偏离 (0001) 面 8°, 表面微管密度低于 $30 \mu P \cdot cm^{-2}$ 。

[0012] 进一步设置是所述的 N⁻型 4H-SiC 基片的载流子浓度 $1.0 \times 10^{14} - 9.0 \times 10^{14} cm^{-3}$, 厚度为 $50 \pm 2 \mu m$ 。

[0013] 进一步设置是所述 P 型掺杂递增 nc-SiC 多层薄膜为硼掺杂, 该 P 型掺杂递增 nc-SiC 多层薄膜的最内层到最外层的载流子浓度由 0 递增至 $1.0 \times 10^{19} cm^{-3}$, 且从第二层开始, 相邻两层的载流子浓度差为 $2.0 \times 10^{16} cm^{-3} - 5.0 \times 10^{18} cm^{-3}$ 。

[0014] 进一步设置是所述 N 型掺杂递增 nc-SiC 多层薄膜为磷掺杂, 该 N 型掺杂递增 nc-SiC 多层薄膜的最内层到最外层的载流子浓度由 0 递增至 $1.0 \times 10^{19} cm^{-3}$, 且从第二层开始, 相邻两层的载流子浓度差为 $2.0 \times 10^{16} cm^{-3} - 5.0 \times 10^{18} cm^{-3}$ 。

[0015] 进一步设置是所述 P 型掺杂递增 nc-SiC 多层薄膜, 共 8—10 层、每层厚度为 0.05—0.08 μm ; 所述 N 型 nc-SiC 多层薄膜, 共 10—15 层、每层厚度为 0.5—1.0 μm 。

[0016] 进一步设置是所述两个合金欧姆电极分别为: 欧姆连接于 P 型掺杂递增 nc-SiC 多层薄膜最外层外侧的 AuTi 合金薄膜、以及欧姆连接于 N 型掺杂递增 nc-SiC 薄膜最外层外侧的 AuNi 合金薄膜。

[0017] 本发明的第二个目的是提供一种上述结构的 FRD 的制备方法, 其包括以下步骤:

[0018] (1)、选择厚度 $50 \pm 2 \mu m$ 、载流子浓度为 $1.0 \times 10^{14} - 9.0 \times 10^{14} cm^{-3}$ 、双面抛光的 N⁻型 4H-SiC 为衬底, 表面为 Si 原子面, 偏离 (0001) 面 8°, 微管密度低于 $30 \mu P \cdot cm^{-2}$;

[0019] (2)、在室温下, 用刻蚀液刻蚀掉 N⁻型 c-SiC 二表面的 SiO₂ 层; 刻蚀液可以采用稀

释的 HF 或王水等。

[0020] (3)、采用 PECVD 法,以 SiH_4 和 CH_4 为混合反应源气,分别以 B_2H_6 、 PH_3 为掺杂气,在 PECVD 反应室内在 N 型 4H-SiC 衬底两侧,首先生长 nc-Si 超薄层,然后再分别沉积 P、N 型掺杂递增 nc-SiC 多层薄膜(nc-SiC 的结构为 4H-SiC 型),其工艺参数是:

[0021] PECVD 反应室极限真空度:不低于 1.0×10^{-4} Pa;

[0022] 混合反应源气掺杂比:对 P 型 nc-SiC 多层膜而言, $\text{B}_2\text{H}_6 / (\text{CH}_4 + \text{SiH}_4) = 0.0 - 5.0$ vol%;对 N 型 nc-SiC 多层膜而言, $\text{PH}_3 / (\text{CH}_4 + \text{SiH}_4) = 0.0 - 5.0$ vol%;

[0023] 薄膜生长时选用射频 RF 源频率: $13.59\text{MHz} \leq f \leq 95.13\text{MHz}$;

[0024] 薄膜生长射频 RF 功率密度: $0.3 - 0.8 \text{ W/cm}^2$;

[0025] 薄膜生长衬底温度: $T_s = 623 \pm 50 \text{ K}$;

[0026] 薄膜生长负直流偏压: $V_b = -50 - -250 \text{ V}$;

[0027] 薄膜生长时反应气体压力: $P = 0.7 - 1.0 \text{ Torr}$;

[0028] (4)、在最外层 P 型、N 型 nc-SiC 多层薄膜的外侧,分别选用 AuTi 合金与 AuNi 合金为原料用电子束蒸发技术制成薄膜, AuTi 合金 / (P⁺P) nc-SiC 多层膜、AuNi 合金 / (N⁺N) nc-SiC 多层膜分别形成欧姆连接,其工艺参数是:

[0029] 电子束蒸发室极限真空度:不低于 1.0×10^{-4} Pa;

[0030] 灯丝直流电流: $I = 5 - 10 \text{ A}$;

[0031] 衬底温度: $T_s = 523 \pm 50 \text{ K}$;

[0032] 电极薄膜的厚度: $0.5 - 1.0 \mu\text{m}$;

[0033] (5)、最终形成 AuTi 电极 / (P⁺P) nc-SiC 多层膜 / (N⁻) 4H-SiC / (NN⁺) nc-SiC 多层膜 / AuNi 电极双缓变结 FRD,如图 1 所示。

[0034] (6)、为了方便分析其电学性能,上述研制完成的结构被切成 $1\text{mm} \times 1\text{mm}$ 的测试样品。

[0035] 本发明的 nc-SiC/c-SiC 双缓变结 FRD,通过上述结构设置,生长掺杂浓度逐步改变的 nc-SiC 多层膜 (multilayer, ML),提高了纳米晶化薄膜的载流子迁移率,实现了每层的晶粒大小、晶界缺陷 (少子寿命控制区)、载流子浓度可控。进而,在 4H-SiC 的两侧研制半导体双缓变结 (P⁺P) nc-SiC 多层膜 / N⁻ / N⁻ / (NN⁺) nc-SiC 多层膜代替以往的突变结。在 P⁺P / N⁻ 和 N⁻ / NN⁺ 结反向偏置时,耗尽层宽度增加,结电容变小,因此 t_{RR} 缩短;结界面的少子密度很低,因而 I_{RR} 小。调节 (P⁺P) nc-SiC / N⁻ 和 N⁻ / (NN⁺) nc-SiC 结中多层膜的载流子浓度及其梯度、结的厚度,选择合适的晶界缺陷、多层膜的界面缺陷等,既能适应 FRD 阳极发射率控制的要求,改善反向恢复性能,又不降低开关速度,形成 I_{RR} 小、 t_{RR} 短的碳化硅 FRD。本发明所述双缓变结 P⁺P(nc-SiC) / N⁻ (4H-SiC) / NN⁺ (nc-SiC) 型 FRD,比较过去的同类型器件 [Proceedings of 2001 International Symposium on Power Semiconductor Devices & ICs, Osaka, (2001): 45-48.],本发明 FRD 的反向击穿电压 (V_{BD}) 提高了约 500 V,使 t_{RR} 缩短至 100 ns 以内。

[0036] 本发明的 nc-SiC/c-SiC 双缓变结 FRD 的制备方法,不仅实现了 P 型和 N 型掺杂递增 nc-SiC 多层薄膜的掺杂浓度控制要求,进而对 I_{RR} 小、 t_{RR} 短的碳化硅 FRD 提供了人为可控的制造办法,而且该技术相对于传统的外延、扩散、离子注入等方法,所有流程的工艺温度不超过 400°C ,因此,在制备环节节约了能源。

[0037] 本发明 FRD 正向导通时,阳极区和阴极区各自的 P^+ 、 N^+ 层提供高浓度载流子,形成大电流;另外,纳米级晶粒之间的隧穿、渗流效应促使载流子迁移率进一步提高,从而导致电导率增高,降低了正向压降 (V_{FD}),如图 2 所示,正向的 $I-V$ 关系的温度稳定性表明本发明 FRD 的正向电流呈现明显的隧穿辅助热电子发射特征。器件采用 $P^+P-ML/N^-/N^+/NN^+-ML$ 双缓变结构,二端极区的载流子浓度逐渐下降过渡到 N^- 型 $c-SiC$ 基区(漂移区),减少了载流子注入,降低了电导调制效应的影响,提高了 FRD 工作时的温度稳定性。

[0038] 另外,本发明公开的 $AuTi/P^+P(nc-SiC)/N^-(4H-SiC)/NN^+(nc-SiC)/AuNi$ 型双缓变结 FRD,在观测的反向 $I-V$ 曲线,如图 3 所示,20—200 °C 温度下击穿电压达到约 5.8 kV,呈现明显的雪崩击穿特征。因为 SiC 材料的击穿电场约是硅材料的约 8 倍,提高了 SiC 双缓变结 FRD 的耐压和电流密度。另外,双缓变结 FRD 两侧的 $nc-SiC$ 多层膜是由无序的拓扑网络包覆 $nc-SiC$ 纳米级晶粒而成,本发明 FRD 的耐压能力进一步提高,明显高出相同 $c-SiC$ 层厚度 FRD 的耐压能力。

[0039] 分析发现,FRD 的开/关电流都起、止于 P^+/N^- 及 N^-/N^+ 结,器件发射率控制聚焦于这些部位的厚度、掺杂浓度及梯度。涉及耐压时,要考虑基区的厚度、掺杂浓度、缺陷复合中心浓度等因素。因此,改善 FRD 反向恢复特性研究的主要着眼点应该落在阳、阴极半导体结区。过去,外延、扩散或离子注入等制造的 $P^+-N^-N^+$ 型 FRD,因为需要高温处理, P^+ 、 N^+ 区的厚度、突变结的界面缺陷不易调节。所以,传统 FRD 反向恢复过程中,电场扫到两侧的 P^+/N^- 及 N^-/N^+ 结而抽取少数载流子时,就像海浪遇到峭壁,浪涌电流难以消除,引起开关损耗、电磁干扰 (EMI) 甚至器件损坏。

[0040] 本发明利用纳米硅 ($nc-Si$) 薄膜之目的是,它既可以与晶体 SiC 的 Si 原子面外延过渡,也能与 $nc-SiC$ 薄膜平滑紧密结合,成为 $c-SiC$ 与 $nc-SiC$ 之间的平滑过渡层,减少界面缺陷,抑制 FRD 反向恢复过程中的浪涌电流 (snappy current),以至于降低电路的开关损耗,抑制电磁干扰 (EMI),如图 4、图 5 所示。

[0041] 本发明采用 PECVD 制备 $nc-SiC$ 掺杂梯度递增的多层膜 (multilayer, ML) 双缓变结 $P^+P(nc-SiC)/N^-(4H-SiC)/NN^+(nc-SiC)$ 型 FRD。此法在不超过 400 °C 的衬底上沉积 P 、 N 型的载流子浓度可达到 $10^{19}cm^{-3}$ 量级,此温度不会严重影响衬底及多层膜的界面缺陷、载流子的分布,每层的晶粒大小、晶界缺陷、载流子浓度可控,亦即缓变结区的深能级缺陷中心的位置分布及浓度可控。所以,本发明在 $c-SiC$ 的两面形成的双缓变结 $P^+P-ML/N^-/N^+/NN^+-ML$ 代替以往的突变结,电场扫到两侧的缓变结而抽取少数载流子时,就像海浪遇到缓坡而非峭壁,浪涌电流很快消除,如图 4、图 5 所示,降低开关损耗、电磁干扰 (EMI) 等。

[0042] 本发明 FRD 的阳极区采用较薄的 P 型掺杂递增 $nc-SiC$ 多层薄膜,共 8—10 层、每层厚度为 0.05—0.08 μm 。其理由在于利用发射效率控制的原理,载流子迅速通过较薄的阳极,减少了复合,有利于缩短 t_{RR} ,特别是缩短其中的电荷储藏时间 t_S 。而阴极区采用较厚的 N 型 $nc-SiC$ 多层薄膜,共 10—15 层、每层厚度为 0.5—1.0 μm 。其目的就是在反向电场扫到 $N^-/ML-NN^+$ 结区而抽取少数载流子时,该处的少子(空穴)被逐步抽取,特别是延长电荷储藏时间 t_R ,实现软恢复效果;另外,较厚的 N 型 $nc-SiC$ 多层膜能提高器件的耐压能力。

[0043] 本发明的双缓变结 $P^+P(nc-SiC)/N^-(c-SiC)/NN^+(nc-SiC)$ 型 FRD 工作时,比较同类型的器件,本发明 FRD 的反向击穿电压提高了约 500 V,如图 3 所示;反向恢复时间 t_{RR} 缩短至 100 ns 以内,浪涌电流被明显抑制,如图 4、图 5 所示,将抑制 EMI、降低器件的开关损耗。

[0044] 如图 4 所示,正向电流不变时,注入的少数浓度不变,所以 t_{RR} 基本不变;反向电流随反向电压的增加而变大,是因为反向电压的增加导致耗尽层加宽而使得被抽取的反向恢复电荷增多所致。

[0045] 如图 5 所示,反向电压不变时,反向恢复电荷不变, t_{RR} 随反向电流的增加而变大,是因为少数注入随反向电流的增加而增多所致。

[0046] 本发明的 FRD 经过系列电学实验测试显示,所述的双缓变结型 FRD 具有耐压高、反向恢复时间短、软恢复等优良特征。

[0047] 综上所述,本发明的有益效果是,比较过去其它方法制成的 FRD,其反向击穿电压提高了约 500 V,耐压能力进一步增强;反向恢复时间 t_{RR} 缩短至 100 ns 以内,容易实现快速开关;反向恢复时浪涌电流非常小,减少了损耗和电磁干扰。

[0048] 下面结合说明书附图和具体实施方式对本发明做进一步介绍。

附图说明

[0049] 图 1 本发明结构示意图;

[0050] 图 2 本发明测试的正向 I-V 曲线;

[0051] 图 3 本发明测试的反向 I-V 曲线;

[0052] 图 4 初始正向电流 5 A 时,不同反向电压下本发明测试的反向恢复曲线;

[0053] 图 5 反向电压 380 V 时,不同初始正向电流下本发明测试的反向恢复曲线;

[0054] 图 1 中,1—N 型 4H-SiC 基片;2—纳米硅(nc-Si)超薄膜;3—P 型梯度掺杂纳米碳化硅(nc-SiC)多层薄膜;4—N 型梯度掺杂纳米碳化硅(nc-SiC)多层薄膜;5—AuTi 合金薄膜欧姆电极;6—AuNi 合金薄膜欧姆电极;

[0055] 图 4 中, t_{RR} —反向恢复时间, I_{RRM} —反向恢复电流的峰值。

具体实施方式

[0056] 下面通过实施例对本发明作具体的描述,只用于对本发明展开进一步说明,不能理解为对本发明保护范围的限定,该领域的技术工程师可根据上述发明的内容对本发明作出一些非本质的改进和调整。

[0057] 如图 1,所述的本发明产品的具体实施方式 1,选用厚度约 $50 \pm 2 \mu\text{m}$ 、平均载流子浓度范围 $1.0 \times 10^{14} \sim 9.0 \times 10^{14} \text{ cm}^{-3}$ 、双面磨光 N 型 4H-SiC 基片为衬底,表面为 Si 原子面,偏离 (0001) 面 8° ,表面微管密度低于 $30 \mu\text{P} \cdot \text{cm}^{-2}$ 。当然本发明 c-SiC 基片的载流子浓度还可以低于 $1.0 \times 10^{14} \text{ cm}^{-3}$,厚度可以稍薄或更厚。

[0058] 如图 1,所述的本发明产品的具体实施方式 2,与实施方式 1 不同的是所述 nc-Si 薄膜。在 4H-SiC 基片左侧沉积的一层厚度为数纳米的 nc-Si 薄膜,其作用是既能与衬底 4H-SiC 的 Si 原子面外延连接,也可以与后续的 P 型 nc-SiC 薄膜平滑紧密结合。

[0059] 如图 1,所述的本发明产品的具体实施方式 3,与实施方式 1、2 不同的是所述 P 型 nc-SiC 多层薄膜。在 4H-SiC 基片左侧 nc-Si 超薄膜上沉积的 8—10 层、每层厚度为 $0.05 \sim 0.08 \mu\text{m}$ 且掺硼递增的 P 型 nc-SiC 多层薄膜(注:首层可以不掺杂,即本征),nc-SiC 晶粒为 4H-SiC 型,该多层膜的载流子浓度从 0 递增至 $1.0 \times 10^{19} \text{ cm}^{-3}$ 。所述 nc-SiC 薄膜和 4H-SiC 构成 P⁺/N⁻ 单边缓变异质结构。

[0060] 如图 1, 所述的本发明产品的具体实施方式 4, 与实施方式 1——3 不同的是所述 nc-Si 薄膜。在 4H-SiC 基片右侧沉积的一层厚度为数纳米的 nc-Si 薄膜, 其作用是既能与衬底 4H-SiC 的 Si 原子面外延连接, 也可以与后续的 N 型 nc-SiC 薄膜平滑紧密结合。

[0061] 如图 1, 所述的本发明产品的具体实施方式 5, 与实施方式 1——4 不同的是所述 N 型 nc-SiC 多层薄膜。在 4H-SiC 基片右侧 nc-Si 超薄膜上沉积的 10——15 层、每层厚度为 0.5——1.0 μm 且掺磷递增的 N 型 nc-SiC 多层薄膜 (注: 首层可以不掺杂, 即本征), nc-SiC 晶粒为 4H-SiC 型, 该多层膜的载流子浓度从 0 递增至 $1.0 \times 10^{19} \text{ cm}^{-3}$ 。所述 nc-SiC 薄膜和 4H-SiC 构成 N^-/NN^+ 单边缓变异质结构。

[0062] 如图 1, 所述实施方式 1、2、3、4、5 形成 $\text{P}^+\text{P}/\text{N}^-/\text{NN}^+$ 双缓变异质结构。

[0063] 本发明的制备方法的实施方式 2: 选用约 $50 \pm 2 \mu\text{m}$ 厚、平均载流子浓度 1.0×10^{14} —— $9.0 \times 10^{14} \text{ cm}^{-3}$ 、双面磨光 N^- 型 4H-SiC 基片为衬底, 在其左侧沉积的一层厚度为数纳米 (nm) 的 nc-Si 薄膜。首先, 在室温下用稀释 HF 刻蚀掉 4H-SiC 基片表面的 SiO_2 层; 其次, 以 SiH_4 为反应源气和 H_2 为稀释气, 用 PECVD 技术在 4H-SiC 基片的左面淀积数 nm 厚的本征 nc-Si 超薄膜。该 nc-Si 膜是在高真空 PECVD 反应室内按以下工艺参数制备的:

[0064] PECVD 反应室极限真空: $1.0 \times 10^{-4} \text{ Pa}$

[0065] 混合反应源气掺杂比: $\text{SiH}_4/\text{H}_2=0.5-2.0 \text{ vol}\%$ (体积百分比)

[0066] 薄膜生长时选用射频源 RF 频率: $f=13.59 \text{ MHz}$

[0067] 薄膜生长 RF 射频功率密度: $0.3-0.8 \text{ W} \cdot \text{cm}^{-2}$

[0068] 薄膜生长衬底温度: $T_s=623 \pm 50 \text{ K}$

[0069] 薄膜生长负直流偏压: $V_b=-150 \text{ V}$

[0070] 薄膜生长时反应气体压力: $P=0.7-1.0 \text{ Torr}$ (毛, mmHg)

[0071] 本发明的制备方法的实施方式 3: 以 CH_4 、 SiH_4 混合为反应源气及 B_2H_6 为掺杂气, 用 PECVD 技术在 4H-SiC 基片左侧的 nc-Si 超薄膜面上淀积首层本征、然后掺硼递增的 nc-SiC 多层薄膜, 该 nc-SiC 多层膜的结构为 4H-SiC 型, 每层厚 0.5——0.8 μm , 共 8——10 层, 载流子浓度逐层从 0 递增至 $1.0 \times 10^{19} \text{ cm}^{-3}$, 载流子浓度梯度可以高一些。该掺硼递增的 nc-SiC 多层薄膜是在高真空 PECVD 反应室内按以下工艺参数制备的:

[0072] PECVD 反应室极限真空: $1.0 \times 10^{-4} \text{ Pa}$

[0073] 混合反应源气掺杂比: $\text{B}_2\text{H}_6/(\text{CH}_4+\text{SiH}_4)=0.0-5.0 \text{ vol}\%$ (体积百分比)

[0074] 薄膜生长时选用射频源 RF 频率: $f=13.59 \text{ MHz}$

[0075] 薄膜生长 RF 射频功率密度: $0.3-0.8 \text{ W} \cdot \text{cm}^{-2}$

[0076] 薄膜生长衬底温度: $T_s=623 \pm 50 \text{ K}$

[0077] 薄膜生长负直流偏压: $V_b=-50-250 \text{ V}$

[0078] 薄膜生长时反应气体压力: $P=0.7-1.0 \text{ Torr}$ (毛, mmHg)

[0079] 本发明的制备方法的实施方式 4: 在 4H-SiC 基片的右侧 (左侧已沉积 nc-Si、本征及梯度掺硼 nc-SiC 多层膜), 用稀释 HF 刻蚀掉其右表面的 SiO_2 层; 再以 SiH_4 为反应源气和 H_2 为稀释气, 用 PECVD 技术在 c-SiC 基片的右面淀积本征数 nm 厚的本征 nc-Si 超薄膜。该右侧 nc-Si 膜的 PECVD 工艺参数与制备左侧 nc-Si 膜的技术参数 (本发明之制备方法的实施方式 2) 相同, 此处不再赘述。

[0080] 本发明的制备方法的实施方式 5: 以 CH_4 、 SiH_4 混合为反应源气及 PH_3 为掺杂气, 用

PECVD 技术在 4H-SiC 基片的右面的 nc-Si 膜上淀积首层本征、然后掺磷递增的 nc-SiC 多层薄膜,该 nc-SiC 多层膜的结构为 4H-SiC 型,每层厚 0.8—1.0 μm ,共 10—15 层,载流子浓度逐层从 0 递增至 $1.0 \times 10^{19} \text{ cm}^{-3}$,载流子浓度梯度可以低一些。该掺磷递增的 nc-SiC 多层薄膜是在高真空 PECVD 反应室内按以下工艺参数制备的:

[0081] PECVD 反应室极限真空 : $1.0 \times 10^{-4} \text{ Pa}$

[0082] 混合反应源气掺杂比 : $\text{PH}_3/(\text{CH}_4+\text{SiH}_4)=0.0\text{---}5.0 \text{ vol}\%$ (体积百分比)

[0083] 薄膜生长时选用射频源 RF 频率 : $f=13.59 \text{ MHz}$

[0084] 薄膜生长 RF 射频频率密度 : $0.3\text{---}0.8 \text{ W} \cdot \text{cm}^{-2}$

[0085] 薄膜生长衬底温度 : $T_s=623 \pm 50 \text{ K}$

[0086] 薄膜生长负直流偏压 : $V_b=-50\text{---}-250 \text{ V}$

[0087] 薄膜生长时反应气体压力 : $P=0.7\text{---}1.0 \text{ Torr}$ (托, mmHg)

[0088] 如图 1,所述的本发明产品的具体实施方式 6, P 型 nc-SiC 薄膜左侧设有 AuTi 合金薄膜欧姆电极,是用电子束蒸发技术在此薄膜外侧蒸镀上的,其制备工艺参数是:

[0089] 电子束蒸发室极限真空 : $1.0 \times 10^{-4} \text{ Pa}$

[0090] 灯丝直流电流 : $I=10 \text{ A}$

[0091] 衬底温度 : $T_s=523 \text{ K}$

[0092] 电极薄膜的厚度 : $0.5\text{---}1.0 \mu\text{m}$

[0093] 如图 1,所述的本发明产品的具体实施方式 7, N 型 nc-SiC 薄膜右侧设有 AuNi 合金薄膜欧姆电极,是用电子束蒸发技术在该薄膜外侧蒸镀上的,其制备工艺参数与具体实施方式 6 的相同。

[0094] 如图 1,所述实施方式 1—7 形成 AuTi/P/N/N/AuNi 双缓变结二极管。

[0095] 为了方便分析其电学性能,上述研制完成的结构被切成 $1\text{mm} \times 1\text{mm}$ 的测试样品。

[0096] 本发明之制备方法的实施方式 3,与实施方式 2、4 不同的是:制备 P 型 nc-SiC 薄膜时,在 PECVD 反应室内的混合反应源气掺杂比范围 : $\text{B}_2\text{H}_6/(\text{CH}_4+\text{SiH}_4)=0.0\text{---}5.0 \text{ vol}\%$ (体积百分比)。

[0097] 本发明之制备方法的实施方式 5,与实施方式 1—4 不同的是:制备 N 型 nc-SiC 薄膜时,在 PECVD 反应室内的混合反应源气掺杂比范围 : $\text{PH}_3/(\text{CH}_4+\text{SiH}_4)=0.0\text{---}5.0 \text{ vol}\%$ (体积百分比)。

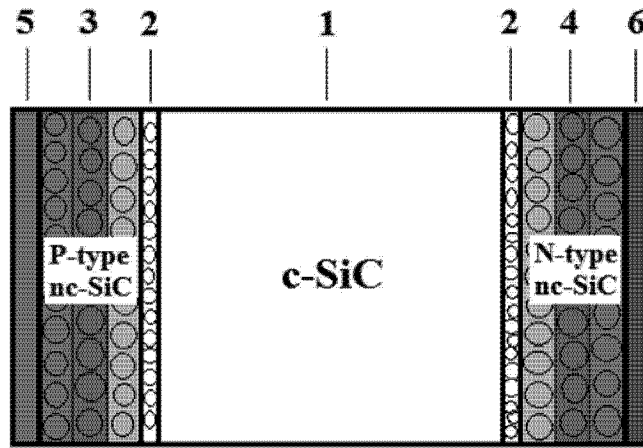


图 1

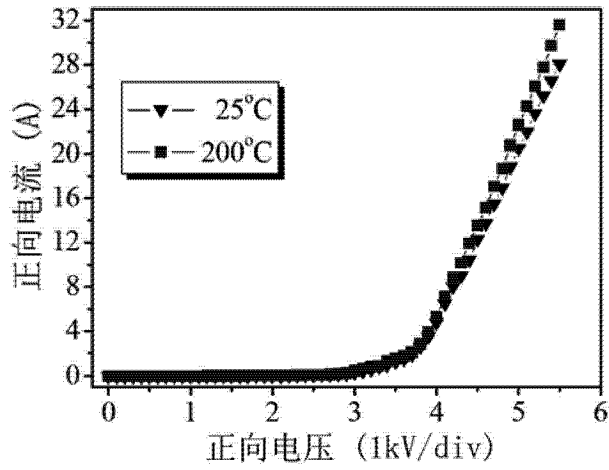


图 2

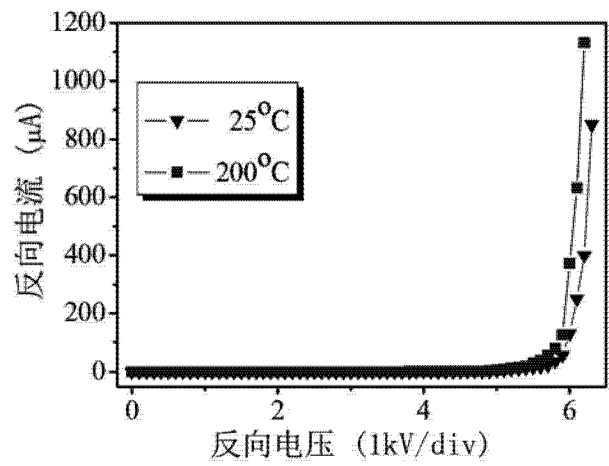


图 3

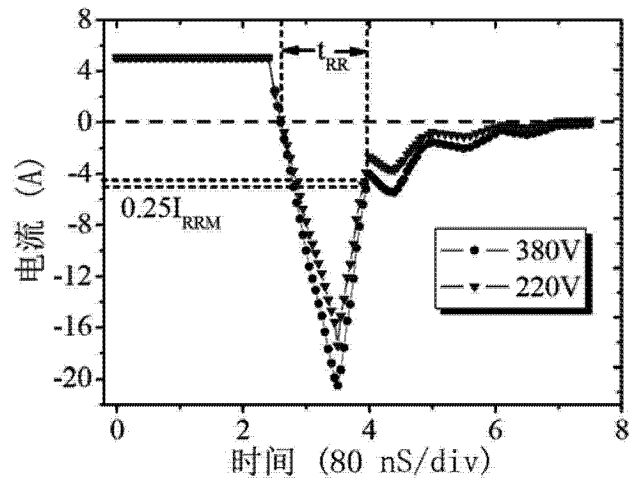


图 4

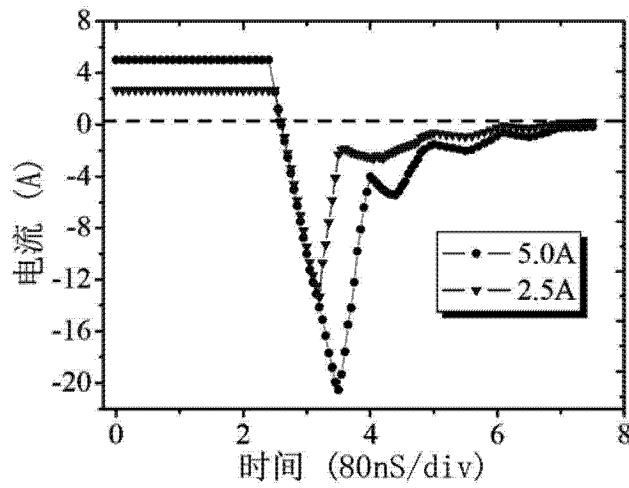


图 5