

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-40535
(P2006-40535A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int. Cl. F I テーマコード (参考)
G 1 1 C 11/407 (2006.01) G 1 1 C 11/34 3 5 4 F 5 M O 2 4

審査請求 有 請求項の数 2 O L (全 50 頁)

| | |
|--|--|
| <p>(21) 出願番号 特願2005-299072 (P2005-299072) (22) 出願日 平成17年10月13日 (2005.10.13) (62) 分割の表示 特願2005-211729 (P2005-211729) の分割 原出願日 平成7年12月18日 (1995.12.18)</p> | <p>(71) 出願人 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号 (74) 代理人 100064746 弁理士 深見 久郎 (74) 代理人 100085132 弁理士 森田 俊雄 (74) 代理人 100083703 弁理士 仲村 義平 (74) 代理人 100096781 弁理士 堀井 豊 (74) 代理人 100098316 弁理士 野田 久登 (74) 代理人 100109162 弁理士 酒井 将行</p> |
|--|--|

最終頁に続く

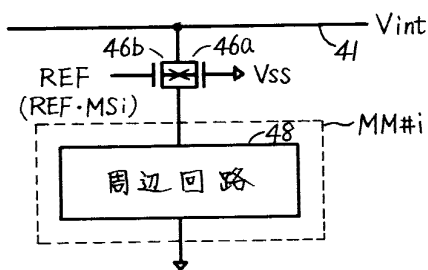
(54) 【発明の名称】 半導体記憶装置およびダイナミック型半導体記憶装置

(57) 【要約】

【課題】 データ保持電流が低減された安定に動作電源電圧を供給することのできる大容量DRAMを提供する。

【解決手段】 メモリマット(MM_i; MM₀~MM₃)それぞれに対応して、内部降圧回路を配置する。通常動作モードにおいては、同時に複数のメモリマットを選択状態に設定し、リフレッシュ動作時には、1つのメモリマット(MM_i)において複数のメモリサブアレイに対して同時にリフレッシュ動作を実行する。このリフレッシュ動作時には、内部降圧回路の供給電流を、電流駆動部においてスイッチングトランジスタ(46b)を非導通状態として低減する。

【選択図】 図17



【特許請求の範囲】

【請求項 1】

メモリセルが行列状に配列された構成を有するメモリセルアレイをそれぞれが含む複数のメモリマットを備える半導体記憶装置であって、

半導体記憶装置の外部からデータアクセスが行なわれ、第1の動作電流が流れる第1の動作モードと、半導体記憶装置の外部からデータアクセスが行なわれず、前記メモリセルの記憶データがリフレッシュされ、前記第1の動作電流よりも少ない第2の動作電流が流れる第2の動作モードとを有し、

各前記メモリマットにそれぞれ設けられ、半導体記憶装置の外部から与えられる電源電位を降下させた内部電源電位を対応のメモリマットに与え、メモリマットを指定するメモリマット指定信号により活性化され、前記第1の動作モード時に比べ前記第2の動作モードにおいて、半導体記憶装置の外部の電源から対応のメモリマットへ流れる電流量を小さくして電流を供給する内部降圧手段を備える、半導体記憶装置。

10

【請求項 2】

メモリセルが行列状に配列された構成を有するメモリセルアレイをそれぞれが含む複数のメモリマットを備え、

半導体記憶装置の外部からのデータアクセスが行なわれ、第1の動作電流が流れる通常動作モードと、半導体記憶装置の外部からのデータアクセスが行なわれず、前記メモリセルの記憶データのリフレッシュされ、前記第1の動作電流より少ない第2の動作電流が流れるデータ保持モードとを有し、

20

各前記メモリマットに設けられ、半導体記憶装置の外部から与えられる電源電位を降下させた内部電源電位を対応のメモリマットに与え、メモリマットを指定するメモリマット指定信号により活性化され、前記通常動作モード時に比べ、前記データ保持動作モードにおいて、半導体記憶装置の外部の電源から対応のメモリマットへ流れる電流量を小さくして電流を供給する内部降圧手段を備える、ダイナミック型半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は半導体記憶装置に関し、特に、ダイナミック型メモリセルの記憶データを保持するためのデータ保持モードにおける消費電流を低減するための構成に関する。

30

【背景技術】

【0002】

ダイナミック型半導体記憶装置（以下、DRAMと称す）においては、1ビットのメモリセルが1つのMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）と1つのキャパシタとで構成される。1ビットのメモリセルの占有面積が小さくかつビット単価が複数のトランジスタ素子を1ビットのメモリセルに必要とするスタティック・ランダム・アクセス・メモリ（SRAM）よりも安いため、大記憶容量の記憶装置としてDRAMは広く用いられている。

【0003】

このDRAMは、キャパシタに情報を電荷の形態で格納しており、リーク電流によりその蓄積電荷量が低減して記憶データが破壊されるのを防止するために、定期的にメモリセルの記憶データを読み出して再書込するリフレッシュ動作を行う必要がある。

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

近年、ラップトップ型コンピュータなどの携帯端末等の主記憶装置としてDRAMは広く用いられている。携帯端末などの情報機器は、電池を動作電源として利用しており、この電池の寿命をできるだけ長くするためには携帯端末の消費電流をできるだけ小さくすることが必要とされる。携帯端末において情報処理が行われていない場合においても、DRAMの記憶データを定期的にリフレッシュする必要がある。このように、DRAMに対し

50

てデータの入出力を行わず内部でメモリセルの記憶データのリフレッシュのみを行う動作モードは、「データ保持モード」と呼ばれている。

【0005】

このようなデータ保持モードにおいては、たとえばDRAMの電源電圧を低下させたり、またリフレッシュ間隔を長くすることにより、消費電流を小さくすることが図られている。

【0006】

しかしながら、この電池駆動型機器において電池の寿命をより長くするために、DRAMにおいて、データ保持モード時に消費されるデータ保持電流（リフレッシュ動作時の電流およびスタンバイ時の電流）をより低減することが要求されている。また、通常動作モード時においても安定に動作電源電圧を供給することが要求される。

10

【0007】

それゆえ、この発明の目的は、通常動作モード時に安定に動作電源電圧を供給しかつデータ保持モード時における消費電流がより低減された半導体記憶装置およびダイナミック型半導体記憶装置を提供することである。

【課題を解決するための手段】

【0008】

この発明の第1の観点に係る半導体記憶装置は、メモリセルが行列状に配列された構成を有するメモリセルアレイをそれぞれが含む複数のメモリマットを備える半導体記憶装置であって、半導体記憶装置の外部からデータアクセスが行われ、第1の動作電流が流れる第1の動作モードと、半導体記憶装置の外部からデータアクセスが行われず、メモリセルの記憶データがリフレッシュされ、第1の動作電流よりも少ない第2の動作電流が流れる第2の動作モードとを有し、さらに、各メモリマットにそれぞれ設けられ、半導体記憶装置の外部から与えられる電源電位を降下させた内部電源電位を対応のメモリマットに与える内部降圧手段を備える。この内部降圧手段は、メモリマットを指定するメモリマット指定信号により活性化され、第1の動作モード時に比べ、第2の動作モードにおいて半導体記憶装置の外部の電源から対応のメモリマットへ流れる電流量を小さくして電流を供給する。

20

【0009】

この発明の第2の観点に係るダイナミック型半導体記憶装置は、メモリセルが行列状に配列された構成を有するメモリセルアレイをそれぞれが含む複数のメモリマットを備える。このダイナミック型半導体記憶装置は、半導体記憶装置の外部からデータアクセスが行われ、第1の動作電流が流れる通常動作モードと、半導体記憶装置の外部からデータアクセスが行われず、メモリセルの記憶データがリフレッシュされ、第1の動作電流よりも少ない第2の動作電流が流れるデータ保持モードとを有する。

30

【0010】

この発明の第2の観点に係るダイナミック型半導体記憶装置は、さらに各メモリマットにそれぞれ設けられ、半導体記憶装置の外部から与えられる電源電位を降下させた内部電源電位を対応のメモリマットに与える内部降圧手段を備える。この内部降圧手段は、メモリマットを指定するメモリマット指定信号により活性化され、通常動作モード時に比べ、データ保持モードにおいて半導体記憶装置の外部の電源から対応のメモリマットへ流れる電流量を小さくして電流を供給する。

40

【0011】

各メモリマットに対応して内部降圧回路を設け、それぞれ対応のメモリマットに内部電源電圧を供給することにより、各メモリマットに対して安定に電源電圧を供給することができる。

【発明を実施するための最良の形態】

【0012】

[実施の形態1]

図1は、この発明の実施の形態1に従うDRAMの選択メモリセルの配置を示す図であ

50

る。図1(A)は、通常動作モード時の選択メモリセルの配置を示し、図1(B)は、データ保持モードにおけるリフレッシュ動作時における選択メモリセル(リフレッシュメモリセル)の配置を示す。

【0013】

図1(A)において、半導体記憶装置1は、4つのメモリマットMM₀~MM₃を含む。ここで、以下の説明において「メモリマット」は、メモリセルが行列状に配置されたメモリアレイと、このメモリセルを選択状態へ駆動するための周辺回路との両者を含む用語として用いる。メモリマットMM₀~MM₃の各々は、複数のサブアレイ(以下の説明においては、8個のサブアレイMB₀~MB₇を例示的に示す)を有する。

【0014】

選択メモリセルに対しデータの入力または出力を行うデータアクセスが行われる通常動作モード時においては、メモリマットMM₀~MM₃各々において、1つのサブアレイ(図1(A)においてMB₀)が選択状態とされる。この選択状態とされたサブアレイMB₀においてメモリセルが選択される。この図1(A)に示すように、選択状態へ駆動されるサブアレイをメモリマットMM₀~MM₃それぞれに分散させることにより、メモリマットMM₀~MM₃各々において、センスアンプ動作時(選択メモリセルデータの検知および増幅)におけるピーク電流を低減することができ、応じて電源線のノイズが低減される。これにより、高速動作時においても、電源ノイズの影響に対するマージンを考慮する必要がなく高速動作を行うことができる。

【0015】

図1(B)に示すように、データ保持モード動作時においてメモリセルの記憶データのリフレッシュが行われる場合、4つのメモリマットMM₀~MM₃のうち、1つのメモリマット(メモリマットMM₀を例示的に示す)が選択状態とされる。この選択状態とされたメモリマットMM₀において、複数のサブアレイ(図1(B)において、MB₀, MB₂, MB₄およびMB₆)が選択状態へ駆動され、選択状態とされたサブアレイMB₀, MB₂, MB₄およびMB₆においてメモリセルの記憶データのリフレッシュが行われる。リフレッシュ動作が行われるサブアレイを1つのメモリマットに集中させることにより、リフレッシュ動作時において、サブアレイを活性化するためのローカル活性化信号を1つのメモリマットに対してのみ活性化状態とすることができる。したがって、メモリマットそれぞれにおいて設けられた制御回路においてローカル活性化信号を活性化状態へ駆動する必要がなく、消費電流を大幅に低減することができる。

【0016】

図2は、この発明の実施の形態1に従う半導体記憶装置(DRAM1)のデータ保持モード動作時におけるリフレッシュ動作に関連する部分の構成を概略的に示すブロック図である。図2において、メモリマットMM₀~MM₃の各々は、行列状に配列される複数のメモリセルを有するメモリアレイMA₀~MA₃と、活性化時、対応のメモリアレイMA₀~MA₃において、リフレッシュされるメモリセルの行を選択状態へ駆動するロウデコーダRD₀~RD₃を含む。

【0017】

DRAM1は、さらに、入力端子2aを介して外部から与えられるロウアドレスストロープ信号/RASと入力端子2bを介して外部から与えられるコラムアドレスストロープ信号/CASとにตอบสนองして、データ保持モードが指定されたか否かを検出するデータ保持モード検出回路4と、このリフレッシュ検出回路4からのデータ保持モード検出信号REFにตอบสนองして、リフレッシュに必要とされる各種制御を行うリフレッシュ制御回路6と、リフレッシュ制御回路6からのデータ保持モード検出にตอบสนองして活性化されて、所定の間隔でリフレッシュ要求信号refを出力するタイマ8と、リフレッシュ制御回路6からの制御信号にตอบสนองして活性化され、リフレッシュされるべきメモリセルを指定するリフレッシュアドレスを生成するリフレッシュカウンタ10を含む。このリフレッシュカウンタ10は、リフレッシュされるべきメモリマットおよびサブアレイを指定するリフレッシュアレイ指定アドレスRAAならびにサブアレイおよびそこにおけるリフレッシュされるベ

10

20

30

40

50

きメモリセルの行を指定するリフレッシュ行アドレス R R A を出力する。

【 0 0 1 8 】

D R A M 1 は、さらに、リフレッシュ制御回路 6 からの制御信号にตอบสนองして、リフレッシュカウンタ 1 0 からのリフレッシュ行アドレス R R A および入力端子 2 c を介して外部から与えられるアドレス信号の一方を選択的に通過させるマルチプレクサ 1 4 と、リフレッシュ制御回路 6 からの制御信号 (リフレッシュ動作活性化信号) にตอบสนองして活性化され、マルチプレクサ 1 4 から与えられる内部ロウアドレス信号をバッファ処理して内部ロウアドレス信号を生成するロウアドレスバッファ 1 6 と、リフレッシュ制御回路 6 からの制御信号にตอบสนองして活性化され、リフレッシュカウンタ 1 0 からのアレイ指定アドレス R A A をデコードし、メモリマツト M M 0 ~ M M 3 のうちの 1 つのメモリマツトを選択状態とする信号を出力するアレイ制御回路 1 2 を含む。 10

【 0 0 1 9 】

マルチプレクサ 1 4 はデータ保持モード指定時、リフレッシュ制御回路 6 の制御の下に、リフレッシュカウンタ 1 0 から与えられるリフレッシュアドレス R R A を選択してロウアドレスバッファ 1 6 へ与える。ロウアドレスバッファ 1 6 は、その内部構成は後に詳細に説明するが、データ保持モード検出時、複数のサブアレイを同時に選択状態とするように、サブアレイ指定アドレスを縮退状態とする。ここで、「縮退する」は、相補アドレス信号がともに選択状態とされる状態を示す。

【 0 0 2 0 】

アレイ制御回路 1 2 は、リフレッシュ制御回路 6 の制御の下に、データ保持モード指定時、リフレッシュカウンタ 1 0 からのアレイアドレス R A A をデコードして、1 つのメモリマツトのみを選択状態とする。このアレイ制御回路 1 2 は、データ保持モードの非検出時、すなわち通常動作モード時においては、すべてのメモリマツト M M 0 ~ M M 3 を選択状態とする。次に各部の構成および動作について説明する。 20

【 0 0 2 1 】

図 3 は図 2 に示すリフレッシュ検出回路 4 およびリフレッシュ制御回路 6 の動作を示す波形図である。図 3 において、リフレッシュ検出回路 4 は、ロウアドレスストロブ信号 / R A S の立下がりよりも先にコラムアドレスストロブ信号 / C A S が L レベルとされると、データ保持モードが指定されたと判定して、データ保持モード検出信号 R E F を活性化状態の H レベルとする。リフレッシュ制御回路 6 は、このリフレッシュ検出回路 4 からのデータ保持モード検出信号 R E F にตอบสนองしてタイマ 8 を起動する。タイマ 8 は、このリフレッシュ制御回路 6 からの起動信号にตอบสนองして、所定期間 t_u が経過すると、リフレッシュ要求信号 $r e f$ を出力する。 30

【 0 0 2 2 】

リフレッシュ制御回路 6 は、このタイマ 8 からのリフレッシュ要求信号 $r e f$ にตอบสนองして、リフレッシュ動作活性化信号 Z R A S を L レベルの活性化状態とする。このリフレッシュ動作活性化信号 Z R A S は、通常動作時において外部から与えられるロウアドレスストロブ信号 / R A S の活性化にตอบสนองして発生される内部ロウアドレスストロブ信号 / R A S と同じ機能を備える。異なっているのは、このリフレッシュ動作活性化信号 Z R A S が L レベルの活性化状態とされる期間は、予め定められている点である。このリフレッシュ動作活性化信号 Z R A S の活性化にตอบสนองして、リフレッシュアドレスに従ってメモリセルのデータのリフレッシュ動作が実行される。リフレッシュ制御回路 6 は、リフレッシュ検出回路 4 からのデータ保持モード検出信号 R E F の活性化時 (ロウアドレスストロブ信号 / R A S が L レベルの間)、タイマ 8 を作動状態とする。 40

【 0 0 2 3 】

タイマ 8 は、このリフレッシュ制御回路 6 からの活性化信号にตอบสนองして、所定期間 T r ごとにリフレッシュ要求信号 $r e f$ を H レベルの活性化状態とする。このリフレッシュ要求信号 $r e f$ に従って、リフレッシュ動作活性化信号 Z R A S が所定期間活性化状態の L レベルとされ、リフレッシュ動作が実行される。このリフレッシュ動作完了時ごとにリフレッシュカウンタ 1 0 のカウント値が変更され、次のリフレッシュされるメモリセル行の 50

位置が指定される。

【0024】

リフレッシュ検出回路4の構成は、通常のいわゆる「CBR検出器」の構成と同じ構成を備える。

【0025】

図4は、図2に示すメモリマットのアドレス信号の割当を例示的に示す図である。図4においては、1つのメモリアレイMAのサブレイの構成を示す。メモリアレイMAは、8つのサブレイMB 0~MB 7を含む。内部ロウアドレス信号ビットRA aおよび/RA aにより、サブレイMB 0~MB 3とサブレイMB 4~MB 7のうちの一方の4つのサブレイのグループが指定される。内部ロウアドレス信号ビットRA aがHレベルのときには、サブレイMB 0~MB 3が指定され、ロウアドレス信号ビット/RA aがHレベルとされたときにはサブレイMB 4~MB 7が指定される。ここで、ビットRA aおよび/RA aは、互いに相補な論理を有する。

10

【0026】

ロウアドレス信号ビットRA bおよび/RA bが、4つのサブレイのうちの2つのサブレイを選択するために用いられる。ロウアドレス信号ビットRA bがHレベルのときにはサブレイMB 0およびMB 1またはサブレイMB 4およびMB 5が指定され、ロウアドレス信号ビット/RA bがHレベルのときには、サブレイMB 2およびMB 3またはサブレイMB 6およびMB 7が指定される。8個のサブレイMB 0~MB 7のうち偶数番号のサブレイが、ロウアドレス信号ビットRA cにより指定され、奇数番号のサブレイは、ロウアドレス信号ビット/RA cにより指定される。サブレイMB 0~MB 7の各々は、自身に割当てられた3ビットのロウアドレス信号ビットがすべてHレベルのとき選択状態とされる。

20

【0027】

図5は、図2に示すリフレッシュカウンタ、マルチプレクサおよびロウアドレスバッファの構成を概略的に示すである。図5においては、リフレッシュアドレスと外部から与えられるアドレスを切換えるためのマルチプレクサは、図面を簡略化するために示していない。単に、リフレッシュ動作時にリフレッシュカウンタ10からロウアドレスバッファ16およびアレイ制御回路12へ与えられるアドレス信号および生成されるロウアドレス信号ビットを示す。

30

【0028】

図5において、リフレッシュカウンタ10は、リフレッシュされるメモリセルおよび行ブロックを指定するアドレス信号ビットRR A c~RR A eを生成するリフレッシュセルカウンタ10 aと、このリフレッシュセルカウンタ10 aから出力されるアドレス信号ビットRR A cの立下がりをカウントするアレイカウンタ10 bを含む。このリフレッシュセルカウンタ10 aは、アドレス信号ビットRR A cを最上位ビットとし、アドレス信号ビットRR A eを最下位ビットとして出力する。このアドレス信号ビットRR A c~RR A eにより、メモリマットM 0~M 3それぞれにおいてリフレッシュされるべきメモリセルが指定される。

【0029】

アレイカウンタ10 bは、このロウアドレス信号ビットRR A cが立下がると、その出力されるアドレス信号ビットRA A 0~RA A 1が示すカウント値を1増分(または減分)する。すなわち、アドレス信号ビットRR A cがHレベルからLレベルへ立下がると、1つのメモリマットにおいて、すべてのメモリセルがリフレッシュされたことを示す。

40

【0030】

ロウアドレスバッファ16は、このリフレッシュセルカウンタ10 aから与えられたアドレス信号ビットRR A c~RR A eをバッファ処理し、相補アドレス信号ビットRA a, /RA a~RA e、/RA eを生成する。このロウアドレスバッファ16は、データ保持モード時においてはメモリマットM 0~M 3それぞれにおいてサブレイのグループを指定するアドレス信号ビットRA a, /RA a, RA bおよび/RA bを縮退状態と

50

する。したがって、メモリマツトM₀～M₃それぞれにおいては、アドレス信号ビットRA_c, /RA_cに従って奇数番号のサブアレイまたは偶数番号のサブアレイが選択状態とされる。

【0031】

アレイ制御回路12は、データ保持モード指示信号REFの活性化時に、このアレイカウンタ10bから出力されるアドレス信号ビットRAA₀およびRAA₁をデコードし、メモリマツトM₀～M₃をそれぞれ指定するマツト指定信号MS₀～MS₃の1つを選択状態とする。デコーダ12aは、データ保持モード指定信号REFの非活性化時には、このマツト指定信号MS₀～MS₃をすべて選択状態とする。これにより、データ保持モードにおいて、リフレッシュが行われる場合には、1つのメモリマツトにおいて複数のサブアレイ（奇数番号のサブアレイまたは偶数番号のサブアレイ）がリフレッシュされ、通常動作モード時においてすべてのメモリマツトにおいて所定数（1つ）のサブアレイが選択状態とされてデータのアクセスが行われる。

10

【0032】

図6は、図5に示すロウアドレスバッファ16の、サブアレイグループを指定するためのアドレス信号ビットRA_a, RA_bおよび/R A_a, /R A_bを生成する部分の構成を示す図である。アドレス信号ビットRA_a, /R A_bおよびRA_b, /R A_bは、同じ構成のバッファ回路から出力されるため、図6においては、1つのバッファ回路部分のみを示す。

【0033】

図6において、ロウアドレスバッファ16は、通常動作時にマルチプレクサを介して外部から与えられるアドレス信号ビットA_a（A_b）を受けて反転するインバータ16aと、このアドレス信号ビットA_aおよびインバータ16aの出力信号を受けてデータ保持モード時に縮退状態とするビット変更回路16bと、ビット変更回路16bの出力信号とアドレスバッファ活性化信号RADEを受けるNAND回路16cと、ビット変更回路16eの出力信号とアドレスバッファ活性化信号RADEを受けるNAND回路16dと、NAND回路16cの出力信号を受けるインバータ16eと、NAND回路16eの出力信号を受けるインバータ16fを含む。インバータ16eから内部ロウアドレス信号ビットRA_a（RA_b）が出力され、インバータ16fから内部ロウアドレス信号ビット/R A_a（/R A_b）が出力される。

20

30

【0034】

ビット変更回路16bは、アドレス信号ビットA_aとデータ保持モード指定信号REFを受けるOR回路16baと、インバータ16aの出力信号とデータ保持モード指定信号REFを受けるOR回路16bbとを含む。OR回路16baの出力信号がNAND回路16cの一方入力へ与えられ、OR回路16bbの出力信号がNAND回路16dの一方入力に与えられる。

【0035】

通常動作モード時においては、データ保持モード指定信号REFはLレベルであり、OR回路16baおよび16bbは、バッファ回路として動作する。したがってビット変更回路16bからは、アドレス信号ビットA_aから互いに相補なアドレス信号ビットA_a（A_b）および/A_a（/A_b）が出力される。アドレスバッファ活性化信号RADEは、図7に示すように、リフレッシュ動作活性化時には、このリフレッシュ動作活性化信号ZRASの活性化に应答して、活性状態のHレベルとされる。このバッファ活性化信号RADEの活性化に应答して、NAND回路16cおよび16dがそれぞれインバータとして動作し、このビット変更回路16bから与えられた信号に従って内部ロウアドレス信号ビットRA_a（RA_b）および/R A_a（/R A_b）が生成される。したがって、データ保持モード時においては、ロウアドレス信号ビットRA_a, /R A_a, RA_bおよび/R A_bはすべてHレベルとされる。したがって、図4に示すように、メモリマツトMAにおいて、サブアレイMB₀～MB₇のうち、偶数番号のサブアレイまたは偶数番号のサブアレイが、内部ロウアドレス信号ビットRA_c/R A_cに従って選択状態とされる。

40

50

【0036】

ロウアドレスバッファ16の下位のアドレス信号ビットRAc~RAeに対する部分は、この図6に示すビット変更回路16bが削除された構成を備える。

【0037】

なお、このリフレッシュ動作活性化信号ZRASは、リフレッシュ動作モード時において所定の時間幅を有して生成される。通常動作モード時においては、外部から与えられるロウアドレスストロブ信号/RASに応答して活性状態とされ、その活性期間は、外部ロウアドレスストロブ信号/RASにより決定される。

【0038】

なお、図6に示すロウアドレスバッファ16の構成において、データ保持モード動作時においては、マルチプレクサから与えられるアドレス信号ビットAa(Ab)の論理レベルはHレベルおよびLレベルいずれであってもよい。したがって、マルチプレクサは、データ保持モード動作時においては、アドレス信号ビットAaおよびAbに対する部分においては、出力ハイインピダンス状態とされる構成が利用されればよいか、または特に設けられなくてもよい。

【0039】

図8は、図5に示すデコーダ12aの概略構成を示す図である。図8においては、メモリマットM0を選択状態とするデコーダ回路の部分が示される。デコーダ12aは、アレカウンタ(図5参照)10bから出力されるレイアドレス信号ビット/RAA0および/RAA1を受けるNAND回路12aaと、NAND回路12aaの出力信号とデータ保持モード指定信号REFを受けるNAND回路12abを含む。NAND回路12abから、メモリマットM0を指定するマット指定信号MS0が出力される。通常動作モード時においては、データ保持モード指定信号REFは、Lレベルであり、NAND回路12abから出力されるマット指定信号MS0はHレベルとされる。他のメモリマットを指定する回路部分においても同様の構成が設けられているため、したがってメモリマットM0~M3がすべて通常動作モード時においては選択状態とされる。

【0040】

データ保持モード動作時においては、データ保持モード指定信号REFが、活性状態のHレベルとされ、NAND回路12abがインバータとして作用する。NAND回路12aaは、アレカウンタ10bの出力するビット/RAA0および/RAA1がともにHレベルのときにLレベルの信号を出力する。メモリマットM1~M3それぞれにおいては、アレカウンタの出力ビットRAA0, /RAA0, RAA1, /RAA1の所定の組合せの信号が与えられる。したがって、データ保持モード動作時においては、メモリマットM0~M3を指定するメモリマット指定信号MS0~MS3のうちの1つのメモリマット指定信号のみが選択状態とされる。これにより、1つのメモリマットに対してのみデータ保持動作すなわちリフレッシュ動作を行うことができる。

【0041】

図9は、図2に示すロウデコーダRD0~RD3の構成を概略的に示す図である。図9においては、メモリマットMi(i=0~3)における一本のワード線WLに対するデコード回路の構成が概略的に示される。ロウデコーダRDiは、メモリマット指定信号MSiと、所定の組合せの内部ロウアドレス信号ビットRAc~RAeを受けるNAND回路13aと、このNAND回路13aの出力信号に従ってワード線WLを選択状態(通常内部高電圧Vppレベル)へ駆動するワード線ドライブ回路13bを含む。

【0042】

NAND回路13aは、与えられた信号がすべてHレベルのときに選択状態を示すLレベルの信号を出力する。通常動作モード時においては、メモリマット指定信号MSiは、Hレベルである。一方、データ保持モード動作時においては、メモリマット指定信号MS0~MS3のうち1つのメモリマット指定信号のみがHレベルの選択状態とされる。したがって、選択されたメモリマットにおいてのみロウデコーダがデコード動作を行うため、1つのメモリマットに対してのみリフレッシュ動作が行われる。

10

20

30

40

50

【 0 0 4 3 】

なお、この図 9 に示す構成において、NAND 回路 13a は、機能的にロウデコードの構成を示している。サブアレイを指定するアドレス信号ビット RAc がいわゆるブロックデコードへ与えられ、各サブアレイにおいて、このブロックデコード（サブアレイを選択状態へ駆動するためのデコード）の出力信号に従ってサブアレイ対応に設けられたロウデコード回路が活性状態とされる構成が用いられてもよい。また、言うまでもなく、いわゆるプリデコードの構成が用いられてもよい。

【 0 0 4 4 】

[変更例]

図 10 は、この発明の実施の形態 1 に従う DRAM の変更例の構成を示す図である。図 10 (A) において、4 つのメモリマツト MM₀ ~ MM₃ およびサブアレイ MB₀ ~ MB₇ に対するアドレス信号の配置が示される。この図 10 (A) に示す配置において、通常動作モード時においては、メモリマツト MM₀ ~ MM₃ は、コラムアドレス信号ビット CAa, /CAa, CAb および /CAb が割り当てられる。通常動作モード時においては、これらのコラムアドレス信号ビット CAa, /CAa, CAb および /CAb は縮退状態とされており、すべて選択状態とされる。メモリマツト MM₀ ~ MM₃ それぞれにおいて、サブアレイ MB₀ ~ MB₇ を選択するロウアドレス信号ビット RAa, /RAa, RAb および /RAb の割当は先の実施の形態（図 4 参照）と同じである。

10

【 0 0 4 5 】

データ保持モード時においては、1 つのメモリマツトを指定し、この選択状態とされるメモリマツトにおいて複数のサブアレイが選択状態とされる。そこで、通常動作モード時において縮退状態とされるコラムアドレス信号ビット CAa および CAb と通常動作モード時において非縮退状態とされるロウアドレス信号ビット RAa および RAb を、データ保持モード時においては交換する。

20

【 0 0 4 6 】

すなわち、図 10 (B) に示すように、データ保持モード時においては、コラムアドレス信号ビット CAa および CAb がロウアドレス信号ビット RAa および RAb にそれぞれ変換され、ロウアドレス信号ビット RAa および RAb がコラムアドレス信号ビット CAa および CAb に変換される。DRAM において、縮退状態とされるコラムアドレス信号ビット CAa および CAb は、内部で（メモリセル選択動作時）選択状態とされる。したがって、コラムアドレス信号ビットをロウアドレス信号ビットとして用いても、内部動作においては、リフレッシュ動作活性化信号 ZRAS に従ってメモリセル選択動作が行われる。したがって、図 10 (A) において括弧で示すように、データ保持モード動作時においてはサブアレイ MB₀ ~ MB₃ のグループとサブアレイ MB₄ ~ MB₇ のグループのうちの一方のグループがコラムアドレス信号ビット CAa, /CAa により選択され、各グループにおいて 2 つのサブアレイがコラムアドレス信号ビット CAb, /CAb により選択される。コラムアドレス信号ビット CAa, /CAa, CAb, /CAb は、縮退状態とされているため、これらはすべて選択状態にある。したがって、データ保持モード時においては奇数番号のサブアレイまたは偶数番号のサブアレイがロウアドレス信号ビット RAc, /RAc（図 4 参照）に従って選択される。

30

40

【 0 0 4 7 】

また、データ保持モード動作時においては、ロウアドレス信号ビット RAa, /RAa, RAb および /RAb によりメモリマツトが指定される。このロウアドレス信号ビットは、非縮退状態であるため、4 つのメモリマツト MM₀ ~ MM₃ のうち 1 つのメモリマツトが選択状態とされる。

【 0 0 4 8 】

図 11 は、図 10 に示すアドレス変換を行う部分の構成を概略的に示す図である。図 11 においても、外部からのアドレス信号と内部で発生されるリフレッシュアドレスとを切替えるためのマルチプレクサは図面を簡略化するために示していない。図 11 において、

50

アドレス変換部は、データ保持モード時、リフレッシュカウンタ10から与えられるリフレッシュアドレスRRAa, RRAb, RRAc~RRAeを受けて内部ロウアドレス信号ビットを生成するロウアドレスバッファ16と、このロウアドレスバッファ16からのロウアドレス信号ビットRAa, /RAa, RAa, /RAaと図示しないコラムアドレスバッファから与えられる縮退状態とされたコラムアドレス信号ビットCAa, CAaとを受け、データ保持モード指示信号REFの活性化時コラムアドレス信号ビットCAa, CAaとロウアドレスバッファ16からのロウアドレス信号ビットとを交換するスクランブラ19を含む。ロウアドレスバッファ16は、内部ロウアドレス信号ビットRAc, /RAc~RAe, /RAeを生成して各メモリマツトに設けられたロウデコードへ与える。スクランブラ19は、データ保持モード指示信号REFの活性化時、コラムアドレス信号ビットCAa, CAaを内部ロウアドレス信号ビットRAa, RAaとして出力し、かつロウアドレスバッファ16からのロウアドレス信号ビットをコラムアドレス信号ビットCAa, CAaとして出力する。データ保持モード指示信号REFの非活性化時、スクランブラ19は、ビット交換を行わず、与えられたアドレス信号ビットを出力する。

10

【0049】

この図11に示す構成の場合、リフレッシュカウンタ10において、その最小カウント値から最大カウント値までカウント値が変化すると、すべてのメモリマツトにおいてすべてのメモリセルが一度リフレッシュされたことを示す。したがって、単にスクランブラ19において常時縮退状態とされるコラムアドレス信号ビットCAaおよびCAaとロウアドレスバッファ16から出力されるロウアドレス信号ビットRAaおよびRAaをスクランブルするだけであり、簡易な回路構成で容易にデータ保持モードのときに1つのメモリマツトにおいて複数のサブアレイを選択状態とすることができる。

20

【0050】

図12は、図11に示すスクランブラの1ビットのアドレス信号に対する部分を示す図である。この図12に示す構成が必要とされるビットの数だけ設けられる。図12において、スクランブラ19は、データ保持モード指示信号REFの活性化時導通し、コラムアドレス信号ビットCAaを内部コラムアドレス信号ビットCAaとして出力する双方向トランスマッションゲートXF1と、データ保持モード指示信号REFの活性化時導通し、コラムアドレス信号ビットCAaをロウアドレス信号ビットRAaとして出力する双方向トランスマッションゲートXF2と、データ保持モード指示信号REFの活性化時導通し、ロウアドレス信号ビットRAaを内部コラムアドレス信号ビットCAaとして出力する双方向トランスマッションゲートXF3と、データ保持モード指示信号REFの非活性化時に導通し、ロウアドレス信号ビットRAaを内部ロウアドレス信号ビットRAaとして出力する双方向トランスマッションゲートXF4を含む。この双方向トランスマッションゲートXF1~XF4の各々は、CMOSトランジスタで構成され、このCMOSトランジスタの導通を制御するために、データ保持モード指示信号REFを反転するインバータIVが設けられる。このデータ保持モード指示信号REFおよびインバータIVの出力する反転データ保持モード指示信号によりこれらのトランスマッションゲートXF1~XF4の導通/非導通が実現される。

30

40

【0051】

この図12に示す構成においては、トランスマッションゲートXF1~XF4により、コラムアドレス信号ビットCAaおよびロウアドレス信号ビットRAaの伝搬経路が切換えられているだけである。通常動作モード時においては、アドレス信号ビットCAaおよびRAaは、それぞれ内部アドレス信号ビットCAaおよびRAaとして出力され、データ保持モード動作時においては、アドレス信号ビットCAaおよびRAaは、それぞれアドレス信号ビットRAaおよびCAaとして出力される。コラムアドレス信号ビットCAaは縮退状態であり、常時選択状態にある。したがって単にこの伝搬経路を切換えるだけで、容易にデータ保持モード時において縮退状態とされるアドレス信号ビットを得ることができる。

50

【 0 0 5 2 】

なお、図 1 2 に示す構成において、アドレス信号ビット C A a および R A a が伝達される部分は示していない。内部コラムアドレス信号ビット C A a は、メモリマットを選択状態とするためのマットデコーダ部分へ与えられ、内部ロウアドレス信号ビット R A a は、メモリマットそれぞれに対するロウデコーダ (R D 0 ~ R D 3) へ与えられる。

【 0 0 5 3 】

なお、このスクランブラ 1 9 を用いる構成の場合、D R A M の構成に応じて、縮退されるアドレス信号ビットの数が異なる場合 (たとえば $\times 8$ ビット構成の場合 3 ビットのアドレスが縮退される)、通常動作モード時において縮退状態とされるアドレス信号ビットをデータ保持モード時において縮退状態とすべきアドレス信号ビットと交換するように構成すれば、常にデータ保持モード時において 1 つのメモリマットを選択状態としてリフレッシュ動作を行うことができる。

10

【 0 0 5 4 】

上述のように、データ保持モード時において、メモリマットおよびサブアレイを指定する信号を選択的に縮退状態とすることにより、データ保持モード時において、1 つのメモリマットにおいて所定数のサブアレイで構成されるグループのみに対しリフレッシュ動作を行うことができる。他のメモリマットにおいては、周辺回路は動作していない。したがって、他の周辺回路を駆動するための回路および他の周辺回路の動作が停止されるため、消費電流が低減される。

【 0 0 5 5 】

図 1 3 (A) は、センスアンプ駆動部の構成を概略的に示す図である。図 1 3 (A) においては、1 つのサブアレイの 1 対のビット線に対して設けられたセンスアンプを代表的に示す。このセンスアンプは、メモリセルの各列に対応して配置され、活性化時、対応のメモリセル列 (ビット線対) に読出されたメモリセルのデータの検知および増幅を行う。

20

【 0 0 5 6 】

図 1 3 (A) において、1 対のビット線 B L , / B L に対し、センスアンプ 2 0 が設けられる。ビット線対 B L および / B L には、1 列のメモリセルが接続される。図 1 3 (A) においては、ワード線 W L とビット線 B L との交差部に対応して設けられるメモリセル M C を代表的に示す。また、ワード線 W L には、1 行のメモリセルが接続される。

【 0 0 5 7 】

センス駆動部は、リフレッシュ動作活性化信号 Z R A S と行ブロック指定アドレス信号ビット R A a , R A b および R A c に従って所定のタイミングでセンスアンプ活性化信号 S O P および S O N を活性化状態とするセンス活性化回路 2 4 と、センス活性化回路 2 4 からのセンスアンプ活性化信号 S O P に応答して導通して、センスアンプ駆動信号 S A P を接地電位 V s s レベルの活性化状態とする n チャネル M O S トランジスタで構成される活性化トランジスタ 2 7 a と、センス活性化回路 2 4 からのセンスアンプ活性化信号 S O N に応答して導通し、電源電位 V i n t レベルの活性化状態へセンス駆動信号 S A N を駆動する p チャネル M O S トランジスタで構成されるセンス活性化トランジスタ 2 8 a と、センスアンプ駆動信号 S A P に応答して導通し、センスアンプ 2 0 の一方ノードへ電源電位 V i n t を伝達する p チャネル M O S トランジスタで構成されるセンスアンプ駆動トランジスタ 2 2 a と、センスアンプ駆動信号 S A N に応答して導通し、センスアンプ 2 0 の他方ノードへ接地電位 V s s を伝達する n チャネル M O S トランジスタで構成されるセンス駆動トランジスタ 2 2 b を含む。

30

40

【 0 0 5 8 】

センスアンプ 2 0 は、通常の交差結合された p チャネル M O S トランジスタおよび交差結合された n チャネル M O S トランジスタを含む。この p チャネル M O S トランジスタ部分へ、センスアンプ駆動トランジスタ 2 2 a を介して電源電位 V i n t が伝達され、n チャネル M O S トランジスタ部分へ、センスアンプ駆動トランジスタ 2 2 b を介して接地電位 V s s が伝達される。

【 0 0 5 9 】

50

センス駆動部は、さらに、センス活性化回路24からのセンスアンプ活性化信号SOPと反転データ保持モード指定信号/REFを受けるAND回路26aと、AND回路26aの出力信号に応答して導通し、センスアンプ駆動信号SAPを接地電位Vssレベルへ駆動するnチャンネルMOSトランジスタで構成される補助駆動トランジスタ27bと、センスアンプ活性化信号SONとデータ保持モード指定信号REFを受けるOR回路26bと、OR回路26bの出力信号に応答して選択的に導通して、センスアンプ駆動信号SANを電源電位Vintレベルへ駆動するpチャンネルMOSトランジスタで構成される補助駆動トランジスタ28bを含む。

【0060】

トランジスタ27aの電流駆動力は、トランジスタ27bの電流駆動力よりも好ましくは、小さくされる。また、駆動トランジスタ28bの電流駆動力は、補助駆動トランジスタ28bのそれよりも好ましくは小さくされる。次に、この図13(A)に示すセンスアンプ駆動部の動作をその動作波形図である図13(B)を参照して説明する。

【0061】

データ保持モードにおいては、データ保持モード指定信号REFはHレベルであり、また反転データ保持モード指定信号/REFがLレベルである。この状態においては、AND回路26aの出力信号がLレベルに固定され、また、OR回路26bの出力信号はHレベルに固定され、したがって、補助駆動トランジスタ27bおよび28bは、ともに、非導通状態に保持される。

【0062】

スタンバイ状態時(リフレッシュ動作活性化信号ZRSのHレベルおよび通常動作時における内部RAS信号の非活性化状態)においては、センス活性化回路24からのセンスアンプ活性化信号SOPおよびSONは、それぞれLレベルおよびHレベルである。したがって、センス駆動トランジスタ27aおよび28aは非導通状態になる。

【0063】

リフレッシュ動作時においては、まず、リフレッシュ動作活性化信号ZRASがLレベルとされる。サブアレイ指定信号ビットRAa, RA bおよびRAcがすべて選択状態とされると、センス活性化回路24が、所定のタイミングでセンスアンプ活性化信号SONをLレベルへ駆動し、またセンスアンプ活性化信号SOPをHレベルへ駆動する。これにより、駆動トランジスタ27aおよび28aは、それぞれ導通状態とされ、センスアンプ駆動信号SANおよびSAPが活性化状態のHレベルおよびLレベルとされる。このセンス駆動トランジスタ27aおよび28aは、比較的その電流駆動力は小さくされており、図13(B)に破線で示すように、センスアンプ駆動信号SANおよびSAPは比較的緩やかに電位が変化する。このセンスアンプ活性化信号SANおよびSAPに反応して、センスアンプ活性化トランジスタ22aおよび22bが導通し、センスアンプ20へ、それぞれ電源電位Vintおよび接地電位Vssが伝達されてセンスアンプ20が活性化され、ビット線BLおよび/BL上に現れたメモリセルデータの検知および増幅を行う。センスアンプ駆動信号SAPおよびSANの電位変化が緩やかであるため、このセンスアンプ活性化トランジスタ22aおよび22bのコンダクタンスの変化は比較的緩やかであり、応じてセンスアンプ20の動作速度も遅くされる(センスアンプ20は、その活性化トランジスタ22aおよび22bを介してビット線BLおよび/BLの充放電を行うため)。

【0064】

したがって、図13(B)において、破線の波形で示すように、ビット線BLおよび/BLの電位は、緩やかに変化する。

【0065】

このビット線BLおよび/BLの充放電を緩やかに行うことにより、センスアンプ20の動作時における充放電電流のピーク電流を低減することができ、電源線のノイズ(電源電位Vintの低下および接地電位Vssの上昇)は防止され、1つのメモリマットにおいて複数のサブアレイにおいてセンス動作が行われる場合においても、安定にセンス動作を行うことができる。このリフレッシュ動作時においては、高速動作性は何ら要求されな

10

20

30

40

50

いため（データの外部入出力は行われなため）、何ら問題は生じない。

【0066】

通常動作モード時においてはデータ保持モード指定信号REFはLレベルであり、AND回路26aおよびOR回路26bは、それぞれバッファ回路として動作する。したがって、この通常動作モード時においては、リフレッシュ動作活性化信号ZRASに対応する内部RAS信号（外部から与えられるロウアドレスストロブ信号/RASに追従する）の活性化に应答して、アドレス信号ビットRAa, RA bおよびRAcにより選択状態とされたセンス活性化回路24が活性状態とされて、センスアンプ活性化信号SOPおよびSONをそれぞれ所定のタイミングでHレベルおよびLレベルの活性状態とする。

【0067】

このセンスアンプ活性化信号SOPおよびSONの活性化に应答して、駆動トランジスタ27aおよび27bならびに駆動トランジスタ28aおよび28bが導通し、高速でセンスアンプ駆動信号SAPおよびSANを活性状態のLレベルおよびHレベルとする。これにより、センスアンプ活性化トランジスタ22aおよび22bが高速で導通し、センスアンプ20が、このセンスアンプ活性化トランジスタ22aおよび22bを介してビット線BLおよび/B Lを充放電する。これにより、図13(B)において実線で示すように、ビット線BL, /B Lの電位が高速で変化する。

【0068】

なお、図13(A)に示す構成においては、センス活性化回路24aは、リフレッシュ動作活性化信号ZRASおよびサブアレイ指定アドレス信号ビットRAa, RA bおよびRAcを受けてセンスアンプ活性化信号SOPおよびSONを活性状態へ駆動している。センス活性化回路24の構成は、任意であり、このセンス活性化回路24がサブアレイそれぞれに対応して設けられてもよく、リフレッシュ動作活性化信号ZRASに应答してセンスアンプ活性化信号が各メモリマットのセンス活性化回路へ伝達され、サブアレイ対応のセンス活性化回路がサブアレイ指定信号に従って対応のセンスアンプ活性化信号を活性状態とする構成が用いられてもよい。

【0069】

なお、図13(B)においては、ビット線BL上にHレベルのデータが読出された場合のビット線BLおよび/B Lの電位変化が示されるが、Lレベルのメモリセルデータが読出された場合においても同様の効果が得られる。センスアンプ24は、ビット線BLおよび/B Lの高電位のビット線の電位を電源電位Vintレベルへ駆動し、低電位のビット線の電位を接地電位Vssレベルへ駆動する。

【0070】

図14は、データ保持モード時と通常動作モード時における内部RAS信号を切換える部分の構成を示す図である。リフレッシュ制御回路6は、リフレッシュ要求信号（タイマから与えられる）refに应答して、所定の時間幅を有するリフレッシュ動作活性化信号ZRASを発生するZRAS発生回路6aを含む。通常動作モード時においては、RASバッファ30が、外部から与えられるロウアドレスストロブ信号ext./RASをバッファ処理して、内部ロウアドレスストロブ信号/RASを生成する。この通常動作モード時とリフレッシュ動作モード時における駆動信号の経路を切換えるために、RASバッファ30から与えられる内部ロウアドレスストロブ信号とデータ保持モード指定信号REFを受けるORゲート32と、ZRAS発生回路6aから与えられるリフレッシュ動作活性化信号ZRASとOR回路32の出力信号を受けるAND回路34とが設けられる。このAND回路34から、DRAM内部に設けられたRAS系回路（信号RASに従って駆動される回路であり、ロウデコーダ、ロウアドレスバッファ、およびセンスアンプ駆動回路の部分を含む）へ与えられる内部RAS信号RASZが生成される。

【0071】

データ保持モード動作時においては、データ保持モード指定信号REFがHレベルであり、OR回路32の出力信号はHレベルに固定される。この状態においては、RASバッファ30の出力する内部ロウアドレスストロブ信号/RASの状態が無視される。AN

10

20

30

40

50

D回路34が、したがって、ZRAS発生回路6aから与えられるリフレッシュ動作活性化信号ZRASに従って内部RAS信号RASZをLレベルの活性状態とする。

【0072】

通常動作モード時においては、リフレッシュ制御回路6に含まれるZRAS発生回路6aからのリフレッシュ動作活性化信号ZRASはHレベルに固定される。また、データ保持モード指定信号REFは、Lレベルに固定される。したがって、OR回路32およびAND回路34がそれぞれバッファとして動作し、RASバッファ30から与えられる内部ロウアドレスストロブ信号/RASに従って、内部RAS信号RASZが出力される。これにより、通常動作モード時およびリフレッシュ動作モード時いずれにおいても、この内部RAS信号RASZに従って、DRAMの内部回路が動作する。

10

【0073】

以上のように、この発明の実施の形態1に従えば、通常動作モード時とデータ保持モード動作時において、選択状態とされるメモリマットの数を変更可能としているため、このデータ保持モード動作時において、必要に応じて動作状態とされるメモリマットの数を調整して、消費電流を低減することができる。また、データ保持モード動作時において、1つのメモリマットにおいてのみ複数のサブアレイを選択状態としてリフレッシュ動作を行うことにより、1つのメモリマットに対してのみ活性化信号を伝達するだけでよく、他のメモリマットにおいては、すべて活性化信号が非選択状態に維持されるため、これらの他のメモリマットの周辺回路における消費電流が低減され、応じてデータ保持モード時における消費電流が低減される。

20

【0074】

また、リフレッシュ動作モードにおいて、センス動作を緩やかに行うことにより、このピーク電流を低減することができ、これにより1つのメモリマットの複数のサブアレイにおいて同時にリフレッシュ動作を正確に行うことができる。

【0075】

[実施の形態2]

図15は、この発明の実施の形態2に従うDRAMのアレイの配置を概略的に示す図である。図15(A)においては、通常動作モード時における選択メモリサブアレイの配置を示し、図15(B)に、データ保持モード動作時において、リフレッシュのために選択状態とされるサブアレイの配置を示す。図15(A)および(B)に示すように、DRAM1は、4つのメモリマットMM0~MM3を含む。メモリマットMM0~MM3それぞれに対応して、内部降圧回路VDC0~VDC3が設けられる。この内部降圧回路VDC0~VDC3のそれぞれの内部構成は、後に説明するが、外部から与えられる電源電位を変換して、内部電源電位を生成して、対応のメモリマットMM0~MM3へ供給する。メモリマットMM0~MM3の各々は、対応の内部降圧回路VDC0~VDC3から電源電位を供給されて動作する。このメモリマットは、周辺回路としてのロウデコーダおよびコラムデコーダ、センスアンプ活性化回路などを含み、またメモリアレイ内に対しては、センスアンプを活性化するための電源電位Vint(図13(A)参照)などが供給される。

30

【0076】

図15(A)に示すように、通常動作モード時においては、メモリマットMM0~MM3それぞれにおいて1つのサブアレイ(サブアレイMB0を例示的に示す)が選択状態とされて、選択されたサブアレイMB0内の選択されたメモリセルに対するアクセスが行われる。メモリマットMM0~MM3それぞれに対応して内部降圧回路を配置し、内部降圧回路VDC0~VDC3それぞれが、対応のメモリマットMM0~MM3へのみ電源電位を供給する構成とすることにより、電源ノイズを低減することができる。

40

【0077】

すなわち、1つの内部降圧回路を用いてメモリマットMM0~MM3全てへ電源電位を供給した場合、以下のような問題が生じる。すべてのメモリマットMM0~MM

50

3に共通に設けられた内部降圧回路を用いてメモリマツトMM₀～MM₃へ内部電源電位V_{int}を供給した場合、メモリマツトMM₀～MM₃の動作時に、すべてのメモリマツトMM₀～MM₃の消費電流が共通の内部降圧回路を介して供給されることになり、この内部電源電位の低下ならびにこれを補償するために供給される大きな電流による内部電源電位の上昇およびリングングが生じ、内部電源電位が不安定となる。一方、メモリマツトMM₀～MM₃それぞれに対し、内部降圧回路V_{DC0}～V_{DC3}を配置することにより、内部降圧回路V_{DC0}～V_{DC3}それぞれは、対応のメモリマツトMM₀～MM₃へ内部電源電位V_{int}を供給することが要求されるだけである。したがって、内部降圧回路V_{DC0}～V_{DC3}が補償すべき消費電流は、1つのメモリマツトの消費電流だけであり、応じて消費電流が分散されるため、メモリマツトMM₀～MM₃動作時における電源ノイズを低減することができ、応じて内部電源電位が少し低下した場合においても、安定に内部電源電位を供給することができるためメモリマツトMM₀～MM₃はそれぞれ、大きな動作マージン(内部電源電位に対する)を持って安定に動作することができる。

【0078】

この実施の形態2においては、さらに、データ保持モード動作時においてリフレッシュする場合に、実施の形態1に従って1つのメモリマツト(図15(B)においては、メモリマツトMM₀を例示的に示す)においてのみリフレッシュ動作が実行される。非選択状態のメモリマツト(MM₁～MM₃)に対して設けられた内部降圧回路(V_{DC0}～V_{DC3})は、内部電源電位V_{int}の供給を停止する。これにより、非選択状態のメモリマツトに対する消費電流がなくなるため、データ保持モード動作時における消費電流は大幅に低減される。この選択状態とされたメモリマツト(MM₀)においては、センスアンプなどの周辺回路の動作を緩やかとすることによりピーク電流を低減することができ、1つの内部降圧回路(V_{DC0})を用いて複数のサブアレイに対し安定に内部電源電位を供給することができる(電流消費が小さいため、その電源電位の低下速度は遅く、1つの内部降圧回路により、十分に消費電流を補償することができるため)。

【0079】

図16(A)は内部降圧回路の構成の一例を示す図である。図16(A)において、内部降圧回路V_{DC}は、基準電位V_{ref}と内部電源電位V_{int}とを比較する比較器40と、メモリマツト指定信号MS_iに应答して比較器40を選択的に活性状態とするための活性化トランジスタ42と、比較器40の出力信号に应答して外部電源電位供給ノードV_{ext}から電流を内部電源線41上に供給するpチャネルMOSトランジスタで構成されるドライブトランジスタ44を含む。このトランジスタ42は、メモリマツト指定信号MS_iの活性状態のとき導通し、比較器40の電流経路を形成する。メモリマツト指定信号MS_iの非活性化時には、活性化トランジスタ42が非導通状態とされ、比較器40を非活性状態とする。このトランジスタ42は、したがって、比較器40の電流源トランジスタとして作用する。

【0080】

比較器40は、動作時、基準電位V_{ref}が内部電源電位V_{int}よりも高い場合には、Lレベルの信号を出力し、ドライブトランジスタ44のコンタクタンスを大きくする。これにより、ドライブトランジスタ44が外部電源電位供給ノードV_{ext}から内部電源線41上へ電流を供給し、内部電源電位V_{int}の電位を上昇させる。一方、内部電源電位V_{int}が基準電位V_{ref}よりも高い場合には、比較器40は、Hレベルの信号を出力して、このドライブトランジスタ44をオフ状態とする。これにより、ドライブトランジスタ44を介しての電流の供給が停止される。したがって、この内部電源電位V_{int}は、基準電位V_{ref}の電位レベルに保持される。

【0081】

図16(B)に示すように、この内部降圧回路V_{DC}は、1つのメモリマツトに対してのみ外部電源電位V_{int}を供給する。したがってこの消費電流iは比較的小さく、対応のメモリマツトが選択状態にされ、動作する場合においても、そのピーク電流は小さく、

内部電源電位 V_{int} の低下も小さく、内部電源電位 V_{int} は所定の電位レベル V_{ref} に保持される。

【0082】

データ保持モード動作時においては、通常動作モード時よりも、多くのサブアレイが駆動される。しかしながら、このサブアレイを駆動する回路の動作速度は遅いため、その消費電流 i の変化速度は小さく、ピーク電流は通常動作モード時のそれと同じ程度とされる。それにより、データ保持モードにおいて数多くのサブアレイが1つのメモリマットにおいて同時に駆動されても、内部電源電位 V_{int} は所定電位レベルに保持される。

【0083】

データ保持モード動作時においては、選択メモリマットに対してのみこのメモリマット指定信号 MS_i がHレベルとされる。したがって、非選択メモリマットに対しては、比較器40が、非活性状態とされてその出力信号はHレベルとされ、ドライブトランジスタ44はオフ状態を維持する。非選択メモリマットはスタンバイ状態を維持するため、その消費電流はリーク電流だけであり、たとえ対応の内部降圧回路から電流が供給されない場合においても、内部電源電位はほぼ一定の電位レベルを保持することができる。

【0084】

図17は、選択メモリマットにおける回路動作を遅くするための構成を示す図である。図17において、1つのメモリマット MM の周辺回路（ロウデコード、コラムデコード、センスアンプ活性回路等）と内部電源線41との間に、電流源として機能するpチャンネルMOSトランジスタ46aと、データ保持モード時に、データ保持モード指定信号 REF に応答して非導通状態とされるpチャンネルMOSトランジスタ46bとが設けられる。pチャンネルMOSトランジスタ46aは、そのゲートが接地電位 V_{ss} を受け、常時導通状態を維持し、電流源として機能する。

【0085】

通常動作モード時においては、MOSトランジスタ46aおよび46bは、ともに導通状態にあり、周辺回路48は、内部電源線41上の電源電位 V_{int} を受ける。周辺回路48の動作時においては、MOSトランジスタ46aおよび46bを介して大きな電流駆動力を持って電流が供給され、周辺回路48は、高速で安定に動作する。

【0086】

データ保持モード動作時においては、データ保持モード指定信号 REF がHレベルであり、MOSトランジスタ46bが非導通状態とされる。したがって、データ保持モード時においては、周辺回路48は、電流源として機能するMOSトランジスタ46aを介してのみ内部電源線41から電流を供給される。したがって、この周辺回路48の電流駆動力は、MOSトランジスタ46aにより決定され、通常動作時よりもその電流駆動力は小さくされ、周辺回路48の動作速度が遅くされる。これにより、データ保持モード時におけるピーク電流を抑制することができる。

【0087】

なお、図17に示す構成において、データ保持モード指定信号 REF に変えて、データ保持モード指定信号 REF とメモリマット指定信号 MS_i の論理積信号 $REF \cdot MS_i$ が用いられてもよい。非選択メモリマットにおいては、データ保持モード時においては、MOSトランジスタ46bが導通状態とされるが、対応の内部降圧回路が非活性状態であり、また、対応のメモリマットも非選択状態であり電流は消費されないため、特に問題はない。

【0088】

また、回路動作を遅くする構成は、図13(A)のセンス動作を遅くする構成が用いられてもよい。

【0089】

以上のように、この発明の実施の形態2に従えば、複数のメモリマットそれぞれに対して設けられた内部降圧回路を、データ保持モード時においては、選択メモリマットに対する内部降圧回路のみを活性状態とするように構成したため、データ保持モード時にお

る消費電流を大幅に低減することができる。また、このときデータ保持モード時において回路動作を遅くすることにより、ピーク電流を低減することができ、選択メモリマツトにおける選択サブアレイの数が増加しても、ピーク電流を増加させることなく、安定にリフレッシュ動作を行うことができる。

【0090】

[実施の形態3]

D R A Mにおいては、セルフリフレッシュモードを含むデータ保持モードに加えて、さまざまな動作モードが設けられている。たとえば、D R A Mのテストモードを設定する場合には、W C B Rタイミングが用いられ、テストモードのリセットにはC B Rタイミングが用いられる。W C B Rタイミングは、外部ロウアドレスストロブ信号 $e x t . / R A S$ の立下がり前に、外部ライトイネーブル信号 $e x t . / W E$ および外部コラムアドレスストロブ信号 $e x t . / C A S$ をLレベルに立下げる。C B Rタイミングにおいては、外部ロウアドレスストロブ信号 $e x t . / R A S$ の立下がり前に、外部コラムアドレスストロブ信号 $e x t . / C A S$ をLレベルに立下げる。そのとき、外部ライトイネーブル信号 $e x t . / W E$ は、通常、Hレベルとされる。各動作モードを設定する部分の構成を図18に示す。

【0091】

図18においては、テストモードセット回路54およびテストモードリセット回路52が一例として示される。テストモードセット回路54は、W C B Rタイミングを検出するW C B R検出器54aを含み、テストモードリセット回路52は、C B Rタイミングを検出するC B R検出器52を含む。テストモードリセット時においては、C B R検出信号C B Rが出力されてテストモードがリセットされ、W C B R検出器54aからは、W C B R検出信号W C B Rが出力されてテストモードが設定される。データ保持モード指定時においては、このC B R検出信号C B Rが所定時間以上活性状態とされるとD R A Mはセルフリフレッシュモードに入る。このC B R検出信号は、したがって、データ保持モード検出信号R E Fと等価である。

【0092】

これらのテストモードセット回路54およびテストモードリセット回路52へ、入力バッファ50a, 50bおよび50cを介して外部ロウアドレスストロブ信号 $e x t . / R A S$ 、外部コラムアドレスストロブ信号 $e x t . / C A S$ および外部ライトイネーブル信号 $e x t . / W E$ が与えられる。

【0093】

D R A Mにおいては、その内部構成要素はC M O Sトランジスタであり、C M O Sレベルの信号が伝播される。

【0094】

一方、D R A Mの外部装置においては、その入出力信号は、たとえばT T Lレベル(またはL V (低電圧) T T Lレベル)の場合がある。外部装置が、たとえばバイポーラトランジスタなどで構成されている場合、その出力信号レベルは、高速動作性を保証するために小さくされ、T T LまたはL V T T Lなどの信号が用いられる。T T Lレベルにおいては、ハイレベルの信号電圧 $V_{i h}$ が、2.0Vであり、Lレベル信号電圧 $V_{i n}$ は、0.8Vである。入力初段に設けられる外部装置とのインタフェースとなるバッファをC M O S構成とした場合、T T L(またはL V T T L)レベルの信号が与えられた場合、貫通電流が流れる場合が生じる。データ保持モードにおいてこの貫通電流を低下させるための構成について以下に説明する。

【0095】

図19(A)は、この発明の実施の形態3に従う入力バッファ回路の構成を示し、図19(B)は、その等価論理ゲートを示す図である。図19(A)において、入力バッファ50は、電源ノード $V_{c c}$ と内部出力ノード $N b$ との間に接続され、かつそのゲートが入力ノード $N a$ に接続されるpチャネルM O Sトランジスタ $Q a$ と、内部出力ノード $N b$ と内部ノード $N c$ との間に接続され、そのゲートがパワーカット指示信号 $P C$ を受けるよう

10

20

30

40

50

に接続される p チャンネル MOS トランジスタ Q_b と、内部ノード N_c と接地ノード V_{ss} との間に接続され、かつそのゲートが入力ノード N_a に接続される n チャンネル MOS トランジスタ Q_c と、内部ノード N_c と接地ノード V_{ss} との間に接続され、かつそのゲートがパワーカット指定信号 PC を受けるように接続される n チャンネル MOS トランジスタ Q_d を含む。

【0096】

電源ノード V_{cc} へ与えられる電源電位 V_{cc} (ノードとその上の電位を同じ符号で示す) は、3.0V であり、入力ノード N_a へ与えられる入力信号 IN の H レベルは、TTL レベルの 2.0V である。パワーカット指示信号 PC は、データ保持モード動作時において、H レベルの活性状態とされ、MOS トランジスタ Q_b を非導通状態、MOS トランジスタ Q_d を導通状態として、ノード N_c を接地電位レベルに固定する。MOS トランジスタ Q_b が、データ保持モード動作時非導通状態とされるため、電源ノード V_{cc} から接地ノード V_{ss} への電流が流れる経路は遮断される。したがって、入力信号 IN が、TTL レベルの 2.0V であっても、この入力バッファ 50 においては、貫通電流は生じず、データ保持モード時における消費電流が低減される。

10

【0097】

図 19 (B) は、この入力バッファ回路 50 の等価な論理ゲートを示し、入力信号 IN とパワーカット指示信号 PC を受ける 2 入力 NOR 回路として表わされる。パワーカット指示信号 PC が H レベルのときには、その内部出力信号 Int は、L レベルに固定される。入力信号 IN のレベルは、H レベルとされる場合もあり、また L レベルとされる場合もある。したがって、このノード N_b の電位は実際には、パワーカット指示信号 PC の活性化時における入力信号 IN の電位レベルにより決定される。ここでは、図 19 (B) においては、パワーカット指定信号 PC の活性化時 (H レベルのとき) においては、内部入力信号 Int の電位レベルが固定されることを示すために、2 入力 NOR 回路が示されるが、ノード N_c から内部信号 Int が出力されてもよい。

20

【0098】

パワーカットモード指示信号 PC が L レベルのとき、通常動作モード時であり、MOS トランジスタ Q_b が導通状態とされ、MOS トランジスタ Q_d が非導通状態とされる。この状態においては、入力信号 IN の電位レベルに従って、MOS トランジスタ Q_c が、導通状態または非導通状態とされる。この状態においては、MOS トランジスタ Q_b が導通しているため、MOS トランジスタ Q_a および Q_c を介して電源ノード V_{cc} から接地ノード V_{ss} へ電流が流れる経路が形成されるためにこの入力信号 IN に応じた (反転された) 内部入力信号 Int (CMOS レベル) を生成することができる。

30

【0099】

ここで、MOS トランジスタ Q_d が設けられているのは、パワーカット指示信号 PC の活性化時内部ノード N_c がフローティング状態とされ、ノイズの影響により、MOS トランジスタ Q_b および Q_c が導通状態とされて、貫通電流が流れる経路が形成されるのを防止するためである。内部出力ノード N_b は、MOS トランジスタ Q_a により充電され、その電位レベルは固定される。

【0100】

図 20 (A) は、パワーカット指示信号 PC を発生する部分の構成を概略的に示す図である。図 20 (A) において、パワーカット指示信号発生部は、バッファ回路 55 を介して与えられる外部ロウアドレスストローブ信号 $ext./RAS$ および外部コラムアドレスストローブ信号 $ext./CAS$ を受けて、データ保持モードが指定されたか否かを識別するリフレッシュ検出回路 4 と、このリフレッシュ検出回路 4 からのデータ保持モード指定信号 REF と、リフレッシュタイマ 18 から与えられるリフレッシュ要求信号 ref を受けるインバータ 57 と、データ保持モード指定信号 REF およびインバータ 57 の出力信号を受ける AND 回路 59 を含む。AND 回路 59 からパワーカット指示信号 PC が発生されてバッファ回路 55 へ与えられる。このバッファ回路 55 は、先の図 18 に示すバッファ 50 a おび 50 b を含む。このリフレッシュ検出器 4 は、バッファ回路 55 か

40

50

ら与えられるロウアドレスストローク信号 / R A S およびコラムアドレスストローク信号 / C A S が C B R タイミングを満足しているか否かを検出する C B R 検出器 4 a を含む。この C B R 検出器 4 a からデータ保持モード指定信号 R E F が出力される。C B R 検出器 4 a は、また外部ライトイネーブル信号 e x t . / W E をバッファ回路 5 5 を介して受けるように構成されてもよい。次にこの図 2 0 に示すパワーカット指示信号発生部の動作をその動作波形図である図 2 0 (B) を参照して説明する。

【 0 1 0 1 】

バッファ回路 5 5 を介して与えられるロウアドレスストローク信号 / R A S およびコラムアドレスストローク信号 / C A S が C B R タイミングを満足すると、C B R 検出器 4 a から出力されるデータ保持モード指定信号 R R F が H レベルの活性状態とされる。リフレッシュタイマ 1 8 が、リフレッシュ制御回路 (図 2 参照) の制御の下に駆動され、所定時間が経過すると一定の時間間隔でリフレッシュ要求信号 r e f を出力する。このリフレッシュ要求信号 r e f は、H レベルのときに活性状態とされる。したがって、データ保持モード期間の間、このリフレッシュ要求信号 r e f が L レベルのとき、パワーカット指示信号 P C が H レベルとされる。このパワーカット指定信号 P C が H レベルの期間、図 1 9 (A) に示すように、入力バッファにおいて、電流経路が遮断される。リフレッシュ要求信号 r e f が H レベルの活性状態とされると、インバータ 5 7 の出力信号が L レベルとされ、パワーカット指定信号 P C が、応じて L レベルとされる。この期間の間、バッファ回路 5 5 において電源ノード V c c から接地ノード V s s の間に電流が流れる経路が形成され、入力バッファ (バッファ回路 5 5) が動作状態とされ、外部から与えられる制御信号 (/ R A S および / C A S) を取込むことができる。

【 0 1 0 2 】

データ保持モードのリセット時においては、外部ロウアドレスストローク信号 e x t . R A S が H レベルとされる。この外部ロウアドレスストローク信号 e x t . / R A S が H レベルとされても、パワーカット指定信号 P C が H レベルであれば、バッファ回路 5 5 は非動作状態であり、このバッファ回路 5 5 の出力信号の電位レベルは変化しない。ある時間が経過して、外部ロウアドレスストローク信号 e x t . / R A S およびコラムアドレスストローク信号 e x t . / C A S がともに H レベルとされる状態において、リフレッシュ要求信号 r e f が活性状態とされると、パワーカット指定信号 P C が L レベルとされ、この H レベルの信号 e x t . / R A S および e x t . / C A S がバッファ回路 5 5 を介してリフレッシュ制御検出回路 4 へ与えられ、データ保持モード指定信号 R E F が H レベルの信号 / R A S により L レベルとされる。そのデータ保持モード指定信号 R E F の L レベルへの立下がりに対応して、パワーカット指示信号 P C が L レベルとされ、バッファ回路 5 5 (入力バッファ 5 0 a ~ 5 0 c) が常時作動状態とされる。

【 0 1 0 3 】

したがって、この図 2 0 (A) に示す構成においては、データ保持モードリセット時において、外部から与えられる制御信号 e x t . / R A S および e x t . / C A S を 1 リフレッシュサイクル期間 (1 r e f 期間) H レベルに保持することにより、データ保持モードが解除される。データ保持モード解除時において、リフレッシュ要求信号 r e f が H レベルの活性状態とされ、内部でリフレッシュ動作が行われる。したがって、このリフレッシュデータ保持モード解除後 1 リフレッシュ期間 (リフレッシュ動作が実際に行われる期間) の間、外部からのこの D R A M へのアクセスを禁止することが必要とされる。

【 0 1 0 4 】

[変更例]

図 2 1 (A) は、この発明の実施の形態 3 の変更例の構成を示す図である。図 2 1 (A) においては、リフレッシュ要求信号 r e f を受けるインバータ 5 7 とパワーカット指示信号 P C を出力する A N D 回路 5 9 との間に、分周器 5 8 が設けられる。他の構成は、図 2 0 (A) に示す構成と同じであり、対応する部分には同一の参照番号を付す。この図 2 1 (A) に示す構成の場合、図 2 1 (B) に示す動作波形図において明らかに見られるように、パワーカット指示信号 P C は、リフレッシュ要求信号 r e f を所定の分周比で

分周した周期でLレベルとされる。ここで、図21(B)においては、分周比1/2の場合が一例として示される。したがって、データ保持モードリセット時においては、外部からの制御信号ext./RASおよびext./CASをHレベルに保持する期間は、この分周されたリフレッシュ要求信号の周期の期間で済み、次のアクセスを早いタイミングで行うことができる。この分周器58の分周比は、パワーカット指示信号PCをHレベルおよびLレベルへ駆動するために必要とされる充放電電流およびバッファ回路55における貫通電流の大きさを考慮して、適当な値に設定される。これにより、低消費電流でかつデータ保持モードリセット時において次のアクセスを早いタイミングで行うことが可能となる。

【0105】

以上のように、この発明の実施の形態3に従えば、入力バッファの貫通電流が流れる経路を、データ保持モード時に遮断するように構成したため、データ保持モード動作時にかける消費電流を低減することができる。

【0106】

また、リフレッシュ要求信号の活性化時に、入力バッファ回路を動作状態とすることにより、確実にデータ保持モードをリセット状態とすることができる。このリフレッシュ要求信号を分周して得られる信号により、入力バッファ回路の貫通電流経路を選択的に導通状態とすることにより、データ保持モードリセット時における外部の制御信号の状態を所定状態(Hレベルの非活性化状態)に保持する期間が短くされ、応じて次のアクセス開始タイミングを速くすることができる。

【0107】

[実施の形態4]

図22は、この発明の実施の形態4に従うDRAMの要部の構成を示す図である。図22に示す構成においては、リフレッシュ動作時において内部ロウアドレス信号RA, /RAを発生する部分の構成が示される。

【0108】

図19においては、リフレッシュ検出回路4からのデータ保持モード検出信号REFの活性化時、ロウアドレスバッファ16をスタティックに動作させるためのバッファ制御回路62が設けられる。

【0109】

リフレッシュモード検出回路4は、外部ロウアドレスストロブ信号ext./RASの立下がりに応答して、外部コラムアドレスストロブ信号ext./CASをラッチするラッチ回路4aaと、このラッチ回路4aaの出力信号(ラッチ信号)のHレベルのときにセットされ、データ保持モード指定信号REFをHレベルの活性化状態とするセット/リセットフリップフロップ4abを含む。このセット/リセットフリップフロップ4abは、外部ロウアドレスストロブ信号ext./RASの立上がりに応答してリセットされる。

【0110】

ラッチ回路4aaは、外部ロウアドレスストロブ信号ext./RASのHレベルのとき導通状態とされて外部コラムアドレスストロブ信号ext./CASを通過させるnチャンネルMOSトランジスタにより構成されるトランスファークロウ4caと、トランスファークロウ4caから伝達された信号を反転するインバータ4cbと、インバータ4cbの出力信号を反転してインバータ4cbの入力部へ伝達するインバータ4ccと、外部ロウアドレスストロブ信号ext./RASがLレベルのときに導通し、インバータ4cbの出力信号をセット/リセットフリップフロップ4abのセット入力Sへ与えるpチャンネルMOSトランジスタで構成されるトランスファークロウ4cbを含む。ここで、実施の形態3の入力バッファが設けられていてもよい。

【0111】

リフレッシュ制御回路6は、このリフレッシュモード検出回路4から与えられるデータ保持モード検出信号REFに応答してタイマ18を起動し、タイマ18から与えられるリ

10

20

30

40

50

フレッシュ要求信号 ref に応答してリフレッシュ動作活性化信号 $ZRAS$ を活性状態として RAS 系駆動回路 60 へ与える。このリフレッシュ制御回路 6 は、またリフレッシュ動作完了時、このリフレッシュ動作活性化信号 $ZRAS$ の立上がり（非活性化）に応答して、リフレッシュカウンタ 10 のカウント値を 1 増分（減分）する。

【0112】

RAS 系駆動回路 60 は、リフレッシュ動作活性化信号 $ZRAS$ の活性化に応答して、ロウアドレスバッファにおけるラッチタイミングおよびその出力許可タイミングを与えるラッチ指示信号 RAL およびバッファ活性化信号 $RAD E$ を出力する。この RAS 系駆動回路 60 は、また RAS 系回路（信号 RAS に応答して動作する）に対する制御信号をも発生する。図 22 においては、センスアンプを活性化するためのセンスアンプ活性化信号 SA を代表的に示す。ビット線をイコライズするためのビット線イコライズ信号もこの RAS 系駆動回路 60 は発生する。

【0113】

制御回路 62 は、データ保持モード指示信号 REF とラッチ指示信号 RAL を受ける OR 回路 62 a と、データ保持モード指示信号 REF とバッファ活性化信号 $RAD E$ を受ける OR 回路 62 b を含む。 OR 回路 62 a は、データ保持モード指示信号 REF とラッチ指示信号 RAL の一方が H レベルのときに H レベルの出力信号を生成する。 OR 回路 62 b は、データ保持モード指示信号 REF およびバッファ活性化信号 $RAD E$ の一方が H レベルのときに H レベルの信号を出力する。

【0114】

ロウアドレスバッファ 16 は、内部ロウアドレス信号ビットそれぞれに対応して設けられるロウアドレスバッファ回路を含む。図 22 においては、1 ビットの内部ロウアドレス信号 RA および \overline{RA} を発生するバッファ回路 16 a を代表的に示す。ロウアドレスバッファ回路 16 a は、 OR 回路 62 a の出力信号が H レベルのときに導通し、マルチプレクサ 14 から与えられる信号を通過させる n チャネル MOS トランジスタで構成されるトランスファゲート 16 a a と、トランスファゲート 16 a a から与えられる信号を反転するインバータ 16 a b と、インバータ 16 a b の出力信号を反転してインバータ 16 a b の入力部へ伝達するインバータ 16 a c と、インバータ 16 a b の出力信号を反転するインバータ 16 a b と、インバータ 16 a b の出力信号と OR 回路 62 b の出力信号とを受けける $NAND$ 回路 16 a e と、 $NAND$ 回路 16 a e の出力信号を反転して内部ロウアドレス信号ビット \overline{RA} を出力するインバータ 16 a f と、インバータ 16 a d の出力信号と OR 回路 62 b の出力信号とを受けける $NAND$ 回路 16 a g と、 $NAND$ 回路 16 a g の出力信号を反転して内部ロウアドレス信号ビット RA を生成するインバータ 16 a h を含む。

【0115】

マルチプレクサ 14 は、リフレッシュ制御回路 6 から与えられる制御信号の制御の下に、リフレッシュカウンタ 10 から与えられるリフレッシュアドレスおよび外部から与えられるアドレス信号 A の一方を選択的に通過させる。次に、この図 22 に示すアドレス系回路の動作について、その動作波形図である図 23 を参照して説明する。

【0116】

図 23 (A) は、図 22 に示す RAS 系駆動回路 60 の動作を示す信号波形図である。 RAS 系駆動回路 60 は、リフレッシュ動作活性化信号 $ZRAS$ が非活性状態の H レベルのときには、ラッチ指示信号 RAL を H レベルに保持し、またバッファ活性化信号 $RAD E$ を L レベルに保持する。データ保持モード指示信号 REF が L レベルの通常動作モードの場合には、この状態においては、 OR 回路 62 a の出力信号が H レベルであり、 OR 回路 62 b の出力信号は L レベルである。ロウアドレスバッファ回路 16 a においては、したがってトランスファゲート 16 a a が OR 回路 62 a からの H レベルの信号に応答して導通状態とされ、マルチプレクサ 14 から与えられる信号を通過させる。一方、 OR 回路 62 b の出力信号は、 L レベルであり、 $NAND$ 回路 16 a e および 16 a d の出力信号は H レベルであり、ロウアドレス信号ビット \overline{RA} および RA はともに L レベルとさ

10

20

30

40

50

れる。

【0117】

リフレッシュ動作活性化信号 Z R A S が L レベルの活性状態とされると、ラッチ指示信号 R A L が L レベルとされ、また次いでバッファ活性化信号 R A D E が H レベルとされる。これにより、トランスファゲート 1 6 a a が非導通状態とされて、ラッチ状態にこのロウアドレスバッファ回路 1 6 a が入り、アドレスバッファ活性化信号 R A D E の立上がりに対応して N A N D 回路 1 6 a e および 1 6 a d がインバータとして動作し、そのインバータ 1 6 a b および 1 6 a c で構成されるラッチ回路によりラッチされたアドレス信号ビットに対応する内部ロウアドレス信号ビット / R A および R A が生成される。

【0118】

したがって、通常動作モード時においては、このリフレッシュ動作活性化信号 Z R A S に対応する内部 R A S 信号 R A S Z に従ってロウアドレスバッファ回路 1 6 a が、与えられるアドレス信号ビットをラッチして、内部ロウアドレス信号ビットを生成する。このロウアドレスバッファ回路 1 6 a は、リフレッシュ動作活性化信号 Z R A S (内部 R A S 信号 R A S Z) の非活性化に対応してリセット状態とされる。すなわち、信号 R A L が H レベルとされ、信号 R A D E が L レベルとされ、内部ロウアドレス信号ビット R A および / R A はともに L レベルとされる。

【0119】

データ保持モード動作時においては、データ保持モード指示信号 R E F が H レベルである。この状態においては、O R 回路 6 2 a および 6 2 b の出力信号は常時 H レベルに保持される。したがって、ロウアドレスバッファ回路 1 6 a においては、トランスファゲート 1 6 a a が導通状態を保持し、また N A N D 回路 1 6 a e および 1 6 a d がインバータとして動作する。すなわち、このロウアドレスバッファ回路 1 6 a がスタティックに動作し、マルチプレクサ 1 4 から与えられる信号ビットに従って変化する信号ビット R A および / R A を生成する。

【0120】

すなわち、図 2 3 (B) に示すように、外部ロウアドレスストローブ信号 e x t . / R A S および外部コラムアドレスストローブ信号 e x t . / C A S が C B R タイミングで与えられ、リフレッシュ検出回路 4 からのデータ保持モード指示信号 R E F が H レベルとされると、ロウアドレスバッファ 1 6 がスタティック動作を開始する。リフレッシュ制御回路 6 が、タイマ 1 8 からこのデータ保持モード指定信号 R E F が活性状態とされてから時間 t 経過後に与えられるリフレッシュ要求信号 r e f に応答してリフレッシュ動作活性化信号 Z R A S を活性化すると、リフレッシュカウンタ 1 0 が活性化され、そのカウント値がマルチプレクサ 1 4 を介してロウアドレスバッファ 1 6 へ与えられ、応じて内部ロウアドレス信号ビット R A および / R A の状態が変化する。リフレッシュ動作が完了し、リフレッシュ動作活性化信号 Z R A S が非活性状態とされると、この非活性化に対応してリフレッシュカウンタ 1 0 のカウント値が更新される。これのカウント値の更新に従って、スタティック動作を行うロウアドレスバッファ回路 1 6 から出力されるロウアドレス信号ビット R A および / R A の状態が変化する。以降、このデータ保持モード動作期間の間、ロウアドレスバッファ 1 6 がスタティック動作を行い、リフレッシュ動作活性化信号 Z R A S の非活性化に対応してリフレッシュカウンタ 1 0 のカウント値が更新される毎に内部ロウアドレス信号ビット R A および / R A の状態が変化する。

【0121】

データ保持モード動作が完了すると、データ保持モード指定信号 R E F が L レベルの非活性状態とされ、ロウアドレスバッファ 1 6 がリセットされ、内部ロウアドレス信号ビット R A および / R A は L レベルに保持される。

【0122】

上述のように、データ保持モード動作時において、ロウアドレスバッファ 1 6 をスタティックに動作させることにより、内部ロウアドレス信号ビットのうち、変化するロウアドレス信号ビットを出力するロウアドレスバッファ回路のみが充放電動作を行う。変化しな

10

20

30

40

50

いロウアドレス信号ビットに対するロウアドレスバッファ回路は充放電動作を行わないため、データ保持モード動作時における消費電流を低減することができる。このとき、選択メモリアレイ（サブアレイ）のセット/リセット（アクティブ状態/プリチャージ状態）は、RAS系駆動回路60の制御の下にリフレッシュ動作活性化信号ZRASに应答して行われている。

【0123】

図24は、データ保持モード時におけるリフレッシュ動作シーケンスを示す図である。リフレッシュ動作シーケンスにおいては、図24(a)に示すバーストリフレッシュモードと、図24(b)に示す分散リフレッシュモードとがある。バーストリフレッシュモードにおいては、図24(a)に示すように、連続して所定回数リフレッシュ動作が行われる。この所定回数のリフレッシュが完了すると、比較的長いポーズ時間 T_p の間、DRAMはスタンバイ状態（プリチャージ状態）に維持される。このポーズ時間 T_p が完了すると、再び所定回数のリフレッシュ動作が行われる。このバーストリフレッシュモードにおいては、先の図22において示したように、ロウアドレスバッファをスタティックに動作させ、変化するアドレス信号ビットの信号線のみを充放電させることにより、リフレッシュ動作時における動作電流が低減される。

10

【0124】

また、図24(b)に示す分散リフレッシュモードにおいては、リフレッシュ動作は、所定のリフレッシュ期間 T_{ref} ごとに行われる。したがってこの分散リフレッシュの構成と比べて、図21(a)に示すバーストリフレッシュモードの場合、ポーズ時間 T_p をリフレッシュ間隔 T_{ref} よりも長く取ることができる（連続して複数行にわたるメモリセルデータがリフレッシュされるため）。結果として、実効的にDRAMがスタンバイ（プリチャージ状態）に維持される時間が長くなり、消費電流を低減することができる。本実施の形態4においては、このバーストリフレッシュモードを先の図22に示すロウアドレスバッファの構成と組合せて用いてサブアレイまたはメモリブロック単位でリフレッシュ動作を実行する。

20

【0125】

図25は、この発明の実施の形態4におけるDRAMのメモリブロック部の構成を概略的に示す図である。図25においては、2つのメモリブロックMBLおよびMBRを示す。このメモリブロックMBLおよびMBRの間に、メモリセルデータの検知および増幅を行うセンスアンプSAを含むセンスアンプ帯SABが配置される。このメモリブロックMBLおよびMBRによりセンスアンプ帯SABのセンスアンプSAを共有する構成は「シェアードセンスアンプ配置」と呼ばれる。「シェアードセンスアンプ配置」は、またセンスアンプがメモリブロックの両側に各列に交互に配置される「交互配置型シェアードセンスアンプ配置」の構成であってもよいが、この図25においては、説明を簡略化するために「シェアードセンスアンプ配置」の構成を示す。また、メモリブロックMBLおよびMBRは、それぞれ先の実施の形態1および2で示したサブアレイ MB_j ($j=0\sim7$)であってもよく、またこのメモリブロックMBLおよびMBRが1つのサブアレイを構成してもよい。

30

【0126】

メモリブロックMBLが、一例として、128本のワード線 $WL_0\sim WL_{127}$ を含み、メモリブロックMBRも、128本のワード線 $WL_{128}\sim WL_{225}$ を含む。メモリブロックMBLに対しては、XデコーダRDLが設けられ、メモリブロックMBRに対しては、XデコーダRDRが配置される。

40

【0127】

メモリブロックMBLおよびMBRそれぞれにおいてメモリセルの各列に対応してビット線対が配置される。図25においては、メモリブロックMBLにおいては、1つのビット線対 BL_L 、/ BL_L を示し、メモリブロックMBRにおいては1つのビット線対 BL_R および/ BL_R を代表的に示す。

【0128】

50

センスアンプ帯S A Bは、このメモリーブロックM B LおよびM B Rの対応の列のビット線対B L L , / B L LおよびB L R , / B L Rに対応して配置されるセンスアンプS Aを含む。このセンスアンプS Aは、ビット線分離制御信号B L I Lに应答して選択的に導通状態とされるビット線分離ゲートI G Lを介してビット線B L L , / B L Lに接続され、かつ分離制御信号B L I Rに应答して選択的に導通状態とされるビット線分離ゲートI G Rを介してビット線B L R , / B L Rに接続される。このビット線分離制御信号B L I LおよびB L I Rは、メモリーブロック指定信号B Sに应答する分離制御回路I C Lから出力される。この分離制御回路I C Lは、メモリーブロックM B Lがブロック指定信号B Sにより指定されたときには、分離制御信号B L I LをHレベルに保持し、分離制御信号B L I RをLレベルに保持する。

10

【0129】

センスアンプS Aの動作時においては、ビット線対B L L , / B L LのみがセンスアンプS Aに接続されるため、センスアンプS Aが駆動する負荷が軽減され、高速でセンス動作を行うことができる。また、センスアンプS Aのセンスノード(センスアンプとビット線対との接続ノード)の負荷容量(寄生容量)が小さくなるため、メモリセルM Cからの読出電圧(ビット線に伝達されたメモリセルの記憶データにより生じるビット線の電位変化量)を大きくすることができ、安定にセンス動作を行うことができる。メモリーブロック指定信号B Sが、これらのメモリーブロックM B LおよびM B R以外のメモリーブロックを指定するときには、このビット線分離制御信号B L I LおよびB L I RがともにHレベルとされて、センスアンプS Aは分離制御ゲートI G LおよびI G Rを介してビット線対B L , / B L LおよびB L R , / B L Rに接続される。この状態においては、メモリーブロックM B LおよびM B Rはスタンバイ状態(プリチャージ状態)を維持する。

20

【0130】

図26(A)は、ビット線分離制御信号B L I LおよびB L I Rを発生する部分の構成を示す図である。図26(A)において、リフレッシュ制御回路6は、リフレッシュ検出回路から与えられるデータ保持モード検出信号R E Fに应答して作動状態とされるリフレッシュ制御部70と、リフレッシュ制御部70からの起動信号に应答して所定期間をカウントするタイマ18aと、リフレッシュ制御部70の制御の下に起動され、ポーズ時間をカウントし、ポーズ時間経過ごとにリフレッシュ要求信号P Aを出力するポーズタイマ72と、リフレッシュ制御部70から出力されるリフレッシュ動作活性化信号Z R A Sをカウントするカウンタ74を含む。

30

【0131】

カウンタ74は、このメモリーブロックM B LおよびM B Rそれぞれに含まれるワード線の数(128)をカウントし、カウント動作完了後カウントアップ信号C N TをたとえばLレベルの非活性状態とする。タイマ18aは、リフレッシュ制御部70の制御の下に、データ保持モード検出信号R E Fが活性状態とされてから所定期間経過後セルフリフレッシュ動作に入ることを示す信号を出力する。リフレッシュ制御部70は、このタイマ18aからのセルフリフレッシュモード指定信号に应答して連続してカウンタ74からのカウント信号C N TがHレベルの間リフレッシュ動作活性化信号Z R A Sを繰返し活性化する。

40

【0132】

リフレッシュ制御部70からのリフレッシュ動作活性化信号Z R A Sは、ブロックアドレス信号ビットR A B a ~ R A B bをデコードするブロックデコーダ76へ与えられる。このブロックデコーダ76へ与えられるアドレス信号ビットの数は、メモリマットに含まれるメモリーブロックの数により決定される。ブロックデコーダ76は、このリフレッシュ制御部70からのリフレッシュ動作活性化信号Z R A Sの活性化時に活性化されてデコード動作を行い、ブロック指定信号B Sを出力する。

【0133】

分離制御回路I C Lは、カウンタ74からのカウント制御信号C N Tおよびブロック指定信号B Sおよびリフレッシュ動作活性化信号Z R A Sを受けて、ビット線分離信号B

50

L I LおよびB L I Rを出力する。分離制御回路I C Lは、カウンタ74からのカウント制御信号 C N TがHレベルの活性状態の間、すなわちバーストリフレッシュが行われる期間、分離制御信号B L I LおよびB L I Rの状態を保持する。次に、この図26(A)の示す回路の動作をその動作を波形図である図26(B)を参照して説明する。

【0134】

データ保持モード指定信号R E FがHレベルの活性状態とされると、リフレッシュ制御部70は、タイマ18aを起動する。タイマ18aからタイムアップ信号が与えられると、リフレッシュ制御部70は、カウンタ74を活性状態として、その出力信号 C N TをHレベルの活性状態とする。これと並行して、リフレッシュ動作活性化信号Z R A Sを活性状態とする。図26(B)においては、リフレッシュ動作活性化信号Z R A Sの反転信号R A Sを示す。ブロックデコーダ76は、このリフレッシュ動作活性化信号Z R A Sの活性化に应答して、ロウアドレスバッファから与えられるブロックアドレス信号ビットR A B a ~ R A B bをデコードし、選択されたメモリブロックに対するブロック選択信号B Sをデコードし、選択されたメモリブロックに対するブロック選択信号B Sを活性状態とする。

10

【0135】

分離制御回路I C Lは、ブロックデコーダ76から与えられるブロック選択信号(B S 0)に従って、ビット線分離制御信号B L I LおよびB L I Rの一方をHレベルとし、他方をLレベルとする。

【0136】

今、メモリブロックM B Lが最初に指定されたと仮定する。この状態においては、分離制御回路I C Lは、ビット線分離信号B L I LをHレベルに維持し、ビット線分離制御信号B L I RをLレベルに固定する。カウンタ74からのカウント信号 C N TがHレベルの間、分離制御回路I C Lは、内部でリフレッシュ動作活性化信号Z R A Sを常時活性状態とみなす。したがって、リフレッシュ制御部70からのリフレッシュ動作活性化信号Z R A Sが繰返し活性状態と非活性状態を繰返しても、そのカウンタ74からのカウント制御信号 C N TがHレベルの間、分離制御信号B L I LはHレベルを維持し、分離制御信号B L I RはLレベルを維持する。これにより、分離制御回路I C Lにおける分離制御信号B L I LおよびB L I Rの充放電電流を低減し、データ保持モードにおける消費電流を低減する。

20

30

【0137】

リフレッシュ制御部70が128回リフレッシュ動作活性化信号Z R A Sを発生すると、カウンタ74は、そのカウント制御信号 C N TをLレベルにリセットする。このカウンタ74からのカウント制御信号 C N Tのリセットに应答して、分離制御回路I C Lは、その分離制御信号B L I RをHレベルに復帰させる。このときまた、リフレッシュ制御部70は、カウンタ74からのカウント制御信号 C N Tの立下がりに対応してポーズタイマ72を起動する。ポーズタイマ72は、予め定められたポーズ時間を計測し、このポーズ時間が経過すると、再びリフレッシュ要求信号 P Aを出力する。このリフレッシュ要求信号 P Aに应答してリフレッシュ制御部70は、再びカウンタ74を駆動状態とし、カウント制御信号 C N TをHレベルとし、またリフレッシュ動作活性化信号Z R A Sを128回連続的に出力する。この状態においては、ブロックデコーダ76からのブロック選択信号B Sが、メモリブロックM B Rを指定する。したがって、分離制御回路I C Lは、分離制御信号B L I LをLレベルに立下げ、分離制御信号B L I RをHレベルに固定する。

40

【0138】

メモリブロックM B Rの128本のワード線が順次選択状態とされて、メモリブロックM B Rのメモセルの記憶データのリフレッシュが実行される。リフレッシュ動作活性化信号Z R A Sが128回発生されると、カウンタ74からのカウント制御信号 C N TがLレベルとされ、分離制御回路I C Lは、リセット状態とされ、分離制御信号B I LおよびB I RとともにHレベルとする。リフレッシュ制御部70は、このカウンタ74からの

50

カウント制御信号 CNTの立下がりに対応して、再びポーズタイマ72を起動する。この間、ブロックデコーダ76は、リフレッシュ動作活性化信号ZRASが非活性状態にあり、この出力するブロック選択信号BSの状態を維持する。これは、ブロックデコーダ76へ与えられるクロック指定アドレス信号ビットRABaおよびRABbがスタティックに動作するロウアドレスバッファから与えられるためである。しかしながら、このブロックデコーダ76は、図26(B)において破線で示すように、バーストリフレッシュ動作完了後のポーズ期間においては、リセット状態とされる構成が用いられてもよい。

【0139】

ポーズタイマ72から、再びリフレッシュ要求信号PAが与えられると、リフレッシュ制御部70は、再びカウンタ70を起動し、リフレッシュ動作活性化信号ZRASを繰り返し活性化状態とする。ブロックデコーダ76は、再びアドレス信号ビットをデコードして、メモリブロック指定信号BSを出力する。この状態において、メモリブロックMBLおよびMBRと異なるメモリブロックが指定される。したがって、分離制御回路ICLは、分離制御信号BILおよびBIRとともにHレベルに保持する。

10

【0140】

上述の動作により、バーストリフレッシュをメモリブロック単位で実行することにより、センスアンプとメモリブロックとを接続するための分離制御信号の充放電は、このバーストリフレッシュ動作期間中に行われなため、データ保持モード時における消費電流を低減することができる。

【0141】

図27は、図26(A)に示すブロックデコーダ76の構成の一例を示す図である。図27においては、1つのブロック選択信号BSiを発生する部分の構成を示す。図27において、ブロックデコーダ76は、リフレッシュ動作活性化信号ZRSを受けるインバータ76aと、インバータ76aの出力信号とデータ保持モード指定信号REFを受けるOR回路76bと、OR回路76bの出力信号とブロック指定アドレス信号ビットRABa~RABbを受けるAND回路76cを含む。AND回路76cからメモリブロック指定信号BSiが出力される。

20

【0142】

この図27に示す構成においては、データ保持モード指定信号REFがHレベルのとき、すなわちデータ保持モード動作時においては、OR回路76bの出力信号はHレベルである。ブロック指定アドレス信号ビットRABa~RABbは、データ保持モード動作時においてはスタティックに動作するアドレスバッファから与えられる。したがって、このAND回路76cから出力されるブロック指定信号BSiは、データ保持モード動作時においては、リセットされることなくスタティックに変化し、図26(B)に示すブロック指定信号BS0(BS1)のように変化する。

30

【0143】

[ブロックデコーダの変更例]

図28は、図26(A)に示すブロックデコーダ76の変更例を示す図である。図28において、ブロックデコーダ76は、カウント制御信号CNTがLレベルのときに導通状態とされ、ブロック指定アドレス信号ビットRABa~RABbおよびリフレッシュ動作活性化信号ZRASを通過させる転送制御回路76dと、この転送制御回路76dから与えられるリフレッシュ動作活性化信号ZRASを受けるインバータ76eと、転送制御回路76dから与えられるブロック指定アドレス信号ビットRABa~RABbとインバータ76eの出力信号を受けるAND回路76fを含む。AND回路76fからブロック選択信号BSiが出力される。転送制御回路76dは、信号RABa~RABbおよびZRASそれぞれに対して設けられ、そのゲートにカウント制御信号CNTを受けるpチャネルMOSトランジスタ76da~76dbおよび76eで構成されるトランスファゲートを含む。

40

【0144】

この図28に示す構成においては、バーストリフレッシュ動作期間中カウント制御信号

50

CNTがHレベルであり、転送制御回路76aに含まれるトランスファゲート76da～76dbおよび76dcはすべて非導通状態である。したがって、AND回路76fの入力信号の状態は変化せず、バーストリフレッシュ動作期間の間、メモリブロックBSiの状態は変化しない。バーストリフレッシュ動作期間が完了し、ポーズ期間にされると、カウント制御信号CNTがLレベルとされ、転送制御回路76dのトランスファゲート76da～76dbおよび76dcはすべて導通状態とされる。この状態においては、リフレッシュ動作活性化信号ZRASのHレベルとされるため、インバータ76eの出力信号がLレベルとされ、AND回路76fから出力されるブロック指定信号BSiはLレベルにリセットされる。したがってこの構成に従えば、図26(B)において破線で示すブロック選択信号BS0およびBS1の波形が得られる。

10

【0145】

図29は、図26(A)に示す分離制御回路ICLの構成の一例を示す図である。分離制御回路ICLは、リフレッシュ動作活性化信号ZRASを受けるインバータ81と、インバータ81の出力信号とカウント制御信号CNTを受けるOR回路82と、ブロック指定信号BSiを受けるインバータ83と、ブロック指定信号BS0を受けるインバータ84と、ブロック指定信号BS0、インバータ83の出力信号およびOR回路82の出力信号を受けるNAND回路85と、ブロック指定信号BS1、インバータ84の出力信号およびOR回路82の出力信号を受けるNAND回路86を含む。NAND回路85から分離制御信号BLIRが出力され、NAND回路86から分離制御信号BLILが出力される。

20

【0146】

カウント制御信号CNTがHレベルのとき、すなわちバーストリフレッシュ動作期間中、OR回路82の出力信号はHレベルであり、NAND回路85および86がイネーブル状態とされる。今、ブロック選択信号BS0がHレベルであり、ブロック選択信号BS1がLレベルであるとする。この状態においては、NAND回路86から出力される分離制御信号BLILがHレベルとなり、NAND回路85から出力される分離制御信号BLIRがLレベルとされる。逆に、ブロック指定信号BS0がLレベルであり、ブロック指定信号BS1がHレベルのときには、ブロック分離制御信号BLIRがHレベルとされ、ブロック分離制御信号BLILがLレベルとされる。ブロック選択信号BS0およびBS1がともにLレベルの場合には、分離制御信号BLIRおよびBLILがともにHレベルとされる。

30

【0147】

カウント制御信号CNTがLレベルとなり、バーストリフレッシュ動作期間が完了すると、リフレッシュ動作活性化信号ZRASがHレベルとなり、インバータ81の出力信号がLレベルとなり、OR回路82の出力信号がLレベルとされる。これにより、NAND回路85および86から出力される分離制御信号BLIRおよびBLILはともにHレベルにリセットされる。

【0148】

したがってこの図29を示す分離制御回路の構成を利用することにより、バーストリフレッシュ動作期間中、ブロックデコーダ76から出力されるブロック選択指定信号BSi (BS0およびBS1)は、その状態が変化しないため、分離制御信号BSIRおよびBSILの状態も変化しない。これにより、分離制御信号BLIRおよびBLILのセット/リセットに伴う充放電電流を低減することができる。

40

【0149】

なお、この図29に示す構成においても、カウント制御信号CNTにより、ブロック指定信号BS0およびBS1をラッチするラッチ回路(図28に示す転送制御回路76d)と同様の構成が設けられてもよい。

【0150】

また、この実施の形態4において、リフレッシュ動作活性化信号ZRASのみを示しているが、通常動作モード時においては、このリフレッシュ動作活性化信号ZRASに代え

50

て、内部 R A S 信号 R A S Z が与えられる。

【 0 1 5 1 】

[変更例]

図 3 0 は、この発明の実施の形態 4 の変更例の構成を示す図である。この図 3 0 に示す構成においては、ロウアドレスバッファのスタティック動作を実現するための制御回路 6 2 に対し、リフレッシュ制御回路 6 からのカウント制御信号 C N T が与えられる。リフレッシュカウンタ 1 0 は、データ保持モード検出信号 R E F の変化時（セットおよびリセット時）、カウント値が初期値にリセットされる。他の構成は、図 2 2 に示す構成と同じであり、対応する部分には同一の参照番号を付す。この図 3 0 に示す構成に従えば、バーストリフレッシュ動作期間中のアドレスバッファ 1 6 がスタティック動作を行い、ポーズ期間中は、このロウアドレスバッファはリセット状態を維持する。したがってこの図 3 0 に示す構成を用いても、バーストリフレッシュ動作期間中、変化すべき内部ロウアドレス信号ビット（クロック指定信号を含む）が変化するだけであり、同様データ保持モード動作時における消費電流を低減することができる。

【 0 1 5 2 】

また、リフレッシュカウンタ 1 0 をリセットすることにより、バーストリフレッシュ時正確にメモリブロックの最初のワード線からリフレッシュを行うことができる。

【 0 1 5 3 】

以上のように、この発明の実施の形態 4 に従えば、メモリブロック単位でリフレッシュ動作を実行し、そのバーストリフレッシュ動作期間（ブロック単位でのリフレッシュ動作期間）センスアンプとメモリブロックとを接続するための分離制御信号の状態を保持するように構成したため、この分離制御信号のセット/リセットに伴う充放電電流を低減することができ、データ保持モード動作時における消費電流を低減することができる。

【 0 1 5 4 】

[実施の形態 5]

図 3 1 (A) は、この発明の実施の形態 5 に従う D R A M の要部の構成を示す図である。この図 3 1 (A) においては、1つのメモリアレイ部の構成を示す。このメモリアレイは、サブアレイであってもよい。図 3 1 (A) において、メモリアレイのメモリセルの各行に対応してメインワード線 M W L 0 ~ M W L n が配置される。メモリアレイは、複数のメモリサブブロック M G 0、M G 1、... に分割される。各メモリサブブロック M G 0、M G 1 において、メモリセルの各行に対応してサブワード線 S W L が配置される。図 3 1 (A) においては、メモリサブブロック M G 0 において、サブワード線 S W L 0 0、S W L 1 0 ~ S W L n 0 を示し、メモリサブブロック M G 1 において、サブワード線 S W L 0 1、S W L 1 1 ~ S W L n 1 を代表的に示す。これらのサブワード線 S W L k l (k = 0 ~ n : l = 0 ~ m (m は図示せず)) に対応のメモリサブブロックの 1 行のメモリセルが接続される。

【 0 1 5 5 】

メインワード線 M W L 0 ~ M W L n に対して、内部ロウアドレス信号 R A をデコードするロウデコード回路 R D x が設けられる。このロウデコード回路 R D x へ与えられる内部ロウアドレス信号ビット R A のビットの数は、含まれるメインワード線 M W L 0 ~ M W L n の数に応じて決定される。ロウデコーダ R D x の出力部には、メインワード線 M W L 0 ~ M W L n それぞれに対応して、選択時（ロウデコード回路 R D x の出力信号が選択状態を示すとき）、対応のメインワード線を選択状態へ駆動するワード線ドライブ回路 W D 0 ~ W D n が設けられる。

【 0 1 5 6 】

サブワード線 S W L k l と対応のメインワード線 M W L k とを接続するために、メモリサブブロック選択信号 R G l に応答して対応のメインワード線 M W L k とサブワード線 S W L k l とを接続するサブブロック選択ゲート G T k l が設けられる。このサブブロック選択ゲート G T k l は、対応のサブブロック選択信号 R G l と対応のメインワード線 M W L k 上の信号がともに H レベルの選択状態とされたときに対応のサブワード線 S W L k l

を選択状態へ駆動する。

【0157】

この図31(A)に示す構成は、メインワード線およびサブワード線で構成される「分割ワード線(DWL)」構成と呼ばれる。選択状態とされるワード線に接続されるメモリセルの数が少なく、ワード線の負荷容量が小さく、高速で対応のサブワード線を選択状態とすることができる。

【0158】

この図31(A)に示す分割ワード線構成においては、リフレッシュ動作時においては、メモリサブブロックごとにリフレッシュが行われる。すなわち、1つのメモリサブブロックMG₀においてサブワード線SWL₀₀~SWL_{n0}に接続されるメモリセルが順次リフレッシュされた後に、次のメモリサブブロックMG₁のメモリセルのリフレッシュ動作が実行される。このメモリサブブロック指定信号RG_kは、メモリブロック指定信号RA_p~RA_qをデコードするブロック選択回路SBSから出力される。

【0159】

このブロック選択回路SBSは、リフレッシュ動作活性化信号ZRASおよびカウント制御信号CNT_aとに 응답して選択的に活性状態とされる。ブロック選択回路SBSは、リフレッシュ動作時においては、1つのメモリサブブロックにおいてサブブロックワード線がすべて選択状態とされるまで、サブブロック指定信号RG_kの状態を保持する。

【0160】

図31(B)は、この図31(A)に示すDRAMのデータ保持モード時における動作を示す図である。図31(B)において、データ保持モード指定信号REFが活性状態とされると、リフレッシュ動作活性化信号ZRASが繰返し活性状態とされる。このリフレッシュ動作活性化信号ZRASの活性化に 응답して、ロウデコード回路RD_xがデコード動作を行って、メインワード線MWLを順次選択状態とする。今、メインワード線MWLの数が128(n=127)であると仮定する。ブロック選択回路SBSは、データ保持モード動作時においてはカウント制御信号CNT_aの制御の下に、128回リフレッシュ動作活性化信号ZRASが活性状態とされる間そのメモリサブブロック指定信号RG_iの状態を維持する。これにより、データ保持モード時において、各リフレッシュ動作ごとに、サブブロック指定信号RG_iのリセットを行う必要がなく、このサブブロック指定信号の充放電に伴う電流消費を低減することができる。

【0161】

なお、この図31(A)および(B)に示す構成において、リフレッシュ動作は、バーストリフレッシュ動作がメモリサブブロック単位で行われるが、また、分散リフレッシュモードに従ってリフレッシュが行われてもよい。

【0162】

このブロック選択回路SBSの構成は、先の実施の形態4に示すブロックデコーダ76および分離制御回路ICLの構成を利用することができる。この場合、カウント制御信号CNT_aに関しては、図26に示すカウンタ75のカウント値が、含まれるメインワード線の数に応じて適当に調整されればよい。

【0163】

以上のように、この発明の実施の形態5に従えば、メインワード線とサブワード線とを含む分割ワード線構成のDRAMにおいて、サブワード線のメモリサブブロック単位でリフレッシュを行う場合に、1つのサブブロックのメモリセルのリフレッシュ動作が完了するまで、このサブワード線とメインワード線とを接続するためのメモリサブブロック選択信号の状態を変化させないように構成したため、このメモリサブブロック選択信号の充放電に伴う消費電流を低減することができ、データ保持モード動作時における消費電流を低減することができる。

【0164】

[実施の形態6]

図32(A)は、この発明の実施の形態6に従うDRAMの要部の構成を概略的に示す

10

20

30

40

50

図である。図32(A)において、周辺回路82およびメモリアレイ84各々と電源ノードVccの間に、ポーズ期間指定信号PSにตอบสนองして非導通状態とされるスイッチング素子81aおよび81bが設けられる。電源ノードVccからの電源電圧Vccから中間電圧Vcc/2を発生してメモリアレイ84へ与える中間電圧発生回路86は、常時電源電圧Vccを供給されて中間電圧Vcc/2を生成する。メモリアレイ84は、複数のメモリマットを含んでもよく、またリフレッシュ動作時において、選択状態とされる1つのメモリマットであってもよい。周辺回路82は、このメモリアレイ84を選択状態へ駆動するロウデコーダおよびセンスアンプ活性化回路等を含む。図32(B)は、この図32(A)に示すDRAMの動作を示す波形図である。以下、この発明の実施の形態6に従うDRAMの動作を図32(B)を参照して説明する。

10

【0165】

データ保持モード動作時において、バーストリフレッシュが行われている期間、ポーズ期間指定信号PSはLレベルとされ、スイッチング素子81aおよび81bは導通状態とされ、周辺回路82およびメモリアレイ84へは、電源ノードVccからの電源電圧Vccが供給される。中間電圧発生回路86からは、常時中間電圧Vcc/2が与えられる。

【0166】

バーストリフレッシュ動作が完了し、ポーズ期間に入ると、ポーズ期間指定信号PSがHレベルとされ、スイッチング素子81aおよび81bが非導通状態とされ、周辺回路82およびメモリアレイ84への電源電圧Vccの供給が停止され、周辺回路82およびメモリアレイ84における動作電源電圧が放電に伴って接地電位レベルへ低下する。ポーズ期間中においては、リフレッシュ動作は行われず、周辺回路82およびメモリアレイ84は動作は行わない。したがってこのポーズ期間における消費電流を大幅に低減することができる。

20

【0167】

ポーズ時間が経過すると、再びバーストリフレッシュ動作が行われる。このポーズ期間終了にตอบสนองして、ポーズ期間指定信号PSが再びLレベルとされ、スイッチング素子81aおよび81bが導通状態とされ、周辺回路82およびメモリアレイ84への電源電圧Vccの供給が行われて周辺回路82およびメモリアレイ84が動作可能状態とされる。この周辺回路82およびメモリアレイ84における電源電圧が安定化すると、バーストリフレッシュ動作が再び実行される。

30

【0168】

図33は、図22に示すメモリアレイ84および周辺回路82の構成の一例を示す図である。図33においては、メモリアレイにおける1対のビット線BL、/BLおよびワード線WL0、WL1を代表的に示す。ビット線BLとワード線WLの交差部に対応してメモリセルMCが配置され、ビット線/BLとワード線WLの交差部に対応して別のメモリセルMCが配置される。これらのメモリセルMCは、情報を電荷の形態で記憶するキャパシタCと、対応のワード線上の電位にตอบสนองして導通してキャパシタを対応のビット線BL(または/BL)へ接続するアクセストランジスタTを含む。

【0169】

ビット線周辺回路としてセンスアンプ駆動トランジスタ22aの導通時に、電源線89から電源電圧Vccが供給されて動作して、ビット線BLおよび/BLの高電位のビット線電位を電源電圧Vccレベルへ駆動するセンスアンプ20が設けられる。このセンスアンプ20のnチャンネルMOSトランジスタに対する制御部分は示していない。

40

【0170】

また、ビット線BLおよび/BLに対し、ビット線イコライズ指示信号EQにตอบสนองして活性化されて、ビット線BLおよび/BLの電位を中間電位にプリチャージするプリチャージ/イコライズ回路EPが設けられる。このプリチャージ/イコライズ回路EPは、イコライズ指示信号EQにตอบสนองして導通してビット線BLおよび/BLを電氣的に短絡するトランジスタ、および中間電圧Vb1(=Vcc/2)をビット線BLおよび/BLへ伝達するMOSトランジスタを含む。

50

【0171】

中間電圧発生回路86は、電源ノードVccからの電源電圧Vccから中間電圧Vccレベルのビット線プリチャージ電圧Vblおよびセルプレート電圧Vcpを生成する。このビット線プリチャージ電圧Vblは、ビット線対それぞれに設けられたプリチャージ/イコライズ回路EPへ供給される。セルプレート電圧Vcpは、メモリセルMCに含まれるキャパシタCの一方電極(セルプレート電極)へ与えられる。

【0172】

周辺回路82は、イコライズ信号EQを発生するためのイコライズ制御回路83、ワード線を選択状態へ駆動するためのXデコーダ85、およびセンスアンプ20を活性化するためのセンス活性化信号Sを出力するセンス制御回路87を含む。イコライズ制御回路83は、メモリアレイ84に含まれるプリチャージ/イコライズ回路EPを介してビット線BLおよび/BLの電位を中間電位レベルに保持するため、常時活性状態とされる。Xデコーダ85は、スイッチングトランジスタ81aa(pチャンネルMOSトランジスタで例示的に示す)を介して電源ノードVccに結合される。センス制御回路87は、スイッチングトランジスタ81abを介して電源ノードVccから電源電圧Vccを供給される。電源線89は、スイッチングトランジスタ81baを介して電源ノードVccに結合される。これらのスイッチングトランジスタ81aa, 81abおよび81baのゲートへは、ポーズ期間指定信号PSが与えられる。

【0173】

リフレッシュ動作時および通常動作モード時においては、このポーズ期間指定信号PSはLレベルにあり、スイッチングトランジスタ81aa, 81abおよび81baはすべて導通状態にあり、Xデコーダ85、センス制御回路87は、全て動作可能状態とされる。また、電源線89へは、スイッチングトランジスタ81baを介して電源電圧Vccが供給される。したがって、この状態においては、動作電源電圧が供給されるため、Xデコーダ85、センス制御回路87およびセンスアンプ20は正常に動作し、リフレッシュ動作を行うことができる。イコライズ制御回路83は、常時電源ノードVccから電源電圧Vccが供給されている。したがってビット線BLおよび/BLは、このリフレッシュ動作時においても、安定に中間電位レベルにプリチャージされる。

【0174】

ポーズ期間においては、ポーズ期間指定信号PSがHレベルとされ、スイッチングトランジスタ81aa, 81abおよび81baがすべて非導通状態とされる。したがってXデコーダ85およびセンス制御回路87は非作動状態とされ、ワード線WL0, WL1, ...は接地電位レベルに保持される(信号線が放電されてリセット状態と同じ状態に維持されるため)。またセンス制御回路87においてもセンス活性化信号SはLレベルとされる。この状態においても、電源線89は、電源ノードVccからスイッチングトランジスタ81baにより分離されるため、電源線89も、フローティング状態とされて電位が接地電位レベルへ低下し、センスアンプ20は非作動状態とされる。この状態においても、イコライズ制御回路83は、作動状態にあり、イコライズ指示信号EQはHレベルであり、プリチャージ/イコライズ回路EPが動作し、ビット線BLおよび/BLを中間電位のプリチャージ電位Vblレベルにプリチャージして保持する。またメモリセルMCのキャパシタCのセルプレート電極へは、中間電圧発生回路86からセルプレート電圧Vcp(=Vcc/2)が供給され、このセルプレート電圧は、所定の中間電圧レベルを保持する。このポーズ期間中において、中間電圧発生回路86の作動状態を維持することにより、メモリセルデータの破壊を防止する。以下にこのメモリセルデータの破壊の防止について説明する。

【0175】

図34(A)は、ポーズ期間中において、中間電圧発生回路86の動作を停止させたときのメモリセルの電位の変化を示す図である。図34(A)に示すように、この中間電圧発生回路86の動作を停止させた場合、ポーズ期間中においてビット線BL(または/BL)の電位は中間電位Vcc/2から0Vに放電される。またセルプレート電圧Vcpも

10

20

30

40

50

、中間電圧 $V_{cc}/2$ から $0V$ レベルに低下する。ワード線 WL の電位は非選択状態の $0V$ である。メモリのアクセストランジスタ T とキャパシタ C の接続ノード（ストレージノード） SN は、フローティング状態である。この状態において、中間電位レベルのセルプレート電圧 V_{cp} を $0V$ に低下させた場合、ストレージノード SN の電位は、キャパシタ C の容量結合により、 $V_{cc}/2$ だけ低下する。キャパシタ C が L レベルのデータを記憶している場合、ビット線 BL の電位（ $0V$ ）よりもストレージノード SN の電位（ $-V_{cc}/2$ ）が低くなり、ワード線 WL の電位が $0V$ であってもアクセストランジスタ T が導通し、ストレージノード SN からビット線 BL へ電子が流れ、ストレージノード SN の電位が上昇する。したがって、このストレージノード SN に記憶された L レベルのデータ（電位 $0V$ ）の情報が損なわれ、メモリセルのデータの破壊が生じるか、またはメモリセルのリフレッシュ特性（データ保持特性）が悪化する。 10

【0176】

このキャパシタ C の容量結合によるストレージノード SN の電位低下を防止するために、セルプレート電位 V_{cp} を接地電位レベルに固定することが考えられる（通常動作時においても）。しかしながら、この場合、ストレージノード SN の容量結合による電位低下は生じないものの、ビット線 BL および $/BL$ を通常動作時またはリフレッシュ動作時において中間電位 V_{bl} （ $=V_{cc}/2$ ）にプリチャージしてセンス動作を行うことができなくなる。

【0177】

すなわち、ビット線 BL および $/BL$ が中間電位 $V_{cc}/2$ にプリチャージされ、セルプレート電位 V_{cp} が $0V$ に固定される場合、 H レベルデータ読出時と L レベルデータ読出時におけるビット線の電位の変化量（読出電圧）の大きさが異なる。 20

【0178】

$$V(H) - V_{cc}/2$$

$$= (V_{cc}/2) (C_b / (C_b + C_s))、$$

$$V_{cc}/2 - V(L) = (V_{cc}/2) \cdot C_s / (C_b + C_s)$$

となるためである。ここで、 C_b および C_s は、ビット線の容量およびメモリセルキャパシタ C の容量をそれぞれ示し、 $V(L)$ および $V(H)$ は、それぞれ L レベルデータ読出時および H レベルデータ読出時におけるビット線の電位を示す。したがって、センスアンプの動作マージンが H レベルデータと L レベルデータの読出時において異なり（ $C_b > C_s$ ）、正確なセンス動作を行うことができなくなる。 30

【0179】

そこで、図34(B)に示すように、中間電圧発生回路86およびイコライズ制御回路83を活性状態とし、ポーズ期間においても、ビット線 BL （または $/BL$ ）およびセルプレート電圧 V_{cp} を中間電圧 $V_{cc}/2$ の電位レベルに保持する。これにより、ストレージノード SN に対するキャパシタ C による容量結合の影響は存在せず、ストレージノード SN は、正確に、記憶データに対応する電荷を保持する。これにより、記憶データの破壊が防止されかつリフレッシュ特性の劣化が防止される。

【0180】

上述のように、ポーズ期間において、メモリアレイ84および周辺回路82への電源電圧 V_{cc} の供給を停止し中間電圧発生回路86は常時動作させ、ビット線 BL および $/BL$ ならびにセルプレートと中間電圧 $V_{cc}/2$ のプリチャージ電圧 V_{bl} および V_{cp} レベルに保持することにより、リフレッシュ特性の劣化およびメモリセル記憶データの破壊を生じさせることなく、消費電流を低減することができる。 40

【0181】

図35(A)は、ポーズ期間指定信号 PS を発生する部分の構成を示す図である。図32(A)において、ポーズ期間指定信号発生系は、パーストリフレッシュ動作時において活性状態とされるリフレッシュ動作活性化信号の数を数えるカウンタ74aと、ポーズ期間を規定するポーズタイマ72と、カウンタ74aからのカウント制御信号 CNT の立下りに応答してセットされ、ポーズタイマ72からのリフレッシュ要求信号 PA の活 50

性化に应答してリセットされるセット/リセットフリップフロップ90と、このセット/リセットフリップフロップ90の出力Qから与えられる出力信号とデータ保持モード指定信号REFを受けるAND回路91を含む。このAND回路91からポーズ期間指定信号PSが出力される。次に、この図35(A)に示す回路の動作を図35(B)に示す波形図を参照して説明する。

【0182】

データ保持モード指定信号REFがHレベルの活性状態とされると、AND回路91がイネーブル状態とされる。それ以前の状態においては、AND回路91から出力されるポーズ期間指定信号PSはLレベルであり、スイッチングトランジスタ81a a, 81a b および81b aはすべて導通状態にある。このデータ保持モード指定信号REFの活性状態に应答して、バーストリフレッシュ動作が行われると、カウンタ74aからのカウント制御信号CNTがHレベルとされる。バーストリフレッシュ動作が完了すると、カウント制御信号CNTがLレベルに立下がり、フリップフロップ90がセットされ、その出力Qからの信号がHレベルに立上がり、応じてポーズ期間指定信号PSがHレベルとされる。ポーズ期間が完了すると、ポーズタイマ72からのリフレッシュ要求信号PAがHレベルとされ、フリップフロップ90がリセットされ、その出力Qからの信号がLレベルとなり、ポーズ期間指定信号PSがLレベルとされる。このリフレッシュ要求信号PAに应答して再びバーストリフレッシュ動作が行われ、カウント制御信号CNTがHレベルとされる。このバーストリフレッシュ動作が完了すると、再びフリップフロップ90がセットされ、応じてポーズ期間指定信号PSがHレベルとされる。以後、データ保持モード指定信号REFがHレベルの間、バーストリフレッシュ動作期間においてはポーズ期間指定信号PSがLレベル、ポーズ期間中はポーズ期間指定信号PSがHレベルとされる。

【0183】

データ保持モードが完了すると、このデータ保持モード指定信号REFのLレベルへの低下に应答して、ポーズ期間指定信号PSがLレベルに設定される。

【0184】

図35(A)に示す構成において、ポーズ期間指定信号PSは、メモリマット指定信号と組合せてリフレッシュが行われるメモリマットに対してのみデータ保持モード時には電源電圧Vccが供給されるように構成されてもよい。これは、図35(A)において破線ブロックで示すようにメモリマット指定信号MSiの反転信号とポーズ期間指定信号PSの論理和とにより、メモリマットに対するポーズ期間指定信号PSiが発生される構成が用いられればよい。

【0185】

なお、中間電位レベルのセルプレート電位Vcpのみが常時与えられる構成であってもよい。

【0186】

以上のように、この発明の実施の形態6に従えば、メモリアレイにおいて、ポーズ期間中は、電源電圧の供給を停止しかつ中間電圧を常時供給するように構成したため、メモリセルの記憶する電荷の流出を伴うことなく、したがってデータの破壊およびリフレッシュ特性の劣化を生じさせることなく消費電流を低減することができる。

【0187】

[実施の形態7]

図36(A)は、この発明の実施の形態7に従うDRAMの全体の構成を概略的に示す図である。図36(A)において、メモリマットMM0~MM3の間の中央領域に内部動作電源電位よりも高い内部高電圧Vppを発生する内部高電圧発生回路92が設けられる。この内部高電圧発生回路92は、たとえばキャパシタのチャージポンプ動作を利用するチャージポンプ回路により構成される。この内部高電圧Vppは、後に詳細に説明するが、選択ワード線上に伝達される。

【0188】

メモリマットMM0~MM3それぞれに対応して、メイン内部高電圧線95a~9

10

20

30

40

50

5 d が配置される。メイン内部高電圧線 9 5 a は、メモリマツト指定信号 / M S 0 に応答して選択的に導通するスイッチングトランジスタ 9 4 a を介して内部高電圧発生回路 9 2 からの内部高電圧 V_{pp} を受ける。メイン内部高電圧線 9 5 b は、メモリマツト指定信号 / M S 1 に応答して選択的に導通状態とされるスイッチングトランジスタ 9 4 b を介して内部高電圧発生回路 9 2 からの内部高電圧 V_{pp} を受ける。メイン内部高電圧線 9 5 c は、メモリマツト指定信号 / M S 2 に応答して選択的に導通状態とされるスイッチングトランジスタ 9 4 c を介して内部高電圧発生回路 9 2 からの内部高電圧 V_{pp} を受ける。メイン内部高電圧線 9 5 d は、メモリマツト指定信号 / M S 3 により選択的に導通状態とされるスイッチングトランジスタ 9 4 d を介して内部高電圧 V_{pp} を受ける。内部高電圧発生回路 9 2 は、メモリマツト M M 0 ~ M M 3 各々に設けられた内部高電圧発生器を含む (破線で示す)。

【 0 1 8 9 】

メモリマツト M M 0 ~ M M 3 それぞれに対しては、対応の内部高電圧線 9 5 a ~ 9 5 d からの内部高電圧 V_{pp} を受ける V_{pp} スイッチ 9 6 a ~ 9 6 d が設けられる。この V_{pp} スイッチの構成は、後に詳細に説明するが、データ保持モード動作時には、対応のメイン内部高電圧線から与えられた内部高電圧 V_{pp} を、リフレッシュ動作が行われるサブアレイ群へ伝達し、スタンバイ状態 (プリチャージ状態) においては、対応のサブアレイ群への内部高電圧の供給を停止する。

【 0 1 9 0 】

通常動作モードにおいては、メモリマツト指定信号 / M S 0 ~ / M S 3 は、すべて選択状態の L レベルにあり、スイッチングトランジスタ 9 4 a ~ 9 4 d はすべて導通状態にあり、内部高電圧発生回路 9 2 からの内部高電圧 V_{pp} は、メイン内部高電圧線 9 5 a ~ 9 5 d へ与えられる。 V_{pp} スイッチ群 9 6 a ~ 9 6 d は、通常動作モード時には、導通状態にあり、対応のメイン内部高電圧線 9 5 a ~ 9 5 d から与えられた内部高電圧を対応のメモリマツト M M 0 ~ M M 3 へ伝達する。したがって、通常動作モード時には、メモリマツト M M 0 ~ M M 3 がそれぞれ選択状態とされて、内部高電圧 V_{pp} を受けて動作する。

【 0 1 9 1 】

一方、データ保持モード動作時には、1つのメモリマツトのみが指定されてリフレッシュ動作が行われる。したがって、メモリマツト指定信号 / M S 0 ~ / M S 3 のうち、1つのメモリマツト指定信号のみが L レベルの選択状態とされ、残りのメモリマツト指定信号は H レベルの非活性状態とされる。非選択メモリマツトは、スタンバイ状態を維持するため、内部高電圧 V_{pp} を消費せず、したがってデータ保持モード時における消費電流を低減することができる。

【 0 1 9 2 】

図 3 6 (B) は、1つのメモリマツト (M M 0 を代表的に示す) に対する V_{pp} スイッチの構成をより詳細に示す図である。図 3 6 (B) において、メモリマツト M M 0 は、一例として、8 個のサブアレイ M B 0 ~ M B 7 を含む。このサブアレイ M B 0 ~ M B 7 は、リフレッシュ動作が同時に行われるサブアレイを単位として 2 つのグループに分割される。サブアレイ M B 0 , M B 2 , M B 4 , M B 6 が 1 つのサブアレイグループを構成し、サブアレイ M B 1 , M B 3 , M B 5 および M B 7 がもう 1 つのサブアレイグループを構成する。偶数番号のサブアレイに対し、ローカル内部高電圧線 9 5 a a が配設され、奇数番号のサブアレイに対し、共通にローカル内部高電圧線 9 5 a b が配置される。

【 0 1 9 3 】

V_{pp} スイッチ 9 6 a は、メイン内部高電圧線 9 5 a とローカル内部高電圧線 9 5 a a との間に配置され、アレイグループ指定信号 S A G 0 に応答して選択的に導通する p チャネル M O S トランジスタで構成されるスイッチングトランジスタ 9 6 a a と、内部高電圧線 9 5 a とローカル内部高電圧線 9 5 a b との間に接続され、アレイグループ指定信号 S A G 1 に応答して選択的に導通状態とされる p チャネル M O S トランジスタで構成される

スイッチングトランジスタ 96 a b を含む。

【0194】

サブアレイ MB 0 ~ MB 7 は、それぞれリフレッシュ動作時においてリフレッシュされるブロックを同時に指定するリフレッシュブロック選択信号 RBS および /RBS に従って (ビット RAa, RAb, RAc のデコード信号) リフレッシュ時において選択状態とされる。通常動作時においては、1つのサブアレイのみが選択状態とされる。この構成は、実施の形態 1 の場合と同じである。

【0195】

通常動作モード時においては、サブアレイグループ指定信号 SAG0 および SAG1 は、ともに L レベルにあり、スイッチングトランジスタ 96 a a および 96 a b は導通状態にあり、内部高電圧線 95 a からローカル内部高電圧線 95 a a および 95 a b へ内部高電圧 Vpp を供給する。メモリマット MM 0 においては、1つのサブアレイが選択状態とされて選択メモリセルに対するアクセスが行われる。通常動作モード時においても選択サブアレイを含むサブアレイグループのスイッチングトランジスタのみが導通状態とされてもよい。

10

【0196】

一方、データ保持モード動作時においては、リフレッシュ動作時においては、アレイグループ指定信号 SAG0 および SAG1 の一方が選択状態とされ、他方は非選択状態とされる (ただしメモリマット MM 0 が指定されたとき)。したがって、この状態においては、リフレッシュされるべきサブアレイに対応して設けられたスイッチングトランジスタ (96 a a または 96 a b) のみが導通状態とされ、このリフレッシュされるサブアレイに対して設けられたローカル内部高電圧線 (95 a a または 95 a b) へ内部高電圧線 95 a から内部高電圧 Vpp が供給される。非選択サブアレイに対して設けられたローカル内部高電圧線 (95 a b または 95 a a) は、内部高電圧線 95 a から分離される。この状態においては、非選択サブアレイにおいては、後に説明するが、サブスレッシュド電流が流れるだけであり、その消費電流は極めて小さくされる。これにより、データ保持モード動作時におけるデータ保持電流 (リフレッシュ動作時に消費されるリフレッシュ電流およびデータ保持モード時におけるスタンバイ状態時におけるスタンバイ電流) を大幅に低減することができる。また複数のサブアレイで構成されるサブアレイグループに対し 1つのスイッチングトランジスタが設けられているだけであり、内部高電圧を選択的に供給するための Vpp スイッチに含まれるトランジスタ数を低減することができ、Vpp スイッチ占有面積を低減することができる。

20

30

【0197】

図 37 は、1つのサブアレイの高電圧を使用する部分の構成を示す図である。図 37 において、メモリサブアレイ MB (MB 0 ~ MB 7) は、与えられた内部ロウアドレス信号 (図示せず) をデコードして、ワード線指定信号を出力する Xデコーダ RD と、ワード線 WL0 ~ WLn それぞれに対応して設けられ、Xデコーダ RD からの行指定信号にตอบสนองして対応のワード線を選択状態へ駆動するワード線ドライバ WD0 ~ WLn を含む。このワード線ドライバ WD0 ~ WLn は、Xデコーダ RD からの選択状態を示す L レベル信号にตอบสนองして導通して、内部高電圧 Vpp を対応のワード線 WL (WL0 ~ WLn) へ伝達する p チャネル MOS トランジスタ PQ と、Xデコーダ RD からのワード線非指定信号 (H レベル) にตอบสนองして導通し、対応のワード線 WL を接地電位レベルへ放電する n チャネル MOS トランジスタ NQ を含む。

40

【0198】

このワード線ドライバ WD0 ~ WLn 各々に含まれる p チャネル MOS トランジスタ PQ の一方導通ノード (ソースノード) は、共通にスイッチングトランジスタ 96 (96 a a) を介してローカル内部高電圧線 95 (95 a ~ 95 d) に結合される。スイッチングトランジスタ 96 は、メモリサブアレイグループ指定信号 SAG (SAGi) にตอบสนองして選択的に導通状態とされる。

【0199】

50

たとえば、ワード線WL0が選択状態とされた場合、ワード線ドライバWD0に含まれるpチャンネルMOSトランジスタPQが導通し、内部高電圧Vppがワード線WL0上に伝達される(この状態においては、スイッチングトランジスタ96が導通状態にある)。したがって、メモリセルMCに含まれるアクセストランジスタTのゲート電位は、内部動作電源電位(Vint:図示せず)よりも高くされるため、このアクセストランジスタT(nチャンネルMOSトランジスタ)のしきい値電圧の損失を伴うことなく、ビット線BL上の内部高電圧(Vintレベルの電圧)をキャパシタCへ伝達することができる。これにより、低電源電圧を用いている場合においても、電圧損失なく、HレベルのデータをキャパシタCに格納することができる。

【0200】

スイッチングトランジスタ96の電流駆動力(チャンネル幅)は、ワード線ドライバWD0~WDnそれぞれに含まれるpチャンネルMOSトランジスタPQの電流駆動力(チャンネル幅)と同程度とされる。選択状態とされるワード線は1つであるため、導通状態とされるpチャンネルMOSトランジスタPQは1つであり、スイッチングトランジスタ96を介して必要とされる駆動電流をワード線ドライバへ供給することができる。

【0201】

スタンバイ状態時(またはプリチャージ状態時;リフレッシュ動作時および通常動作時いずれにおいても)においては、ワード線ドライバWD0~WDnに含まれるpチャンネルMOSトランジスタPQは非導通状態とされる。通常この場合、MOSトランジスタPQのゲート電位は、内部高電圧Vppレベルとされる。スタンバイ状態時において、このアレグループ指定信号SAGをHレベル(内部高電圧Vppレベル)に保持する。スイッチングトランジスタ96は、pチャンネルMOSトランジスタで構成されており、そのゲートおよびソース電位が等しい場合においても、サブスレッシュولد電流Isが流れる。ワード線ドライバWD0~WDnにおいても、pチャンネルMOSトランジスタPQにおいてサブスレッシュولد電流が流れる。しかしながら、この場合、1つのスイッチングトランジスタ96を介してサブスレッシュولد電流Isが供給されるだけであり、ワード線ドライバWD0~WDnに含まれるpチャンネルMOSトランジスタPQのサブスレッシュولد電流Idとスイッチングトランジスタ96を介して流れるサブスレッシュولد電流Isとは、 $I_s = n \cdot I_d$ となる。このサブスレッシュولد電流Isにより、スイッチングトランジスタ96のドレインノード電位が内部高電圧Vppよりも低くなる(スイッチングトランジスタ96のチャンネル抵抗による電圧降下)。したがって、ワード線ドライバWD0~WDnのnpチャンネルMOSトランジスタPQのソース電位がそのゲート電位よりも低くなり、pチャンネルMOSトランジスタPQのゲート-ソース間が逆バイアス状態とされ、サブスレッシュولد電流がより低減される。これにより、スタンバイ状態時におけるサブスレッシュولد電流を低減することができ、データ保持モード時における消費電流を低減することができる。

【0202】

図38(A)は、アレグループ指定信号SAGを発生する部分の構成を示す図である。図38において、アレグループ指定信号発生部は、メモリマツ指定信号MSiとサブアレグループ指定アドレス信号ビットRAi(RAa-RAc)を受け取るNAND回路99aと、データ保持モード指定信号REFとNAND回路99aの出力信号を受け取るAND回路99bを含む。アレグループ指定信号RAiは、データ保持モード動作時においては、上位のアレグループ指定アドレス信号ビット(図4に示すビットRAa, RAb)は縮退状態とされるため、1ビットのロウアドレス信号ビット(RAc)が利用される。このサブアレグループ指定信号ビットRAiの数は、言うまでもなく、サブアレイにおけるサブアレグループの数に応じて適当に定められる。次に、この図38(A)に示す構成の動作についてその図38(B)に示す波形図を参照して説明する。

【0203】

データ保持モード動作時においては、データ保持モード指定信号REFはHレベルであり、NAND回路99bはバッファとして動作する。メモリマツ指定信号MSiが選択

10

20

30

40

50

状態とされてHレベルとなると、図36(A)において、スイッチングトランジスタ94が導通状態とされる。アレイグループ指定信号RAiが選択状態とされると、NAND回路99aの出力信号はLレベルとされ、アレイグループ指定信号SAGiはLレベルとされ、スイッチングトランジスタ96(図37参照)が導通状態とされる。一方、非選択状態時においては、このNAND回路99aの出力信号はHレベルとされ、AND回路99bの出力するアレイグループ指定信号SAGiはHレベルとされる。したがって、リフレッシュされるべきアレイグループに対しては、スイッチングトランジスタ96が導通して内部高電圧Vppが供給され、非選択サブアレイグループ(およびメモリマット)においては、スイッチングトランジスタ96が非導通状態とされて、内部高電圧Vppの供給が遮断される。

10

【0204】

通常動作モード時においては、データ保持モード指定信号REFがLレベルであり、このアレイグループ指定信号SAGiは、常時Lレベルとされる。

【0205】

なお、図37(A)に示す構成において、データ保持モード動作時においてはメモリマット指定信号MSiが有効とされ、通常動作モード時においてはメモリマット指定信号MSiは縮退状態とされる。したがって、通常動作モード時においては、メモリマット指定信号MSiは、すべてのメモリマットMM0~MM3を選択状態としており、またデータ保持モード動作時においては、リフレッシュされるメモリマットに対してのみメモリマット指定信号MSiが選択状態とされる。したがって、特にこのAND回路99bが設けられなくてもよい。

20

【0206】

特に、この図38(B)に示す波形図において、リフレッシュ期間において、サブアレイ単位(アレイブロック単位)でリフレッシュを行うバーストリフレッシュが行われる場合、より消費電流を低減することができる。信号REFに代えて信号CNTが用いられてもよい。

【0207】

[変更例1]

図39は、この発明の実施の形態7の変更例1の構成を示す図である。図39(A)においては、各メモリマットに対応して設けられる内部高電圧発生回路92aとメイン内部高電圧線95との間に設けられるスイッチングトランジスタ94が、メモリマット指定信号の反転信号/MSiと内部RAS信号RASZの論理和をとるOR回路100の出力信号によりこの導通/非導通が制御される。この図39(A)の構成の動作をその動作波形図である図39(B)を参照して説明する。

30

【0208】

内部RAS信号RASZは、データ保持モードおよび通常動作モードいずれにおいても、スタンバイ状態(プリチャージ状態)においては、Hレベルとされ、アクティブサイクル(実際にメモリセルが選択されてセンスアンプが動く期間)においては、Lレベルとされる。データ保持モード動作サイクルにおいては、メモリマット指定信号/MSiが、リフレッシュが行われるメモリマットに対してのみ選択状態のLレベルとされる。非選択メモリマットに対するメモリマット指定信号/MSiは、Hレベルとされ、動作サイクルにかかわらず、スイッチングトランジスタ94は非導通状態とされる。選択メモリマットにおいては、アクティブサイクルおよびスタンバイサイクルの動作サイクルに応じて、OR回路100の出力信号SがLレベルおよびHレベルとなり、スイッチングトランジスタ94がアクティブサイクル時に導通状態、スタンバイサイクル時に非導通状態とされる。したがって、データ保持モード動作時におけるスタンバイサイクル時における消費電流をより低減することができる。

40

【0209】

通常動作モード時においては、メモリマット指定信号/MSiは、すべてのメモリマットにおいて選択状態のLレベルとされる。したがって動作サイクルに応じて選択的にスイ

50

ツチングトランジスタ 94 が OR 回路 100 の出力信号 S に応答して導通状態 / 非導通状態とされる。したがって通常動作モード時におけるスタンバイ電流を低減することができる。

【0210】

バーストリフレッシュ動作が行われている期間において、スタンバイサイクルの期間が短い場合 (RAS 系回路プリチャージ期間)、選択的にこのトランジスタ 94 を導通 / 非導通とする必要がなく、通常動作モード時においてもスタンバイサイクルおよびアクティブサイクルにおいてトランジスタ 94 を導通 / 非導通状態とするためには、先のカウント制御信号 CNT (実施の形態 3 ないし 5 参照) を用いて、このカウント制御信号 CNT の反転信号を内部 RAS 信号 RASZ の論理積信号を OR 回路 100 へ信号 RASZ に代えて与えればよい () で示す)。

10

【0211】

[変更例 2]

図 40 は、この発明の実施の形態 7 の変更例 2 の構成を示す図である。図 40 に示す構成においては、内部高電圧発生回路 92a から直接内部高電圧 Vpp がメイン内部高電圧線 95 へ与えられる。この内部高電圧線 95 は、Vpp スイッチ 96 を介してローカル内部高電圧線 95ia および 95ib に接続される。この Vpp スイッチ 96 は、メモリマツト指定信号 MSi およびアレイグループ指定信号 RAj を受ける NAND 回路 97x の出力信号に応答して選択的に導通するスイッチングトランジスタ (p チャンネル MOS トランジスタ) 96x と、メモリマツト指定信号 MSi およびサブアレイグループ指定信号 RAi を受ける NAND 回路 97y の出力信号に応答して選択的に導通するスイッチングトランジスタ (p チャンネル MOS トランジスタ) 96y を含む。スイッチングトランジスタ 96x は、ローカル内部高電圧線 95ia に接続されるサブアレイグループが指定されたときに導通し、メイン内部高電圧線 95 とローカル内部高電圧線 95ia を電気的に接続する。スイッチングトランジスタ 96y は、ローカル内部高電圧線 95ib に接続されるサブアレイグループが指定されたときに導通して、メイン内部高電圧線 95 とローカル内部高電圧線 95ib を接続する。

20

【0212】

この図 40 に示す構成の場合、アレイグループ指定信号 RAj および RAi が、ステイックに動作するロウアドレスバッファから出力される信号に基づいて生成される場合、バーストリフレッシュサイクル期間中、リフレッシュが行われるサブアレイグループに対応して設けられるスイッチングトランジスタ 96x または 96y が接続的に導通状態とされる。ポーズ期間においては、このメモリマツト指定信号 MSi およびアレイグループ指定信号 RAi および RAj がリセットされるため、スイッチングトランジスタ 96x および 96y は非導通状態とされる。

30

【0213】

通常動作モード時においては、メモリマツト指定信号 MSi が、常時選択状態の H レベルとされる。アクティブサイクル時において、選択されたサブアレイに対応するアレイグループ指定信号 RAi または RAj が H レベルとなり、対応のスイッチングトランジスタ 96x または 96y が導通状態とされる。スタンバイサイクル時においては、このアレイグループ指定信号 RAi および RAj がリセットされて L レベルとなり、スイッチングトランジスタ 96x および 96y はともに非導通状態とされる。

40

【0214】

したがって、この図 40 に示す構成を用いれば、バーストリフレッシュ動作期間、内部高電圧 Vpp をリフレッシュされるサブアレイグループへ伝達し、ポーズ期間中は、内部高電圧線 95 とローカル内部高電圧線 95ia および 95ib を分離することができる。通常動作時においては、アクティブサイクル時において、動作するサブアレイを含むサブアレイグループに対応するスイッチングトランジスタが導通状態とされ、スタンバイサイクル時においてはスイッチングトランジスタ 96x および 96y はともに非導通状態とされる。したがって、アレイプリチャージ状態 (ポーズ期間または通常サイクル動作モード

50

におけるスタンバイサイクル)におけるサブスレッシュド電流による消費電流を大幅に低減することができる。

【0215】

以上のように、この発明の実施の形態7に従えば、複数のメモリマットにおいて、1つのメモリマットにおいて集中的にリフレッシュ動作を実行し、このリフレッシュが行われるメモリマットに対してリフレッシュが行われるサブアレイグループに対してのみ内部高電圧を供給するように構成したため、内部高電圧をすべてのメモリマットに対して供給する構成と比べて大幅に消費電流を低減することができる(ワードドライバにおけるリーク電流を低減することができるため)。

【0216】

なお、この実施の形態7において、内部高電圧 V_{pp} は、ワード線ドライブ回路へのみ伝達されるように示している。しかしながら、実施の形態4において示したように、センスアンプがサブアレイにより共有される「シェアードセンスアンプ」配置において、センスアンプとサブアレイとを接続する分離制御信号 $BLIL$ および $BLIR$ を発生するために、この内部高電圧 V_{pp} が用いられてもよい。この場合、選択サブアレイ(メモリブロック)と対をなす非選択メモリブロックに対する内部高電圧の供給が停止される。他の非選択メモリブロックは、分離信号が高電圧 V_{pp} レベルを保持する必要がある。

【0217】

[実施の形態8]

図41は、この発明の実施の形態8に従うDRAMの要部の構成を示す図である。図41(A)においては、2つのメモリブロック $MBAa$ および $MBAb$ を示す。このメモリブロック $MBAa$ および $MBAb$ は、それぞれが1つのサブアレイであってもよく、またメモリブロック $MBAa$ および $MBAb$ が1つのサブアレイに含まれてもよい。また、メモリブロック $MBAa$ および $MBAb$ の数は、2よりも多くてもよい。

【0218】

メモリブロック $MBAa$ は、64本のワード線 $WL0 \sim WL63$ を含み、メモリブロック $MBAb$ は、64本のワード線 $WL64 \sim WL127$ を含む。このワード線 $WL0 \sim WL63$ と交差するように、メモリブロック $MBAa$ の1列のメモリセルが接続されるサブビット線対 $SBL1, /SBL1, \dots$ が配置される。同様、メモリブロック $MBAb$ においても、ワード線 $WL64 \sim WL127$ と交差するように、各々にメモリブロック $MBAb$ の1列のメモリセルが接続されるサブビット線対 $SBL2, /SBL2, \dots$ が配置される。図41においては、ワード線 $WL63$ とサブビット線 $SBL1$ の交差部に対応して配置されるメモリセル MC およびワード線 $WL127$ およびサブビット線 $SBL2$ の交差部に対応して配置されるメモリセル MC を代表的に示す。

【0219】

このメモリブロック $MBAa$ および $MBAb$ の各メモリセル列に共通に、メインビット線対 $MBL, /MBL, \dots$ が配置される。このメインビット線対 $MBL, /MBL$ は、ブロック選択信号 $BS0$ に应答して導通するブロック選択ゲート $BG0a$ および $BG0b$ を介してサブビット線対 $SBL1, /SBL1$ に電氣的に接続され、またブロック選択信号 $BS1$ に应答して導通するブロック選択ゲート $BG1a$ および $BG1b$ を介してサブビット線対 $SBL2, /SBL2$ に接続される。このブロック選択信号 $BS0$ および $BS1$ は、ブロック指定アドレス信号ビット $RABa, \dots, RABb$ およびデータ保持モード指定信号 REF に従って動作するブロック選択回路102により生成される。メインビット線対 $MBL, /MBL$ には、このメインビット線 $MBL, /MBL$ 上に現われたデータを検知および増幅するためのセンスアンプ20が設けられる。

【0220】

動作時において、1つのメモリブロックが選択状態とされ、この選択メモリブロックのサブビット線対 $SBL, /SBL$ が対応のメインビット線 $MBL, /MBL$ に接続される。メインビット線 $MBL, /MBL$ に接続されるメモリセルの数が少なく、応じてメインビット線 $MBL, /MBL$ の寄生容量が低減され、高速でデータの検知および増幅を行う

10

20

30

40

50

ことができる。このメインビット線およびサブビット線の構成は、「階層ビット線構造」と呼ばれている。

【0221】

通常動作モード時においては、ブロック選択信号BS0およびBS1は、スタンバイ時に非活性状態、アクティブサイクル時には、選択メモリブロックに対するブロック選択信号のみが活性状態のHレベルとされる。データ保持モード動作時においては、メモリブロック単位でリフレッシュ動作が行われる。このデータ保持モード動作時について図41(B)を参照して説明する。

【0222】

データ保持モード指定信号REFがHレベルの活性状態とされてDRAMがデータ保持モードに入る。今、メモリブロックMBAaに含まれるワード線WL0~WL63が順次連続的にリフレッシュされると考える。この状態においては、ブロック選択回路102は、ワード線WL0~WL63が順次選択状態とされる期間(バーストリフレッシュ期間)ブロック選択信号BS0をHレベルに保持する。この間、ブロック選択信号BS1は、Lレベルに固定される。メモリブロックMBAaのメモリセルMCのリフレッシュ動作が完了すると、次いで、ブロック選択回路102は、ブロック選択信号BS0をLレベルとし、ブロック選択信号BS1をHレベルとする。ワード線WL64~WL127が順次選択状態とされてメモリセルデータのリフレッシュが行われる。この期間において、ブロック選択信号BS1は、選択状態のHレベルに保持される。バーストリフレッシュ期間中すなわち1つのメモリブロックにおいてワード線が順次選択状態とされてリフレッシュが行われる場合、このメモリブロックに対するブロック選択信号を選択状態に保持することにより、各リフレッシュサイクルごとに、ブロック選択信号をセット/リセット状態(選択状態/非選択状態)へ駆動する必要がなく、このブロック選択信号を駆動するための消費電流を低減することができる、データ保持モード時における消費電流を低減することができる。

【0223】

この図41(A)に示すブロック選択回路102の構成は、先の図27または図28において示すブロック選択回路76の構成を利用することができる。

【0224】

以上のように、この発明の実施の形態8に従えば、階層ビット線構造を有するメモリブロックにおいて、サブビット線により形成されるメモリブロックの単位でリフレッシュを行う場合、選択ワード線を含むメモリブロックに対するブロック選択信号を常時選択状態に保持し、非選択メモリブロックのブロック選択信号を常時非選択状態のLレベルに固定したため、データ保持モード動作時において、このブロック選択信号を選択状態および非選択状態へ駆動する必要がなく、このブロック選択信号を駆動するための消費電流を低減することができる、データ保持モード時における消費電流を低減することができる。

【0225】

以上のように、この発明に従えば、複数のメモリマットにおいて、1つのメモリマットにおいて集中的にリフレッシュ動作を行い、かつリフレッシュ期間中において、回路動作が選択的に不要とされる部分に対しては、回路動作を停止するように構成したため、データ保持モード時における消費電流を大幅に低減することができ、データ保持電流が低減された大容量DRAMを実現することができる。

【産業上の利用可能性】

【0226】

この発明は、外部電源電圧を内部で降圧して内部電源電位を生成する半導体記憶装置に対して適用することができる。特に、ダイナミック型半導体記憶装置に対して適用することにより、データ保持モード時においても安定に低消費電流で動作させることができる。

【図面の簡単な説明】

【0227】

【図1】この発明の実施の形態1のDRAMの動作原理を説明するための図である。

10

20

30

40

50

【図 2】この発明の実施の形態 1 の D R A M の要部の構成を概略的に示す図である。

【図 3】この発明の実施の形態 1 における D R A M の動作を示す波形図である。

【図 4】この発明の実施の形態 1 における D R A M の 1 つのメモリマットにおけるサブレイのアドレス信号の割当を示す図である。

【図 5】この発明の実施の形態 1 におけるリフレッシュ時のアドレス信号発生部の構成を示す図である。

【図 6】図 5 に示すロウアドレスバッファの構成の一例を示す図である。

【図 7】図 6 に示すアドレスバッファ活性化信号の発生態様を説明するための図である。

【図 8】図 5 に示すアレイ制御回路に含まれるアレイデコーダの構成を概略的に示す図である。

【図 9】図 2 に示すロウデコーダに含まれる単位デコード回路の構成を概略的に示す図である。

【図 10】実施の形態 1 の変更例の構成を示す図である。

【図 11】図 10 に示すアドレス変換を実現する部分の構成を示す図である。

【図 12】図 11 のスクランブラの具体的構成を示す図である。

【図 13】(A) は、この発明の実施の形態 1 に従う D R A M のセンスアンプ駆動部の構成を示し、(B) は、この動作波形を示す図である。

【図 14】この発明の実施の形態 1 における D R A M の内部 R A S 信号発生部の構成を概略的に示す図である。

【図 15】この発明の実施の形態 2 における D R A M の動作原理を概略的に示す図である。

【図 16】(A) は、図 15 に示す内部降圧回路の構成を示し、(B) は、この内部降圧回路の動作を示す波形図である。

【図 17】この発明の実施の形態 2 における D R A M の動作速度低下のための電源部の構成を概略的に示す図である。

【図 18】この発明の実施の形態 3 に従う D R A M に用いられる入力バッファ回路の一例を示す図である。

【図 19】(A) は、この発明の実施の形態 3 に従う入力バッファ回路の構成を示し、(B) は、その論理ゲートを示す図である。

【図 20】(A) は、図 19 (A) に示すパワーカット指定信号を発生する部分の構成を示し、(B) は、その動作波形を示す図である。

【図 21】(A) は、この発明の実施の形態 3 の変更例の構成を示し、(B) は、その動作波形を示す図である。

【図 22】この発明の実施の形態 4 に従う D R A M の要部の構成を概略的に示す図である。

【図 23】(A) は、図 22 に示すロウアドレスバッファを駆動する制御信号のタイミングを示し、(B) は、この発明の実施の形態 4 の動作を示す波形図である。

【図 24】この発明の実施の形態 5 におけるバーストリフレッシュ動作モードを説明するための図である。

【図 25】この発明の実施の形態 5 における D R A M の要部の構成を概略的に示す図である。

【図 26】(A) は、この発明の実施の形態 5 におけるリフレッシュ動作を制御する部分の構成を示し、(B) は、その動作波形を示す図である。

【図 27】図 26 に示すブロックデコーダの構成の一例を示す図である。

【図 28】図 26 に示すブロックデコーダの変更例の構成を示す図である。

【図 29】図 26 に示す分離制御回路の構成の一例を示す図である。

【図 30】この発明の実施の形態 5 の変更例の構成を示す図である。

【図 31】(A) は、この発明の実施の形態 6 に従う D R A M の要部の構成を示し、(B) は、その動作波形を示す図である。

【図 32】(A) は、この発明の実施の形態 6 に従う D R A M の要部の構成を示し、(B)

10

20

30

40

50

)は、その動作を示す波形図である。

【図33】図32に示すDRAMの具体的構成を示す図である。

【図34】この発明の実施の形態6の作用効果を説明するための図である。

【図35】(A)は、この発明の実施の形態6において用いられるポーズ期間指定信号を発生する部分の構成を概略的に示す図であり、(B)は、その動作波形を示す図である。

【図36】(A)は、この発明の実施の形態7に従うDRAMの全体の構成を概略的に示し、(B)は、(A)に示すDRAMの1つのメモリマップの構成を概略的に示す図である。

【図37】図36(B)に示す1つのサブアレイにおける要部の構成を概略的に示す図である。

【図38】(A)は、この発明の実施の形態7に用いられるアレイグループ指定信号を発生する部分の構成を示し、(B)は、その動作波形を示す図である。

【図39】この発明の実施の形態7の変更例1の構成を示し、(B)は、その動作波形を示す図である。

【図40】この発明の実施の形態7の変更例2の構成を示す図である。

【図41】この発明の実施の形態8の要部の構成および動作波形を示す図である。

【符号の説明】

【0228】

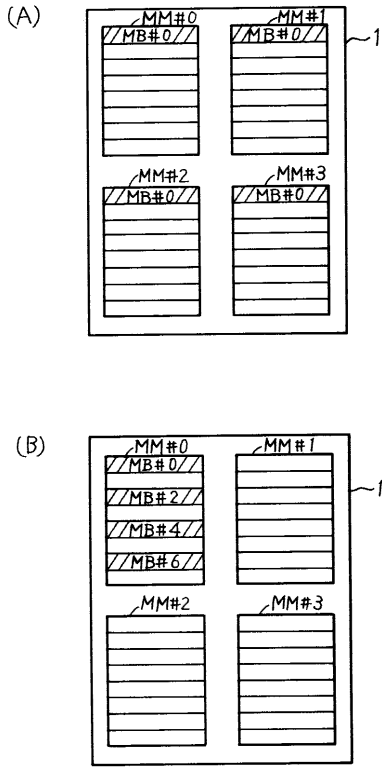
1 DRAM、4 リフレッシュ検出回路、6 リフレッシュ制御回路、8 タイマ、
 10 リフレッシュカウンタ、12 アレイ制御回路、14 マルチプレクサ、16 ロ
 20 ウアドレスバッファ、19 スクランブラ MM 0 ~ MM 3 メモリマップ、MA
 0 ~ MA 3 メモリアレイ、RD 0 ~ RD 3 ロウデコーダ、MB 0 ~ MB 7 サ
 25 ブアレイ、20 センスアンプ、27 a , 27 b , 28 a , 28 b センスアンプ活性化
 トランジスタ、22 a , 22 b センスアンプ駆動トランジスタ、24 センス活性化回
 30 路、26 a , 26 b AND回路、VDC 内部降圧回路、41 内部電源線、46 a ,
 46 b 電流制御用トランジスタ、50 , 50 a , 50 b , 50 c 入力バッファ回路、
 55 バッファ回路、59 AND回路、58 分周器、62 ロウアドレスバッファ制
 35 御回路、ICL 分離制御回路、MBL , MBR メモリブロック、IGL , IGR ビ
 ット線分離制御ゲート、70 リフレッシュ制御部、72 ポーズタイマ、74 カウン
 40 タ、76 ブロックデコーダ、SBS ブロック選択回路、RDx ロウデコード回路、
 45 MWL 0 ~ MWL n メインワード線、SWL 0 0 ~ SWL n 1 サブワード線、82
 周辺回路、84 メモリアレイ、86 中間電圧発生回路、83 イコライズ制御回路、
 85 Xデコーダ、87 センス制御回路、81 a , 81 b 電流制御用スイッチング素
 50 子、92 内部高電圧発生回路、94 a ~ 94 d , 94 スwitching素子、95 a ~ 9
 5 d , 95 メイン内部高電圧線、96 a ~ 96 d Vppスイッチ、95 a a , 95 a
 55 b , 95 i a , 95 i b ローカル内部高電圧線、WD 0 ~ WD n ワード線ドライバ、
 60 MBL , / MBL メインビット線、BSL 1 , / BSL 1 , BSL 2 , / BSL 2 サ
 65 ブビット線、102 ブロック選択回路。

10

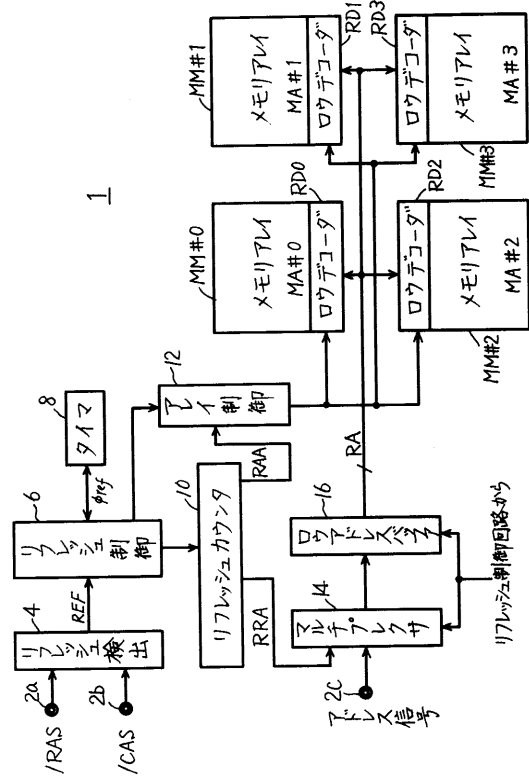
20

30

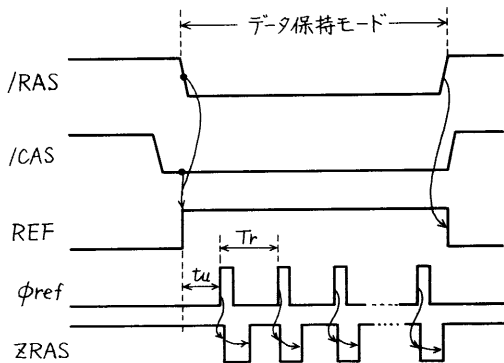
【図1】



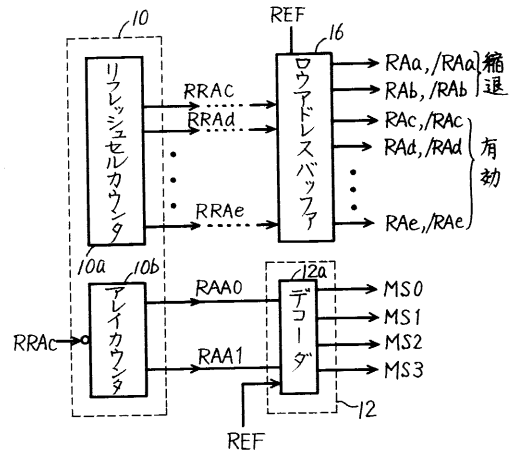
【図2】



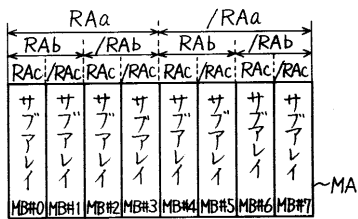
【図3】



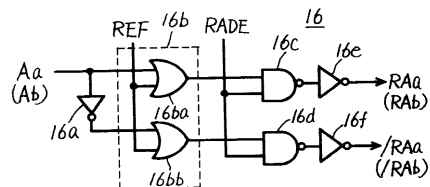
【図5】



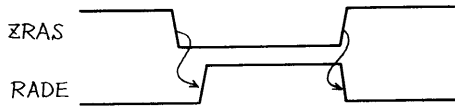
【図4】



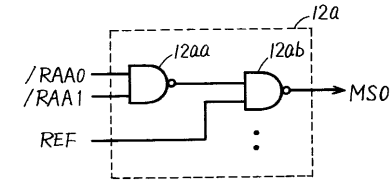
【図6】



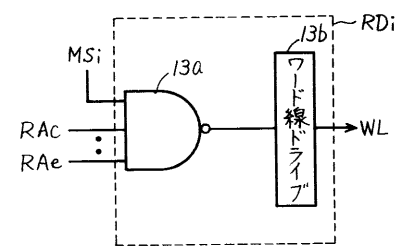
【図7】



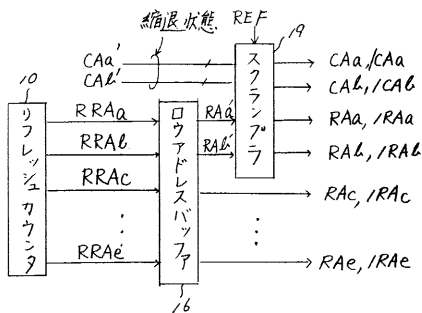
【図8】



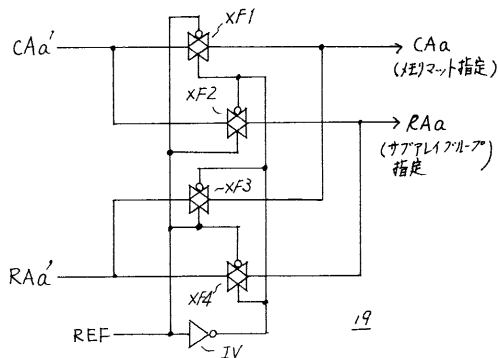
【図9】



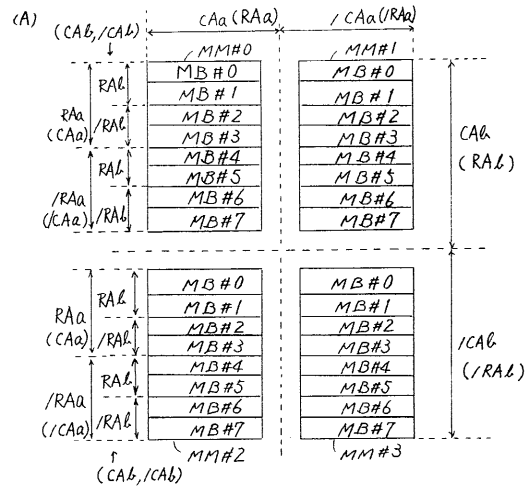
【図11】



【図12】



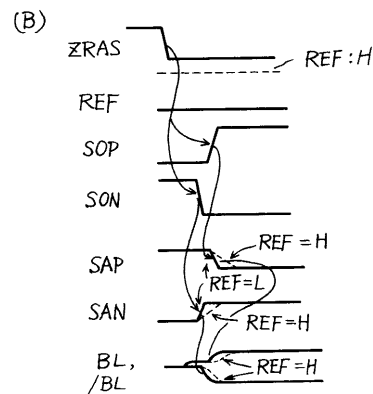
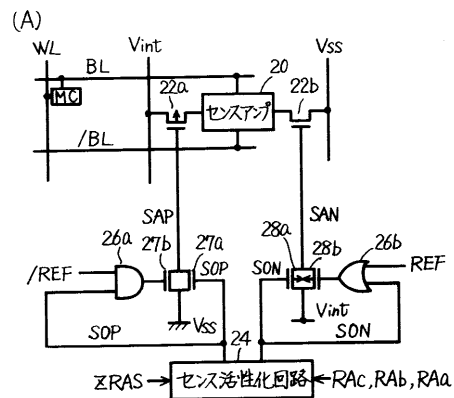
【図10】



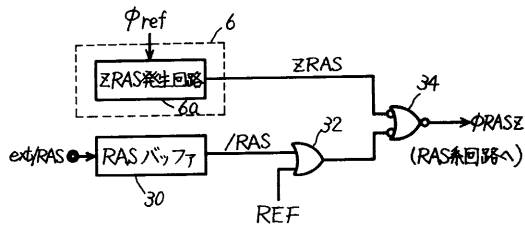
CAA, CAb: 縮退
RAA, RAL: 非縮退
() 内はデータ保持モード

(B) 1-2L時: CAA, CAb, RAA, RAL
データ保持モード時: RAA, RAL, CAA, CAb

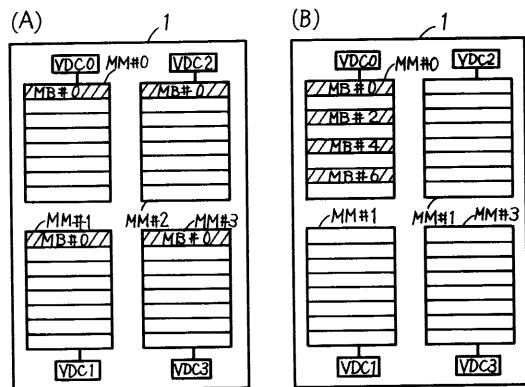
【図13】



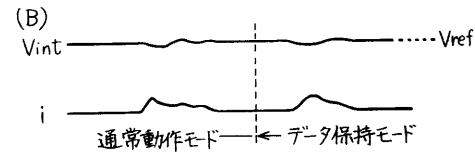
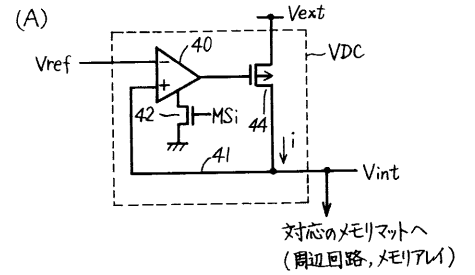
【図14】



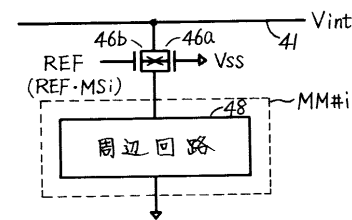
【図15】



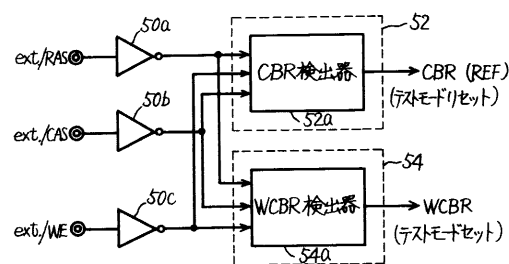
【図16】



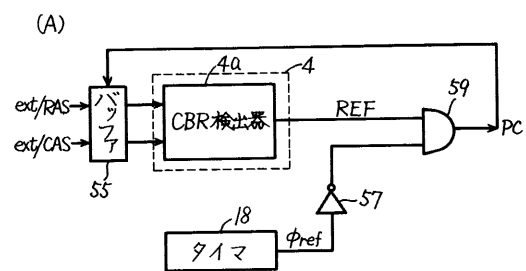
【図17】



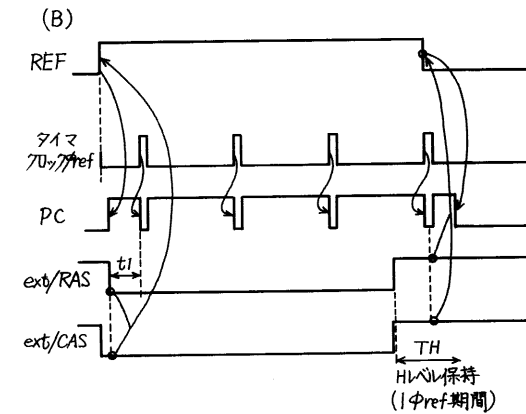
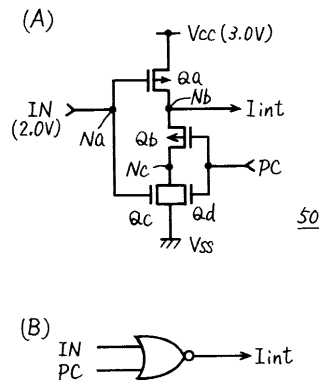
【図18】



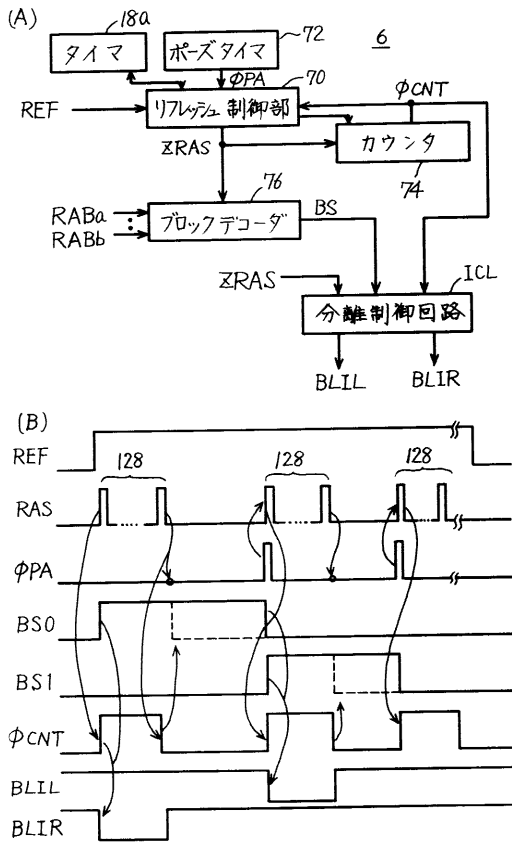
【図20】



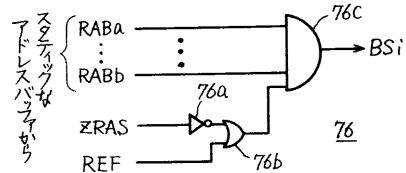
【図19】



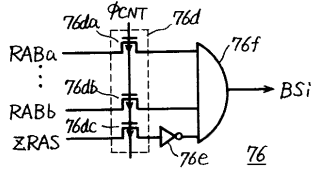
【図 26】



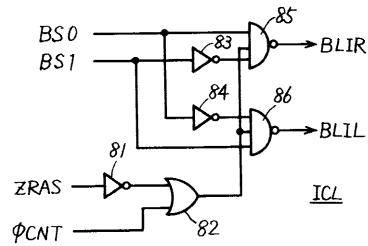
【図 27】



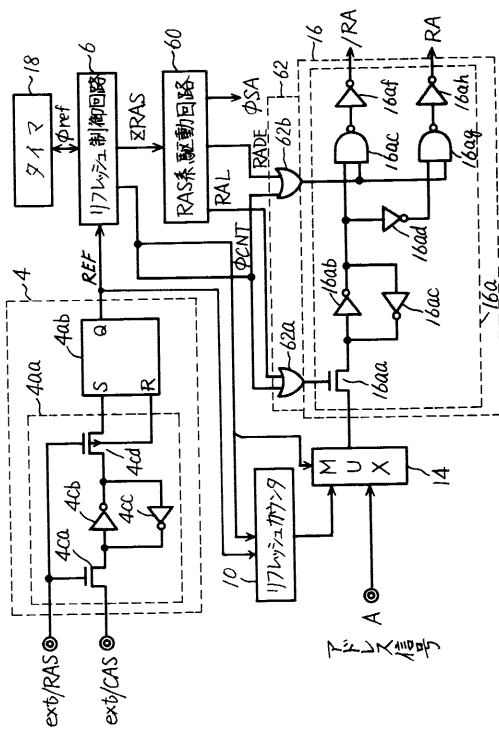
【図 28】



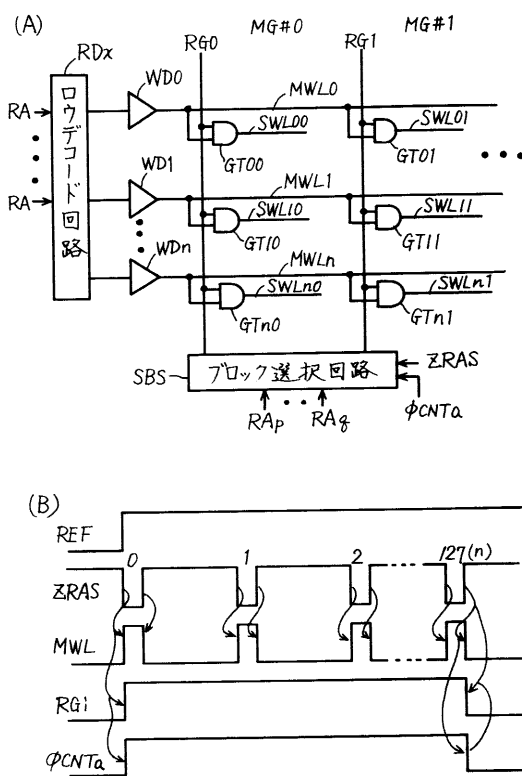
【図 29】



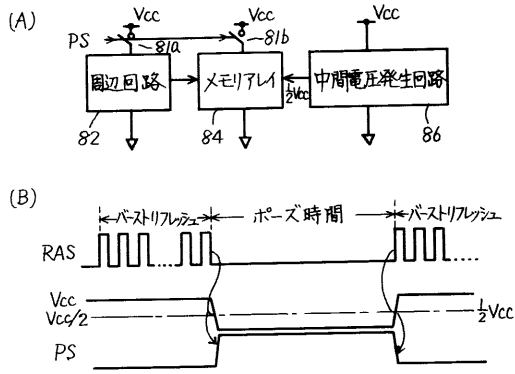
【図 30】



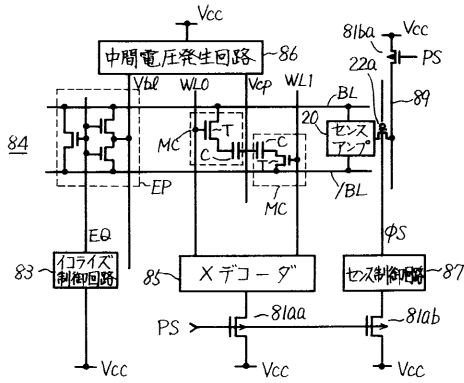
【図 31】



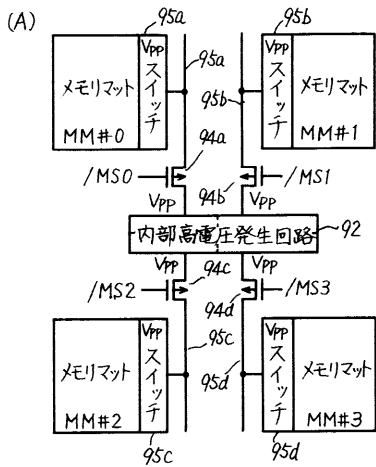
【 図 3 2 】



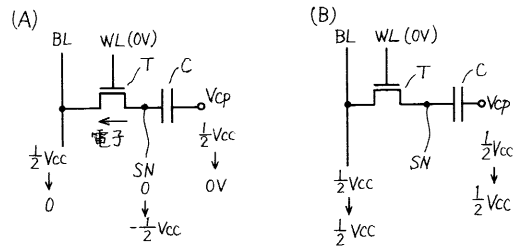
【 図 3 3 】



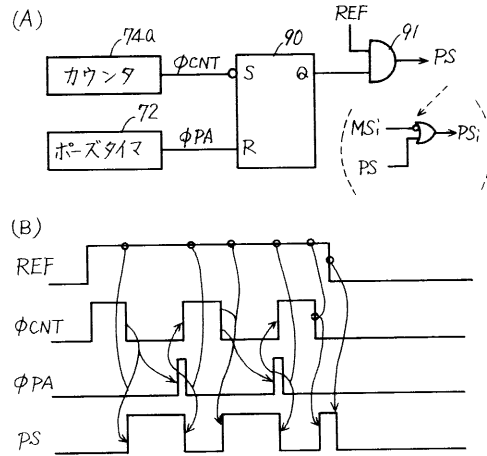
【 図 3 6 】



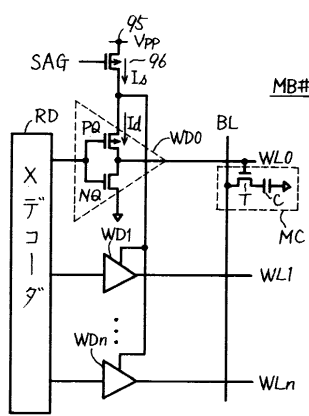
【 図 3 4 】



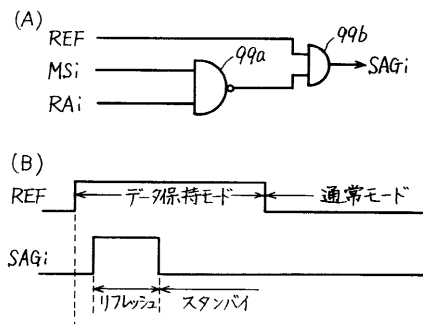
【 図 3 5 】



【 図 3 7 】



【 図 3 8 】



フロントページの続き

(72)発明者 有本 和民

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5M024 AA04 AA14 BB22 BB29 EE05 FF02 FF25 LL01 LL09 PP01
PP02 PP03 PP07