

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
27 février 2003 (27.02.2003)

PCT

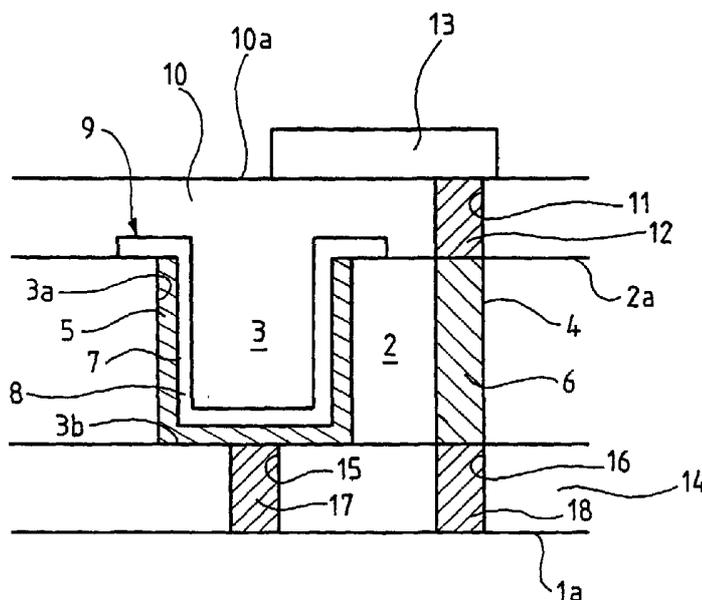
(10) Numéro de publication internationale
WO 03/017362 A1

- (51) Classification internationale des brevets⁷ : H01L 21/8242 (72) Inventeurs; et
(21) Numéro de la demande internationale : PCT/FR02/02887 (75) Inventeurs/Déposants (pour US seulement) : MAZoyer, Pascale [FR/FR]; 14, Cours de la Libération, F-38100 Grenoble (FR). CAILLAT, Christian [FR/FR]; 3, rue du Drac, F-38120 Saint-Egreve (FR).
(22) Date de dépôt international : 14 août 2002 (14.08.2002) (74) Mandataire : BUREAU D.A. CASALONGA-JOSSE; 8, avenue Percier, F-75008 Paris (FR).
(25) Langue de dépôt : français (81) États désignés (national) : JP, US.
(26) Langue de publication : français (84) États désignés (régional) : brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
(30) Données relatives à la priorité : 01/10867 16 août 2001 (16.08.2001) FR (84) États désignés (régional) : brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
(71) Déposant (pour tous les États désignés sauf US) : STMICROELECTRONICS SA [FR/FR]; 29, boulevard Romain Rolland, F-92120 Montrouge (FR). Publiée :
— avec rapport de recherche internationale

[Suite sur la page suivante]

(54) Title: INTEGRATED CIRCUIT WITH DRAM MEMORY CELL

(54) Titre : CIRCUIT INTEGRE, NOTAMMENT CELLULE MEMOIRE DRAM A FAIBLE FACTEUR DE FORME ET PROCEDE DE FABRICATION



(57) Abstract: The invention concerns an integrated circuit comprising a substrate (1), at least a capacitor (9) arranged above the substrate (1) and provided with a first electrode (5), a second electrode (8), and a dielectric (7) arranged between the two electrodes, at least a connecting feedthrough between the substrate (1) and a conductive level located above the capacitor (9), and a dielectric material covering the substrate (1) and enclosing the capacitor (9) and the feedthrough. The feedthrough comprises a first portion (18) arranged between the substrate and the lower level of the first electrode, a second portion (6) arranged between the lower level of the first electrode and the upper level of the first electrode, and a third portion (12) in contact with the first electrode and flush with said conductive level, the second portion being made of the same material as the first electrode of the capacitor.

[Suite sur la page suivante]



WO 03/017362 A1



En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : Circuit intégré comprenant un substrat (1), au moins un condensateur (9) disposé au-dessus du substrat (1) et pourvu d'une première électrode (5), d'une deuxième électrode (8), et d'un diélectrique (7) disposé entre les deux électrodes, au moins un via de connexion entre le substrat (1) et un niveau conducteur situé au-dessus du condensateur (9), et un matériau diélectrique recouvrant le substrat (1) et entourant le condensateur (9) et le via (6). Le via comprend une première portion (18) disposée entre le substrat et le niveau inférieur de la première électrode, une deuxième portion (6) disposée entre le niveau inférieur de la première électrode et le niveau supérieur de la première électrode, et une troisième portion (12) en contact avec la première portion et affleurant ledit niveau conducteur, la deuxième portion étant réalisée avec le même matériau que la première électrode du condensateur.

CIRCUIT INTEGRE AVEC CELLULE MEMOIRE DRAM

5 La présente invention concerne, de façon générale, les circuits
intégrés, notamment les cellules mémoire. Plus particulièrement, la
présente invention concerne des cellules mémoire du type dynamique à
accès aléatoire (DRAM) compatibles avec un procédé de fabrication
10 d'un dispositif incorporant une telle mémoire et des composants
CMOS.

De façon classique, une mémoire DRAM se présente sous la
forme d'une matrice de colonnes et de rangées aux intersections
desquelles se trouvent des cellules mémoire constituées d'un élément
mémoire, typiquement un condensateur, et d'un commutateur de
15 commande de cet élément mémoire, en général un transistor MOS.

Une cellule mémoire de type DRAM (figure 1), est constituée
d'un transistor MOS de contrôle T et d'un condensateur C de stockage
connectés en série entre une masse électrique M et une ligne de bits
BL. La grille du transistor de contrôle T est reliée à une ligne de mots
20 WL. Le transistor T contrôle le passage de charges électriques entre le
condensateur C et la ligne de bits BL. La charge électrique du
condensateur C détermine le niveau logique 1 ou 0 de la cellule
mémoire. Pendant la lecture du point mémoire, on décharge le
condensateur C dans la ligne de bits BL. Pour obtenir une lecture
25 rapide et sûre de la valeur de la charge électrique du condensateur C
de stockage, la capacité de ce condensateur doit être importante vis à
vis de la capacité présentée par la ligne de bits BL pendant la phase de
lecture.

Un grand nombre de cellules DRAM ainsi constituées sont
30 assemblées sous la forme d'une matrice de façon à générer un plan
mémoire pouvant comporter des millions de cellules élémentaires. Le
plan mémoire est, pour certaines applications, situé au sein d'un
circuit intégré complexe. On parle alors de mémoire embarquée.

Les éléments mémoire sont des structures de condensateurs comportant une première électrode de forme quelconque, par exemple en forme de U. Les condensateurs mémoire comportent également un diélectrique très mince, et une deuxième électrode commune à plusieurs condensateurs et constituée d'une couche conductrice continue, par exemple en silicium polycristallin, disposée au-dessus de ladite couche isolante.

Il est nécessaire de prévoir un ou plusieurs vias de connexion entre une ou plusieurs zones actives formés dans le substrat et un niveau conducteur formé au-dessus de la couche diélectrique qui recouvre le condensateur.

Par via, on entend, dans le cadre de la présente description, un trou empli d'un matériau électriquement conducteur apte à réaliser une connexion électrique entre deux ou plusieurs niveaux d'un circuit intégré.

Un tel via peut être formé en gravant un trou à travers l'ensemble des couches diélectriques dans lesquelles est formé le condensateur, et ce jusqu'à atteindre le substrat, et en comblant ce trou avec un matériau conducteur, par exemple du tungstène. Un tel trou présente un rapport hauteur/largeur très élevé et est donc difficile à remplir convenablement avec le métal destiné à former le via. On risque donc d'obtenir un via dont la valeur de résistance électrique sera élevée et présentera des variations importantes d'un via à l'autre.

L'invention propose de remédier aux inconvénients évoqués ci-dessus.

L'invention propose un circuit intégré pourvu d'un contact de haute qualité entre une zone active d'un substrat et un niveau conducteur disposé au-dessus d'un condensateur.

Le circuit intégré, selon un aspect de l'invention, comprend un substrat, au moins un condensateur disposé au-dessus du substrat et pourvu d'une première électrode, d'une deuxième électrode et d'une couche isolante disposée entre les électrodes, au moins un via de connexion entre le substrat et un niveau conducteur situé au-dessus du

condensateur, et un matériau diélectrique recouvrant le substrat et entourant le condensateur et le via.

5 Le via comprend une première portion disposée entre le substrat et le niveau inférieur de la première électrode, une deuxième portion disposée entre le niveau inférieur de la première électrode et le niveau supérieur de la première électrode, et une troisième portion en contact avec la première portion et affleurant ledit niveau conducteur, la deuxième portion étant réalisée avec le même matériau que la première électrode du condensateur.

10 La succession des étapes technologiques dans la réalisation du condensateur, peut être mise à profit dans l'élaboration du via. On distinguera une première portion du via entre le substrat et le bas de l'électrode inférieure, une deuxième portion entre le bas et le haut de l'électrode inférieure et une troisième portion entre le haut de l'électrode inférieure et affleurant le niveau conducteur.

15 Le condensateur peut être de type évidé à section en U.

Dans un mode de réalisation de l'invention, le matériau composant la première électrode du condensateur et la deuxième portion du via comprend du polysilicium.

20 Dans un autre mode de réalisation de l'invention, le matériau composant la première électrode du condensateur et la deuxième portion du via comprend du métal, notamment un métal ou un alliage à base de métal comprenant du cuivre, de l'aluminium, du tungstène, de l'or, et/ou du titane.

25 Dans un mode de réalisation de l'invention, ledit condensateur fait partie d'une cellule mémoire. La première électrode peut être reliée à une zone active du substrat, par exemple au drain ou à la source d'un transistor MOS. L'autre électrode peut être reliée à des électrodes d'autres condensateurs.

30 Le procédé de fabrication, selon un aspect de l'invention, est destiné à un circuit intégré. A partir d'un substrat recouvert d'au moins une couche diélectrique, on forme une première électrode de condensateur disposée au-dessus du substrat, un diélectrique de condensateur, une deuxième électrode de condensateur, le diélectrique

étant disposé entre les deux électrodes, et au moins un via de connexion entre le substrat et un niveau conducteur situé au-dessus du condensateur, un matériau diélectrique recouvrant le substrat et entourant le condensateur et le via, le via comprenant une première
5 portion disposée entre le substrat et le niveau inférieur de la première électrode, une deuxième portion entre le niveau inférieur et le niveau supérieur de la première électrode, et une troisième portion en contact avec la deuxième portion et affleurant ledit niveau conducteur, la deuxième portion et la première électrode étant formées simultanément
10 et avec le même matériau.

Plus particulièrement, à partir d'un substrat recouvert d'au moins une couche diélectrique, on creuse simultanément un premier trou et un deuxième trou que l'on remplit d'un premier matériau électriquement conducteur, on dépose une couche diélectrique, et on
15 creuse la couche diélectrique pour réaliser au moins une cavité en vue de former un condensateur et au moins un troisième trou en vue de former un via. On dépose une couche d'un deuxième matériau conducteur sur la surface supérieure de la couche diélectrique, ledit deuxième matériau venant remplir ledit troisième trou et recouvrir les
20 parois de fond et de côté de ladite cavité. On retire ledit deuxième matériau conducteur de la surface supérieure de la couche diélectrique, tout en le conservant dans le trou et dans la cavité. On dépose au moins une fine couche de matériau diélectrique au moins sur la surface de la couche conductrice dans la cavité. On forme la deuxième
25 électrode par dépôt d'une deuxième couche du deuxième matériau conducteur dans la cavité et au moins sur une zone adjacente à ladite cavité. On dépose une couche épaisse de matériau diélectrique. On creuse un quatrième trou dans la couche épaisse de matériau diélectrique dans l'alignement du trou rempli du deuxième matériau
30 conducteur, jusqu'à atteindre ledit matériau conducteur. On remplit le quatrième trou d'un troisième matériau conducteur pour former un via comprenant les deuxième, troisième et quatrième trous alignés remplis des premier, deuxième et troisième matériaux conducteurs.

Les deuxième et troisième matériaux sont de préférence différents.

Selon l'invention, il est également proposé un procédé de fabrication d'un circuit intégré comprenant au moins un condensateur disposé au-dessus d'un substrat et au moins un via de connexion entre le substrat et un niveau conducteur situé au dessus du condensateur, dans lequel à partir d'un substrat recouvert d'au moins une couche diélectrique, on creuse simultanément un premier trou et un deuxième trou que l'on repli d'un premier matériau électriquement conducteur, on dépose un couche diélectrique, on creuse la couche diélectrique pour réaliser au moins une cavité au-dessus du premier trou en vue de former un condensateur et au moins un troisième trou au-dessus du deuxième trou en vue de former un via, on dépose une couche d'un deuxième matériau conducteur sur la surface supérieure de la couche diélectrique, ledit deuxième matériau venant remplir ledit troisième trou et revêtir les parois de ladite cavité, on retire ledit deuxième matériau conducteur de la surface supérieure de la couche diélectrique, on dépose au moins une fine couche de matériau diélectrique, au moins sur la surface de ladite couche conductrice dans ladite cavité, on dépose une deuxième couche du deuxième matériau conducteur au moins dans la cavité et sur une zone adjacente à la cavité, on dépose une couche épaisse de matériau diélectrique, on creuse un quatrième trou dans ladite couche épaisse de matériau diélectrique dans l'alignement du trou rempli du deuxième matériau conducteur, jusqu'à atteindre ledit deuxième matériau conducteur, et l'on remplit le quatrième trou d'un troisième matériau conducteur différent du deuxième matériau conducteur pour former un via comprenant les deuxième, troisième et quatrième trous remplis des premier, deuxième et troisième matériaux conducteurs.

Le retrait de la deuxième couche du matériau conducteur de la surface supérieure de la couche diélectrique peut être effectué par gravure et/ou par polissage mécano-chimique. La deuxième couche de matériau conducteur destinée à former la deuxième électrode, peut être

déposée localement ou non, sur le circuit intégré en cours de fabrication, puis faire l'objet d'une étape de retrait partiel par gravure.

Dans un mode de réalisation de l'invention, lors du creusement du troisième trou, on creuse également le matériau conducteur disposé dans le deuxième trou de façon à l'ôter, puis on remplit ces trous d'un matériau conducteur. On peut ainsi disposer d'un matériau conducteur dont les propriétés sont particulièrement bien adaptées à un via.

Le fait de disposer d'une couche diélectrique locale traversée par un via métallique entre une zone active du substrat et la première électrode du condensateur, permet de diminuer la résistance électrique entre ces deux éléments. Le fait que le condensateur se trouve séparé du substrat par une couche diélectrique, permet d'augmenter la densité d'intégration dans le substrat, c'est-à-dire en pratique de rapprocher certaines parties des zones actives du substrat dudit via en les disposant au moins en partie sous au moins une partie des électrodes du condensateur.

La réalisation en une pluralité d'étapes du via permettant une connexion à un niveau supérieur, par exemple pour une ligne de bits dans une matrice de cellule DRAM, facilite la fabrication en évitant la réalisation en une seule étape d'un via de très grande hauteur qui pose des difficultés importantes de remplissage du trou.

Une partie des étapes de fabrication peuvent être utilisées pour la formation d'autres structures sur la même plaquette.

Le condensateur peut être formé par dépôt d'une couche conductrice, par exemple en polysilicium, sur l'ensemble de la surface, locale ou non, du circuit en cours de fabrication, c'est-à-dire sur la surface supérieure de la couche diélectrique dans laquelle ont été formés la cavité et le trou, dans le fond des cavités et sur les parois de côté de la cavité. Le via est formé simultanément et avec le même matériau que la première électrode, ce qui évite d'ajouter des étapes de fabrication supplémentaires et permet donc une réduction significative de la durée de fabrication et du coût.

Par une étape de gravure ou de polissage mécano-chimique, on enlève le polysilicium de la surface supérieure de la couche

diélectrique. Ensuite, on vient déposer une ou plusieurs couches minces d'un matériau diélectrique, là encore sur l'ensemble de la surface, locale ou non, du circuit en cours de fabrication, c'est-à-dire sur la première électrode formée par le polysilicium restant dans la
5 cavité et sur la surface supérieure de la couche diélectrique dans laquelle est formée la cavité et sur la surface supérieure du via. Ensuite, on dépose à nouveau une couche de polysilicium destinée à former une deuxième électrode, là encore sur l'ensemble de la surface du circuit intégré.

10 Par une étape de gravure sélective, on ôte ladite couche de polysilicium d'une partie de la surface supérieure de la couche diélectrique épaisse dans laquelle est formée la cavité, elle-même étant déjà recouverte par là ou les couches minces diélectriques. On peut aussi laisser des connexions disposées sur ladite couche diélectrique
15 épaisse. En variante, les électrodes peuvent être réalisées en métal.

La présente invention sera mieux comprise à l'étude de la description détaillée d'un mode de réalisation pris à titre d'exemple nullement limitatif et illustré par les dessins annexés, sur lesquels :

20 - la figure 1, dont il a déjà été fait mention, est une vue schématique d'une cellule mémoire;

- la figure 2 est une vue en coupe schématique d'une portion de circuit intégré, selon un aspect de l'invention; et

- les figures 3 et 4 sont des vues en coupe schématique d'une portion de circuit intégré, selon un autre aspect de l'invention.

25 Comme on peut le voir sur la figure 2, un circuit intégré comprend un substrat 1 pourvu d'une surface supérieure 1a à partir de laquelle ont été formées par implantation ionique des structures actives qui n'ont pas été représentées, pour la clarté du dessin.

30 Après la formation des structures actives, par exemple un ou plusieurs transistors MOS, on vient déposer sur la surface supérieure 1a du substrat 1 et sur la surface supérieure desdites structures actives, une couche diélectrique inférieure 14, d'épaisseur comprise entre 0,05 et 0,5 μm .

Dans la couche diélectrique inférieure 14, on forme par gravure deux trous 15 et 16 que l'on remplit ensuite d'un premier matériau conducteur, du métal ou du polysilicium par exemple, pour former des vias 17 et 18.

5 On dépose ensuite sur la couche diélectrique 14 une couche diélectrique intermédiaire 2 qui peut être réalisée en oxyde de silicium, en nitrure de silicium, en alliage vitreux de bore, de phosphore et de silicium (BPSG) ou encore en alliage vitreux de phosphore et de silicium (PSG), ou en tout autre matériau présentant des caractéristiques diélectriques convenables.

10 De façon optionnelle et qui n'a pas été représentée, une couche d'arrêt peut être disposée sur la couche diélectrique 14 inférieure avant le dépôt de la couche diélectrique intermédiaire 2, pour permettre une gravure sélective.

15 On procède ensuite à une étape de gravure qui permet d'ouvrir dans la couche diélectrique intermédiaire 2 une cavité 3 de dimensions relativement importantes, par exemple $0,4 \mu\text{m} \times 0,8 \mu\text{m}$, l'épaisseur de la couche diélectrique inférieure 2 étant comprise entre $0,5$ et $1 \mu\text{m}$, par exemple de l'ordre de $0,8 \mu\text{m}$, et un troisième trou 4 de dimensions plus réduites. Le trou 4 peut être de largeur de l'ordre de $0,5$ à $3 \mu\text{m}$, par exemple de l'ordre de $2 \mu\text{m}$.

20 La cavité 3 est creusée de façon qu'elle débouche sur la surface supérieure du via 17 et le trou 4 est formé de façon qu'il débouche sur la surface supérieure du via 18.

25 On procède ensuite au dépôt d'un deuxième matériau conducteur, par exemple du métal ou plus généralement du polysilicium, sur l'ensemble de la surface du circuit, à savoir sur la surface supérieure 2a de la couche diélectrique intermédiaire 2, sur le fond et les parois de côté de la cavité 3 et dans le trou 4. L'épaisseur de la couche conductrice ainsi formée est suffisante pour qu'elle remplisse entièrement le troisième trou 4 mais pas la cavité 3, dont seuls les bords 3a et le fond 3b sont revêtus de ladite couche.

30 On procède ensuite à une étape de retrait de la couche conductrice de la surface supérieure 2a de la couche diélectrique

intermédiaire 2, par gravure ou encore par polissage mécano-chimique. A la fin de cette étape, la surface supérieure 2a est dégagée, tandis qu'une électrode 5 à section en U a été formée dans la cavité 3 et un via 6 remplissant entièrement le trou 4 a également été formé. La base du via est en contact électrique avec la partie supérieure du via 18. La surface supérieure du via 6 affleure la surface supérieure 2a de la couche diélectrique intermédiaire 2. La hauteur du via 6 est sensiblement égale à l'épaisseur de la couche diélectrique 2.

On vient ensuite déposer une fine couche diélectrique sur l'ensemble de la surface du circuit en cours de fabrication. L'épaisseur de cette couche est telle qu'elle a été représentée sur la figure 2 par un trait épaissi. Ladite couche diélectrique recouvre la surface supérieure 2a, la surface supérieure du via 6 et les surfaces libres de l'électrode 5. On forme ainsi le diélectrique 7 du condensateur en cours de fabrication.

On dépose ensuite une deuxième couche conductrice, par exemple en métal ou en polysilicium, sur l'ensemble de la surface du circuit en cours de fabrication, c'est-à-dire sur la fine couche diélectrique. On procède ensuite au retrait partiel par gravure de ladite deuxième couche conductrice au-dessus d'au moins une partie de la couche diélectrique intermédiaire 2 et du via 6. On laisse subsister la deuxième couche diélectrique dans la cavité 3 ainsi que sur des bords adjacents à ladite cavité 3, pour former ainsi une deuxième électrode 8. On dispose ainsi d'un condensateur référencé 9 dans sa globalité et comprenant une première électrode 5, un diélectrique 7 et une deuxième électrode 8.

On dépose ensuite une couche diélectrique supérieure 10 sur l'ensemble du circuit en cours de fabrication. La couche diélectrique supérieure 10 remplit le reste de la cavité 3 et présente une surface supérieure 10a sensiblement plane. A partir de la surface supérieure 10a de la couche diélectrique supérieure 10, on vient creuser un quatrième trou 11 par gravure. Le trou 11 est aligné avec le via 6. La gravure permet également de retirer la fine couche diélectrique disposée au-dessus du via 6 et d'atteindre ledit via 6. On dépose

ensuite un matériau conducteur tel que du métal dans le trou 11 pour former un via 12 qui affleure la surface supérieure 10a de la couche diélectrique supérieure 10. On peut ensuite former sur la surface supérieure 10a un niveau conducteur comprenant au moins une piste conductrice 13, en métal, formée par un procédé classique ou encore par un procédé damascène. La hauteur du via 12 est sensiblement égale à l'épaisseur de la couche diélectrique 10.

On comprend qu'on assure une connexion électrique entre le substrat 1 et la piste conductrice 13 d'un niveau conducteur supérieur au moyen de trois portions de via 18, 6 et 12, qui sont chacune de hauteur relativement faible, ce qui garantit une bonne géométrie des trous 16, 4 et 11 ainsi qu'un bon remplissage desdits trous 16, 4 et 11 par le matériau conducteur formant les vias 18, 6 et 12, d'où un excellent contact électrique. En outre, la formation du trou 4 et du via 6 est réalisée simultanément à celle de la cavité 3 et de la première électrode 5 du condensateur 9 et est donc réalisée en temps masqué et à coût constant. La formation du trou 11 et du via 12 est elle-même non seulement plus facile, mais également plus brève en raison de leur hauteur réduite par rapport à un cas où il aurait fallu réaliser les trous 4 et 11 par une seule étape de gravure et les vias 6 et 12 par une seule étape de remplissage.

Ce type de circuit permet d'augmenter l'isolation entre le condensateur 9 et les zones actives du substrat, ou encore d'augmenter la densité d'intégration en disposant une partie des zones actives du substrat au moins en partie sous une partie du condensateur 9. Le contact entre le substrat 1 et la piste conductrice 13 est assuré par un via réalisé en trois portions, chacune de hauteur relativement faible et présentant donc une haute précision de gravure des trous et un excellent remplissage par le matériau conducteur.

Sur la figure 3, est illustré un mode de réalisation proche de celui de la figure 2, à ceci près que lors de la gravure du trou 11, on poursuit ladite gravure en retirant le via 6 du trou 4. En d'autres termes, on poursuit la gravure jusqu'à atteindre le via 18. Ceci permet de remplacer le matériau constituant le via 6 qui est le même que celui

constituant la première électrode 5 du condensateur 9 par un autre matériau plus adapté et présentant de meilleures propriétés électriques.

5 Sur la figure 4, on voit que la gravure s'est poursuivie jusqu'à atteindre le via 18 et que le trou 11 et le trou 4 ainsi dégagés ont ensuite été remplis d'un seul matériau conducteur pour former un via 19 dont la hauteur est sensiblement égale à la somme des épaisseurs des couches diélectriques 2 et 10. On peut ainsi utiliser un matériau conducteur présentant de hautes propriétés électriques tout en conservant une excellente géométrie des trous de gravure grâce à la gravure préalable du trou 4.

10 En variante, on pourrait également prévoir de ne dégager qu'une partie du trou 4 et de ne remplacer qu'en partie le via 6. A cet égard, on peut, par exemple, remplacer le deuxième matériau, constitutif de la deuxième portion 12 du via, par un autre matériau, différent du premier matériau constitutif de la première portion 6 du via, plus adapté à l'utilisation envisagée.

15

REVENDICATIONS

1. Circuit intégré comprenant un substrat (1), au moins un condensateur (9) disposé au-dessus du substrat et pourvu d'une première électrode (5), d'une deuxième électrode (8), et d'un diélectrique (7) disposé entre les deux électrodes, au moins un via (6, 12) de connexion entre le substrat et un niveau conducteur situé au-dessus du condensateur, et un matériau diélectrique recouvrant le substrat et entourant le condensateur et le via, caractérisé par le fait que le via comprend une première portion (18) disposée entre le substrat et le niveau inférieur de la première électrode, une deuxième portion (6) disposée entre le niveau inférieur de la première électrode et le niveau supérieur de la première électrode, et une troisième portion (12) en contact avec la première portion et affleurant ledit niveau conducteur, la deuxième portion étant réalisée avec le même matériau que la première électrode du condensateur.

2. Circuit selon la revendication 1, caractérisé par le fait que le matériau composant la première électrode et la deuxième portion de via comprend du polysilicium.

3. Circuit selon la revendication 1, caractérisé par le fait que le matériau composant la première électrode et la deuxième portion de via comprend du métal.

4. Circuit selon la revendication 3, caractérisé par le fait que ledit matériau comprend un métal ou un alliage à base de métal, comprenant du cuivre, de l'aluminium, du tungstène, du titane et/ou de l'or.

5. Procédé de fabrication d'un circuit intégré, dans lequel, à partir d'un substrat recouvert d'au moins une couche diélectrique, on forme une première électrode de condensateur disposée au-dessus du substrat, un diélectrique de condensateur, une deuxième électrode de condensateur, le diélectrique étant disposé entre les deux électrodes, et au moins un via de connexion entre le substrat et un niveau conducteur situé au-dessus du condensateur, et un matériau diélectrique

recouvrant le substrat et entourant le condensateur et le via, le via comprenant une première portion disposée entre le substrat et le niveau inférieur de la première électrode, une deuxième portion entre le niveau inférieur et le niveau supérieur de la première électrode, et
5 une troisième portion en contact avec la deuxième portion et affleurant ledit niveau conducteur, la deuxième portion et la première électrode étant formées simultanément et avec le même matériau.

6. Procédé selon la revendication 5, dans lequel :

- 10 • à partir d'un substrat recouvert d'au moins une couche diélectrique, on creuse simultanément un premier trou (15) et un deuxième trou (16) que l'on remplit d'un premier matériau électriquement conducteur,
 - on dépose une couche diélectrique(2),
 - on creuse la couche diélectrique pour réaliser au moins une
15 cavité au dessus du premier trou rempli en vue de former un condensateur et au moins un troisième trou au dessus du deuxième trou rempli en vue de former un via,
 - on dépose une couche d'un deuxième matériau conducteur sur
20 la surface supérieure de la couche diélectrique (2), ledit matériau venant remplir ledit troisième trou et revêtir les parois de ladite cavité,
 - on retire ledit deuxième matériau conducteur de la surface
supérieure de la couche diélectrique,
 - on dépose au moins une fine couche de matériau
25 diélectrique, au moins sur la surface de ladite couche conductrice dans ladite cavité,
 - on dépose une deuxième couche du deuxième matériau conducteur au moins dans la cavité et sur une zone adjacente à la cavité,
- 30 • on dépose une couche épaisse de matériau diélectrique,
 - on creuse un quatrième trou dans ladite couche épaisse de matériau diélectrique dans l'alignement du trou rempli du deuxième matériau conducteur, jusqu'à atteindre ledit deuxième matériau conducteur, et

- on remplit ledit quatrième trou d'un troisième matériau conducteur pour former un via comprenant les deuxième, troisième et quatrième trous remplis des premier deuxième et troisième matériaux conducteurs.

5 7. Procédé selon la revendication 6, dans lequel les deuxième et troisième matériaux sont différents.

8. Procédé de fabrication d'un circuit intégré comprenant au moins un condensateur disposé au-dessus d'un substrat et au moins un via (6, 12, 18) de connexion entre le substrat et un niveau conducteur
10 situé au dessus du condensateur, dans lequel :

- à partir d'un substrat recouvert d'au moins une couche diélectrique, on creuse simultanément un premier trou (15) et un deuxième trou (16) que l'on remplit d'un premier matériau électriquement conducteur,

15

- on dépose une couche diélectrique(2),

- on creuse la couche diélectrique pour réaliser au moins une cavité au dessus du premier trou rempli en vue de former un condensateur et au moins un troisième trou au dessus du deuxième trou rempli en vue de former un via,

20

- on dépose une couche d'un deuxième matériau conducteur sur la surface supérieure de la couche diélectrique, ledit deuxième matériau venant remplir ledit troisième trou et revêtir les parois de ladite cavité,

25

- on retire ledit deuxième matériau conducteur de la surface supérieure de la couche diélectrique,

- on dépose au moins une fine couche de matériau diélectrique, au moins sur la surface de ladite couche conductrice dans ladite cavité,

30

- on dépose une deuxième couche du deuxième matériau conducteur au moins dans la cavité et sur une zone adjacente à la cavité,

- on dépose une couche épaisse de matériau diélectrique,

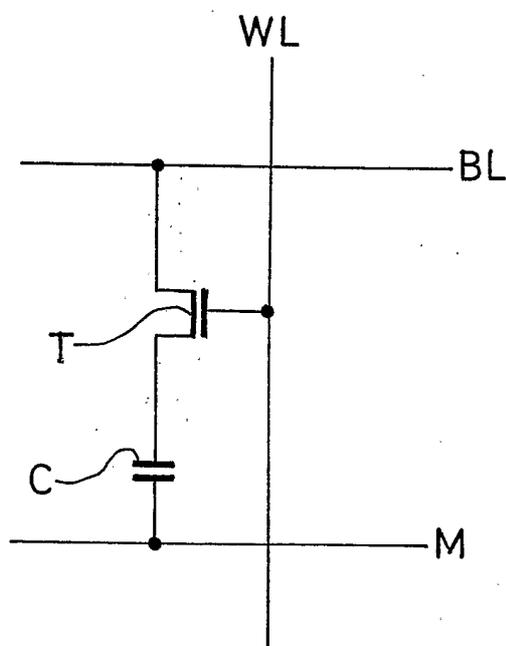
- on creuse un quatrième trou dans ladite couche épaisse de matériau diélectrique dans l'alignement du trou rempli du deuxième

matériau conducteur, jusqu'à atteindre ledit deuxième matériau conducteur, et

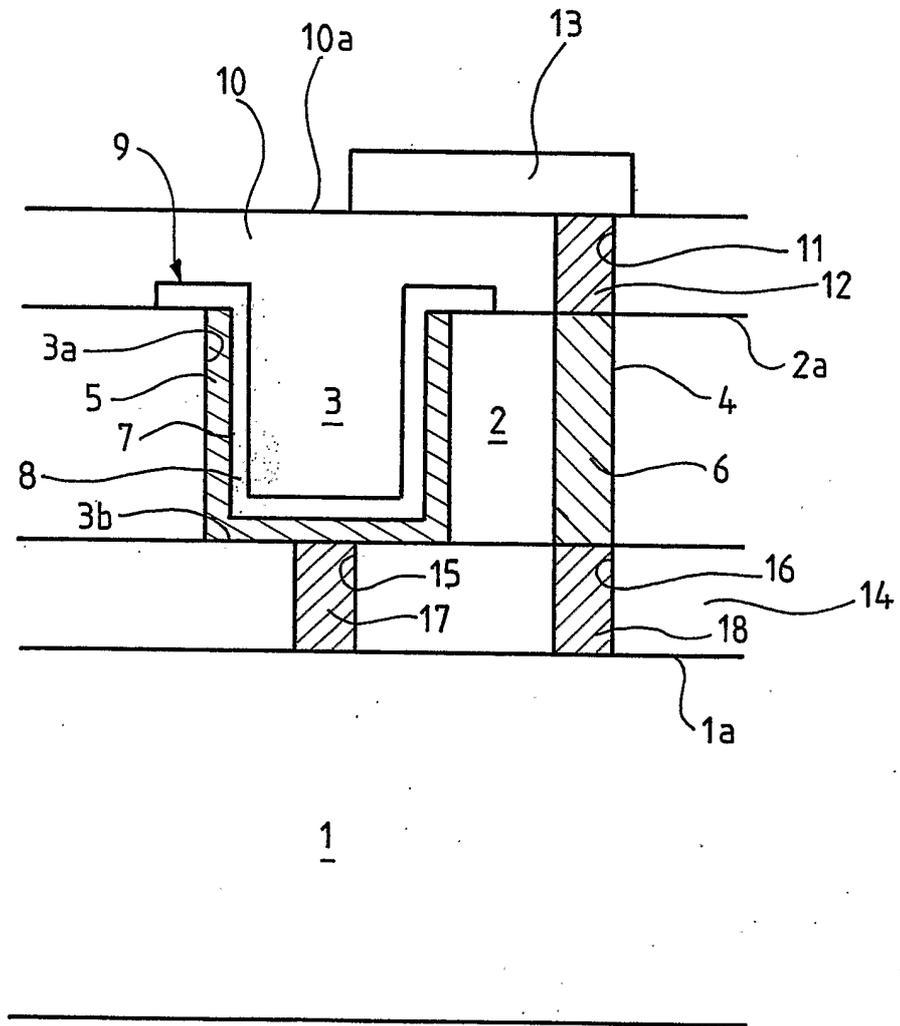
- 5 - on remplit ledit quatrième trou d'un troisième matériau conducteur différent du deuxième matériau conducteur pour former un via comprenant les deuxième, troisième et quatrième trous remplis des premier, deuxième et troisième matériaux conducteurs.

1/4

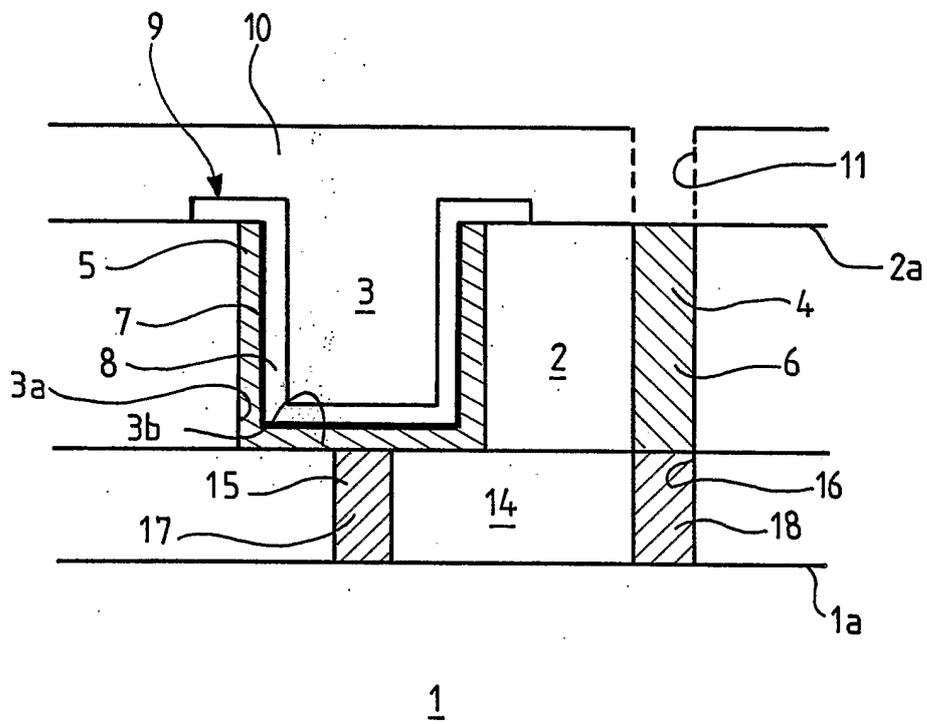
FIG_1



FIG_2

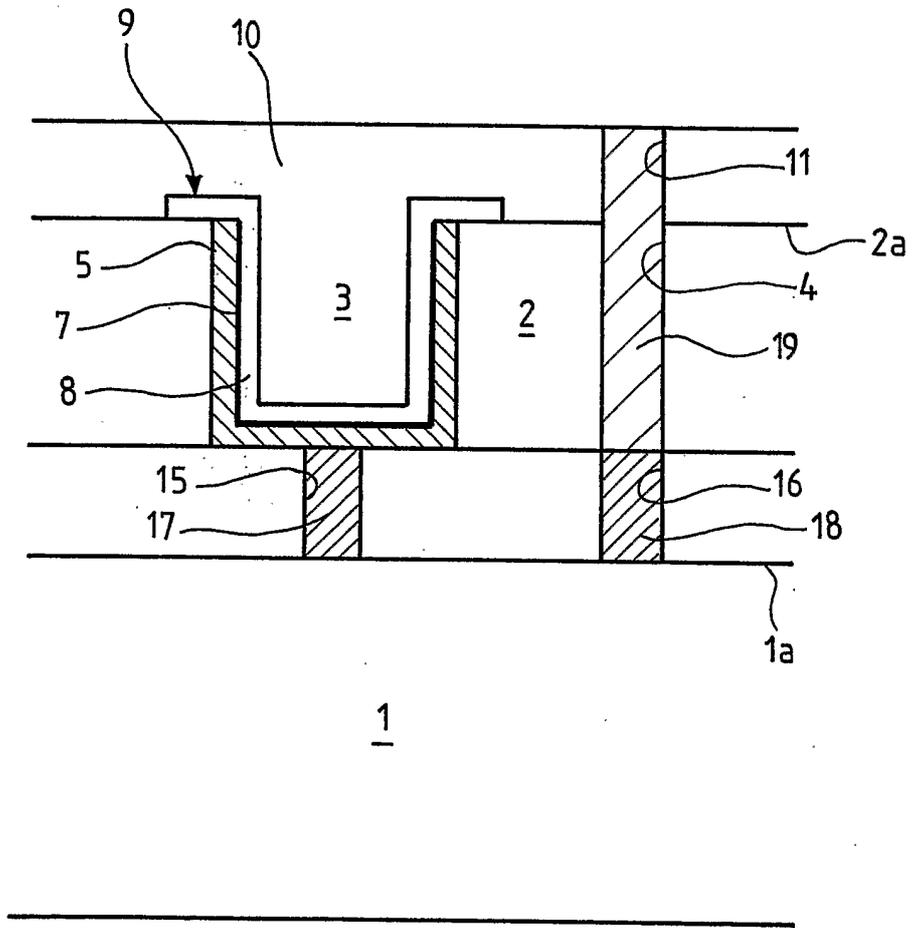


FIG_3



4/4

FIG_4



INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 02/02887

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/8242

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 874 756 A (ANEZAKI TOHRU ET AL) 23 February 1999 (1999-02-23) abstract; figures 22-24B, 34-38	1-8
X	US 6 214 727 B1 (PAREKH KUNAL R) 10 April 2001 (2001-04-10) abstract; figures	1-8
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 229 (E-0928), 15 May 1990 (1990-05-15) & JP 02 060162 A (SONY CORP), 28 February 1990 (1990-02-28) abstract	1-8
	--- -/--	

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

° Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

11 November 2002

Date of mailing of the international search report

18/11/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Sinemus, M

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 02/02887

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 168 (E-0912), 30 March 1990 (1990-03-30) & JP 02 023657 A (SHARP CORP), 25 January 1990 (1990-01-25) abstract -----	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

In International Application No

PCT/FR 02/02887

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5874756	A	23-02-1999	JP 8274278 A	18-10-1996
			IT MI960141 A1	28-07-1997
			JP 2002237525 A	23-08-2002
			KR 254965 B1	01-05-2000
			US 6395599 B1	28-05-2002
			US 5972757 A	26-10-1999
			US 2002153614 A1	24-10-2002
			US 5763910 A	09-06-1998
			US 6335552 B1	01-01-2002
			US 2002003248 A1	10-01-2002
			US 2002024077 A1	28-02-2002
US 6214727	B1	10-04-2001	US 6015983 A	18-01-2000
			US 6140172 A	31-10-2000
			US 6323080 B1	27-11-2001
JP 02060162	A	28-02-1990	NONE	
JP 02023657	A	25-01-1990	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Di e Internationale No
PCT/FR 02/02887

A. CLASSEMENT DE L'OBJET DE LA DEMANDE CIB 7 H01L21/8242		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 7 H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 874 756 A (ANEZAKI TOHRU ET AL) 23 février 1999 (1999-02-23) abrégé; figures 22-24B, 34-38	1-8
X	US 6 214 727 B1 (PAREKH KUNAL R) 10 avril 2001 (2001-04-10) abrégé; figures	1-8
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 229 (E-0928), 15 mai 1990 (1990-05-15) & JP 02 060162 A (SONY CORP), 28 février 1990 (1990-02-28) abrégé	1-8
	-/--	
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
° Catégories spéciales de documents cités:		
<ul style="list-style-type: none"> *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent *E* document antérieur, mais publié à la date de dépôt international ou après cette date *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier *Z* document qui fait partie de la même famille de brevets 		
Date à laquelle la recherche internationale a été effectivement achevée <p style="text-align: center;">11 novembre 2002</p>		Date d'expédition du présent rapport de recherche internationale <p style="text-align: center;">18/11/2002</p>
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Fonctionnaire autorisé <p style="text-align: center;">Sinemus, M</p>

RAPPORT DE RECHERCHE INTERNATIONALE

D le Internationale No
PCT/FR 02/02887

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	<p>PATENT ABSTRACTS OF JAPAN vol. 014, no. 168 (E-0912), 30 mars 1990 (1990-03-30) & JP 02.023657 A (SHARP CORP), 25 janvier 1990 (1990-01-25) abrégé</p> <p style="text-align: center;">-----</p>	1-8

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Internationale No
PCT/FR 02/02887

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5874756	A	23-02-1999	JP 8274278 A	18-10-1996
			IT MI960141 A1	28-07-1997
			JP 2002237525 A	23-08-2002
			KR 254965 B1	01-05-2000
			US 6395599 B1	28-05-2002
			US 5972757 A	26-10-1999
			US 2002153614 A1	24-10-2002
			US 5763910 A	09-06-1998
			US 6335552 B1	01-01-2002
			US 2002003248 A1	10-01-2002
			US 2002024077 A1	28-02-2002
US 6214727	B1	10-04-2001	US 6015983 A	18-01-2000
			US 6140172 A	31-10-2000
			US 6323080 B1	27-11-2001
JP 02060162	A	28-02-1990	AUCUN	
JP 02023657	A	25-01-1990	AUCUN	