

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5566675号  
(P5566675)

(45) 発行日 平成26年8月6日(2014.8.6)

(24) 登録日 平成26年6月27日(2014.6.27)

(51) Int. Cl.	F I
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 21/336 (2006.01)	
HO 1 L 29/788 (2006.01)	
HO 1 L 29/792 (2006.01)	

請求項の数 11 (全 26 頁)

(21) 出願番号	特願2009-285708 (P2009-285708)	(73) 特許権者	390019839
(22) 出願日	平成21年12月16日(2009.12.16)		三星電子株式会社
(65) 公開番号	特開2011-29586 (P2011-29586A)		Samsung Electronics
(43) 公開日	平成23年2月10日(2011.2.10)		Co., Ltd.
審査請求日	平成24年12月12日(2012.12.12)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	61/227, 863		129, Samsung-ro, Yeon
(32) 優先日	平成21年7月23日(2009.7.23)		gtong-gu, Suwon-si, G
(33) 優先権主張国	米国 (US)		yeonggi-do, Republic
(31) 優先権主張番号	10-2009-0121107		of Korea
(32) 優先日	平成21年12月8日(2009.12.8)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 メモリ半導体装置、その製造方法、及び動作方法

(57) 【特許請求の範囲】

【請求項1】

互いに離隔されて配置される接地選択構造体及びストリング選択構造体と、  
順に積層された複数のワードラインを包含し、前記接地及びストリング選択構造体との間に配置される少なくとも1つのメモリ構造体と、

前記メモリ構造体の上部面及び側壁を覆い、前記複数のワードラインを横切りながら前記接地及びストリング選択構造体に連結される少なくとも1つの半導体パターンと、を包含し、

前記接地及びストリング選択構造体と、前記ワードライン構造体の下部に配置される基板と、をさらに包含し、前記接地及びストリング選択構造体は、前記基板をチャンネルとして使用する複数のMOS-FETを包含し、

前記複数の接地及びストリング選択構造体は、前記複数のワードラインと平行になり、  
接地選択ライン、及びストリング選択ラインをゲート電極として各々使用する複数のMOS-FETを包含し、前記メモリ構造体は、順に積層された前記複数のワードラインをゲート電極として使用する複数のMOS-FETを包含し、

前記半導体パターンの一端は前記接地選択トランジスタのドレーン電極と接続され、前記半導体パターンの他端は前記ストリング選択トランジスタのソース電極と接続されることを特徴とするメモリ半導体装置。

【請求項2】

前記半導体パターンと前記メモリ構造体との間に介在される情報格納膜パターンをさら

に包含する

ことを特徴とする請求項 1 に記載のメモリ半導体装置。

【請求項 3】

前記情報格納膜パターンは、電荷格納膜を包含する  
ことを特徴とする請求項 2 に記載のメモリ半導体装置。

【請求項 4】

前記メモリ構造体は、前記半導体パターンをチャンネルとして使用する順に積層された前記複数の MOS - FET を包含する

ことを特徴とする請求項 1 に記載のメモリ半導体装置。

【請求項 5】

前記接地選択構造体は、前記接地選択ライン両側の前記基板内に形成される第 1 不純物領域、及び第 2 不純物領域を包含し、前記複数の第 1、及び第 2 不純物領域は、各々の前記半導体パターン、及び前記接地選択ラインと平行になる共通ソースラインに接続し、

前記ストリング選択構造体は、前記ストリング選択ライン両側の前記基板内に形成される第 3 不純物領域、及び第 4 不純物領域を包含し、前記複数の第 3、及び第 4 不純物領域は、各々の前記半導体パターン、及び前記ストリング選択ラインを横切るビットラインに接続する

ことを特徴とする請求項 1 に記載のメモリ半導体装置。

【請求項 6】

前記半導体パターンは、前記メモリ構造体の周辺から延長されて、前記接地及びストリング選択構造体の上部面、及び側壁を覆い、

前記接地及びストリング選択構造体の各々は、順に積層された複数の導電ラインをゲート電極として使用し、前記半導体パターンをチャンネルとして使用し、順に積層された複数の MOS - FET を包含する

ことを特徴とする請求項 1 に記載のメモリ半導体装置。

【請求項 7】

前記接地及びストリング選択構造体の複数の導電ラインは、物質、薄膜厚さ、及び積層された層の数において、前記メモリ構造体の複数のワードラインと実質的に同一である

ことを特徴とする請求項 6 に記載のメモリ半導体装置。

【請求項 8】

前記複数のワードラインと平行になる共通ソースライン、及び前記複数のワードラインを横切る少なくとも 1 つのビットラインをさらに包含し、

前記共通ソースラインは、前記接地選択構造体の上部へ延長された前記半導体パターンの一部分に接続し、

前記ビットラインは、前記ストリング選択構造体の上部へ延長された前記半導体パターンの他の一部分に接続する

ことを特徴とする請求項 6 に記載のメモリ半導体装置。

【請求項 9】

前記半導体パターンは、前記複数のワードラインの側壁に隣接する本体部、及び前記接地及びストリング選択構造体の上部面に隣接する複数の不純物領域を包含し、前記本体部は、前記不純物領域と異なる導電性を有する

ことを特徴とする請求項 1 に記載のメモリ半導体装置。

【請求項 10】

前記接地及びストリング選択構造体と、前記ワードライン構造体の下部に配置される基板と、をさらに包含し、

前記複数の不純物領域は、前記メモリ構造体の上部と前記メモリ構造体との間、前記メモリ構造体と前記接地選択構造体との間、及び前記メモリ構造体と前記ストリング選択構造体との間のうち、少なくとも 1 つの位置にさらに形成される

ことを特徴とする請求項 9 に記載のメモリ半導体装置。

【請求項 11】

10

20

30

40

50

前記接地及びストリング選択構造体と、前記ワードライン構造体の側面に配置され、前記半導体パターンを覆う複数のスペーサーをさらに包含する

ことを特徴とする請求項 9 に記載のメモリ半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、その製造方法、及び動作方法に関する。

【背景技術】

【0002】

消費者が要求する優れた性能、及び安値を満たすために半導体装置の集積度を増加させることが要求されてくる。メモリ半導体装置の場合、その集積度は、製品の価格を決定する重要な要因であるので、特に増加された集積度が要求されている。従来は 2 次元又は平面的なメモリ半導体装置の場合、その集積度は、単位メモリセルが占有する面積によって主に決定されるため、微細パターン形成技術の水準に大きく影響を及ぼす。しかしながら、パターンを微細化するためには、非常に高価な装備が必要であるので、2 次元メモリ半導体装置の集積度は増加しているが、相変わらず制限的である。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 180389 号公報

20

【特許文献 2】特開 2005 - 268438 号公報

【特許文献 3】韓国特許出願公開 2006 - 89547 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、上述の問題点に鑑みてなされたもので、その目的は、増加された集積度を有するメモリ半導体装置を提供することにある。

【0005】

本発明の他の目的は、増加された集積度を有するメモリ半導体装置の製造方法を提供することにある。

30

【0006】

本発明の他の目的は、増加された集積度を有するメモリ半導体装置の動作方法を提供することにある。

【課題を解決するための手段】

【0007】

上述の目的を達成すべく、本発明の態様によるメモリ半導体装置は、基板の上部面と垂直な長軸を有しながら 2 次的に配列される複数の半導体パターン、及び前記複数の半導体パターンを横切る長軸を有し、前記半導体パターンの間で 3 次的に配列される複数のワードラインを包含する。

【0008】

40

一実施形態によると、前記半導体パターンと、前記ワードラインとの間に介在される情報格納膜パターン（例えば、電荷格納膜）をさらに包含できる。

【0009】

一実施形態によると、前記ワードラインは、これに隣接する前記半導体パターンの電位を制御するように構成される。又は、同一な層に配列されるワードラインの配置構造は、他の層に配列されるワードラインの配置構造と実質的に同一でありうる。

【0010】

一実施形態によると、前記メモリ半導体装置は、複数の前記半導体パターンの下部領域を電氣的に連結する共通ソース電極、及び前記ワードラインを横切る方向に沿って複数の前記半導体パターンの上部領域を電氣的に連結するビットラインをさらに包含できる

50

## 【0011】

一実施形態によると、前記基板は、不純物拡散領域を包含する半導体基板であり得て、この場合、前記不純物拡散領域は、複数個の前記半導体パターン下端を電氣的に連結する共通ソース電極として使用できる。

## 【0012】

一実施形態によると、前記基板と前記ワードラインとの間には、共通ソース電極として使用される導電膜が形成できる。

## 【0013】

一実施形態によると、前記複数のワードラインの間には、共通ソース電極として使用される前記ワードラインと平行な導電パターンがさらに形成できる。

10

## 【0014】

本発明の実施形態によると、前記基板は、セルアレイ領域、及び前記セルアレイ領域の周りに形成されるコア領域を包含できる。この場合、前記基板の上部面は、前記コア領域でより前記セルアレイ領域でさらに低くなることができる。一実施形態によると、前記ワードラインの各々は、前記基板の上部面と平行な配線区間、及び前記基板の上部面に傾いたコンタクト区間を包含できる。この時、前記コンタクト区間は、前記セルアレイ領域の前記コア領域に隣接する領域に形成できる。又、前記ワードラインは、これの配線区間が前記基板の上部面からさらに遠くに離隔されるほどそのコンタクト区間は、前記コア領域から離隔されて形成される。一実施形態によると、前記ワードラインのコンタクト区間の上部面は、実質的に同一な高さに形成できる。

20

## 【0015】

又、前記技術的課題を達成すべく、本発明によるメモリ半導体装置は、下部配線、前記下部配線の上に配置される少なくとも1つの上部配線、順に積層される複数の中間配線で構成され、前記下部配線と、前記上部配線との間に配置される少なくとも1つの中間配線構造体、前記中間配線構造体の側面に配置され、前記下部配線と、前記上部配線を連結する少なくとも1つの半導体パターン、及び前記半導体パターンと、前記中間配線構造体との間に配置される少なくとも1つの情報格納パターンを具備できる。

## 【0016】

一実施形態によると、前記中間配線の各々は、前記上部配線と、交差するライン模様でありうる。

30

## 【0017】

本発明の実施形態によると、前記半導体パターンは、前記上部配線に接続する上部不純物領域、及び前記中間配線構造体の側壁に配置され、前記上部不純物領域と前記下部配線を連結するチャンネル領域とを包含できる。この時、前記チャンネル領域は、前記上部不純物領域と異なる導電型を有するか、或いはドーピングされない状態でありうる。一実施形態によると、前記上部配線、及び前記下部配線へ印加される電圧の前記チャンネル領域への伝達は、前記上部配線、及び前記下部配線の各々に最も隣接する一対の中間配線によって制御できる。

## 【0018】

40

又、前記一技術的課題を達成すべく、本発明によるメモリ半導体装置の製造方法は、順にそして反復的に積層された絶縁膜パターン、及び中間配線で構成される少なくとも1つの中間配線構造体を形成する段階を包含する。具体的に、この方法は、基板上に前記中間配線構造体を形成し、少なくとも前記中間配線構造体の側壁を覆う少なくとも1つの情報格納膜パターン、及び少なくとも1つの半導体パターンを形成した後、前記半導体パターンに接続し、前記中間配線を横切る少なくとも1つのビットラインを形成する段階を包含できる。

## 【0019】

又、前記一技術的課題を達成すべく、本発明によるメモリ半導体装置を駆動するため動作方法は、基板の上部面と垂直した長軸を有しながら2次元的に配列される半導体パター

50

ン、及び前記半導体パターンを横切る長軸を有しながら前記半導体パターンの中で3次元的に配列されるワードラインを包含する。具体的に、このメモリ半導体装置は、複数の前記半導体パターンの下部領域を電氣的に連結する共通ソース電極、及び前記ワードラインを横切る方向に沿って複数の前記半導体パターンの上部領域を電氣的に連結するビットラインをさらに包含でき、前記動作方法は、ワードラインへ印加される電圧を利用して半導体パターンの電位を制御することによって半導体パターンと共通ソース電極、又はビットライン間の電氣的連結を制御する段階を包含できる。

【発明の効果】

【0020】

本発明の実施形態によると、3次元的に配列される複数のワードラインがこれらに垂直する長軸を有し、2次元的に配列される複数の半導体パターンの間に配置される。複数のワードラインが3次元的に配列されるため、本発明によるメモリ素子は、増加された集積度を有するだけでなく、各々のメモリセルは、独立的に制御できる。

10

【0021】

一方、2次元的に配列された複数のメモリセルを順に積層することによって、3次元メモリセルを具現する方法が一部提案された。しかし、このような方法は、工程段階の反復に基づいているので、製造費用が大きく増加する。しかしながら、本発明によると、複数のワードライン、及びチャンネル領域として使用される複数の半導体パターンは、実際に1回の工程段階を通じて形成される。そのため、本発明によると、工程段階の増加による製造費用が著しく増加することなく、3次元的に配列されたメモリ素子が製作できる。

20

【図面の簡単な説明】

【0022】

【図1】本発明の一実施形態による半導体装置を示す斜視図である。

【図2】本発明の一実施形態による情報格納パターンを説明するための工程断面図である。

。

【図3】本発明の一実施形態によるメモリ半導体装置のセルアレイ構造を説明するための回路図である。

【図4】本発明の一実施形態によるメモリ半導体装置のセルアレイ一部を示す斜視図である。

【図5】本発明の一実施形態によるメモリ半導体装置の製造方法を説明するための斜視図である。

30

【図6】本発明の一実施形態によるメモリ半導体装置の製造方法を説明するための斜視図である。

【図7】本発明の一実施形態によるメモリ半導体装置の製造方法を説明するための斜視図である。

【図8】本発明の一実施形態によるメモリ半導体装置の製造方法を説明するための斜視図である。

【図9】本発明の一実施形態によるメモリ半導体装置の製造方法を説明するための斜視図である。

【図10】本発明の一実施形態によるメモリ半導体装置の製造方法を説明するための斜視図である。

40

【図11】本発明の他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための回路図である。

【図12】本発明の他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための斜視図である。

【図13】本発明のその他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための回路図である。

【図14】本発明のその他の実施形態による半導体装置の製造方法を説明するための斜視図である。

【図15】本発明のその他の実施形態による半導体装置の製造方法を説明するための斜視

50

図である。

【図 16】本発明の実施形態による複数の中間配線の電氣的連結構造を説明するための斜視図である。

【図 17】本発明の実施形態による複数の中間配線の電氣的連結構造を説明するための斜視図である。

【図 18】本発明の実施形態による複数の下部配線の電氣的連結構造を説明するための斜視図である。

【図 19】本発明の実施形態による複数の下部配線の電氣的連結構造を説明するための斜視図である。

【図 20】本発明の実施形態による複数の下部配線の電氣的連結構造を説明するための斜視図である。

10

【図 21】本発明の実施形態による複数の下部配線の電氣的連結構造を説明するための斜視図である。

【図 22】本発明のその他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための斜視図である。

【図 23】本発明のその他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための回路図である。

【図 24】本発明のその他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための斜視図である。

【図 25】本発明のその他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための平面図である。

20

【図 26】本発明によるフラッシュメモリ装置を備えるメモリカードの一実施形態を簡略に示すブロック図である。

【図 27】本発明によるフラッシュメモリ装置を備えるメモリカードの一実施形態を簡略に示すブロック図である。

【発明を実施するための形態】

【0023】

以上の本発明の目的、他の目的、特徴及び利点は、添付された図面と関連した以下の望ましい実施形態を通じて容易に理解されるはずである。しかし、本発明は、ここで説明される実施形態に限定されずに、他の形態に具体化されることができる。さて、ここで紹介される実施形態は、開示された内容が徹底で完全になるように、そして当業者に本発明の思想が十分に伝えられるようにするために提供されるものである。

30

【0024】

本明細書で、何らかの膜が異なる膜又は基板上にあると言及される場合に、それは異なる膜又は基板上に直接形成されうる、或いはこれらの間に第3の膜が介在されうるということの意味する。又、図面において、膜及び領域の厚さは、技術的な内容の効果的な説明のために誇張されたものである。又、本明細書の多様な実施形態で第1、第2、第3などの用語が多様な領域、膜などを記述するために使われたが、これらの領域、膜がこのような用語によって限定されてはならない。これらの用語は、何らかの所定領域又は膜を他の領域又は膜と区別させるために使われたのみである。従って、何らかの一実施形態の第1膜質に言及された膜質が他の実施形態では第2膜質に言及されうる。ここに説明され、例示される各実施形態は、その相補的な実施形態も含む。

40

【0025】

図1は、本発明の一実施形態による半導体装置を示す斜視図である。

【0026】

図1を参照すると、基板10の上に中間配線構造体200が配置される。前記中間配線構造体200は、順に反復的に積層された複数の絶縁膜パターン131、132、133、134、135、及び複数の中間配線141、142、143、144を包含する。前記中間配線構造体200の側壁には少なくとも1つの半導体パターン65が配置され、前記半導体パターン65と前記中間配線構造体200との間には、情報格納パターン55が

50

配置される。前記半導体パターン65と前記基板10との間には前記半導体パターン65の複数の下部領域を連結する下部配線20が配置され、前記中間配線構造体200の上部には、前記複数の半導体パターン65に接続する上部配線75が配置できる。

【0027】

前記基板10は、半導体、導電性物質、及び絶縁性物質のうち、少なくとも1つを包含できる。一実施形態によると、前記基板10は、単結晶構造のシリコン膜であり、前記下部配線20は、前記基板10の内に形成される不純物拡散領域でありうる。この場合、前記基板10と前記下部配線20として使用される不純物拡散領域は、互いに異なる導電性を有することができる。

【0028】

前記半導体パターン65は、単結晶半導体、又は多結晶半導体でありうる。この時、前記下部配線20が不純物拡散領域である場合、前記半導体パターン65は、前記下部配線20とダイオードを構成するように前記下部配線20と異なる導電性を有することができる。一実施形態によると、前記半導体パターン65は、ドーピングされない状態の半導体 (intrinsic semiconductor) でありうる。

【0029】

一方、以後図20、及び図21を参照して説明するが、前記下部配線20は、導電性物質で形成でき、この場合前記ダイオードのような整流素子を具現するため、前記半導体パターン65は、互いに異なる導電性を有する少なくとも2部分を有する。例えば、前記複数の中間配線141~144周辺に配置される前記半導体パターン65の一部領域(以下、本体部)Bは、前記下部配線20に接触する前記半導体パターン65の他の領域(ソース領域)と、導電性において、異なりうる。その上、前記半導体パターン65の上部領域の一部(以下、ドレーン領域)Dは、前記本体部Bと異なる導電性を有するように形成できる。

【0030】

前記半導体パターン65は、示したように、前記中間配線構造体200の一側面から延長され、前記中間配線構造体200の他側面に配置された他の半導体パターン65に連結できる。この場合、前記半導体パターン65は、前記中間配線構造体200の上部面上にも配置され、前記上部配線75は、所定のプラグ70を通じて、前記中間配線構造体200の上部面上に形成される前記半導体パターン65に接続できる。

【0031】

前記複数の中間配線141~144は、複数の導電性物質のうちの少なくとも1つでありうる。例えば、前記複数の中間配線141~144は、ドーピングされた半導体、複数の金属、複数の金属窒化物、及び金属シリサイドのうちの少なくとも1つを包含できる。この時、前記中間配線141~144は、前記上部配線75と交差する方向に形成できる。

【0032】

本発明の一側面によると、前記複数の中間配線141~144は、前記半導体パターン65の電位を制御することによって、前記上部配線75と前記下部配線20との間の電氣的連結を制御できる。より具体的に、前記半導体パターン65は、前記中間配線141~144と容量的に結合 (capacitively coupled) することによって、MOSキャパシターを構成できる。この場合、前記中間配線141~144へ印加される電圧は、これに隣接する前記半導体パターン65の電位を可變的に制御することができ、前記半導体パターン65のエネルギーバンドは、前記中間配線141~144へ印加される電圧にしたがって、反転 (inversion) できる。したがって、前記上部配線75と前記下部配線20との間の電氣的連結は、前記中間配線構造体200を構成する複数の中間配線141~144へ印加される電圧によって制御できる。

【0033】

一方、このような電氣的連結は、前記複数の中間配線141~144各々の側面で反転される複数の領域が互いに重畳される時に可能である。このような複数の反転領域が重畳

10

20

30

40

50

できるように、前記複数の中間配線 141 ~ 144 との間の絶縁膜パターン 132 ~ 134 は、前記反転される領域の最大幅の 2 倍より小さい厚さで形成できる。前記絶縁膜パターン 131 ~ 135 は、複数の絶縁性物質のうちの、少なくとも 1 つであり得て、シリコン酸化膜、シリコン窒化膜、及びシリコン酸化窒化膜のうちの、少なくとも 1 つを包含できる。しかし、最上部の絶縁膜パターン 135 は、後続パターニング工程で蝕刻マスクとして使用できるため、他の複数の絶縁膜パターン 131 ~ 134 より厚い厚さで形成できる。その上、フラッシュメモリ装置の本発明の実施形態によると、前記基板 10、又は前記下部配線 20 との間の絶縁破壊 (breakdown) 現象を発生させる高電圧が前記最下部中間配線 141 へ印加できる。したがって、最下部の絶縁膜パターン 131 は、示したように前記複数の中間配線 141 ~ 144 との間に介在される複数の絶縁膜パターン 131 ~ 134 より厚い厚さで形成できる。

10

#### 【0034】

本発明の他の側面によると、前記中間配線 141 ~ 144 は、前記半導体パターン 65 と共に、前記情報格納パターン 55 に格納された情報を変更することのために使用できる。上述した本発明の一側面によると、前記複数の中間配線 141 ~ 144 各々へ印加される電圧を独立的に調節する場合、所定の中間配線側面の半導体パターン 65 は、前記上部配線 75、又は前記下部配線 20 のうちの 1 つへ選択的に連結できる。即ち、所定の中間配線 (例えば、142) に対向する半導体パターン 65 の一部領域は、他の複数の中間配線 141、143、144 へ印加される電圧にしたがって、前記上部配線 75、又は前記下部配線 20 と等電位におかれることができる。したがって、前記選択された中間配線 142 に前記上部配線 75、又は前記下部配線 20 と異なる電圧が印加される場合、該当情報格納パターン 55 の両端には情報を変更するために利用できる電位差が生成できる。

20

#### 【0035】

本発明の一側面によると、前記情報格納パターン 55 は、前記半導体パターン 65、及び前記中間配線 141 ~ 144 と共に、MOS トランジスタを構成するキャパシター誘電膜として使用できる。そのため、前記情報格納パターン 55 は、絶縁性物質のうちの少なくとも 1 つを包含する。

#### 【0036】

本発明の他の側面によると、前記情報格納パターン 55 は、前記半導体パターン 65、及び前記中間配線 141 ~ 144 と共に、MOS トランジスタを構成できる。この場合、前記半導体パターン 65 は、チャンネル領域として使用され、前記中間配線 141 ~ 144 は、ゲート電極として使用され、前記情報格納パターン 55 は、ゲート絶縁膜として使用される。この時、前記絶縁膜パターン 55 側面の半導体パターン 65 の一部領域は、前記中間配線 141 ~ 144 へ印加される電圧によって反転されるので、前記 MOS トランジスタのソース/ドレイン電極として使用できる。前記半導体パターン 65 が前記複数の中間配線 141 ~ 144 の側壁に配置されるので、これをチャンネル領域として使用する MOS トランジスタの電流方向は、前記基板 10 の上部面に垂直である。

30

#### 【0037】

前記情報格納パターン 55 は、絶縁性物質を包含し、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、及び高誘電膜の中の少なくとも 1 つを包含できる。この時、前記高誘電膜は、前記シリコン酸化膜より高い誘電定数を有する複数の絶縁性物質を意味し、タンタル酸化膜、チタン酸化膜、ハフニウム酸化膜、ジルコニウム酸化膜、アルミニウム酸化膜、イットリウム酸化膜、ニオブウム酸化膜、セシウム酸化膜、インジウム酸化膜、イリジウム酸化膜、BST 膜、及び PZT 膜を包含できる。

40

#### 【0038】

図 2 は、本発明の一実施形態による情報格納パターンを説明するための断面図である。

#### 【0039】

図 2 を参照すると、前記情報格納パターン 55 は、前記半導体パターン 65 に隣接するトンネル絶縁膜 55a、前記中間配線構造体 200 に隣接するブロッキング絶縁膜 55c、及び前記トンネル絶縁膜 55a、及び前記ブロッキング絶縁膜 55c との間に介在され

50

る電荷格納膜 5 5 b を包含できる。

【 0 0 4 0 】

この時、前記ブロッキング絶縁膜 5 5 c は、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、及び高誘電膜のうちの少なくとも 1 つを包含でき、一実施形態によると、高誘電膜を包含する多層薄膜でありうる。前記トンネル絶縁膜 5 5 a は、前記ブロッキング絶縁膜 5 5 c より低い誘電定数を有する物質で形成でき、前記電荷格納膜 5 5 b は、電荷トラップサイトが豊富な絶縁性薄膜（例えば、シリコン窒化膜）や、或いは複数の導電性粒子を包含する絶縁性薄膜でありうる。一実施形態によると、前記トンネル絶縁膜 5 5 a は、シリコン酸化膜であり、前記電荷格納膜 5 5 b は、シリコン窒化膜であり、前記ブロッキング絶縁膜 5 5 c は、アルミニウム酸化膜を包含する絶縁膜でありうる。この場合、前記中間配線 1 4 1 ~ 1 4 4 は、タンタル窒化膜を包含できる。

10

【 0 0 4 1 】

図 3 は、本発明の一実施形態によるメモリ半導体装置のセルアレイ構造を説明するための回路図である。

【 0 0 4 2 】

図 3 を参照すると、この実施形態によるメモリ半導体装置は、複数のビットライン B L、共通ソース電極 C S L、前記複数のビットライン B L 各々と前記共通ソース電極 C S L との間を連結する複数の半導体パターン 6 5、前記複数の半導体パターン 6 5 に対向しながら、前記複数のビットライン B L を横切る複数の中間配線 1 4 0 を包含する。前記半導体パターン 6 5 と前記ビットライン B L、又は前記共通ソース電極 C S L との間には整流素子が配置できる。前記中間配線 1 4 0 と前記半導体パターン 6 5 との間には情報格納体が配置できる。一実施形態によると、前記情報格納体は、図 2 を参照して説明したように電荷格納用薄膜を包含できる。

20

【 0 0 4 3 】

この実施形態によるメモリ半導体装置の単位メモリセル U C は、前記半導体パターン 6 5、これに対向する一つの間中配線 1 4 0、及びこれらに介在される情報格納体を包含する。この時、前記ビットライン B L と前記共通ソース電極 C S L との間には、一つの半導体パターン 6 5 に対向する複数個の中間配線 1 4 0 が順に配置される。したがって、一つの半導体パターン 6 5 を共有する複数の単位メモリセル U C は、前記ビットライン B L と前記共通ソース電極 C S L を直列に連結する。この実施形態によるメモリ半導体装置のセルストリング S T R は、前記ビットライン B L、前記共通ソース電極 C S L、及びこれら間で直列に連結される前記複数の単位メモリセル U C で構成される。

30

【 0 0 4 4 】

一実施形態によると、前記ビットライン B L に最も隣接する中間配線は、前記セルストリング S T R と当該ビットライン B L との間で電氣的連結を制御する上部選択ライン U S L として使用できる。その上、前記共通ソース電極 C S L に最も隣接する中間配線は、前記セルストリング S T R と前記共通ソース電極 C S L との間で電氣的連結を制御する下部選択ライン L S L として使用できる。前記上部及び下部選択ライン U S L、L S L との間で複数の中間配線 1 4 0 は、前記単位メモリセル U C の情報を変更するために使用される複数のワードライン W L として使用できる。説明を簡略にするため、図面には 2 つのワードラインが図示されたが、前記セルストリング S T R は、さらに多い数のワードラインを包含できる。

40

【 0 0 4 5 】

前記複数のワードライン W L は、複数の全域ワードライン G W L に接続できる。この時、一つのセルストリング S T R を構成するワードライン W L の各々は、互いに異なる全域ワードライン G W L に接続される。一実施形態によると、示したように、前記全域ワードライン G W L は、前記ビットライン B L と平行な方向に配置されて、前記ワードライン W L を電氣的に連結する。一方、このような前記全域ワードライン G W L と前記ビットライン B L とが平行である場合、前記単位メモリセル U C を選択できるように、前記上部選択ライン U S L、及び前記下部選択ライン L S L は、前記ビットライン B L を横切る方向に

50

形成できる。

【 0 0 4 6 】

図 4 は、本発明の一実施形態によるメモリ半導体装置のセルアレイ一部を示す斜視図である。この実施形態によるメモリ半導体装置は、先の図 1、及び図 2 を参照した実施形態で説明された本発明の技術的特徴を有する。したがって、説明を簡略にするため、重複される技術的特徴に対する説明は、省略できる。

【 0 0 4 7 】

図 4 を参照すると、この実施形態によるメモリ半導体装置は、基板 1 0 上に配置される複数個の中間配線構造体 2 0 0 を具備する。前記複数個の中間配線構造体 2 0 0 は、互いに平行に配置されることができ、その各々は、順にそして反復的に積層された複数の絶縁膜パターン 1 3 1 ~ 1 3 5、及び複数の中間配線 1 4 1 ~ 1 4 4 を包含できる。

10

【 0 0 4 8 】

前記複数個の中間配線構造体 2 0 0 の両側面には前記複数個の中間配線構造体 2 0 0 を横切る複数個の半導体パターン 6 5 が配置できる。一実施形態によると、前記半導体パターン 6 5 は、前記複数個の中間配線構造体 2 0 0 の上部面、及びこれらの間の底面で互いに連結できる。この場合、示したように、前記半導体パターン 6 5 は、前記複数個の中間配線構造体 2 0 0 を横切り、前記複数個の中間配線構造体 2 0 0 の側面を覆うライン模様で形成できる。

【 0 0 4 9 】

前記半導体パターン 6 5 と前記中間配線構造体 2 0 0 との間には情報格納パターン 5 5 が配置できる。この実施形態によると、前記情報格納パターン 5 5 は、図 2 を参照して説明したように、電荷格納膜を包含することができ、前記情報格納パターン 5 5 に格納される情報は、前記半導体パターン 6 5 と前記中間配線 1 4 1 ~ 1 4 4 との間の電圧差異によって発生される FN トンネリング ( Fowler - Nordheim tunneling ) を利用して変更できる。

20

【 0 0 5 0 】

前記複数個の中間配線構造体 2 0 0 の下の基板 1 0 内には下部配線 2 0 ( 又は下部不純物領域 ) が形成できる。前記下部不純物領域 2 0 は、示したように前記複数個の中間配線構造体 2 0 0 の下だけでなく、これらの間の基板 1 0 内にも形成されて、複数個の半導体パターン 6 5 を電気的に連結できる。前記中間配線構造体 2 0 0 の上部には前記半導体パターン 6 5 に接続し、又は、前記複数の中間配線 1 4 1 ~ 1 4 4 を横切る複数個の上部配線 7 5 が配置できる。この実施形態によると、前記下部不純物領域 2 0 は、共通ソース電極 ( 図 3 の CSL ) として使用され、前記上部配線 7 5 は、前記情報格納パターン 5 5 に格納された情報を変更するための書込む電圧、又は格納された情報を読み出すための読出し電圧を印加する複数のビットライン ( 図 3 の BL ) として使用できる。

30

【 0 0 5 1 】

一方、本発明の一実施形態によると、後述する上部配線との連結用コンタクト区間を除くと、所定層に配列される複数の中間配線 ( 例えば、1 4 1 ) の配置構造は、他の層に配列される複数の中間配線 ( 例えば、1 4 2 ~ 1 4 4 ) の配置構造と実質的に同一にできる。

40

【 0 0 5 2 】

図 5 乃至図 1 0 は、本発明の一実施形態によるメモリ半導体装置の製造方法を説明するための斜視図である。

【 0 0 5 3 】

図 5 を参照すると、セルアレイ領域 ( Cell Array Region )、及びコア領域 ( Core Region ) を有する基板 1 0 を準備する。前記セルアレイ領域の上部面は、前記コア領域の上部面より低く形成される。一実施形態によると、このような構造は、前記セルアレイ領域で前記基板 1 0 をリセスさせるパターニング段階を通じて形成できる。他の実施形態によると、このような構造は、前記基板 1 0 上に前記 2 つの領域の間の段差に相応する厚さを有する所定の薄膜を形成した後、前記セルアレイ領域で前記

50

薄膜を蝕刻する段階を通じて形成できる。

【0054】

以後、示したように、前記基板10上に複数の絶縁膜31、32、33、34、35、及び複数の導電膜41、42、43、44を順にそして反復的に蒸着する。この時、前記複数の絶縁膜31～35、及び複数の導電膜41～44は、前記基板10上にコンフォーマル（conformal）に形成できる。前記複数の絶縁膜31～35、及び複数の導電膜41～44の合計の厚さは、前記セルアレイ領域と前記コア領域との間の段差Hより小さくできる。

【0055】

前記複数の絶縁膜31～35は、シリコン酸化膜、シリコン窒化膜、及びシリコン酸化窒化膜でありうる。一方、前記複数の導電膜41～44との間に介在される複数の絶縁膜32～34の厚さは、図1で説明された反転領域を重畳（overlap of inversion regions）させる技術的特徴を充足させる範囲で選択できる。しかし、最上部の絶縁膜35は、後続パタ-ニング工程で蝕刻マスクとして使用できるので、他の複数の絶縁膜31～34より厚い厚さで形成できる。その上、最下部の絶縁膜31は、最下部中間配線（図3の141と前記基板10、又は下部不純物領域20間の絶縁破壊（breakdown）を予防できるように前記複数の導電膜41～44との間に介在される複数の絶縁膜32～34より厚い厚さで形成できる。

【0056】

前記複数の導電膜41～44は、ドーピングされた半導体、金属、金属窒化物、及び金属シリシドのうちの少なくとも1つを包含できる。図1に示したように、本発明の実施形態によるメモリセルトランジスタは、垂直なチャンネルを有し、前記複数の導電膜41～44の厚さは、前記メモリセルトランジスタのチャンネルの長さを定義する。このような側面で、前記複数の導電膜41～44の厚さは、メモリセルトランジスタのチャンネルの長さに関連された技術的要求（例えば、短チャンネル効果の予防）を充足させる範囲で選択できる。

【0057】

一実施形態によると、前記複数の絶縁膜31～35、及び前記複数の導電膜41～44が形成される前に、前記基板10のセルアレイ領域に下部不純物領域20を形成できる。前記下部不純物領域20は、前記基板10と異なる導電性を有するように形成でき、この場合図3を参照して説明された共通ソース電極CSLとして使用できる。

【0058】

図6を参照すると、前記複数の絶縁膜31～35、及び前記複数の導電膜41～44をパタ-ニングして、前記基板10の上表面を露出させる複数のトレンチTを定義する中間配線構造体200を形成する。前記中間配線構造体200は、前記複数の絶縁膜31～35、及び前記複数の導電膜41～44がパタ-ニングされることによって形成される複数の絶縁膜パターン131、132、133、134、135、及び複数の中間配線141、142、143、144で構成できる。示したように、前記複数の中間配線141～144、及び前記複数の絶縁膜パターン131～135の側面は、露出されて前記トレンチTを定義する。

【0059】

前記複数個の中間配線構造体200は、写真、及び蝕刻工程を通じて前記最上部絶縁膜135をパタ-ニングした後、前記パタ-ニングされた最上部絶縁膜135をハードマスクとして使用するパタ-ニング工程を通じて形成できる。変形された実施形態によると、前記複数個の中間配線構造体200を形成する前に、前記セルアレイ領域と前記コア領域との間の段差によるパタ-ニングでの難しさを減らすために、前記蝕刻マスク用別のマスク膜を基板の前面に形成した後、その結果物を平坦化蝕刻する段階をさらに包含できる。

【0060】

その他の変形された実施形態によると、前記複数個の中間配線構造体200は、複数回のパタ-ニング段階を通じて形成できる。例えば、前記複数の絶縁膜31～35、及び前

10

20

30

40

50

記複数の導電膜 4 1 ~ 4 4 は、前記コア領域、及び前記セルアレイ領域で独立的にパターニングできる。具体的に、このようなパターニング段階は、前記コア領域で前記薄膜を先ずパターニングし、前記パターニングされたコア領域を覆うマスク膜を形成した後、前記セルアレイ領域をパターニングする段階を包含できる。

【 0 0 6 1 】

図 7 を参照すると、前記中間配線構造体 2 0 0 の側面を覆う情報格納膜パターン 5 5 を形成した後、その結果物の上に半導体膜 6 0 を形成する。

【 0 0 6 2 】

前記情報格納膜パターン 5 5 は、前記中間配線構造体 2 0 0 の側面から延長されて前記中間配線構造体 2 0 0 の上部面を覆う。この実施形態によると、前記情報格納膜パターン 5 5 は、前記トレンチ T の底で前記基板 1 0 の上部面を露出させるように形成できる。そのため、前記トレンチ T の底で前記情報格納膜パターン 5 5 を除去するための蝕刻工程がさらに実施できる。

【 0 0 6 3 】

変形された実施形態によると、前記情報格納膜パターン 5 5 が損傷されることを防止するために、前記蝕刻工程は、所定の保護膜で前記情報格納膜パターン 5 5 を覆う状態で実施できる。例えば、前記半導体膜 6 0 は、2 回以上の蒸着工程を通じて形成をでき、最初蒸着される半導体膜が前記保護膜として使用できる。

【 0 0 6 4 】

一実施形態によると、前記情報格納膜パターン 5 5 は、電荷格納膜を包含できる。例えば、前記情報格納膜パターン 5 5 は、図 2 に示したように順に積層されるブロッキング絶縁膜 5 5 c、電荷格納膜 5 5 b、及びトンネル絶縁膜 5 5 a を包含できる。前記ブロッキング絶縁膜 5 5 c は、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、及び高誘電膜のうち少なくとも 1 つを包含でき、複数の膜で構成できる。この時、前記高誘電膜は、前記シリコン酸化膜より高い誘電定数を有する絶縁性物質を意味し、タンタル酸化膜、チタン酸化膜、ハフニウム酸化膜、ジルコニウム酸化膜、アルミニウム酸化膜、イットリウム酸化膜、ニオブウム酸化膜、セシウム酸化膜、インジウム酸化膜、イリジウム酸化膜、B S T 膜、及び P Z T 膜を包含できる。前記トンネル絶縁膜 5 5 a は、前記ブロッキング絶縁膜 5 5 c より低い誘電定数を有する物質で形成でき、前記電荷格納膜 5 5 b は、電荷トラップサイドが豊富な絶縁性薄膜（例えば、シリコン窒化膜）や、或いは複数の導電性粒子を包含する絶縁性薄膜でありうる。一実施形態によると、前記トンネル絶縁膜 5 5 a は、シリコン酸化膜であり、前記電荷格納膜 5 5 b は、シリコン窒化膜であり、前記ブロッキング絶縁膜 5 5 c は、アルミニウム酸化膜を包含する絶縁膜でありうる。

【 0 0 6 5 】

前記半導体膜 6 0 は、単結晶半導体、又は多結晶半導体であり得て、気相蒸着技術、又はエピタキシャル技術を使用して形成できる。前記半導体膜 6 0 は、示したようにコンフォーマルな厚さで形成されるか、或いは前記情報格納膜パターン 5 5 が形成されたトレンチ T の残りの空間を実質的に埋めるように形成できる。一実施形態によると、前記半導体膜 6 0 は、前記下部不純物領域 2 0 とダイオードを構成するように、前記下部不純物領域 2 0 と異なる導電性を有することができる。

【 0 0 6 6 】

図 8 を参照すると、前記半導体膜 6 0 が形成された結果物を平坦化蝕刻して前記基板 1 0 の上部面を露出させる。一方、上述したように、前記複数の絶縁膜 3 1 ~ 3 5、及び前記複数の導電膜 4 1 ~ 4 4 の合計の厚さ  $t$  は、前記セルアレイ領域と前記コア領域との間の段差  $H$  より小さくできる。このような実施形態の場合、前記複数の中間配線 1 4 1 ~ 1 4 4、及び前記複数の絶縁膜パターン 1 3 1 ~ 1 3 5 は、前記平坦化蝕刻によって前記セルアレイ領域内部に限定的に配置される。

【 0 0 6 7 】

一方、前記セルアレイ領域内部に限定された前記複数の中間配線 1 4 1 ~ 1 4 4 の各々は、前記基板 1 0 の上部面と平行な配線区間、及び前記配線区間の一端、又は両端から延

10

20

30

40

50

長されたコンタクト区間を有することができる。この時、前記複数の中間配線 141 ~ 144 のコンタクト区間は、前記セルアレイ領域と前記コア領域の境界付近に配置され、前記平坦化蝕刻の結果として、これらの上部面は、前記基板 10 の露出された上部面と同一な高さで形成できる。

【0068】

一実施形態によると、前記平坦化蝕刻の前に、前記半導体膜 60 が形成された結果物を覆い、又前記トレンチ T を埋める埋立絶縁膜 88 がさらに形成できる。この場合、前記複数の中間配線 141 ~ 144 のコンタクト区間の上部面は、前記基板 10 と前記埋立絶縁膜との間で露出される。

【0069】

図 9 を参照すると、前記半導体膜 60 をパタ-ニングして前記中間配線構造体 200 を横切る複数の半導体パターン 65 を形成する。前記半導体パターン 65 を形成する段階は、前記埋立絶縁膜 88 をパタ-ニングして前記半導体膜 60 を露出させる開口部 99a を定義する埋立絶縁膜パターン 99 を形成した後、前記露出された半導体膜 60 を蝕刻する段階を包含できる。この時、前記開口部 99a は、前記中間配線構造体 200 を横切る方向に形成されうる。したがって、前記半導体パターン 65 は、前記中間配線構造体 200 を横切る方向に形成される。

【0070】

前記埋立絶縁膜を蝕刻する段階は、前記半導体膜 60 に対する蝕刻選択性を有する異方性蝕刻の方法で実施でき、前記半導体膜 60 を蝕刻する段階は、前記埋立絶縁膜に対して蝕刻選択性を有する蝕刻方法を通じて実施できる。前記半導体膜 60 を蝕刻する段階は、前記中間配線構造体 200 の側面で前記半導体膜 60 を分離できるように等方性蝕刻の方法で実施できる。しかし、前記半導体膜 60 の蝕刻段階は、異方性蝕刻方法、及び等方性蝕刻方法各々、又はこれらの組合せた方法を通じて実施できる。

【0071】

一実施形態によると、前記半導体パターン 65 を形成した後、示したように、前記中間配線構造体 200 が露出されるように、前記情報格納膜パターン 55 をさらに蝕刻できる。

【0072】

図 10 を参照すると、前記半導体パターン 65 を形成された結果物上に前記開口部 99a を埋める絶縁膜（図示せず）を形成した後、前記半導体パターン 65、及び前記複数の中間配線 141 ~ 144 に接続する上部配線 75 を形成する。前記半導体パターン 65、及び前記複数の中間配線 141 ~ 144 に各々接続する前記上部配線 75 は、図 3 を参照して説明された複数のビットライン BL、及び全域中間配線 GWL として使用される。

【0073】

その上、上部配線 75 を形成した後、前記最上部中間配線 144、及び前記最下部中間配線 141 に各々接続する上部選択ライン USL、及び下部選択ライン LSL が形成できる。前記上部、及び下部選択ライン USL、及び LSL は、示したように前記ビットライン BL を横切る方向に形成できる。

【0074】

図 11、及び図 12 は、本発明の他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための回路図、及び斜視図である。説明を簡略にするため、先の図 3、及び図 4 を参照して説明された実施形態と重複される技術的特徴に対する説明は、省略する。

【0075】

図 11、及び図 12 を参照すると、この実施形態によると、前記下部選択ライン LSL は、前記ビットライン BL と平行な方向に沿って前記セルストリング STR を連結できる。しかし、図 3 を参照して説明された実施形態と同一に、前記上部選択ライン USL は、前記ビットライン BL を横切る方向のセルストリング STR を連結する。この場合、一つのセルストリングは、前記ビットライン BL と前記上部選択ライン USL によって選択できる。

10

20

30

40

50

## 【 0 0 7 6 】

図 1 3 は、本発明のその他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための回路図であり、図 1 4、及び図 1 5 は、この実施形態による半導体装置の製造方法を説明するための斜視図である。説明を簡略にするため、先の図 3、及び図 4 を参照して説明された実施形態と重複される技術的特徴に対する説明は、省略する。

## 【 0 0 7 7 】

この実施形態によると、図 1 4 に示したように、一つの前記中間配線構造体 2 0 0 の両側面では複数個の局所化された前記半導体パターン 6 5 a、6 5 b が配置できる。先の実施形態とは異なって、この実施形態による前記半導体パターン 6 5 a、6 5 b は、前記中間配線構造体 2 0 0 の反対の側面に延長されずに、その上部で切断される。この時、前記中間配線構造体 2 0 0 の一側面に配置される半導体パターン 6 5 a は、前記中間配線構造体 2 0 0 の他の側面に配置される複数の半導体パターン 6 5 b との間に配置できる。即ち、前記半導体パターン 6 5 a、6 5 b は、前記中間配線構造体 2 0 0 に沿って両側に交互に配列される。このような構造を形成するため、前記埋立絶縁膜パターン 9 9 の開口部 9 9 a は、互いに異なる両方向で前記中間配線構造体 2 0 0 を斜めに横切るように形成できる。即ち、前記開口部 9 9 a は、網構造で形成できる。

10

## 【 0 0 7 8 】

図 1 5 に示したように、前記中間配線構造体 2 0 0 の一側面に配置される半導体パターン 6 5 a と他の側面に配置される隣接する半導体パターン 6 5 b とは、互いに異なる複数のビットライン B L に接続される。この場合、図 1 3 に示したように、各々の局所化された半導体パターン 6 5 a、6 5 b は、独立的に制御されるセルストリング S T R を構成するので、先の図 3 を参照して説明された実施形態に比べ、増加された個数のメモリセルが同一な面積のセルアレイ領域内に形成できる。

20

## 【 0 0 7 9 】

図 1 6、及び図 1 7 は、本発明の実施形態による中間配線の電氣的連結構造を説明するための斜視図である。

## 【 0 0 8 0 】

図 5 を参照して説明したように、前記複数の導電膜 4 1 ~ 4 4 がコンフォーマルに形成できる。この場合、前記複数の中間配線 1 4 1 ~ 1 4 4 のコンタクト区間と前記基板 1 0 の上部面との間の角度は、前記セルアレイ領域と前記コア領域との境界面が前記基板 1 0 の上部面となる角度と実質的に同一でありうる。例えば、図 1 6 に示したように、前記セルアレイ領域と前記コア領域との境界面が前記基板 1 0 の上部面で垂直する場合、前記複数の中間配線 1 4 1 ~ 1 4 4 のコンタクト区間もやはり前記基板 1 0 の上部面と垂直に形成される。

30

## 【 0 0 8 1 】

一方、本発明の他の実施形態によると、図 1 7 に示したように、前記セルアレイ領域と前記コア領域の境界面は、前記基板 1 0 の上部面に対して 9 0 度より小さい角度を成す。この場合、上述した平坦化蝕刻によって露出される前記複数の中間配線 1 4 1 ~ 1 4 4 の上部面の面積は、先の実施形態に比べて増加される。具体的に、前記中間配線の厚さ、及び幅が各々 a、及び b であると、このような中間配線の露出面積は、先の実施形態の場合 a b であり、この実施形態の場合  $a b / \sin$  である。したがって、前記角度が減ると減るほど、前記複数の中間配線 1 4 1 ~ 1 4 4 の露出面積は、増加される。一実施形態によると、前記角度は、3 0 度乃至 9 0 度との間でありうる。

40

## 【 0 0 8 2 】

図 1 8 乃至図 2 1 は、各々本発明の変形された実施形態による下部配線の電氣的連結構造を説明するための斜視図である。

## 【 0 0 8 3 】

図 1 8 を参照すると、この実施形態によれば、前記下部不純物領域 2 0 は、前記中間配線構造体 2 0 0 を形成した後、前記中間配線構造体 2 0 0 をイオンマスクとして使用するイオン注入工程を通じて形成できる。この場合、前記下部不純物領域 2 0 は、前記複数の

50

中間配線構造体 200 の間（即ち、前記トレンチの基板 10 内）に局部的に形成できる。

【0084】

一方、前記下部不純物領域 20 が上述したように共通ソース電極 CSL として使用できるように、これらは互いに電氣的に連結できる。例えば、図 19 に示したように、前記下部不純物領域 20 は、前記セルアレイ領域から前記コア領域の側壁、及び上部面に延長できる。この場合、前記共通ソース電極 CSL として使用される前記下部不純物領域 20 への電氣的連結が容易になる。即ち、図 19 に示したように、前記延長された下部不純物領域 20 は、ソース電圧を伝達する前記ソースライン SL に接続できる。

【0085】

本発明の変形された実施形態によると、前記共通ソース電極 CSL 用前記下部配線 20 は、導電性物質で形成できる。例えば、図 20 に示したように、前記トレンチ T の下部に形成される導電性ライン 20 a が前記共通ソース電極 CSL として使用できる。この場合、前記半導体パターン 65 の下には、ダイオードを構成するように前記本体部 B と異なる導電性を有するソース不純物領域 S が形成できる。前記導電性ライン 20 a が前記共通ソース電極 CSL として使用できるように、前記ソース不純物領域 S は、最下部の中間配線 141 より低く形成されることが要求される。そのため、前記最下部絶縁膜パターン 131 は、前記半導体膜 60、及び前記導電性ライン 20 a の厚さより厚い厚さで形成できる。

【0086】

その他の変形される実施形態によると、図 21 に示したように、前記半導体パターン 65 は、前記共通ソース電極 CSL として使用される所定の導電性プレート 20 b の上部面に接続できる。この場合、前記導電性プレート 20 b は、セルアレイ領域内に限定されるようにパターニングできる。一方、このような実施形態によると、前記基板 10 は、半導体物質で限定される必要がない。したがって、この実施形態は、絶縁性基板上に上述したセルアレイ構造を形成した後、ウエハーボンディング技術等を通じて周辺回路と連結させる方式に応用できる。しかし、前記基板 10 が半導体、又は導電性物質である場合前記基板 10 と前記導電性プレート 20 b との間には絶縁性薄膜 12 がさらに介在できる。

【0087】

図 22、及び図 23 は、各々、本発明のその他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための斜視図、及び回路図である。説明を簡略にするため、図 1 乃至図 21 を参照して説明された実施形態と重複される技術的特徴に対する説明は、省略できる。

【0088】

図 22、及び図 23 を参照すると、接地選択領域 GSR、ストリング選択領域 SSR、及びこれらの間に配置されたメモリ領域 MMR を包含する基板 10 が提供される。

【0089】

前記基板 10 のメモリ領域 MMR の上には、少なくとも 1 つのワードライン構造体、及び少なくとも 1 つの半導体パターン 65 が配置される。前記ワードライン構造体は、順に積層された複数のワードライン WL を包含し、前記半導体パターン 65 は、前記ワードライン構造体と対向し、そして前記ワードライン WL を横切る。前記ワードライン構造体と前記半導体パターン 65 との間には情報格納パターン 55 が介在できる。前記情報格納パターン 55 は、図 7 を参照して説明された実施形態のものと同じでありうる。

【0090】

前記基板 10 の接地選択領域 GSR の上には接地選択ライン GSL をゲート電極として使用する複数の接地選択トランジスタ GST が配置され、前記基板 10 のストリング選択領域 SSR の上にはストリング選択ライン SSL をゲート電極として使用するストリング選択トランジスタ SST が配置される。前記接地選択ライン GSL、及び前記ストリング選択ライン SSL は、前記ワードライン WL と平行な長軸を有するように形成できる。一実施形態によると、前記接地選択トランジスタ GST、及び前記ストリング選択トランジスタ SST は、前記基板 10 をチャンネル領域として使用する MOSFET (Metal

10

20

30

40

50

- Oxide - Semiconductor Field - Effect - Transistor) でありうる。前記接地選択ライン G S L 両側の基板 1 0 内に、そして前記ストリング選択トランジスタ S S T の両側の基板 1 0 内には、前記接地選択トランジスタ G S T のソース、及びドレーン電極として使用される不純物領域 2 5 が形成できる。一実施形態によると、前記半導体パターン 6 5 は、前記不純物領域 2 5 と異なる導電型を有するように形成できる。

【 0 0 9 1 】

その上、前記接地選択トランジスタ G S T のソース電極は、前記ワードライン W L と平行な共通ソースライン C S L に共通に連結され、前記接地選択トランジスタ G S T のドレーン電極の各々は、前記半導体パターン 6 5 各々の一端に接続できる。そのため、前記半導体パターン 6 5 は、前記メモリ領域 M M R から前記接地選択領域 G S R まで延長できる。前記ストリング選択トランジスタ S S T のドレーン電極は、前記ワードライン W L を横切る方向の長軸を有する複数のビットライン B L に接続され、前記ストリング選択トランジスタ S S T のソース電極は、前記半導体パターン 6 5 の他端に接続できる。そのため、前記半導体パターン 6 5 は、前記メモリ領域 M M R から前記ストリング選択領域 S S R まで延長できる。

10

【 0 0 9 2 】

一実施形態によると、前記ワードライン構造体の下には、下部絶縁膜 1 2 が配置できる。前記下部絶縁膜 1 2 は、活性領域を定義する素子分離膜、例えば、シャロートレンチアイソレーション ( S T I : shallow trench isolation ) でありうる。これによって、前記メモリ領域 M M R 上の前記半導体パターン 6 5 は、前記基板 1 0 から離隔されて形成できる。

20

【 0 0 9 3 】

前記半導体パターン 6 5 は、水素、又は重水素を包含するガスによって処理された多結晶シリコン膜であり得て、その厚さは、5 nm 乃至 1 0 0 nm でありうる。一実施形態によると、前記半導体パターン 6 5 の厚さは、略 1 5 nm 乃至 2 5 nm でありうる。前記半導体パターン 6 5 は、前記接地選択トランジスタ G S T と前記ストリング選択トランジスタ S S T との間、又は前記共通ソースライン C S L と前記ビットライン B L との間を連結する電気的経路として使用できる。

【 0 0 9 4 】

一方、このような電気的経路は、当該半導体パターン 6 5 に隣接する前記ワードライン W L に印加される電圧、及び前記ワードライン W L に隣接する前記情報格納パターン 6 5 の電位 ( electric potential ) によって選択的に完成でき、前記情報格納パターン 6 5 の電位は、前記情報格納パターン 5 5 に格納された情報によって異なることができる。結果的に、図 2 3 に示したように、前記半導体パターン 6 5 の各々は、ナンドアレイを構成するセルストリングのうちの一つを構成する。

30

【 0 0 9 5 】

図 2 4、及び図 2 5 は、本発明のその他の実施形態によるメモリ半導体装置のセルアレイ構造を説明するための斜視図、及び平面図である。説明を簡略にするため、図 1 乃至図 2 3 を参照して説明された実施形態と重複される技術的特徴に対する説明は、省略できる。

40

【 0 0 9 6 】

図 2 4、及び図 2 5 を参照すると、互いに離隔された複数の複数の中間配線構造体 2 0 0 が配置され、前記複数の中間配線構造体 2 0 0 は、互いに離隔された接地選択構造体 G S S、及びストリング選択構造体 S S S、そして、これらの間に配置される少なくとも一つのワードライン構造体 W L S を包含できる。この時、前記複数の中間配線構造体 2 0 0 の各々は、順に積層された複数の中間配線を包含できる。したがって、前記接地選択構造体 G S S は、接地選択ライン G S L として使用される複数の積層された中間配線を包含し、前記ストリング選択構造体 S S S は、ストリング選択ライン S S L として使用される複数の積層された中間配線を包含し、前記ワードライン構造体 W L S は、ワードライ

50

ンWLとして使用される複数の積層された中間配線を包含できる。一実施形態によると、前記接地選択構造体GSS、前記ストリング選択構造体SSS、及び前記ワードライン構造体WLSは、すべて実質的に同一な構造で形成できる。

【0097】

前記中間配線構造体200の両側面には前記中間配線構造体200を横切る複数の半導体パターン65が配置できる。一実施形態によると、前記半導体パターン65は、前記中間配線構造体200の上部面、及びこれらの間の底面で互いに連結できる。この場合、図24に示したように、前記半導体パターン65は、前記複数の中間配線構造体200を横切りながら前記中間配線構造体200の側面を覆うライン模様で形成できる。

【0098】

前記半導体パターン65と前記中間配線構造体200との間には情報格納パターン55が配置できる。この実施形態によると、前記情報格納パターン55は、図2を参照して説明したように、電荷格納膜を包含でき、前記情報格納パターン55に格納される情報は、前記半導体パターン65と前記中間配線141～144間の電圧差によって発生されるFNトンネリングを利用して変更できる。

【0099】

前記ストリング選択構造体SSS、及び前記接地選択構造体GSSに隣接する前記半導体パターン65の一部領域65dは、その他の領域65bと異なる導電性を有するように形成できる。例えば、前記ストリング選択構造体SSS、及び前記接地選択構造体GSSの上部に配置される前記半導体パターン65の一部領域65dは、前記ワードライン構造体WLSの側壁に隣接する前記半導体パターン65の他の領域65bと異なる導電性を有するように形成できる。他の実施形態によると、図25に示したように、前記複数の中間配線構造体200の上部と前記複数の中間配線構造体200の間には、前記中間配線構造体200の側壁を覆う本体部65bと異なる導電性の不純物でドーピングされた不純物領域65dが形成できる。前記不純物領域65dは、前記中間配線構造体200の側壁を覆うスペーサーSPをイオン注入マスクとして使用するイオン注入工程を通じて形成できる。前記不純物領域65dと前記中間配線構造体200との間の距離は、前記中間配線に印加される電圧によって生成される反転領域の最大幅より小さくできる。

【0100】

前記複数の中間配線構造体200の上部には、これらを横切る複数のビットラインBLが配置される。前記複数のビットラインBLは、前記ビットラインプラグBL\_PLGを通じて前記ストリング選択構造体SSSに隣接する前記不純物領域65dに接続できる。前記複数の中間配線構造体200の上部には、前記接地選択構造体GSSに隣接する不純物領域65dを電氣的に連結する共通ソースラインCSLが配置できる。

【0101】

図24、及び図25を参照して説明された実施形態によると、上述したように、前記接地選択構造体GSS、前記ストリング選択構造体SSS、及び前記ワードライン構造体WLSは、すべて実質的に同一な構造を形成できる。したがって、これらを互いに異なる構造で形成する場合に比べて製造方法を単純化させることが可能である。図22、及び図23を参照して説明された実施形態に比べ、この実施形態によると、接地選択トランジスタ、及びストリング選択トランジスタ用の面積を減少できるだけでなく接地選択ラインと積層されたワードラインとの間の高さ差異による製造工程での技術的難しさが減少できる。その上、結果的な構造において、図24による半導体装置の場合、チップ面積の増加、及び製造工程の複雑性が増加せず、一つのセルストリングを構成する接地及びストリング選択トランジスタの個数が増加できる。このような選択トランジスタの個数増加は、漏洩電流の効果的な抑制を可能にするので、この実施形態によるナンドフラッシュメモリ装置は、改善された電氣的特性を有する。

【0102】

図26は、本発明によるフラッシュメモリ装置を備えるメモリカード1200の一実施形態を簡略に示すブロック図である。図25を参照すると、大容量のデータ格納能力を支

10

20

30

40

50

援するためメモリカード1200は、本発明によるフラッシュメモリ装置1210を装着する。本発明によるメモリカード1200は、ホスト(H o s t)とフラッシュメモリ装置1210との諸般のデータ交換を制御するメモリコントローラ1220を包含する。

【0103】

S R A M 1 2 2 1 は、プロセッシングユニット1222の動作メモリとして使用される。ホストインターフェイス1223は、メモリカード1200に接続されるホストのデータ交換プロトコルを具備する。エラー訂正ブロック1224は、マルチビットフラッシュメモリ装置1210から読出しされたデータに包含されるエラーを検出、及び訂正する。メモリインターフェイス1225は、本発明のフラッシュメモリ装置1210とインターフェイスする。プロセッシングユニット1222は、メモリコントローラ1220のデータ交換用諸般制御動作を実行する。図面には図示されなかったが、本発明によるメモリカード1200は、ホストH o s tとのインターフェイス用コードデータを格納するROM(図示せず)等がさらに提供できることは、この分野の通常的な知識を有する者には、自明である。

【0104】

以上の本発明のフラッシュメモリ装置、及びメモリカード、又はメモリシステムによると、ダミーセルの消去特性が改善されたフラッシュメモリ装置1210を通じて信頼性の高いメモリシステムを提供できる。特に、最近活潑に進行される半導体ディスク装置(S o l i d S t a t e D i s k : 以下、S S Dと称する)装置のようなメモリシステムで本発明のフラッシュメモリ装置が提供できる。この場合、ダミーセルから発生される読出しエラーを遮断することによって信頼性高いメモリシステムを具現できる。

【0105】

図27は、本発明によるフラッシュメモリシステム1310を装着する情報処理システム1300を簡略に示すブロック図である。図27を参照すると、モバイル器機、或いはデスクトップコンピュータのような情報処理システムへ本発明のフラッシュメモリシステム1310が装着される。本発明による情報処理システム1300は、フラッシュメモリシステム1310と各々のシステムバス1360に電氣的に連結されたモデム1320と、中央処理装置1330と、RAM1340と、ユーザーインターフェイス1350とを包含する。フラッシュメモリシステム1310は、先に説明されたメモリシステム、又はフラッシュメモリシステムと実質的に同一に構成されることができる。フラッシュメモリシステム1310には中央処理装置1330によって処理されたデータ、又は外部から入力されたデータが格納される。ここで、上述したフラッシュメモリシステム1310が半導体ディスク装置S S Dで構成され得て、この場合情報処理システム1300は、大容量のデータをフラッシュメモリシステム1310に安定的に格納できる。そして、信頼性の増大にしたがって、フラッシュメモリシステム1310は、エラー訂正に所要される資源を節減できるので、高速のデータ交換機能を情報処理システム1300に提供される。図示されていないが、本発明による情報処理システム1300には応用チップセット(A p p l i c a t i o n C h i p s e t)、カメライメージプロセッサ(C a m e r a I m a g e S e n s o r : C I S)、入出力装置等がさらに提供されることは、この分野の通常的な知識を有する者に自明である。

【0106】

本発明によるフラッシュメモリ装置、又はメモリシステムは、多様な形態のパッキングで実装できる。例えば、本発明によるフラッシュメモリ装置、又はメモリシステムは、P o P ( P a c k a g e o n P a c k a g e)、B a l l g r i d a r r a y s ( B G A s)、C h i p s c a l e p a c k a g e s ( C S P s)、P l a s t i c L e a d e d C h i p C a r r i e r ( P L C C)、P l a s t i c D u a l I n - L i n e P a c k a g e ( P D I P)、D i e i n W a f f l e P a c k、D i e i n W a f e r F o r m、C h i p O n B o a r d ( C O B)、C e r a m i c D u a l I n - L i n e P a c k a g e ( C E R D I P)、P l a s t i c M e t r i c Q u a d F l a t P a c k ( M Q F P)、T h i n Q u a d

10

20

30

40

50

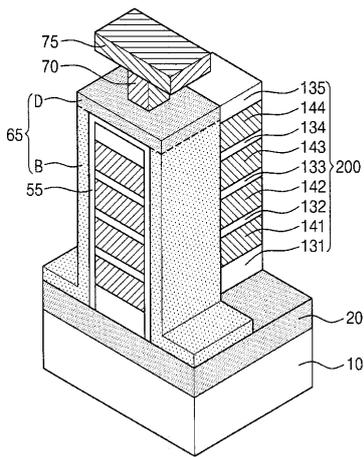
Flat pack (TQFP)、Small Outline (SOIC)、Shrink Small Outline Package (SSOP)、Thin Small Outline (TSOP)、Thin Quad Flat pack (TQFP)、System In Package (SIP)、Multi Chip Package (MCP)、Wafer-level Fabricated Package (WFP)、Wafer-Level Processed Stack Package (WSP) 等のような方式にパッケージ化されて実装できる。

【符号の説明】

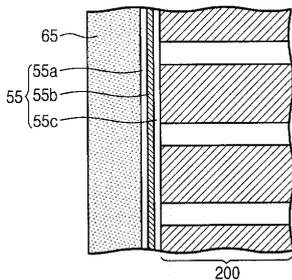
【0107】

- 10 基板
- 20 下部配線
- 55 情報格納パターン
- 65 半導体パターン
- 75 上部配線
- 131, 132, 133, 134, 135 絶縁膜パターン
- 141, 142, 143, 144 中間配線
- 200 中間配線構造体

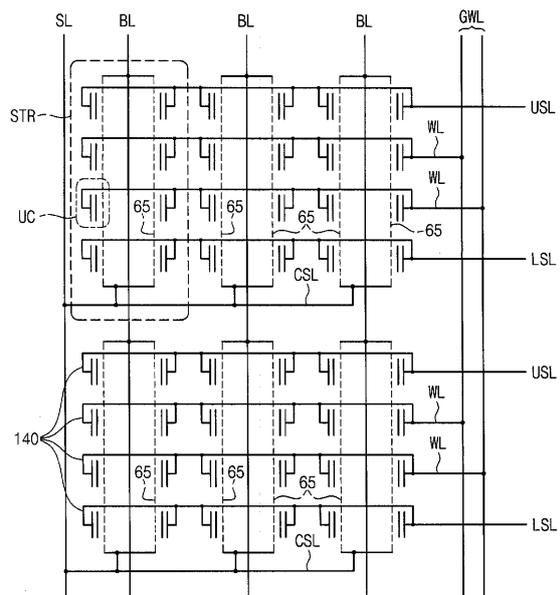
【図1】



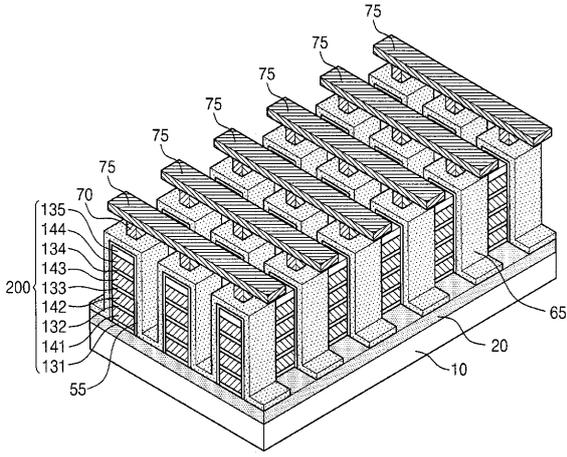
【図2】



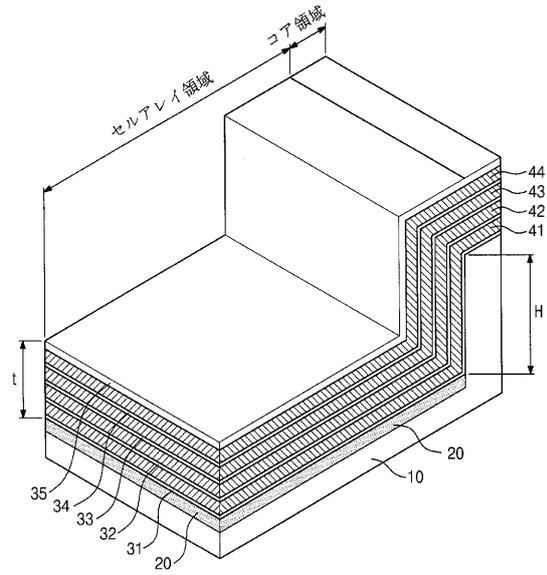
【図3】



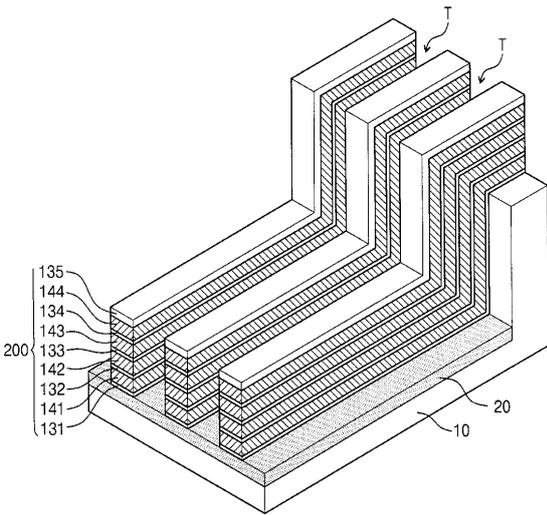
【図4】



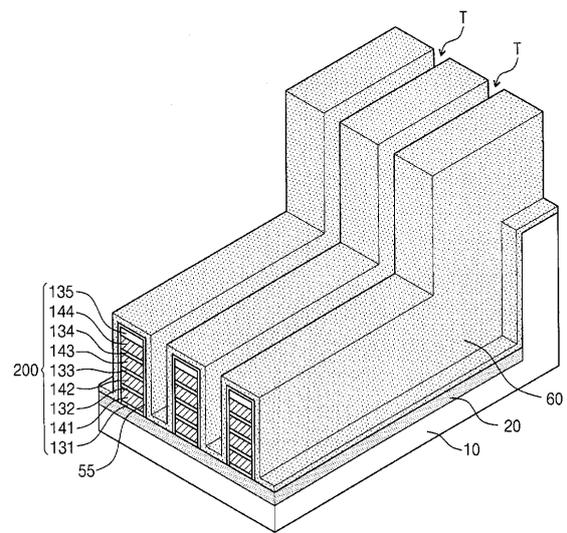
【図5】



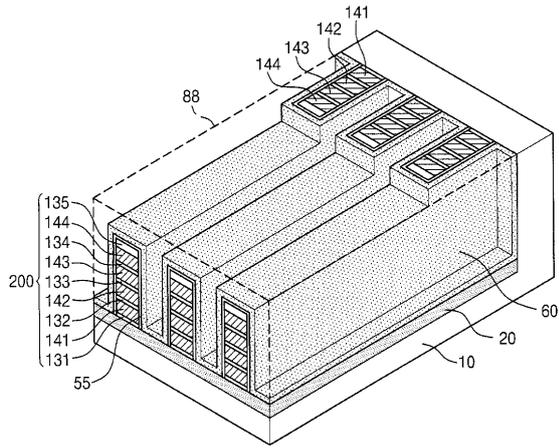
【図6】



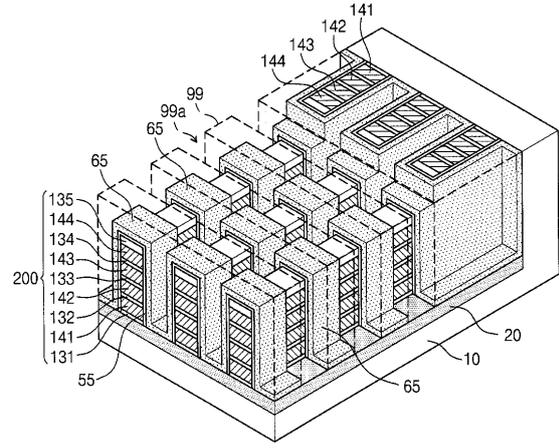
【図7】



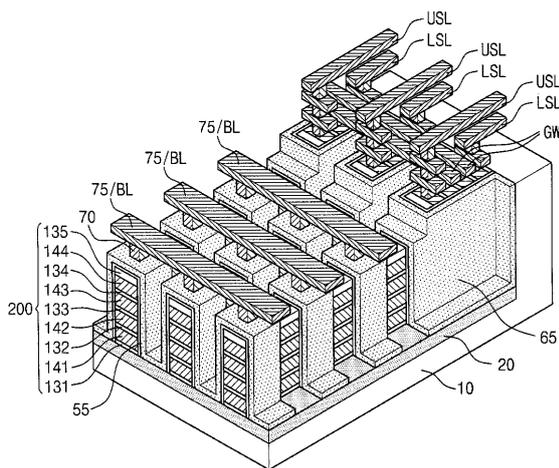
【図8】



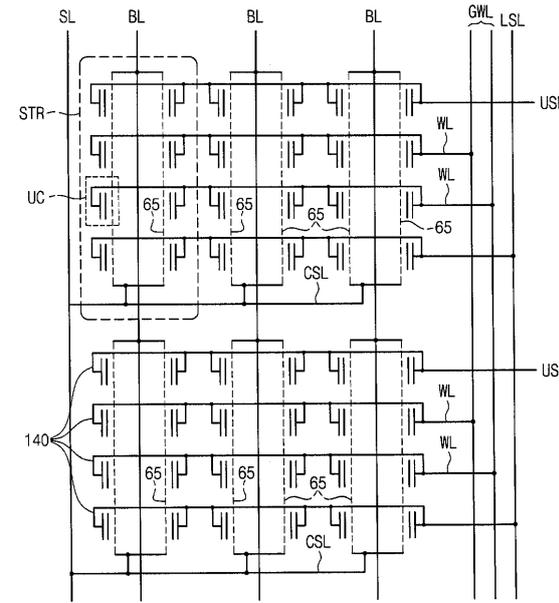
【図9】



【図10】



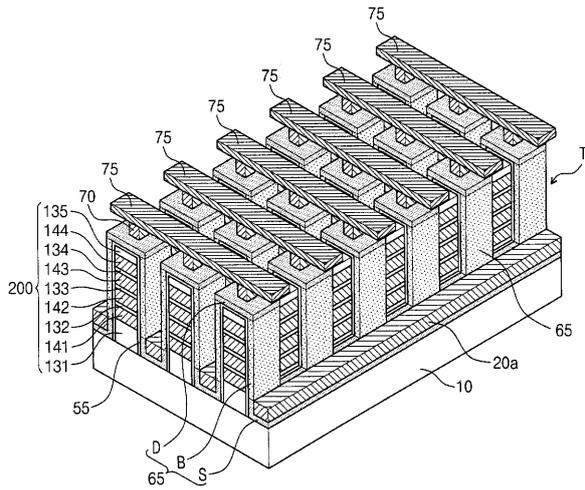
【図11】



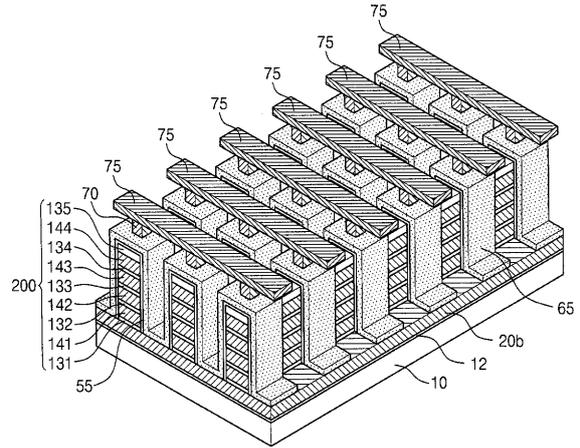




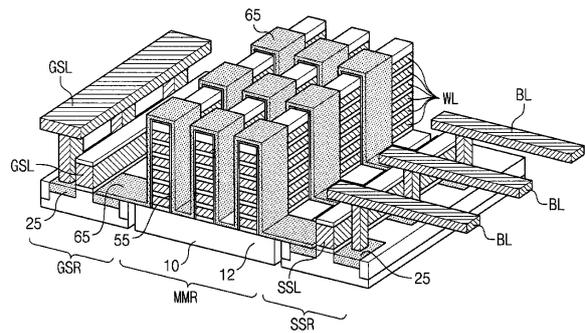
【図20】



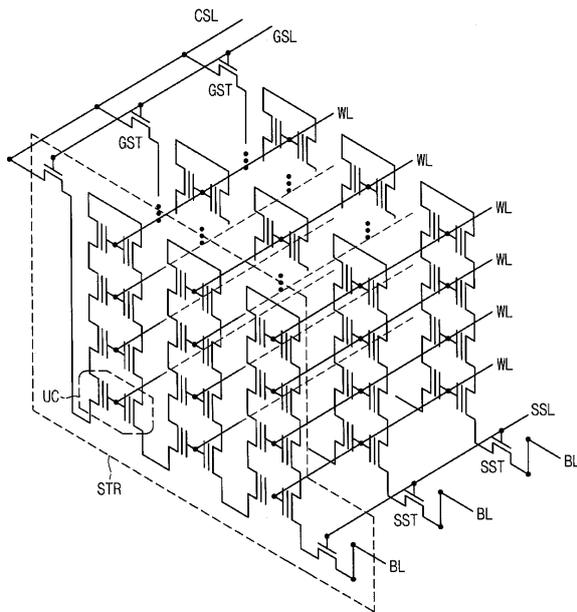
【図21】



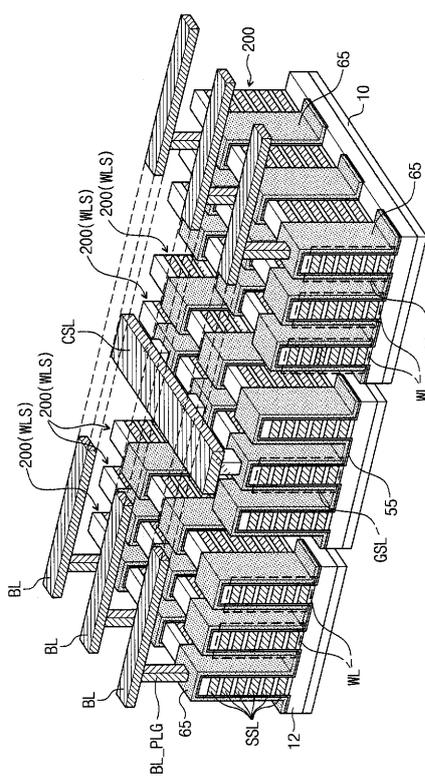
【図22】



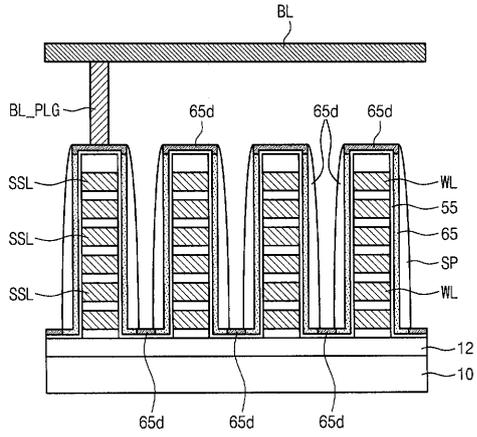
【図23】



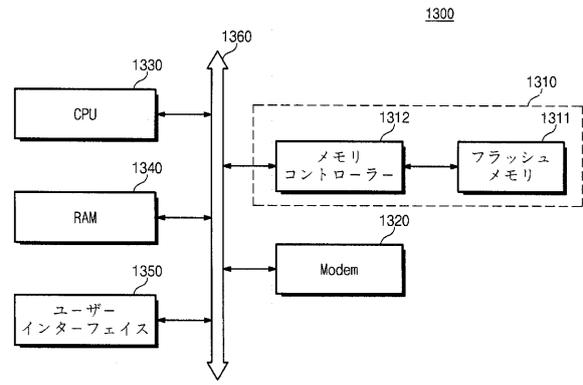
【図24】



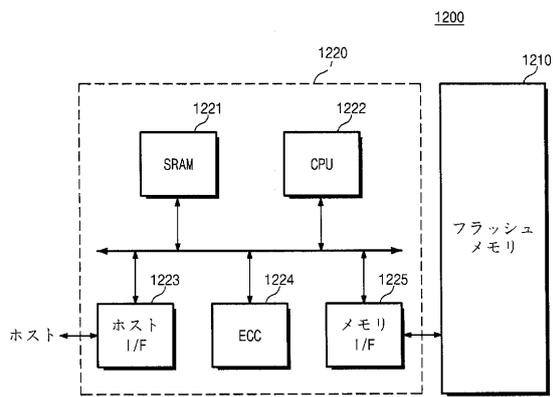
【図 25】



【図 27】



【図 26】



## フロントページの続き

特許法第30条第1項適用 平成21年6月16日 IEEE (Institute of Electrical and Electronics Engineers) 発行の「VLSI Technology, 2009 Symposium on」に発表

(73)特許権者 506115514

ザ リージェンツ オブ ザ ユニバーシティ オブ カリフォルニア  
アメリカ合衆国 カリフォルニア州 94607 オークランド フランクリン ストリート 1  
111 トゥエルフス フロア

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100064908

弁理士 志賀 正武

(74)代理人 100089037

弁理士 渡邊 隆

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 金 志永

アメリカ合衆国・カリフォルニア・90066・ロサンジェルス・ソテル・ブルヴァード・32  
32・#303

(72)発明者 韓 ジョン 希

大韓民国京畿道華城市東灘面盤松洞(番地なし) ドリーム-グリーン2次アパート622棟20  
1号

(72)発明者 オーガスティン・ジンウー・ホン

アメリカ合衆国・カリフォルニア・90066・ロサンジェルス・ソテル・ブルヴァード・33  
10・#308

(72)発明者 朴 用 ジク

大韓民国京畿道水原市靈通區靈通洞(番地なし) 東信アパート313棟1501号

(72)発明者 カン・エル・ワン

アメリカ合衆国・カリフォルニア・90405-5950・サンタ・モニカ・ピア・アヴェニュー  
・2024

審査官 小山 満

(56)参考文献 米国特許出願公開第2009/0173981(US, A1)

特開2008-042209(JP, A)

特開2008-147664(JP, A)

特開2008-159699(JP, A)

特開2001-223284(JP, A)

特開2007-180389(JP, A)

特開2009-094236(JP, A)

特開2008-263029(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

H01L 21/336

H01L 27/115

H01L 29/788

H01L 29/792