

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

H01L 21/76 (2006.01)

H01L 21/306 (2006.01)

H01L 21/00 (2006.01)

专利号 ZL 200510109849.3

[45] 授权公告日 2009年1月14日

[11] 授权公告号 CN 100452345C

[22] 申请日 2005.8.26

[21] 申请号 200510109849.3

[30] 优先权

[32] 2004.8.27 [33] JP [31] 248957/2004

[73] 专利权人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 宫崎邦浩 松尾弘之 中岛俊贵

[56] 参考文献

US5868855A 1999.2.9

US6656852B2 2003.12.2

US4690729A 1987.9.1

US2004/0127061A1 2004.7.1

US2003/0211713A1 2003.11.13

审查员 夏杰

[74] 专利代理机构 北京市中咨律师事务所

代理人 杨晓光 于静

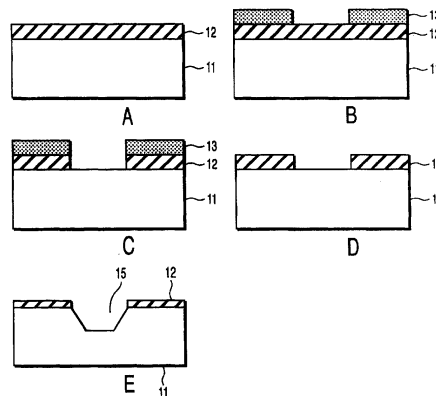
权利要求书3页 说明书9页 附图4页

[54] 发明名称

制造半导体器件的方法以及一种半导体衬底

[57] 摘要

一种制造半导体器件的方法。在所述方法中，在具有(100)向晶面的硅(Si)衬底(11)上形成薄膜(12)，去除位于元件隔离区上的所述薄膜(12)的部分。然后，通过利用所述薄膜(12)作为掩膜以及氢氟酸和臭氧水的混合溶液，对所述Si衬底(11)进行选择性蚀刻，在所述衬底(11)中形成沟槽(15)以隔离元件。



1. 一种制造半导体器件的方法，其特征在于包括以下步骤：

在硅（Si）衬底（11）的主表面上形成薄膜（12），所述主表面具有（100）向晶面；

去除位于元件隔离区上的所述薄膜（12）的部分；以及

通过利用所述薄膜（12）作为掩膜，并通过利用氢氟酸和臭氧水的混合溶液，在所述 Si 衬底上进行选择性蚀刻，从而在所述 Si 衬底（11）中形成元件隔离沟槽（15）。

2. 根据权利要求 1 的方法，其特征在于，所述薄膜（12）是通过热氧化所述 Si 衬底（11）形成的氧化膜。

3. 根据权利要求 2 的方法，其特征在于，在蚀刻所述 Si 衬底（11）时，以低于所述 Si 衬底（11）的速率蚀刻所述氧化膜（12），并且所述氧化膜（12）具有这样的厚度，当所述 Si 衬底（11）的蚀刻完成时，所述氧化膜（12）被蚀刻掉。

4. 根据权利要求 1 的方法，其特征在于，在所述混合溶液中，氢氟酸和臭氧水分别具有 0.05 至 2wt% 和 3 至 20 ppm 的浓度。

5. 根据权利要求 1 的方法，其特征在于，为了去除位于元件隔离区上的所述薄膜（12）的部分，在所述薄膜（12）上形成抗蚀剂图形（13），通过利用所述抗蚀剂图形（13）作为掩膜，在所述薄膜（12）上进行选择性蚀刻，并且在进行所述选择性蚀刻后，去除所述抗蚀剂图形。

6. 根据权利要求 1 的方法，其特征在于，通过利用氢氟酸和臭氧水的所述混合溶液，对所述 Si 衬底（11）进行选择性的各向异性蚀刻，直到在所述 Si 衬底（11）的侧面露出（110）面。

7. 一种制造半导体器件的方法，其特征在于包括以下步骤：

在 Si 衬底（21）的主表面上形成薄膜（22），所述主表面具有（100）向晶面；

去除位于所述 Si 衬底（21）将增大有效主表面面积的区域上的所述薄

膜(22)的部分; 以及

通过利用所述薄膜(22)作为掩膜, 并通过利用氢氟酸和臭氧水的混合溶液, 在所述 Si 衬底(21)上进行选择性蚀刻, 从而增大所述 Si 衬底(21)的有效主表面面积。

8. 根据权利要求7的方法, 其特征在于, 所述薄膜(22)是通过热氧化所述 Si 衬底(21)形成的氧化膜。

9. 根据权利要求8的方法, 其特征在于, 在蚀刻所述 Si 衬底(21)时, 以低于所述 Si 衬底(21)的速率蚀刻所述氧化膜(22), 并且所述氧化膜(22)具有这样的厚度, 当所述 Si 衬底(21)的蚀刻完成时, 所述氧化膜(22)被蚀刻掉。

10. 根据权利要求7的方法, 其特征在于, 在所述混合溶液中, 氢氟酸和臭氧水分别具有 0.05 至 2wt% 和 3 至 20ppm 的浓度。

11. 根据权利要求7的方法, 其特征在于, 为了去除位于所述 Si 衬底(21)将增大有效主表面面积的部分上的所述薄膜(22)的部分, 在所述薄膜(22)上形成抗蚀剂图形, 通过利用所述抗蚀剂图形作为掩膜, 在所述薄膜(22)上进行选择性蚀刻, 并且在进行所述选择性蚀刻后, 去除所述抗蚀剂图形。

12. 根据权利要求7的方法, 其特征在于, 通过利用氢氟酸和臭氧水的所述混合溶液, 对所述 Si 衬底(21)进行选择性的各向异性蚀刻, 直到在所述 Si 衬底(21)的侧面露出(110)面。

13. 根据权利要求7的方法, 其特征在于, 部分去除所述薄膜(22), 从而形成开口图形。

14. 根据权利要求7的方法, 其特征在于, 部分去除所述薄膜(22), 从而形成开口与薄膜条交替排列的图形。

15. 根据权利要求7的方法, 其特征在于还包括以下步骤: 在使有效主表面面积增大的所述衬底(21)的所述主表面上形成电容器的绝缘膜(26); 以及在所述电容器的绝缘膜(26)上形成电容器电极(27)。

16. 根据权利要求7的方法, 其特征在于还包括以下步骤: 在使有效

主表面面积增大的所述衬底(31)的所述主表面上形成栅-绝缘膜(36);以及在所述栅-绝缘膜(36)上形成栅电极(37)。

17. 一种通过根据权利要求1至6中任何一项的方法制造的半导体衬底,其特征在于包括:

Si衬底(21),具有(100)向晶面的主表面,所述主表面具有以条状图形的形式蚀刻的部分,并且在所述蚀刻的部分具有(110)向晶面的倾斜表面。

制造半导体器件的方法以及一种半导体衬底

技术领域

本发明涉及一种制造半导体器件的方法。更具体地说，本发明涉及一种半导体器件的方法，其中改善了形成元件隔离区的工艺和处理衬底表面的步骤。本发明也涉及一种通过实施本方法形成的半导体衬底。

背景技术

为制造半导体器件，必须在衬底中形成元件隔离区以使元件相互隔离。为形成浅沟槽隔离（STI）区，即一种元件隔离区隔离，在多数情况下要进行反应离子蚀刻（RIE）。

更具体地说，将硅（Si）衬底的表面氧化，形成薄氧化膜，在该薄氧化膜上沉积氮化硅（SiN）膜，在氮化硅膜上沉积氧化膜（TEOS）。利用抗蚀剂图形作为掩膜，在TEOS膜上进行选择性RIE。接下来，利用TEOS膜作为掩膜，蚀刻氮化膜。然后，利用氮化膜作为掩膜，蚀刻薄氧化膜和Si衬底。此后，去除氮化膜的不必要部分和位于氮化膜下的氧化膜的不必要部分。然后，沉积绝缘膜并埋入在衬底中形成的STI区中。（见日本专利申请公开号 2003-51536。）

这种方法在许多方面有弊端。首先，必须进行许多步骤以形成元件隔离区。可不进行形成TEOS膜的步骤。即使在这种情况下，应进行的步骤仍然很多。其次，当对Si衬底进行干法蚀刻，例如RIE时，在Si衬底中产生等离子损伤。如果在任何元件隔离区的侧面留有这种损伤，其将恶化晶体管的性能。为了防止性能的恶化，在STI区中埋入绝缘膜前可进行消除损伤的步骤。这增加了步骤的数量。

为了增加电容器的有效面积，通过与形成STI区的步骤相同的方法处

理 Si 衬底，形成沟槽电容器。在这种情况下，也不可避免地增加了制造步骤的数量。

如上所述，常规方法在两方面有弊端。首先，为形成元件隔离区例如 STI 区，或者为处理 Si 衬底的表面以形成沟槽电容器，必须进行许多步骤。其次，由于 RIE 在衬底中产生的损伤恶化了元件的性能。

发明内容

根据本发明的一方面，提供一种制造半导体器件的方法，包括以下步骤：

在 Si 衬底的主表面上形成薄膜，所述主表面具有 (100) 向晶面；

去除位于元件隔离区上的所述薄膜的部分；以及

通过利用所述薄膜作为掩膜，并通过利用氢氟酸和臭氧水的混合溶液，在所述 Si 衬底上进行选择性蚀刻，从而在所述 Si 衬底中形成元件隔离沟槽。

根据本发明的另一方面，提供一种制造半导体器件的方法，包括以下步骤：

在 Si 衬底的主表面上形成薄膜，所述主表面具有 (100) 向晶面；

去除位于所述 Si 衬底将增大有效主表面面积的区域上的所述薄膜的部分；以及

通过利用所述薄膜作为掩膜，并通过利用氢氟酸和臭氧水的混合溶液，在所述 Si 衬底上进行选择性蚀刻，从而增大所述 Si 衬底的有效主表面面积。

根据本发明的又一方面，提供一种半导体衬底，包括：

Si 衬底，具有 (100) 向晶面的主表面，其中的一部分被部分蚀刻，形成条状图形和 (110) 向晶面的倾斜表面。

附图说明

图 1A 至图 1E 是截面图，说明了根据本发明的第一实施例制造半导体器件的一些步骤；

图 2 是表示氢氟酸浓度与氧化膜的蚀刻速率之间的关系图；

图 3 是说明氢氟酸浓度与 Si 衬底的蚀刻速率之间的关系图；
图 4 是示出了臭氧水浓度与 Si 衬底的蚀刻速率之间的关系图；
图 5 是示出了 Si 衬底可能具有的表面粗糙度的不同值的图；
图 6A 至图 6C 是示出了在不同晶向观测到的截面 TEM 图像的示意图；
图 7A 至图 7C 是截面图，说明了根据本发明的第二实施例制造半导体器件的一些步骤；
图 8 是透视图，画出了根据本发明的第三实施例的半导体器件的轮廓；
图 9 是截面图，画出了根据本发明的第三实施例的半导体器件的轮廓。

具体实施方式

下面将参考附图描述本发明的实施例。

(第一实施例)

图 1A 至图 1E 是截面图，说明了根据本发明的第一实施例制造半导体器件的一些步骤。

首先，如图 1A 所示，氧化具有 (100) 向晶面 (主表面) 的 Si 衬底 11，形成具有预定厚度的氧化膜 12。调整氧化膜 12 的厚度，以在蚀刻 Si 衬底 11 后留下剩余部分。更具体地说，根据将在 Si 衬底 11 中形成的 STI 区的深度、蚀刻氧化膜的速率和蚀刻 Si 衬底的速率来调整该厚度。

如图 1B 所示，在氧化膜 12 上形成抗蚀剂图形 13。抗蚀剂图形 13 具有开口，该开口暴露膜 12 的部分，应在 Si 衬底 11 中膜 12 的该部分下形成 STI。更具体地说，在氧化膜 12 上形成抗蚀剂膜，根据元件隔离区的图形曝光，并进行显影处理。结果，形成了抗蚀剂图形 13。

如图 1C 所示，通过利用抗蚀剂图形 13 作为掩膜，在氧化膜 12 上进行选择性蚀刻。选择性蚀刻可以是干法蚀刻，例如 RIE，或者湿法蚀刻。如果是各向同性蚀刻，抗蚀剂图形 13 的开口必须是使元件隔离区具有希望的宽度的尺寸。

如图 1D 所示，在图形 13 已用于处理氧化膜 12 后，去除抗蚀剂图形 13。去除抗蚀剂图形 13 的方法可以是灰化处理或者利用硫酸和过氧化氢的混合溶液的常规处理，或它们的结合。

如图 1E 所示, 通过利用氧化膜 12 作为掩膜, 并且施加浓度为 0.05% 至 2% 的氢氟酸和浓度为 3 至 20ppm 的臭氧水的混合溶液, 在 Si 衬底 11 上进行蚀刻。该蚀刻形成 STI 区 15。通过施加氢氟酸, 去除已用作掩膜蚀刻 Si 衬底 11 的氧化膜 12。从而, 完成形成 STI 区的工艺。

随后进行另一工艺, 在 STI 区 15 中埋入氧化膜等。该氧化膜用作元件隔离绝缘膜。注意, 定义混合溶液中氢氟酸浓度的“%”是重量百分比 (wt%)。

图 2 至图 4 示出了用氢氟酸和臭氧水的混合溶液蚀刻热氧化膜和 Si 衬底的速率。

如图 2 所示, 氢氟酸的浓度越高, 热氧化膜的蚀刻速率越高。因此, 热氧化膜的蚀刻速率取决于氢氟酸的浓度。相反地, Si 衬底的蚀刻速率不随氢氟酸的浓度改变而改变, 如图 3 所示。也就是说, Si 衬底的蚀刻速率不取决于氢氟酸的浓度。如图 4 所示, 当用氢氟酸和臭氧水的混合溶液蚀刻衬底时, Si 衬底的蚀刻速率随着臭氧水的浓度增加而增大。换句话说, Si 衬底的蚀刻速率取决于臭氧水的浓度。

因此, 通过为氢氟酸的浓度和臭氧水的浓度选择适合的值, 可将热氧化膜和 Si 衬底的蚀刻速率设定为期望值。

例如, 浓度为 0.65% 的氢氟酸和浓度为 10ppm 的臭氧水的混合溶液可以用作蚀刻剂。在这种情况下, 以约 4nm/min 蚀刻用作掩膜的热氧化膜, 以 33nm/min 蚀刻 Si 衬底。由于在 Si 衬底上进行的蚀刻是各向异性的, 所以在水平方向几乎不进行蚀刻。因此, Si 衬底将具有梯形截面。衬底在水平方向蚀刻的距离与热氧化膜在水平方向蚀刻的距离几乎相同。

实际上, 氢氟酸的浓度范围从 0.05% 至 2%, 臭氧水的浓度范围从 3ppm 至 20ppm。热氧化膜的蚀刻速率约为 0.5 至 13nm/min, Si 衬底的蚀刻速率约为 15 至 100nm/min。因此, 为了增大氧化膜和 Si 衬底之间的蚀刻速率的差异, 氢氟酸和臭氧水的浓度分别设定为 0.05% 和 20ppm。相反地, 为了减小这种差异, 氢氟酸和臭氧水的浓度分别设定为 2% 和 3ppm。

利用氢氟酸和臭氧水的混合溶液的蚀刻可以批处理或逐一处理地进

行。在批处理中，将半导体衬底浸入混合溶液中。在逐一处理中，从喷嘴逐一向衬底施加混合溶液。只要氢氟酸和臭氧水的浓度落入上述特定范围，蚀刻就以不断地产生臭氧、废弃使用的溶液的顺序进行，或者在将臭氧溶解进循环的氢氟酸溶液的循环系统中进行。在冲净氢氟酸和臭氧水的混合溶液后，半导体衬底用水清洗并且通过干燥机干燥。然后，从半导体衬底去除用作掩膜的氧化膜，对该半导体衬底进行下一个制造步骤。

假定掩膜如此薄，以致该掩膜在利用氢氟酸和臭氧水的混合溶液的蚀刻过程中被完全去除。从而，可省略去除氧化膜的步骤。为了通过蚀刻 Si 衬底至例如 300nm 的深度形成 STI 区，形成具有 20nm 厚度的氧化膜以用作掩膜，并用浓度为 0.3% 的氢氟酸和浓度为 15ppm 的臭氧水的溶液处理八 (8) 分钟。从而在蚀刻结束时完全去除掩膜。得到的 STI 区具有期望的 300nm 的深度。

如上面指出，可以将半导体衬底浸入混合溶液批处理地进行蚀刻，或者从喷嘴逐一地向半导体衬底施加混合溶液逐一处理地进行蚀刻。如果处理时间相当长，优选批处理，因为批处理更有效。在半导体衬底用混合溶液处理后，将其用水冲洗，从其上去除溶液。随后，将半导体衬底烘干，进行下一个制造步骤。

在本实施例中，使用氢氟酸和臭氧水的混合溶液，通过利用氧化膜作掩膜蚀刻 Si 衬底。因此不必如常规方法中必需的氮化膜、在氮化膜上进行构图，或者去除构图的氮化膜。因此，本实施例可缩短制造半导体器件的时间。仅当氢氟酸浓度和臭氧水浓度设定为最优值时，Si 衬底的蚀刻速率与热氧化膜的蚀刻速率的比率增大到足够的值。并且，因为在 Si 衬底中没有产生进行 RIE 导致的等离子损伤，所以本实施例可以提高元件的可靠性。

本实施例可以降低 Si 衬底的表面粗糙度。这是因为本实施例向 Si 衬底施加氢氟酸和臭氧水的混合溶液，从而蚀刻 Si 衬底的表面。

图 5 是示出了测得的 Si 衬底表面粗糙度的不同值的图。没有用氢氟酸和臭氧水的混合溶液蚀刻的裸 Si 衬底具有 0.18 的表面粗糙度 Ra。用混合

溶液蚀刻后，Si 衬底呈现 0.14 的表面粗糙度 Ra；其表面粗糙度降低了。当裸 Si 衬底用氨水和过氧化氢溶液的混合溶液（APM）蚀刻时，其表面粗糙度 Ra 变为 2 或更大；其表面粗糙度增加了。

通过利用氢氟酸和臭氧水的混合溶液，在 Si 衬底上进行的蚀刻变成各向异性。这是当 Si 衬底具有 (100) 向晶面（主表面）时可观测到的特殊现象。如果 Si 衬底具有 (111) 向晶面或者 (110) 向晶面，蚀刻将不是各向异性。

图 6A 至图 6C 示出了在用氢氟酸和臭氧水的混合溶液沿不同的晶向蚀刻 Si 衬底的情况下观测到的截面 TEM 图像的示意图。

对 Si 衬底进行利用氧化膜作为掩膜的选择性蚀刻。在这些衬底中，具有 (100) 向晶面的 Si 衬底受到各向异性蚀刻，而非各向同性蚀刻。结果，如图 6A 所示，露出衬底的 (110) 面。

相反地，如图 6B 所示，具有 (110) 向晶面的 Si 衬底受到各向同性蚀刻。蚀刻速率很小，并且发生侧向蚀刻。如图 6C 所示，具有 (111) 向晶面的 Si 衬底也受到各向同性蚀刻。蚀刻速率小于图 6B 所示的情况，并且发生侧向蚀刻。

本实施例的特征不仅在于利用氢氟酸和臭氧水的混合溶液，而且在于所述 Si 衬底具有 (100) 向晶面。为形成元件隔离区需进行的步骤数量小于其它方法。此外，形成的元件隔离区具有期望的形状，没有侧向蚀刻部分。因此，本实施例可以降低半导体器件的制造成本，从而提高其元件的可靠性。

（第二实施例）

图 7A 至图 7C 是截面图，说明了根据本发明的第二实施例制造半导体器件的一些步骤。更具体地说，它们说明了具有三维结构的电容器的制造方法。

首先，如图 7A 所示，氧化具有 (100) 向晶面的 Si 衬底的表面，形成 2.5nm 厚的氧化膜 22。然后，与第一实施例一样，对氧化膜 22 进行其中利用抗蚀剂图形（未示出）的选择性蚀刻。从而形成线与间隙的图形。该

图形由线（即开口）和间隙（即氧化膜条）构成。线具有 75nm 的宽度，间隙具有 45nm 的宽度。

接下来，如图 7B 所示，利用氧化膜 22 作为掩膜，施加氢氟酸和臭氧水的混合溶液，这样在 Si 衬底 21 上进行选择性蚀刻。从而在 Si 衬底 21 中形成具有 40nm 的深度的沟槽 25。沟槽 25 底部宽 40nm，顶部宽 80nm。氢氟酸的浓度和臭氧水的浓度设定为与第一实施例一样的适当的值。从而在蚀刻结束时完全去除氧化膜 22。

如图 7C 所示，在 Si 衬底 21 的表面上形成绝缘膜 26 以提供电容器。随后，沉积填充沟槽 25 的多晶硅膜 27。

为了在 Si 衬底 21 的表面中形成沟槽，与在第一实施例一样，向 Si 衬底 21 的表面施加氢氟酸和臭氧水的混合溶液。随后，形成杂质扩散区和绝缘膜，沉积多晶硅层（电极），从而增大电容器的有效面积。进行随后的与常规的半导体器件制造相同的制造步骤。因为其表面用氢氟酸和臭氧水的混合溶液处理，所以 Si 衬底 21 没有损伤。所以不需要进行消除损伤的任何步骤。为形成电容器应进行的步骤的数量小于其它方法。并且，很容易增大电容器的有效面积。

用作掩膜的氧化膜 22 可具有 2.5nm 的厚度。在这种情况下，如果用浓度为 0.3% 的氢氟酸和浓度为 15ppm 的臭氧水的混合溶液处理一分钟，可完全去除掩膜。从而，形成具有 40nm 高度的阶梯形部分。在阶梯形部分可形成半导体元件，例如电容器。这有助于将有效面积增大 1.5 倍或更高。

可批处理或逐一处理地进行蚀刻。在批处理中，将半导体衬底浸入混合溶液中。在逐一处理中，从喷嘴逐一向衬底施加混合溶液。在半导体衬底用氢氟酸和臭氧水的混合溶液处理后，用水冲洗该半导体衬底，从其上去除溶液。随后，将半导体衬底烘干，进行下一个制造步骤。

在本实施例中，为了提供沟槽电容器，用氢氟酸和臭氧水的混合溶液蚀刻具有 (100) 向晶面的 Si 衬底 21。因此，可以在不损伤衬底 12 的情况下，在衬底 21 的表面中形成沟槽，从而可增大衬底 21 的有效表面面积。这样，为形成沟槽电容，用少于其它方法的步骤，处理 Si 衬底的表面，并

且在处理衬底时，在衬底中没有产生损伤。因此，本实施例可以降低半导体器件的制造成本，提高其元件的可靠性。

(第三实施例)

图 8 和图 9 示意性地说明了根据本发明的第三实施例的半导体器件。图 8 是透视图，图 9 是沿着栅极纵向延伸的方向截取的截面图。

本实施例涉及用作功率元件，例如 IGBT 的 MOSFET。本实施例的特征在于有效元件面积的增大。

在具有 (100) 向晶面的 Si 衬底 31 的表面中刻出具有 (110) 面侧面的沟道 35。沟道 35 可以如图 7A 和图 7B 所示的相同方法形成。在衬底 31 的表面上设置栅绝缘膜 36。在栅绝缘膜 36 上形成栅电极 37。在衬底 31 的表面中设置源漏区 38。更具体地说，在衬底 31 中形成源区 38a 和漏区 38b，通过位于栅电极 37 下的区域相互隔离。如图 9 所示，在栅电极 37 的侧面形成侧向绝缘膜 39。为了清楚地示出元件结构，图 8 中没有显示出侧向绝缘膜 39。

该结构的优点在于栅电极 37 具有大的有效宽度，虽然它看来没有如上面图所示的那么长和那么宽。因此，与常规的 MOSFET 相比，在源与漏之间可以流过更大的电流。希望栅绝缘膜 36 由具有高介电常数的材料制成。栅电极 37 不必由多晶硅制成。其可以是金属栅。

在本实施例中，也可以通过用氢氟酸和臭氧水的混合溶液蚀刻具有 (100) 向晶面的衬底 31，在不损伤衬底 31 的情况下，在衬底 31 的表面中形成沟槽。因此可以增大衬底的有效表面面积。与第二实施例一样，可以数量少的步骤处理 Si 衬底，并且在衬底的处理过程中在衬底中没有产生损伤。这降低了 MOSFET 的制造成本，提高了其可靠性。可以同样的方法形成接触孔。然后，可增大有效的接触表面面积，以降低接触电阻。

(修改)

本发明不限于上述实施例。在上述各实施例中，Si 衬底具有 (100) 向晶面。此外，在本发明中可以利用绝缘体上硅 (SOI) 衬底。SOI 衬底可以用氢氟酸和臭氧水的混合溶液蚀刻，直到露出氧化物底层。这样，可以

容易地实现元件隔离。因为氧化物具有比硅低得多的蚀刻速率，因此氧化物底层可以用作蚀刻停止层，这可增大处理余地。因此可以制造更高性能的半导体元件。

此外，在 Si 衬底上形成的薄膜不限于氧化膜。还可以利用任何具有低于 Si 衬底蚀刻速率的其它材料的膜。并且，氢氟酸和臭氧水的浓度，即混合溶液的组分，可以根据需要改变，与薄膜（用作掩膜）的蚀刻速率与 Si 衬底的蚀刻速率之间的比率一致。此外，氢氟酸和臭氧水的混合溶液可以用氢氟酸溶液代替，其可去除用作掩膜的氧化膜。

对于本领域的技术人员来说，其它的优点和修改将是显而易见的。因此，本发明在其更宽范围内并不限于在此示出和说明的具体细节和代表性实施例。因此，只要不脱离所附权利要求书和其等同替换限定的总发明构思的精神或范围，可以进行各种修改。

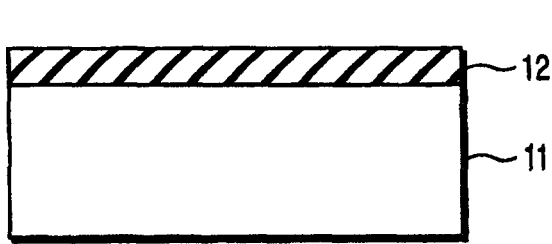


图 1A

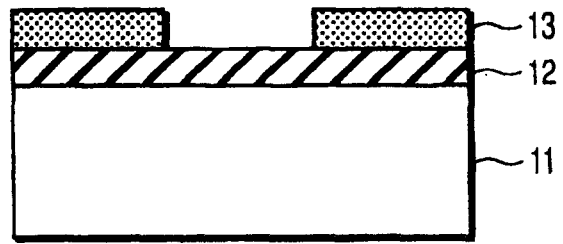


图 1B

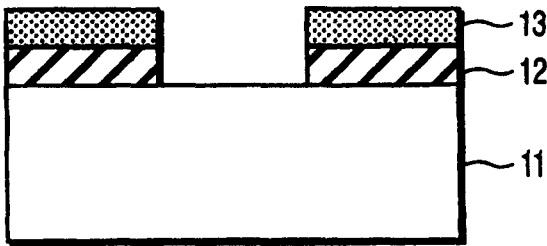


图 1C

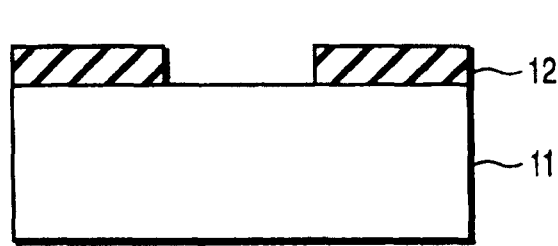


图 1D

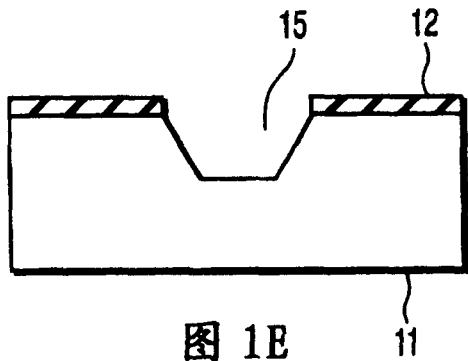


图 1E

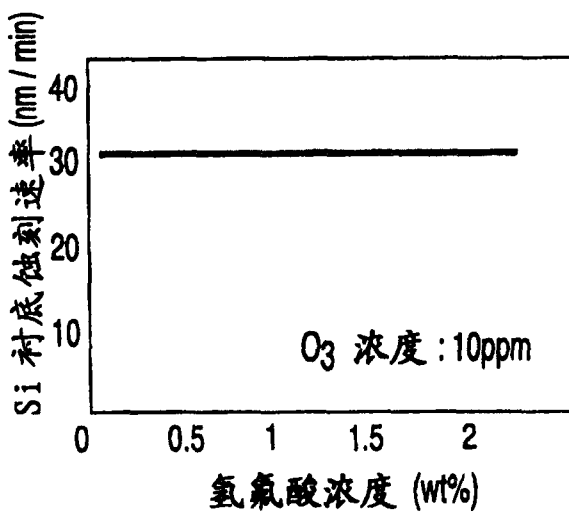
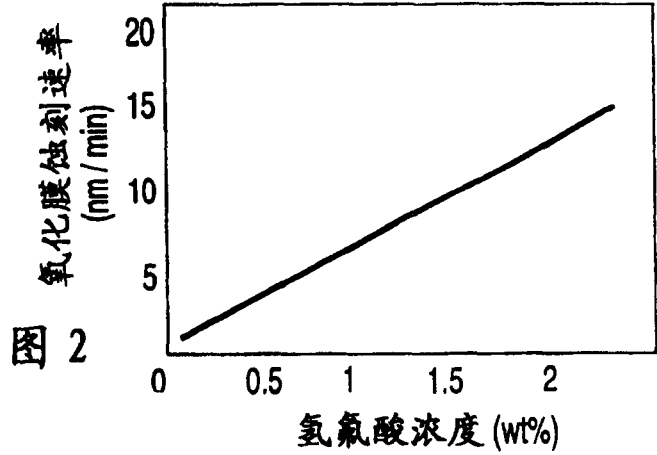


图 3

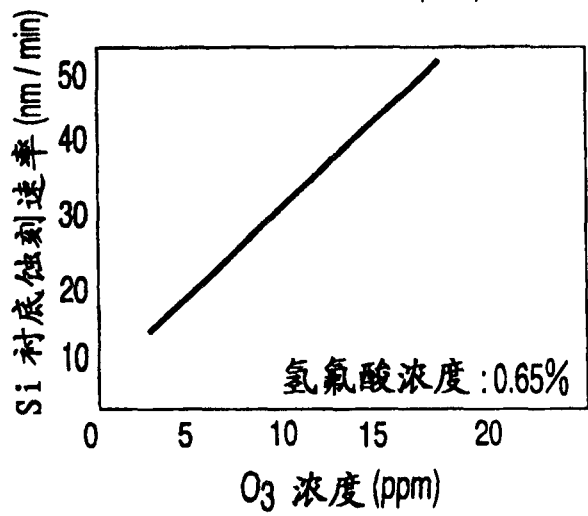


图 4

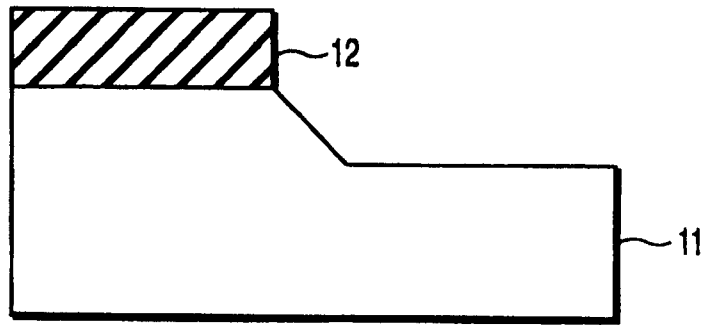
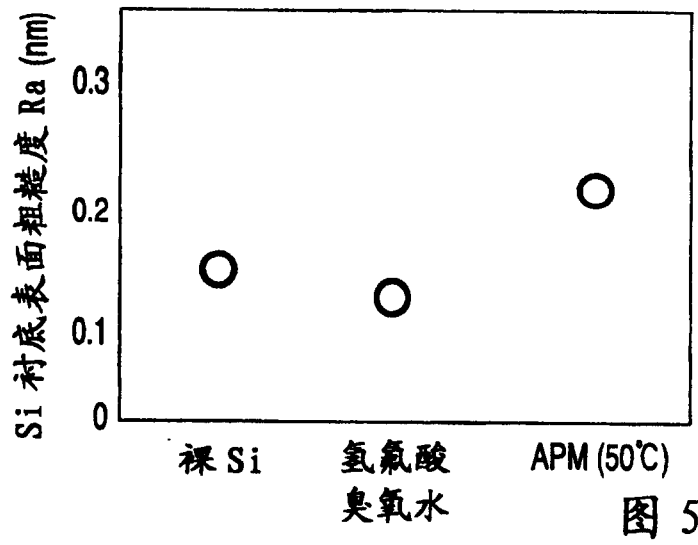


图 6A

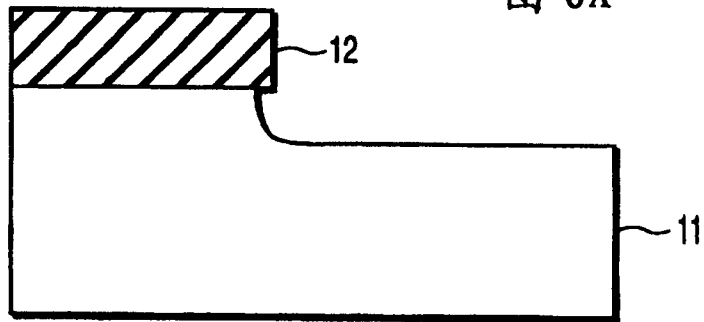


图 6B

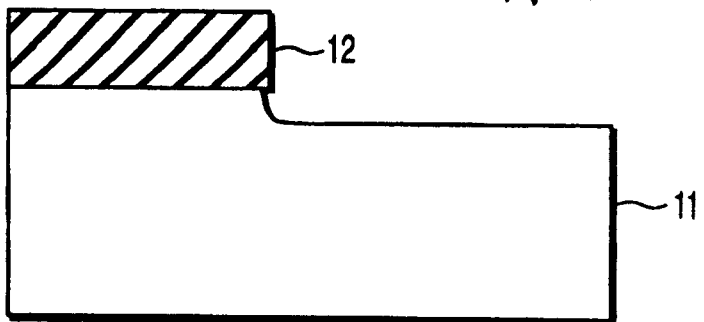


图 6C

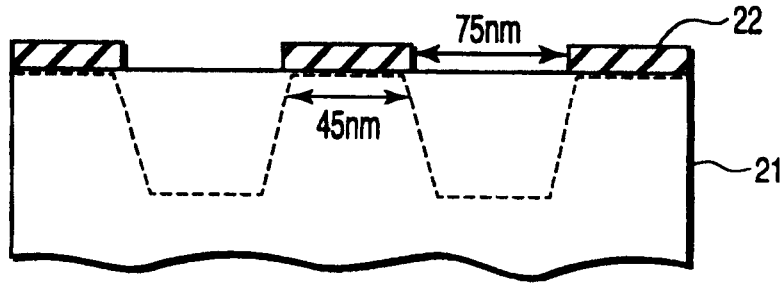


图 7A

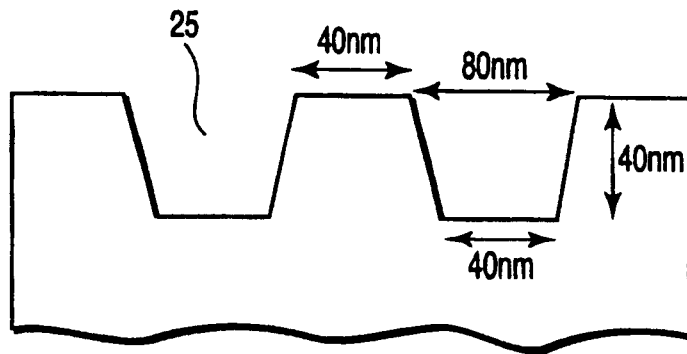


图 7B

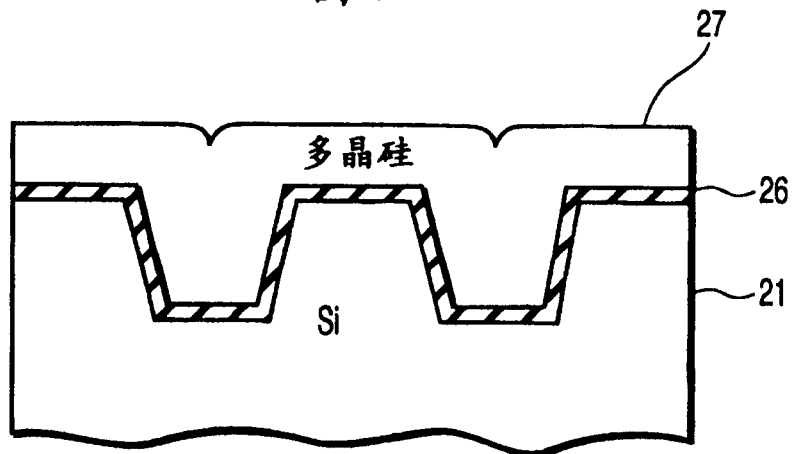


图 7C

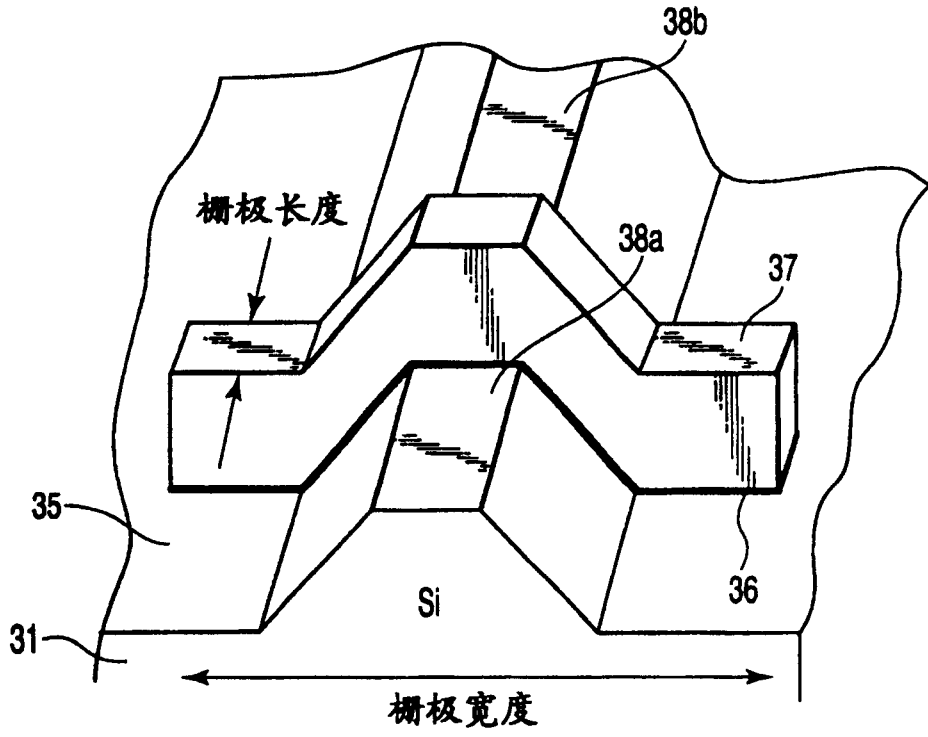


图 8

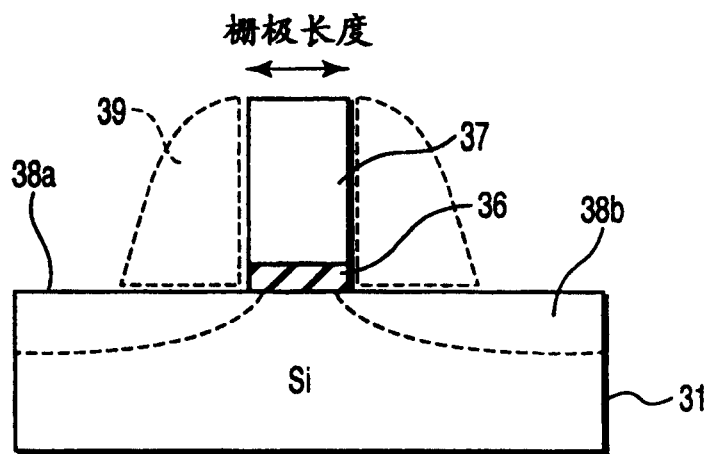


图 9