



(12) 发明专利申请

(10) 申请公布号 CN 113014246 A

(43) 申请公布日 2021.06.22

(21) 申请号 202110194215.1

(22) 申请日 2021.02.20

(71) 申请人 广东省科学院半导体研究所
地址 510651 广东省广州市天河区长兴路
363号

(72) 发明人 刘大伟 范建林 鲍园 陈志涛

(74) 专利代理机构 北京超凡宏宇专利代理事务
所(特殊普通合伙) 11463
代理人 易杨

(51) Int. Cl.
H03K 19/0185 (2006.01)

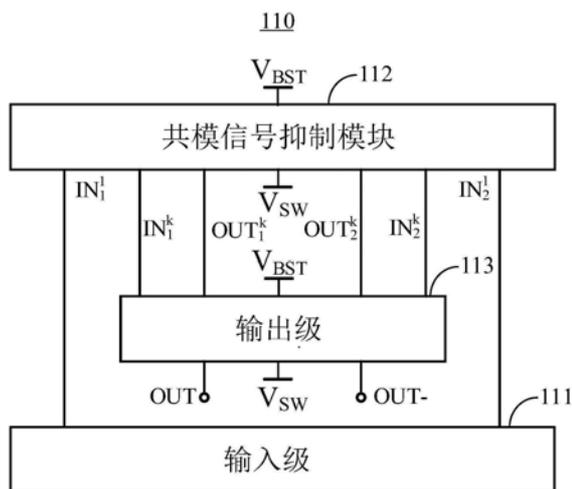
权利要求书2页 说明书9页 附图7页

(54) 发明名称

电压电平移位器和电子设备

(57) 摘要

本发明的实施例提供了一种电压电平移位器和电子设备,涉及电子技术领域。该电压电平移位器包括输入级、共模信号抑制模块和输出级,输入级、共模信号抑制模块和输出级依次电连接,共模信号抑制模块还与浮动地电连接;输入级用于依据输入信号产生差模信号,并将差模信号传输至共模信号抑制模块;共模信号抑制模块用于抑制浮动地产生的共模信号对差模信号的影响,得到处理后的差模信号,并将处理后的差模信号传输至输出级;输出级用于依据处理后的差模信号输出输出信号。本发明的电压电平移位器和电子设备,其能够适用各种场合,在不同场合均满足高瞬态共模电压抑制指标。



1. 一种电压电平移位器,其特征在于,包括输入级、共模信号抑制模块和输出级,所述输入级、所述共模信号抑制模块和所述输出级依次电连接,所述共模信号抑制模块还与浮动地电连接;

所述输入级用于依据输入信号产生差模信号,并将所述差模信号传输至所述共模信号抑制模块;

所述共模信号抑制模块用于抑制所述浮动地产生的共模信号对所述差模信号的影响,得到处理后的差模信号,并将处理后的差模信号传输至所述输出级;

所述输出级用于依据处理后的差模信号输出输出信号。

2. 如权利要求1所述的电压电平移位器,其特征在于,所述共模信号抑制模块包括第一共模抑制单元和第二共模抑制单元,且所述第一共模抑制单元与所述第二共模抑制单元的数量相同;

当所述第一共模抑制单元和所述第二共模抑制单元的数量均为一个时,所述输入级、所述第一共模抑制单元、所述第二共模抑制单元和所述输出级依次电连接;

所述第一共模抑制单元用于抑制所述共模信号对所述差模信号的影响,得到处理后的第一处理差模信号,并将所述第一处理差模信号传输至所述第二共模抑制单元;

所述第二共模抑制单元用于抑制所述共模信号对所述第一处理差模信号的影响,得到处理后的第二处理差模信号,并将所述第二处理差模信号传输至所述输出级。

3. 如权利要求2所述的电压电平移位器,其特征在于,当所述第一共模抑制单元和所述第二共模抑制单元的数量均为多个时,多个所述第一共模抑制单元和多个所述第二共模抑制单元依次交替电连接,所述输入级与初级共模抑制单元电连接,所述输出级与末级共模抑制单元电连接;其中,奇数级为所述第一共模抑制单元,偶数级为所述第二共模抑制单元,所述初级共模抑制单元为所述第一共模抑制单元,所述末级共模抑制单元为所述第二共模抑制单元;

多个所述第一共模抑制单元和多个所述第二共模抑制单元均用于抑制所述共模信号对所述差模信号的影响,得到处理后的差模信号。

4. 如权利要求3所述的电压电平移位器,其特征在于,所述第一共模抑制单元包括第一PMOS管、第二PMOS管、第三PMOS管、第四PMOS管、第五PMOS管和第六PMOS管;

若所述第一共模抑制单元为所述初级共模抑制单元,所述输入级的第一输入端与所述第一PMOS管的漏级和栅极、所述第二PMOS管的栅极、所述第五PMOS管的栅极和所述第六PMOS管的漏级均电连接,所述输入级的第二输入端与所述第三PMOS管的栅极、所述第四PMOS管的栅极和漏级、所述第五PMOS管的漏级和所述第六PMOS管的栅极均电连接,所述第一PMOS管的栅极还与所述第二PMOS管的栅极电连接,所述第三PMOS管的栅极还与所述第四PMOS管的栅极电连接,所述第二PMOS管的漏级和所述第三PMOS管的漏级均与所述第二共模抑制单元电连接。

5. 如权利要求4所述的电压电平移位器,其特征在于,若所述第一共模抑制单元不为所述初级共模抑制单元,多个所述第二共模抑制单元中的一个第二共模抑制单元的第一输出端与所述第一PMOS管的漏级和栅极、所述第二PMOS管的栅极、所述第五PMOS管的栅极和所述第六PMOS管的漏级均电连接,多个所述第二共模抑制单元中的一个第二共模抑制单元的第二输出端与所述第三PMOS管的栅极、所述第四PMOS管的栅极和漏级、所述第五PMOS管的

漏级和所述第六PMOS管的栅极均电连接,所述第二PMOS管的漏级和所述第三PMOS管的漏级均与多个所述第二共模抑制单元中的另一个第二共模抑制单元电连接。

6.如权利要求3所述的电压电平移位器,其特征在于,所述第二共模抑制单元包括第一NMOS管、第二NMOS管、第三NMOS管、第四NMOS管、第五NMOS管和第六NMOS管;

若所述第二共模抑制单元为所述末级共模抑制单元,所述第一共模抑制单元的第一输出端和所述输出级与所述第一NMOS管的漏极和栅极、所述第二NMOS管的栅极、所述第五NMOS管的栅极和所述第六NMOS管的漏级均电连接,所述第一共模抑制单元的第二输出端和所述输出级与所述第三NMOS管的栅极、所述第四NMOS管的漏级和栅极、所述第五NMOS管的漏级和所述第六NMOS管的栅极均电连接,所述第一NMOS管的栅极还与所述第二NMOS管的栅极电连接,所述第三NMOS管的栅极还与所述第四NMOS管的栅极电连接,所述第二NMOS管的漏级和所述第三NMOS管的漏级均与所述输出级电连接。

7.如权利要求6所述的电压电平移位器,其特征在于,若所述第二共模抑制单元不为所述末级共模抑制单元,多个所述第一共模抑制单元中的一个第一共模抑制单元的第一输出端与所述第一NMOS管漏极和栅极、所述第二NMOS管的栅极、所述第五NMOS管的栅极和所述第六NMOS管的漏级均电连接,多个所述第一共模抑制单元中的一个第一共模抑制单元的第二输出端与所述第三NMOS管的栅极、所述第四NMOS管的漏级和栅极、所述第五NMOS管的漏级和所述第六NMOS管的栅极均电连接,所述第二NMOS管的漏级和所述第三NMOS管的漏级均与多个所述第一共模抑制单元中的另一个第一共模抑制单元电连接。

8.如权利要求1所述的电压电平移位器,其特征在于,所述差模信号包括第一差模信号和第二差模信号,所述输入级包括脉冲生成器、第一开关单元和第二开关单元,所述脉冲生成器与所述第一开关单元和所述第二开关单元均电连接,所述第一开关单元和所述第二开关单元均与所述共模信号抑制模块电连接;

所述脉冲生成器用于依据所述输入信号依次产生第一开关信号和第二开关信号,并将所述第一开关信号发送至所述第一开关单元,将所述第二开关信号发送至所述第二开关单元;

所述第一开关单元用于依据所述第一开关信号产生所述第一差模信号,并将所述第一差模信号传输至所述共模信号抑制模块;

所述第二开关单元用于依据所述第二开关信号产生所述第二差模信号,并将所述第二差模信号传输至所述共模信号抑制模块。

9.如权利要求1所述的电压电平移位器,其特征在于,所述输出级包括第三开关单元和触发器,所述第三开关单元与所述共模信号抑制模块和所述触发器均电连接;

所述第三开关单元用于依据处理后的差模信号向所述触发器输出控制信号;

所述触发器用于依据所述控制信号输出所述输出信号。

10.一种电子设备,其特征在于,包括如权利要求1-9任意一项所述的电压电平移位器。

电压电平移位器和电子设备

技术领域

[0001] 本发明涉及电子技术领域,具体而言,涉及一种电压电平移位器和电子设备。

背景技术

[0002] 在开关电源和电机驱动等领域,电压电平移位器作为半桥驱动器高侧驱动的重要电路单元,可将相对于地的控制信号转化为相对于高侧驱动器浮动地的控制信号。

[0003] 但是,半桥驱动器浮动地变化产生的瞬态共模信号(电压和电流),对电平移位器的工作可靠性带来了挑战。特别是随着第三代宽禁带半导体碳化硅和氮化镓功率管的广泛应用,浮动地瞬态共模电压信号的摆率越来越大,甚至可以超过100V/ns,传统的电压电平移位器已经不适用于如此高摆率的瞬态共模电压变化的场合。

发明内容

[0004] 本发明的目的包括,例如,提供了一种电压电平移位器和电子设备,其能够适用各种场合,在不同场合均满足高瞬态共模电压抑制指标。

[0005] 本发明的实施例可以这样实现:

[0006] 第一方面,本发明提供一种电压电平移位器,包括输入级、共模信号抑制模块和输出级,所述输入级、所述共模信号抑制模块和所述输出级依次电连接,所述共模信号抑制模块还与浮动地电连接;

[0007] 所述输入级用于依据输入信号产生差模信号,并将所述差模信号传输至所述共模信号抑制模块;

[0008] 所述共模信号抑制模块用于抑制所述浮动地产生的共模信号对所述差模信号的影响,得到处理后的差模信号,并将处理后的差模信号传输至所述输出级;

[0009] 所述输出级用于依据处理后的差模信号输出输出信号。

[0010] 在可选的实施方式中,所述共模信号抑制模块包括第一共模抑制单元和第二共模抑制单元,且所述第一共模抑制单元与所述第二共模抑制单元的数量相同;

[0011] 当所述第一共模抑制单元和所述第二共模抑制单元的数量均为一个时,所述输入级、所述第一共模抑制单元、所述第二共模抑制单元和所述输出级依次电连接;

[0012] 所述第一共模抑制单元用于抑制所述共模信号对所述差模信号的影响,得到处理后的第一处理差模信号,并将所述第一处理差模信号传输至所述第二共模抑制单元;

[0013] 所述第二共模抑制单元用于抑制所述共模信号对所述第一处理差模信号的影响,得到处理后的第二处理差模信号,并将所述第二处理差模信号传输至所述输出级。

[0014] 在可选的实施方式中,当所述第一共模抑制单元和所述第二共模抑制单元的数量均为多个时,多个所述第一共模抑制单元和多个所述第二共模抑制单元依次交替电连接,所述输入级与初级共模抑制单元电连接,所述输出级与末级共模抑制单元电连接;其中,奇数级为所述第一共模抑制单元,偶数级为所述第二共模抑制单元,所述初级共模抑制单元为所述第一共模抑制单元,所述末级共模抑制单元为所述第二共模抑制单元;

[0015] 多个所述第一共模抑制单元和多个所述第二共模抑制单元均用于抑制所述共模信号对所述差模信号的影响,得到处理后的差模信号。

[0016] 在可选的实施方式中,所述第一共模抑制单元包括第一PMOS管、第二PMOS管、第三PMOS管、第四PMOS管、第五PMOS管和第六PMOS管;

[0017] 若所述第一共模抑制单元为所述初级共模抑制单元,所述输入级的第一输入端与所述第一PMOS管的漏级和栅极、所述第二PMOS管的栅极、所述第五PMOS管的栅极和所述第六PMOS管的漏级均电连接,所述输入级的第二输入端与所述第三PMOS管的栅极、所述第四PMOS管的栅极和漏级、所述第五PMOS管的漏级和所述第六PMOS管的栅极均电连接,所述第一PMOS管的栅极还与所述第二PMOS管的栅极电连接,所述第三PMOS管的栅极还与所述第四PMOS管的栅极电连接,所述第二PMOS管的漏级和所述第三PMOS管的漏级均与所述第二共模抑制单元电连接。

[0018] 在可选的实施方式中,若所述第一共模抑制单元不为所述初级共模抑制单元,多个所述第二共模抑制单元中的一个第二共模抑制单元的第一输出端与所述第一PMOS管的漏级和栅极、所述第二PMOS管的栅极、所述第五PMOS管的栅极和所述第六PMOS管的漏级均电连接,多个所述第二共模抑制单元中的一个第二共模抑制单元的第二输出端与所述第三PMOS管的栅极、所述第四PMOS管的栅极和漏级、所述第五PMOS管的漏级和所述第六PMOS管的栅极均电连接,所述第二PMOS管的漏级和所述第三PMOS管的漏级均与多个所述第二共模抑制单元中的另一个第二共模抑制单元电连接。

[0019] 在可选的实施方式中,所述第二共模抑制单元包括第一NMOS管、第二NMOS管、第三NMOS管、第四NMOS管、第五NMOS管和第六NMOS管;

[0020] 若所述第二共模抑制单元为所述末级共模抑制单元,所述第一共模抑制单元的第一输出端和所述输出级与所述第一NMOS管的漏极和栅极、所述第二NMOS管的栅极、所述第五NMOS管的栅极和所述第六NMOS管的漏级均电连接,所述第一共模抑制单元的第二输出端和所述输出级与所述第三NMOS管的栅极、所述第四NMOS管的漏级和栅极、所述第五NMOS管的漏级、所述第六NMOS管的栅极均电连接,所述第一NMOS管的栅极还与所述第二NMOS管的栅极电连接,所述第三NMOS管的栅极还与所述第四NMOS管的栅极电连接,所述第二NMOS管的漏级和所述第三NMOS管的漏级均与所述输出级电连接。

[0021] 在可选的实施方式中,若所述第二共模抑制单元不为所述末级共模抑制单元,多个所述第一共模抑制单元中的一个第一共模抑制单元的第一输出端与所述第一NMOS管漏极和栅极、所述第二NMOS管的栅极、所述第五NMOS管的栅极和所述第六NMOS管的漏级均电连接,多个所述第一共模抑制单元中的一个第一共模抑制单元的第二输出端与所述第三NMOS管的栅极、所述第四NMOS管的漏级和栅极、所述第五NMOS管的漏级和所述第六NMOS管的栅极均电连接,所述第二NMOS管的漏级和所述第三NMOS管的漏级均与多个所述第一共模抑制单元中的另一个第一共模抑制单元电连接。

[0022] 在可选的实施方式中,所述差模信号包括第一差模信号和第二差模信号,所述输入级包括脉冲生成器、第一开关单元和第二开关单元,所述脉冲生成器与所述第一开关单元和所述第二开关单元均电连接,所述第一开关单元和所述第二开关单元均与所述共模信号抑制模块电连接;

[0023] 所述脉冲生成器用于依据所述输入信号依次产生第一开关信号和第二开关信号,

并将所述第一开关信号发送至所述第一开关单元,将所述第二开关信号发送至所述第二开关单元;

[0024] 所述第一开关单元用于依据所述第一开关信号产生所述第一差模信号,并将所述第一差模信号传输至所述共模信号抑制模块;

[0025] 所述第二开关单元用于依据所述第二开关信号产生所述第二差模信号,并将所述第二差模信号传输至所述共模信号抑制模块。

[0026] 在可选的实施方式中,所述输出级包括第三开关单元和触发器,所述第三开关单元与所述共模信号抑制模块和所述触发器均电连接;

[0027] 所述第三开关单元用于依据处理后的差模信号向所述触发器输出控制信号;

[0028] 所述触发器用于依据所述控制信号输出所述输出信号。

[0029] 第二方面,本发明提供一种电子设备,包括如前述实施方式任意一项所述的电压电平移位器。

[0030] 本发明实施例的有益效果包括,例如:一种电压电平移位器和电子设备,该电压电平移位器包括输入级、共模信号抑制模块和输出级,输入级、共模信号抑制模块和输出级依次电连接,共模信号抑制模块还与浮动地电连接;输入级用于依据输入信号产生差模信号,并将差模信号传输至共模信号抑制模块;共模信号抑制模块用于抑制浮动地产生的共模信号对差模信号的影响,得到处理后的差模信号,并将处理后的差模信号传输至输出级;输出级用于依据处理后的差模信号输出输出信号。可见,通过共模信号抑制模块能够实现共模信号的抑制,使得输出级输出的输出信号正确。

附图说明

[0031] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本发明的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0032] 图1为现有技术的一种半桥转换器的电路示意图;

[0033] 图2为本发明实施例提供的一种电压电平移位器的结构示意图;

[0034] 图3为本发明实施例提供的另一种电压电平移位器的结构示意图;

[0035] 图4为本发明实施例提供的又一种电压电平移位器的结构示意图;

[0036] 图5为本发明实施例提供的一种共模信号抑制模块电路示意图;

[0037] 图6为本发明实施例提供的一种输入级的电路示意图;

[0038] 图7为本发明实施例提供的另一种共模信号抑制模块的电路示意图;

[0039] 图8为本发明实施例提供的一种输出级的电路示意图;

[0040] 图9为本发明实施例提供的一种电子设备的结构示意图。

[0041] 图标:100-电子设备;110-电压电平移位器;111-输入级;1111-脉冲生成器;1112-第一开关单元;1113-第二开关单元;112-共模信号抑制模块;1121-第一共模抑制单元;1122-第二共模抑制单元;113-输出级;1131-第三开关单元;1132-触发器;120-半桥驱动器;PM1-第一PMOS管;PM2-第二PMOS管;PM3-第三PMOS管;PM4-第四PMOS管;PM5-第五PMOS管;PM6-第六PMOS管;PM7-第七PMOS管;PM8-第八PMOS管;PM9-第九PMOS管;PM10-第十PMOS

管;NM1-第一NMOS管;NM2-第二NMOS管;NM3-第三NMOS管;NM4-第四NMOS管;NM5-第五NMOS管;NM6-第六NMOS管;NM7-第七NMOS管;NM8-第八NMOS管;Q1-第一开关管;Q2-第二开关管;C1-第一电容;C2-第二电容。

具体实施方式

[0042] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。通常在此处附图中描述和示出的本发明实施例的组件可以以各种不同的配置来布置和设计。

[0043] 因此,以下对在附图中提供的本发明的实施例的详细描述并非旨在限制要求保护的本发明的范围,而是仅仅表示本发明的选定实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0044] 应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。

[0045] 在本发明的描述中,需要说明的是,若出现术语“上”、“下”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该发明产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0046] 此外,若出现术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0047] 需要说明的是,在不冲突的情况下,本发明的实施例中的特征可以相互结合。

[0048] 请参考图1,为现有技术的一种半桥转换器的电路示意图,现有的半桥转换器采用N型功率管Q3和Q4的半桥结构。 V_{sw} 为高侧栅驱动器的浮动地的电压。N型功率管Q3由电压电平移位器和缓冲器组成的高侧栅驱动器驱动,其导通和关断由电压电平移位器的输入信号PWM2控制。其中,输入信号PWM2的逻辑电平相对于低侧栅驱动器的地GND,电压电平移位器的输出信号OUT的逻辑电平相对于高侧栅驱动器的浮动地 V_{sw} 。当N型功率管Q4关断后,输入信号PWM2由GND上升到 V_{DD} ,OUT由 V_{sw} 上升到 V_{BST} ,N型功率管Q3导通,浮动地 V_{sw} 将从低电平GND上升到半桥转换器的输入电平 V_{IN} 。在 V_{sw} 快速上升期间,要保证电压电平移位器输出信号OUT保持高电平 V_{BST} ,确保N型功率管Q3导通,从而该半桥转换器电路正常工作。

[0049] V_{sw} 电压的快速上升将产生高速瞬态共模电流干扰信号,影响电压电平移位器的正常工作。随着浮动地瞬态共模电压信号的摆率越来越大,传统的电压电平移位器已经不适用于如此高摆率的瞬态共模电压变化的场合。

[0050] 为了解决上述问题,现提出一种新颖的电压电平移位器,其具有高瞬态共模电压抑制的作用。如图2所示,为本发明实施例提供的一种电压电平移位器110的结构示意图。电压电平移位器110包括输入级111、共模信号抑制模块112和输出级113,输入级111、共模信号抑制模块112和输出级113依次电连接,共模信号抑制模块112还与浮动地电连接。

[0051] 在本实施例中,输入级111用于依据输入信号产生差模信号,并将差模信号传输至共模信号抑制模块112;共模信号抑制模块112用于抑制浮动地产生的共模信号对差模信号

的影响,得到处理后的差模信号,并将处理后的差模信号传输至输出级113;输出级113用于依据处理后的差模信号输出输出信号。

[0052] 可以理解,该输入信号为PWM(Pulse width modulation,脉冲宽度调制)信号。

[0053] 在本实施例中,本申请的共模信号抑制模块112的结构可以根据实际进行设计,以实现不同的电压共模抑制能力,具有高速和高设计自由度的特点。如图3所示,为图2中的共模信号抑制模块112的一种可实施的结构示意图。共模信号抑制模块112包括第一共模抑制单元1121和第二共模抑制单元1122,且第一共模抑制单元1121与第二共模抑制单元1122的数量相同。当第一共模抑制单元1121和第二共模抑制单元1122的数量均为一个时,输入级111、第一共模抑制单元1121、第二共模抑制单元1122和输出级113依次电连接。

[0054] 在本实施例中,第一共模抑制单元1121用于抑制共模信号对差模信号的影响,得到处理后的第一处理差模信号,并将第一处理差模信号传输至第二共模抑制单元1122。第二共模抑制单元1122用于抑制共模信号对第一处理差模信号的影响,得到处理后的第二处理差模信号,并将第二处理差模信号传输至所述输出级113。

[0055] 如图4所示,为图2中的共模信号抑制模块112的另一种可实施的结构示意图。当第一共模抑制单元1121和第二共模抑制单元1122的数量均为多个时,多个第一共模抑制单元1121和多个第二共模抑制单元1122依次交替电连接,输入级111与初级共模抑制单元电连接,输出级113与末级共模抑制单元电连接;其中,奇数级为第一共模抑制单元1121,偶数级为第二共模抑制单元1122,初级共模抑制单元为第一共模抑制单元1121,末级共模抑制单元为第二共模抑制单元1122。

[0056] 在本实施例中,多个第一共模抑制单元1121和多个第二共模抑制单元1122均用于抑制共模信号对差模信号的影响,得到处理后的差模信号。

[0057] 根据上述可知,共模信号抑制模块112中的第一共模抑制单元1121和第二共模抑制单元1122的数量,是可以根据实际情况进行设计。由于每个共模抑制单元均能抑制共模信号对差模信号的影响,故设计的第一共模抑制单元1121和第二共模抑制单元1122的数量越多,对共模信号的抑制能力也是成比例提升的。故在共模信号影响过大的场合,第一共模抑制单元1121和第二共模抑制单元1122的数量可以设计的越多。在共模信号影响不大的场合,为了节约成本,第一共模抑制单元1121和第二共模抑制单元1122的数量可以设计的少一点。

[0058] 虽然根据实际情况,可以对第一共模抑制单元1121和第二共模抑制单元1122的数量进行设计。但是无论第一共模抑制单元1121和第二共模抑制单元1122的数量为多少,每个第一共模抑制单元1121的具体电路结构是相同的,每个第二共模抑制单元1122的具体电路结构也是相同。

[0059] 如图5所示,第一共模抑制单元1121包括第一PMOS管PM1、第二PMOS管PM2、第三PMOS管PM3、第四PMOS管PM4、第五PMOS管PM5和第六PMOS管PM6。

[0060] 若第一共模抑制单元1121为初级共模抑制单元,输入级111的第一输入端与第一PMOS管PM1的漏级和栅极、第二PMOS管PM2的栅极、第五PMOS管PM5的栅极和第六PMOS管PM6的漏级均电连接,输入级111的第二输入端与第三PMOS管PM3的栅极、第四PMOS管PM4的栅极和漏级、第五PMOS管PM5的漏级和第六PMOS管PM6的栅极均电连接,第一PMOS管PM1的栅极还与第二PMOS管PM2的栅极电连接,第三PMOS管PM3的栅极还与第四PMOS管PM4的栅极电连接,

第二PMOS管PM2的漏级和第三PMOS管PM3的漏级均与第二共模抑制单元1122电连接。

[0061] 若第一共模抑制单元1121不为初级共模抑制单元,多个第二共模抑制单元1122中的一个第二共模抑制单元1122的第一输出端与第一PMOS管PM1的漏级和栅极、第二PMOS管PM2的栅极、第五PMOS管PM5的栅极和第六PMOS管PM6的漏级均电连接,多个第二共模抑制单元1122中的一个第二共模抑制单元1122的第二输出端与第三PMOS管PM3的栅极、第四PMOS管PM4的栅极和漏级、第五PMOS管PM5的漏级和第六PMOS管PM6的栅极均电连接,第二PMOS管PM2的漏级和第三PMOS管PM3的漏级均与多个第二共模抑制单元1122中的另一个第二共模抑制单元1122电连接。

[0062] 第二共模抑制单元1122包括第一NMOS管NM1、第二NMOS管NM2、第三NMOS管NM3、第四NMOS管NM4、第五NMOS管NM5和第六NMOS管NM6。

[0063] 若第二共模抑制单元1122为末级共模抑制单元,第一共模抑制单元1121的第一输出端和输出级113与第一NMOS管NM1的漏极和栅极、第二NMOS管NM2的栅极、第五NMOS管NM5的栅极和第六NMOS管NM6的漏级均电连接,第一共模抑制单元1121的第二输出端和输出级113与第三NMOS管NM3的栅极、第四NMOS管NM4的漏级和栅极、第五NMOS管NM5的漏级、第六NMOS管NM6的栅极均电连接,第一NMOS管NM1的栅极还与第二NMOS管NM2的栅极电连接,第三NMOS管NM3的栅极还与第四NMOS管NM4的栅极电连接,第二NMOS管NM2的漏级和第三NMOS管NM3的漏级均与输出级113电连接。

[0064] 若第二共模抑制单元1122不为末级共模抑制单元,多个第一共模抑制单元1121中的一个第一共模抑制单元1121的第一输出端与第一NMOS管NM1漏极和栅极、第二NMOS管NM2的栅极、第五NMOS管NM5的栅极和第六NMOS管NM6的漏级均电连接,多个第一共模抑制单元1121中的一个第一共模抑制单元1121的第二输出端与第三NMOS管NM3的栅极、第四NMOS管NM4的漏级和栅极、第五NMOS管NM5的漏级和第六NMOS管NM6的栅极均电连接,第二NMOS管NM2的漏级和第三NMOS管NM3的漏级均与多个第一共模抑制单元1121中的另一个第一共模抑制单元1121电连接。

[0065] 在本实施例中,无论第一共模抑制单元1121是否为初级共模抑制单元,第一PMOS管PM1的源极、第二PMOS管PM2的源极、第三PMOS管PM3的源极、第四PMOS管PM4的源极、第五PMOS管PM5的源极和第六PMOS管PM6的源极均与浮动电压源 V_{BST} 电连接。无论第二共模抑制单元1122是否为末级共模抑制单元,第一NMOS管NM1的源极、第二NMOS管NM2的源极、第三NMOS管NM3的源极、第四NMOS管NM4的源极、第五NMOS管NM5的源极和第六NMOS管NM6的源极均与浮动地 V_{sw} 电连接。

[0066] 其中,第一共模抑制单元1121中的第一PMOS管PM1、第二PMOS管PM2、第三PMOS管PM3和第四PMOS管PM4与第五PMOS管PM5和第六PMOS管PM6的宽长比为 $N:1$,第二共模抑制单元1122中的第一NMOS管NM1、第二NMOS管NM2、第三NMOS管NM3和第四NMOS管NM4与第五NMOS管NM5和第六NMOS管NM6的宽长比同样为 $N:1$ 。其中, N 大于1。由于第一PMOS管PM1和第二PMOS管PM2组成电流镜,使得流过第一PMOS管PM1和第二PMOS管PM2电流相等。

[0067] 同理,第三PMOS管PM3和第四PMOS管PM4也组成电流镜,流过第三PMOS管PM3和第四PMOS管PM4的电流也相等;第一NMOS管NM1和第二NMOS管NM2也组成电流镜,流过第一NMOS管NM1和第二NMOS管NM2的电流也相等;第三NMOS管NM3和第四NMOS管NM4也组成电流镜,流过第三NMOS管NM3和第四NMOS管NM4的电流也相等。

[0068] 当浮动地产生共模信号时,根据电流镜的电流镜像原理,初级共模抑制单元中的第二PMOS管PM2和第三PMOS管PM3输出的共模信号均为 $\frac{N}{N+1}I_{\text{com}}$ 。其中, I_{com} 为共模信号。

[0069] 与初级共模抑制单元相连的第二共模抑制单元1122中的共模信号的抑制原理为,根据电流镜的电流镜像原理,流入第二NMOS管NM2的漏极和第三NMOS管NM3的漏极的共模信号为 $\left(\frac{N}{N+1}\right)^2 I_{\text{com}}$ 。

[0070] 根据上述分析可知,由于第一共模抑制单元1121和第二共模抑制单元1122依次交替电连接,若第一共模抑制单元1121和第二共模抑制单元1122的总数量为k个,那么末级第二共模抑制单元1122向输出级113输出的共模信号则应为 $\left(\frac{N}{N+1}\right)^k I_{\text{com}}$ 。故N取值越小,k

取值越大,末级第二共模抑制单元1122输出的共模信号的值就越小。那么,共模信号抑制模块112对共模信号的抑制性能就越好。

[0071] 但是,由于N取值太小会导致第一共模抑制单元1121和第二共模抑制单元1122的正反馈环路增益过大;k取值大会导致电压电平移位器110的延时增加。所以,可根据应用场合合理配置参数N与k的值,以使共模信号抑制模块112能够满足共模信号的抑制指标,从而确保电压电平移位器110在不同应用场合均满足高瞬态共模信号抑制指标。

[0072] 如图6所示,为图2中所示的输入级111的一种可实施的电路结构示意图。差模信号包括第一差模信号和第二差模信号,输入级111包括脉冲生成器1111、第一开关单元1112和第二开关单元1113,脉冲生成器1111与第一开关单元1112和第二开关单元1113均电连接,第一开关单元1112和第二开关单元1113均与共模信号抑制模块112电连接。

[0073] 在本实施例中,差模信号包括第一差模信号和第二差模信号。脉冲生成器1111用于依据输入信号依次产生第一开关信号和第二开关信号,并将第一开关信号发送至第一开关单元1112,将第二开关信号发送至第二开关单元1113;第一开关单元1112用于依据第一开关信号产生第一差模信号,并将第一差模信号传输至共模信号抑制模块112;第二开关单元1113用于依据第二开关信号产生第二差模信号,并将第二差模信号传输至共模信号抑制模块112。

[0074] 可以理解,输入信号IN的上升沿经过脉冲生成器1111产生第一开关信号,输入信号IN的下降沿经过脉冲生成器1111产生第二开关信号。由于输入信号IN的上升沿和下降沿交替出现,故第一开关单元1112产生的第一差模信号和第二开关单元1113产生的第二差模信号交替的传输至共模信号抑制模块112。

[0075] 其中,脉冲生成器1111可以为窄脉冲生成器。第一开关单元1112可以包括第一开关管Q1和第一电容C1,第二开关单元1113可以包括第二开关管Q2和第二电容C2。

[0076] 第一开关管Q1的输入引脚和第二开关管Q2的输入引脚均与脉冲生成器1111电连接;第一开关管Q1的输出引脚与第一电容C1的一端、初级共模抑制单元的第一PMOS管PM1的栅极和漏极、初级共模抑制单元的第二PMOS管PM2的栅极、初级共模抑制单元的第五PMOS管PM5的栅极和初级共模抑制单元的第六PMOS管PM6的漏级均电连接;第二开关管Q2的输出引脚与第二电容C2的一端、初级共模抑制单元的第三PMOS管PM3的栅极、初级共模抑制单元的

第四PMOS管PM4的栅极和漏级、初级共模抑制单元的第五PMOS管PM5的漏级和初级共模抑制单元的第六PMOS管PM6的栅极均电连接；第一开关管Q1的电源引脚、第二开关管Q2的电源引脚、第一电容C1的另一端和第二电容C2的另一端均接地。

[0077] 可以理解，第一开关管Q1在接收到第一开关信号后，会处于导通状态，进而形成第一差模信号的导通通路。由于第一电容C1为第一开关管Q1的输出引脚到电源引脚的寄生电容，故第一差模信号分为两路，一路通过第一开关管Q1流入到地，另一路通过第一电容C1流入到地。

[0078] 同理，第二开关管Q2在接收到第二开关信号，会处于导通状态，进而形成第二差模信号的导通通路。由于第二电容C2为第二开关管Q2的输出引脚到电源引脚的寄生电容，故第二差模信号分为两路，一路通过第二开关管Q2流入到地，另一路通过第二电容C2流入到地。

[0079] 其中，由于输入信号IN的上升沿和下降沿交替出现，那么得到的第一开关信号和第二开关信号也是交替产生，对应的第一差模信号和第二差模信号也是交替传输至共模信号抑制模块112。且当浮动地 V_{sw} 上升时，共模信号 I_{com} 分别流过第一电容C1和第二电容C2。

[0080] 进一步地，如图7所示，以初级共模抑制单元和与初级共模抑制单元相连的第二共模抑制单元1122为例，来说明共模信号抑制模块112可以保证差模信号通过的原理。

[0081] 当第一开关管Q1产生第一差模信号时，第二开关管Q2处于关断状态，无第二差模信号产生，第二开关管Q2向共模信号抑制模块112输出0电流。对应的，初级共模抑制单元中的第一PMOS管PM1的漏级电流为第一差模信号对应的差模电流 I_{ds1} ，第四PMOS管PM4的漏极电流为0，故第四PMOS管PM4关断，对应的第三PMOS管PM3和第六PMOS管PM6均关断。流过第三PMOS管PM3和第六PMOS管PM6的电流也为0。由于第二开关管Q2向共模信号抑制模块112输出0电流，即 I_{ds2} 为0。导致第五PMOS管PM5的电流为0。由于第一PMOS管PM1和第二PMOS管PM2组成电流镜，故流过第一PMOS管PM1和第二PMOS管PM2电流均为第一差模信号对应的差模电流 I_{ds1} ，从而流入对应的第二共模抑制单元1122的第一NMOS管NM1的电流也为第一差模信号对应的差模电流 I_{ds1} ，流入第四NMOS管NM4的电流为0。同理，流入第二NMOS管NM2的电流也为差模电流 I_{ds1} ，流入第三NMOS管NM3的电流为0。同样原理，末级共模抑制单元的第二NMOS管NM2向输出级113输出差模电流 I_{ds1} ，末级共模抑制单元的第三NMOS管NM3向输出级113输出的电流为0。

[0082] 在本实施例中，第一开关管Q1和第二开关管Q2均可以采用NMOS管，第一开关管Q1的输入引脚和第二开关管Q2的输入引脚均为NMOS管的栅极，第一开关管Q1的输出引脚和第二开关管Q2的输出引脚均为NMOS管的漏极，第一开关管Q1的电源引脚和第二开关管Q2的电源引脚均为NMOS管的源极。

[0083] 如图8所示，为图2中所示的输出级113的一种可实施的电路结构示意图。输出级113包括第三开关单元1131和触发器1132，第三开关单元1131与共模信号抑制模块112和触发器1132均电连接。

[0084] 在本实施例中，第三开关单元1131用于依据处理后的差模信号向触发器1132输出控制信号；触发器1132用于依据控制信号输出输出信号。

[0085] 可以理解，第三开关单元1131包括第七PMOS管PM7、第八PMOS管PM8、第九PMOS管PM9、第十PMOS管PM10、第七NMOS管NM7和第八NMOS管NM8。

[0086] 第七PMOS管PM7、第八PMOS管PM8、第九PMOS管PM9和第十PMOS管PM10的源极均电连接到浮动电压源 V_{BST} 。末级共模抑制单元中的第二NMOS管NM2的漏级与第七PMOS管PM7的漏极和栅极,以及第八PMOS管PM8的栅极均电连接。末级共模抑制单元中的第三NMOS管NM3的漏级与第十PMOS管PM10漏极和栅极,以及第九PMOS管PM9的栅极均电连接。第七PMOS管PM7的漏极与第八NMOS管NM8的漏极相连,并电连接到触发器1132的S端。第九PMOS管PM9的漏极与第七NMOS管NM7的漏极相连,并电连接到触发器1132的R端。第七NMOS管NM7的栅极与末级共模抑制单元中的第一NMOS管NM1的漏极和栅极、第二NMOS管NM2的栅极、第五NMOS管NM5的栅极和第六NMOS管NM6的漏级均电连接。第八NMOS管NM8的栅极与末级共模抑制单元中的第三NMOS管NM3的栅极、第四NMOS管NM4的漏级和栅极、第五NMOS管NM5的漏级和第六NMOS管NM6的栅极均电连接。第七NMOS管NM7的源极和第八NMOS管NM8的源极均连接到浮动地 V_{sw} 。

[0087] 其中,第七PMOS管PM7、第八PMOS管PM8、第九PMOS管PM9和第十PMOS管PM10的功能为:当触发器1132的R端和S端中的一个被第七NMOS管NM7或第八NMOS管NM8拉低时,同时,另一个被第八PMOS管PM8或第九PMOS管PM9拉高,保证触发器1132输入至R端的控制信号为低电平时,S端的控制信号为高电平;或者,R端的控制信号为高电平时,S端的控制信号为低电平。且触发器1132在R端的控制信号为低电平,S端的控制信号为高电平时,触发器1132输出的输出信号为高电平。在R端的控制信号为高电平,S端的控制信号为低电平时,触发器1132输出的输出信号为低电平。前述的高电平和低电平均是相对于浮动地 V_{sw} 。

[0088] 在本实施例中,触发器1132可以为RS触发器。

[0089] 进一步地,如图9所示,图2所示的电压电平移位器110可以应用到电子设备100中,该电子设备100包括电压电平移位器110和半桥驱动器120。电压电平移位器110与半桥驱动器120电连接。

[0090] 可以理解,电压电平移位器110用于将输入信号转化为相对于浮动地的输出信号,并将输出信号传输至半桥驱动器120;半桥驱动器120依据输出信号进行开关动作。

[0091] 其中,该电子设备100可以为电机以及电源等。

[0092] 综上所述,本发明实施例提供了一种电压电平移位器和电子设备,该电压电平移位器包括输入级、共模信号抑制模块和输出级,输入级、共模信号抑制模块和输出级依次电连接,共模信号抑制模块还与浮动地电连接;输入级用于依据输入信号产生差模信号,并将差模信号传输至共模信号抑制模块;共模信号抑制模块用于抑制浮动地产生的共模信号对差模信号的影响,得到处理后的差模信号,并将处理后的差模信号传输至输出级;输出级用于依据处理后的差模信号输出输出信号。可见,通过共模信号抑制模块能够实现共模信号的抑制,使得输出级输出的输出信号正确。

[0093] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

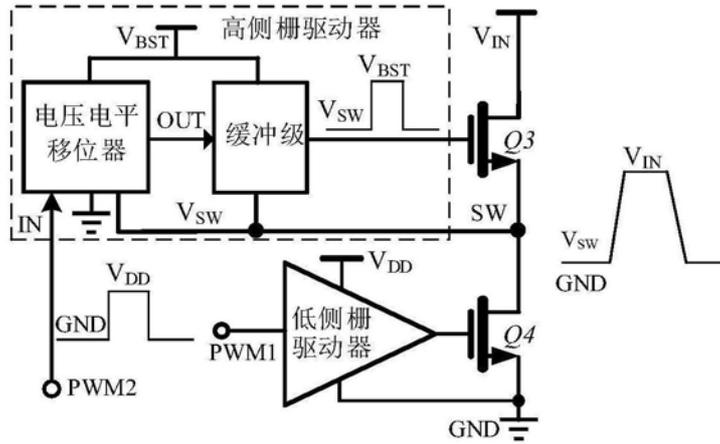


图1

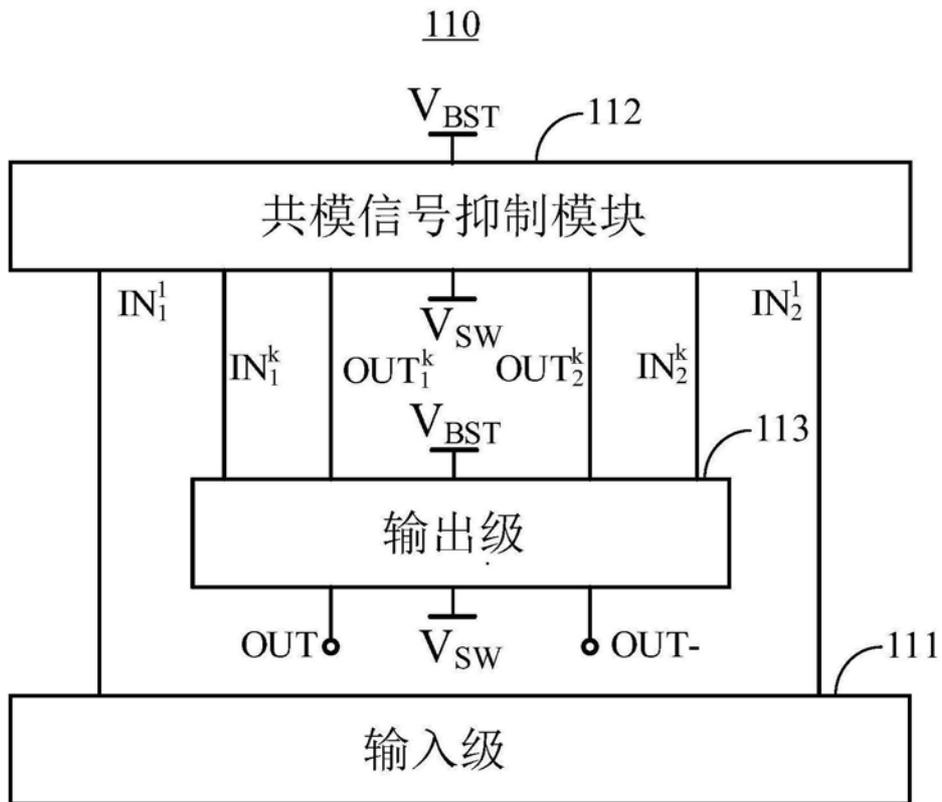


图2

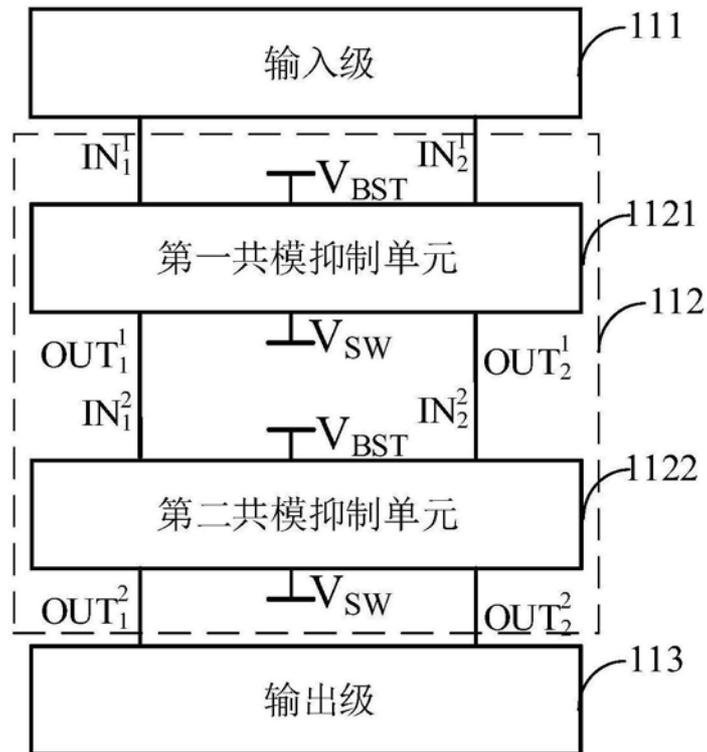


图3

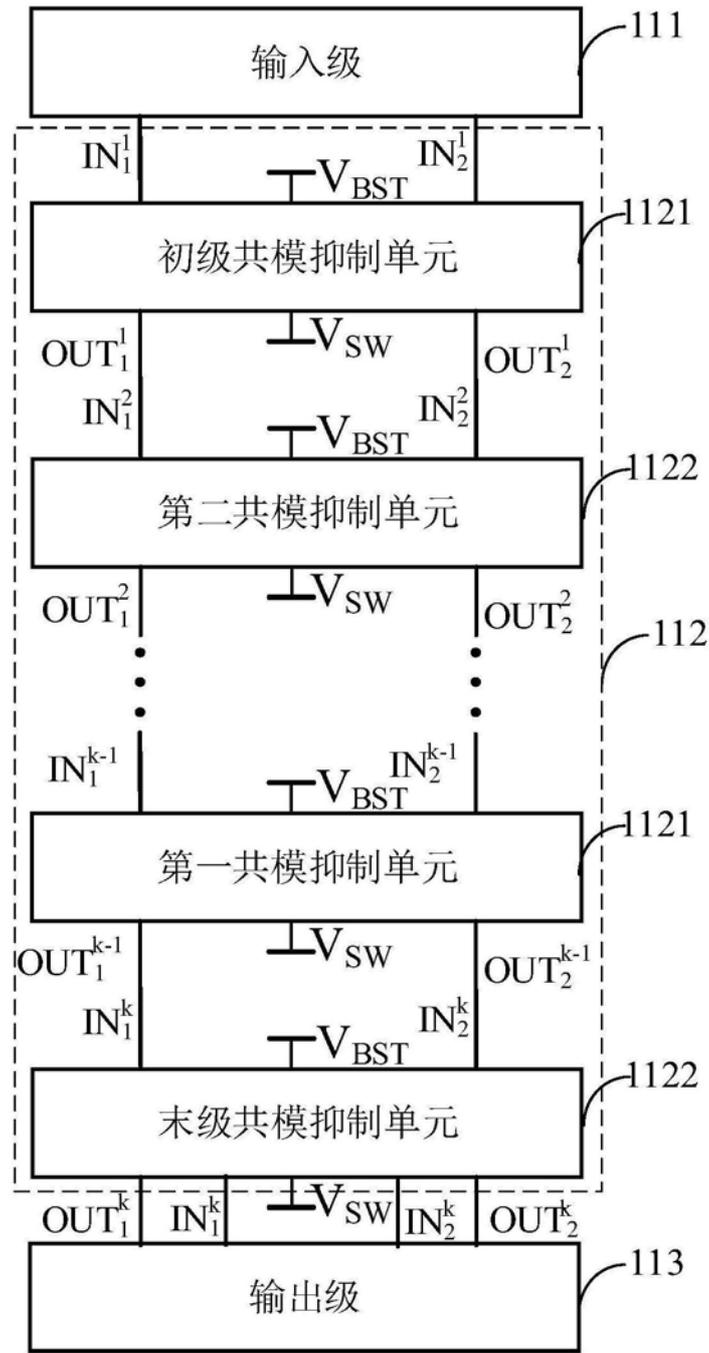


图4

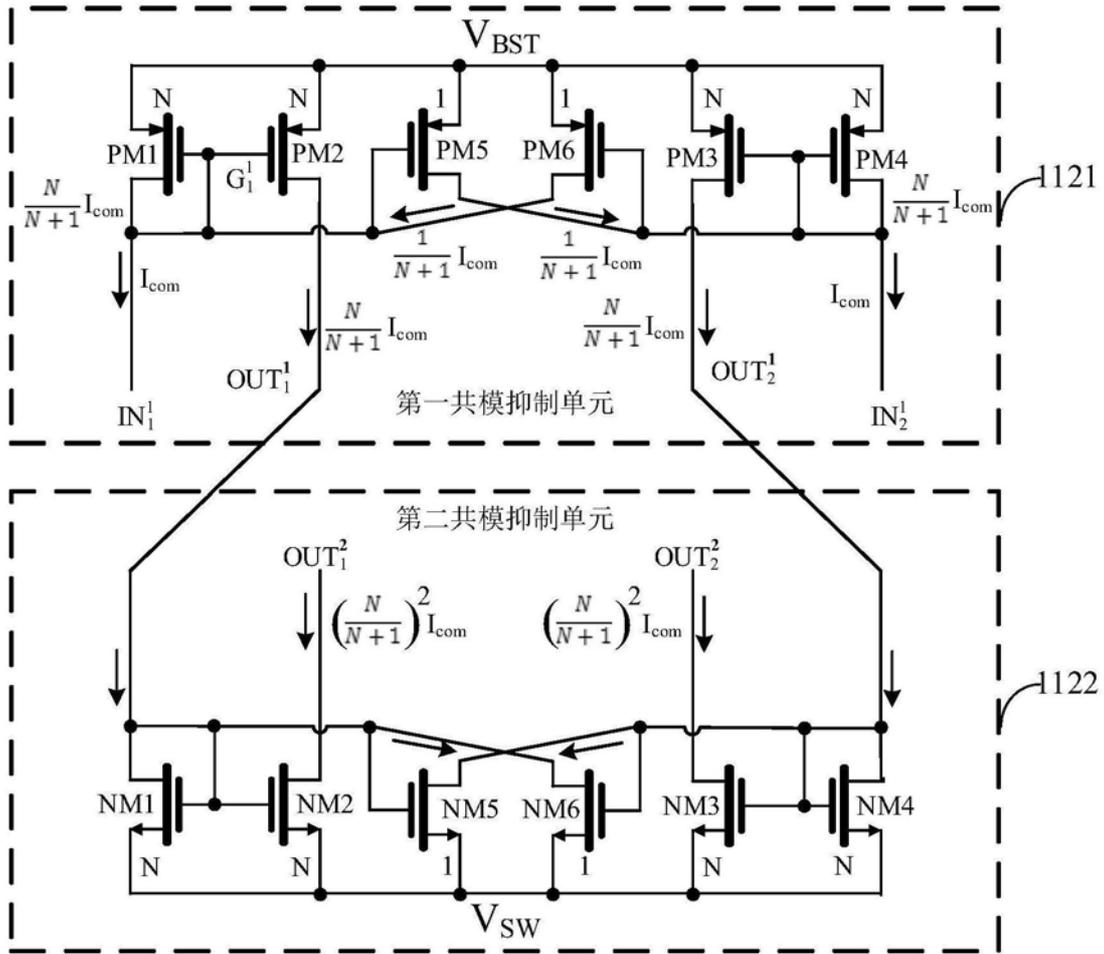


图5

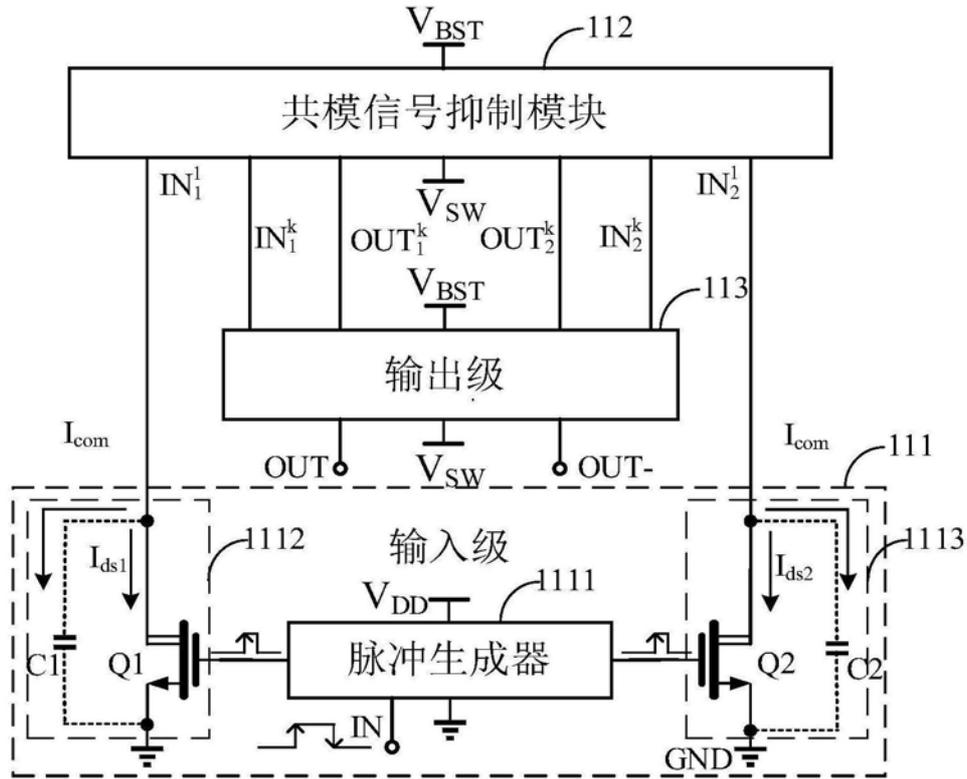


图6

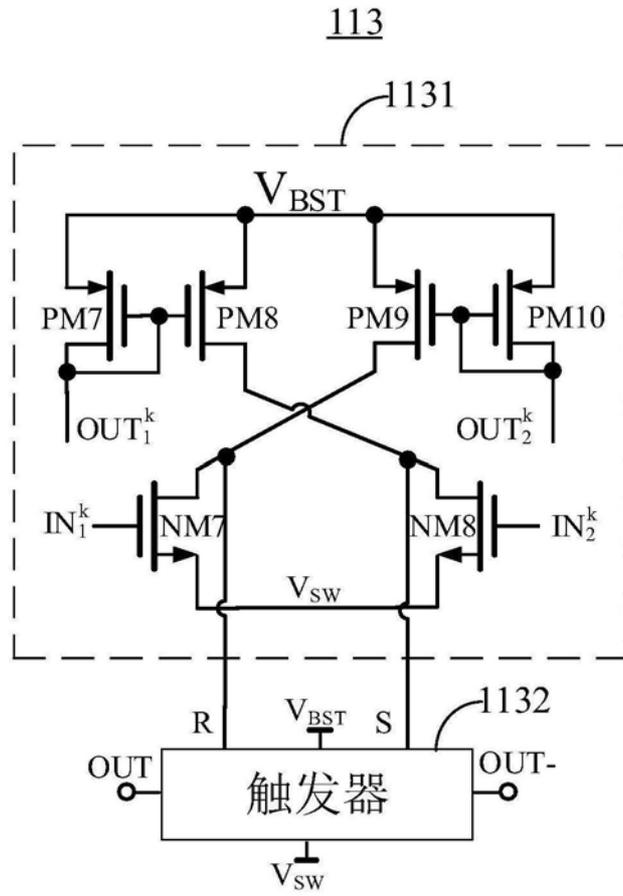


图8

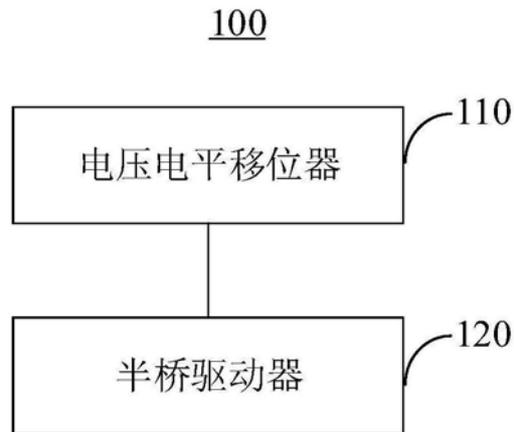


图9