

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-165450

(P2007-165450A)

(43) 公開日 平成19年6月28日(2007.6.28)

(51) Int. Cl. F I テーマコード(参考)
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A 4M118

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号	特願2005-357659 (P2005-357659)	(71) 出願人	000004112 株式会社ニコン
(22) 出願日	平成17年12月12日(2005.12.12)	(74) 代理人	100072718 弁理士 古谷 史旺
		(74) 代理人	100116001 弁理士 森 俊秀
		(72) 発明者	磯貝 忠男 東京都千代田区丸の内3丁目2番3号 株式会社ニコン内
		Fターム(参考)	4M118 AA05 AA10 AB01 BA14 CA04 DD12 EA01 FA06 FA25 FA33 FA36

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

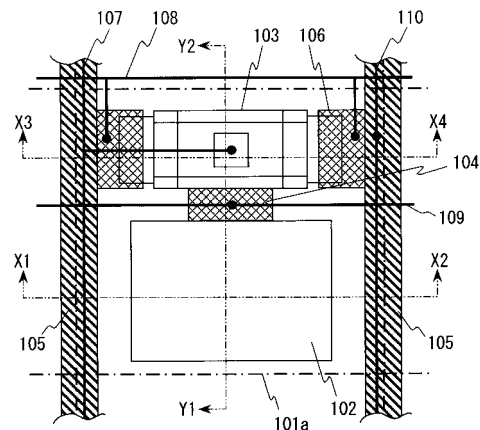
【課題】

従来の固体撮像素子は、ゲッタリング層の形成によって暗電流を抑圧することはできるが、隣接する画素間のクロストークが大きくなってしまいう課題があった。

【解決手段】

入射光に応じた量の電荷を生成及び蓄積する光電変換部と、前記光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に前記電荷検出領域内の電荷量に応じた画素信号を出力する増幅部とを備えた画素が半導体基板に複数形成された固体撮像素子において、前記光電変換部の電荷蓄積領域を第一の第1導電型半導体層で構成し、互いに隣接する画素間を電気的に分離する分離領域を第2導電型半導体層で構成し、前記分離領域内に高濃度の第二の第1導電型半導体層でゲッタリング層を構成することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入射光に応じた量の電荷を生成及び蓄積する光電変換部と、
前記光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に前記電荷検出領域内の電荷量に応じた画素信号を出力する増幅部と
を備えた画素が半導体基板に複数形成された固体撮像素子において、
前記光電変換部は第 1 導電型半導体層による電荷蓄積領域を有し、
前記光電変換部を電氣的に分離する第 2 導電型半導体層による分離領域が配置され、
前記分離領域内には高濃度の第 1 導電型半導体層によるゲッタリング層が設けられたことを特徴とする固体撮像素子。

10

【請求項 2】

請求項 1 記載の固体撮像素子において、
前記第 1 導電型半導体層は p 型半導体層で、前記第 2 導電型半導体層は n 型半導体層で、
前記ゲッタリング層は高濃度のボロン元素を含む p 型半導体層で、それぞれ構成され、
前記電荷蓄積領域は前記 n 型半導体層の表面近傍に形成されたことを特徴とする固体撮像素子。

【請求項 3】

請求項 2 記載の固体撮像素子において、
前記ボロン元素を 1 cm^2 当り 5×10^{15} 以上のイオン注入量で前記 p 型半導体を形成したことを特徴とする固体撮像素子。

20

【請求項 4】

請求項 1 記載の固体撮像素子において、
互いに隣接する画素のそれぞれの光電変換部に挟まれた前記分離領域内に前記ゲッタリング層を形成したことを特徴とする固体撮像素子。

【請求項 5】

請求項 4 記載の固体撮像素子において、
前記半導体基板の上面を基準とした垂直方向の高さにおいて、前記ゲッタリング層の下面が前記電荷蓄積領域の下面よりも低くなるように形成したことを特徴とする固体撮像素子。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の固体撮像素子において、
前記電荷検出領域に転送された電荷を排出するリセットトランジスタを備え、
前記ゲッタリング層が前記リセットトランジスタのドレイン部を兼用することを特徴とする固体撮像素子。

30

【請求項 7】

請求項 6 記載の固体撮像素子において、
前記リセットトランジスタのリセットゲートと、該リセットゲートにリセット信号を送るリセットゲート配線とを、同一部材によって単位画素間にわたって連続して形成したことを特徴とする固体撮像素子。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲッタリング技術を用いて暗電流を低減する固体撮像素子に関する。

【背景技術】

【0002】

固体撮像素子はいくつかの種類に分類される。例えば、CCD (Charge Coupled Device) 型固体撮像素子や CMOS (Complementary Metal-Oxide Semiconductor) 型固体撮像素子がよく知られており、いずれもフォトダイオードなどからなる光電変換部を有しているが、電気信号の取り出し方が異なる。CCD 型固体撮像素子はフォトダイオー

50

ドで光を電荷に変換し、その電荷を順次横に並んだ転送部によってバケツリレー方式で転送する。CMOS型固体撮像素子は電荷を転送せず、すぐに電圧に変換して読み出す。CMOS型は電圧変換時に増幅するので増幅型とも呼ばれており、低消費電力等の点でCCD型よりも優れている。

【0003】

このような増幅型固体撮像素子は、各画素の光電変換部で蓄積された信号電荷を、各画素内に形成された増幅用トランジスタの制御電極に導き、増幅された画素信号を主電極から出力する構成になっている。また、増幅用トランジスタとして、MOSトランジスタや接合型電界効果トランジスタ(JFET)などが用いられている。

一方、固体撮像素子の製造工程では、半導体基板上のウェル中に、画素の要部となる不純物拡散領域や、画素間を電氣的に分離するシャロートレンチなどが形成される。ところが、製造工程中に洗浄やエッチングなどを行うため、半導体ウェハ内に若干の金属不純物が混入してしまう。ここで混入される金属不純物は、意図的に導入されるN型またはP型不純物とは異なるものであり、エピタキシャル成長時の材料ガス中の金属や、プロセス装置(ガス配管など)に使用される金属などである。

10

【0004】

特に、金属不純物の中でも、鉄、銅、ニッケルなどは、シリコンのバンドギャップに深い不純物準位を形成する。この部分がキャリア発生源となるため、画素領域内の金属不純物で汚染された部分では、デバイスの接合リーク電流(暗電流)が増加し、固体撮像素子から読み出される画像信号のS/N比を劣化させる原因となる。また、局所的に暗電流が

20

【0005】

このような金属不純物による暗電流を低減させる従来技術として、ゲッターリング技術が知られている。ゲッターリング技術は、汚染物質を活性領域から取り除く技術で、半導体ウェハの裏面やウェルの下方などにゲッターリング層を形成し、ウェハ内の汚染物質をゲッターリング層によって捕捉することにより、半導体デバイスを金属不純物などの汚染から保護することができる。つまり、ゲッターリング技術は、固体撮像素子の性能を高める上で非常に重要な技術である。

【0006】

従来、ゲッターリング層を形成する方法として、例えば、特許文献1では、フォトダイオードなど光電変換する素子の分離領域に、その分離領域と同一の不純物を高濃度でイオン注入するか、シリコンをイオン注入することによって、ゲッターリング層を形成する方法が開示されている。また、特許文献2ではウェハ周辺部やスクライブ領域あるいは選択酸化膜下にゲッターリング層を形成する技術が開示されている。

30

【特許文献1】特開平5-110053

【特許文献2】特開平7-263452

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところが、半導体ウェハの裏面やウェルの下方にゲッターリング層を形成する従来の方法では、ゲッターリング層と画素領域との間隔が大きいため、画素領域においてゲッターリング能力が不足しやすかった。特に、固体撮像素子の微細化に伴って、プロセスが低温化すると、ゲッターリング能力が全般に低下するため、画素領域に対する汚染物質の除去効果が不十分になり易いという課題があった。

40

【0008】

また、特許文献2に開示された従来技術による固体撮像素子では、ゲッターリング効果が充分ではなく、暗電流の抑圧効果が小さいという課題があった。さらに、特許文献1に開示された従来技術による固体撮像素子では、ゲッターリング層による暗電流の抑圧効果は大きい、隣接するフォトダイオード間のクロストークが大きくなってしまいう課題があった。

50

【0009】

上記課題を鑑み、本発明の目的は、ゲッタリング能力を損なわずに、暗電流の抑圧効果が大きく、且つ隣接するフォトダイオード間のクロストークが小さい固体撮像素子を提供することである。

【課題を解決するための手段】

【0010】

本発明の固体撮像素子は、入射光に応じた量の電荷を生成及び蓄積する光電変換部と、前記光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に前記電荷検出領域内の電荷量に応じた画素信号を出力する増幅部とを備えた画素が半導体基板に複数形成された固体撮像素子において、前記光電変換部は第1導電型半導体層による電荷蓄積領域を有し、前記光電変換部を電氣的に分離する第2導電型半導体層による分離領域が配置され、前記分離領域内には高濃度の第1導電型半導体層によるゲッタリング層が設けられたことを特徴とする。

10

【0011】

特に、前記第1導電型半導体層はp型半導体層で、前記第2導電型半導体層はn型半導体層で、前記ゲッタリング層は高濃度のボロン元素を含むp型半導体層で、それぞれ構成され、前記電荷蓄積領域は前記n型半導体層の表面近傍に形成されたことを特徴とする。

さらに、前記ボロン元素を 1 cm^2 当り 5×10^{15} 以上のイオン注入量で前記p型半導体を形成したことを特徴とする。

【0012】

また、互いに隣接する画素のそれぞれの光電変換部に挟まれた前記分離領域内に前記ゲッタリング層を形成したことを特徴とする。

20

特に、前記半導体基板の上面を基準とした垂直方向の高さにおいて、前記ゲッタリング層の下面が前記電荷蓄積領域の下面よりも低くなるように形成したことを特徴とする。

また、前記電荷検出領域に転送された電荷を排出するリセットトランジスタを備え、前記ゲッタリング層が前記リセットトランジスタのドレイン部を兼用することを特徴とする。

【0013】

或いは、前記リセットトランジスタのリセットゲートと、該リセットゲートにリセット信号を送るリセットゲート配線とを、同一部材によって単位画素間にわたって連続して形成したことを特徴とする。

30

【発明の効果】

【0014】

本発明の固体撮像素子は、隣接する画素間の分離領域にゲッタリング層が形成されているため、従来技術のようにウェハ周辺部やスクライプ領域にゲッタリング層を形成した場合に比べて、フォトダイオードとゲッタリング層との距離が近いので、ゲッタリング効果が強く、暗電流の抑圧効果を大きくすることができる。特に、隣接するフォトダイオード間の分離領域に高濃度のボロンを含むゲッタリング層を形成することによって、暗電流の抑圧効果をより大きくすることができる。

【0015】

また、分離領域内に分離領域と反対の導電型でフォトダイオードと同一の導電型のゲッタリング層を形成することによって、隣接する画素間のクロストークを少なくすることができる。つまり、画素間で発生した信号電荷をゲッタリング層が吸収するので、隣接画素への漏れを抑圧することができる。

40

さらに、半導体基板の上面を基準とした垂直方向の高さにおいて、フォトダイオードの下面よりもゲッタリング層の下面の方が低くなるように形成することによって、ゲッタリング層が障壁となり、隣接画素への信号の漏れをより一層抑えることができ、クロストークの少ない固体撮像素子を実現することが可能となる。

【発明を実施するための最良の形態】

【0016】

50

(第1の実施形態)

以下、本発明の固体撮像素子の第1の実施形態について、図1を用いて詳しく説明する。図1は、本発明による第1の実施形態の固体撮像素子における単位画素の平面図である。図1において、101aは単位画素、102は入射光に応じて信号電荷を生成して蓄積するフォトダイオード、103は信号電荷を増幅するJFET、104はフォトダイオード102からJFET103に信号電荷を転送する転送ゲート、105はフォトダイオード102の暗電流を抑圧するゲッタリング層とリセットドレインの機能を兼ね備えたゲッタリング層兼リセットドレイン層、106はJFET103を制御するリセットゲート、107は垂直信号線、108はリセットゲート配線、109は転送ゲート配線、110は電圧を供給するリセットドレイン配線、X1とX2、X3とX4およびY1とY2は断面位置をそれぞれ示している。ここで、ゲッタリング層兼リセットドレイン層105は、隣接する単位画素のフォトダイオードとの間にストライプ状に形成されている。

10

【0017】

図2は、単位画素の等価回路図である。図2において、701は転送用トランジスタ、702はリセット用トランジスタ、VDは電源、VGは接地を示し、図1と同符号のものは同じものを示す。フォトダイオード102で受光した光が電荷に変換され、転送用トランジスタ701の転送ゲート104に転送ゲート配線109から駆動信号が入力されると、フォトダイオード102に蓄積された電荷はJFET103のゲートに転送され、JFET103で増幅されて垂直信号線107に出力される。また、リセット用トランジスタ702は、リセットゲート106にリセットゲート配線108から駆動信号が入力されると、JFET103のゲートに蓄積されている電荷をVGに接地し、次の転送信号に影響を与えないように電荷を除去する。

20

【0018】

次に、固体撮像素子全体の構成について、図3を用いて説明する。図3は、本発明の固体撮像素子を上方から見た時の様子を示す平面図で、500は固体撮像素子、501は単位画素の区切りを示すブロック線、502は単位画素がマトリクス状に配置された撮像部、503はフォトダイオードなど画素を構成する半導体素子、504は水平走査回路、505は画像信号の読み出し回路、506は垂直走査回路、507は画素アンプに定電流を供給する電流源回路、508は列アンプ、509は出力アンプ、101aは1ブロックの単位画素をそれぞれ示している。尚、図1と同符号のものは同じものなので説明を省略する。ここで、先に説明した図1は単位画素101aを中心に抜き出した平面図で、図3(b)に示すように、単位画素101aの周辺には、単位画素101b、101c、101dおよび101eが配置されている。

30

【0019】

図3(a)において、各単位画素のフォトダイオードなど半導体素子503が出力する電気信号を垂直走査回路506が出力する駆動信号によって読み出し、列アンプ508を介して読み出し回路505に出力する。さらに、水平走査回路504が出力する駆動信号によって、読み出し回路505に出力された各単位画素の電気信号を出力アンプ509を介して出力する。

【0020】

さて、図1において、断面位置(X1 - X2)で切断した時の断面図を図4に示す。図4は図3(b)の単位画素101aのフォトダイオード102を含む部分で切断した断面図で、X1側には単位画素101bが、X2側には単位画素101cがそれぞれ配置されており、図3の各単位画素において同様の断面図が繰り返される。図4において、201は高濃度のn++型半導体基板、202はn++型半導体基板201の上に分離領域を形成するn型半導体層、203は絶縁膜、204は各層の下面の高さの差をそれぞれ示している。中央部分にはフォトダイオード102が形成され、その周りをn型半導体層202で囲まれている。また、p型のゲッタリング層兼リセットドレイン層105は、単位画素101aと単位画素101bの境界部分、および単位画素101aと単位画素101cの境界部分にそれぞれ形成されている。

40

50

【0021】

図4において、フォトダイオード102はp型の電荷蓄積領域と表面に空乏化防止のn型層を備えた埋込フォトダイオードで、ゲッタリング層兼リセットドレイン層105はn型半導体層202内に設けられた高濃度のp++型半導体層で構成され、ボロン元素を高ドーズ量($5 \times 10^{15} / \text{cm}^2$ 以上)でイオン注入して形成されている。また、n++型半導体基板201とn型半導体層202と境界面、つまり、n++型半導体基板201上面を基準として、ゲッタリング層兼リセットドレイン層105の下面は、フォトダイオード102のp型電荷蓄積層の下面よりも差204だけ低く形成されている。

【0022】

次に、図1において、断面位置(X3 - X4)で切断した時の断面図を図5に示す。図5は図3(b)の単位画素101aのJFET103を含む部分で切断した断面図で、図4に示した断面図とは平行で異なる場所での断面図である。図5において、中央部分にJFET103を構成するn型やp型などからなる半導体領域があり、その周りはn型半導体層202で囲まれている。また、p型のゲッタリング層兼リセットドレイン層105は、単位画素101aと単位画素101bの境界部分、および単位画素101aと単位画素101cの境界部分にそれぞれ形成されている。

10

【0023】

図5において、JFET103は、n型チャネル103aとp型ゲート領域103bとを有している。リセットゲート106は絶縁膜203を介してJFET103とゲッタリング層兼リセットドレイン層105との間に設けられ、リセットゲート106に入力されるパルス電圧に応じてJFET103のp型ゲートとp++型ゲッタリング層兼リセットドレイン層105とを電氣的にON/OFFする。つまり、p++型半導体層で構成されるゲッタリング層兼リセットドレイン層105は、ゲッタリング層としての機能とJFET103をリセットするリセットドレインとしての機能とを合わせ持っている。

20

【0024】

次に、図1において、断面位置(Y1 - Y2)で切断した時の断面図を図6に示す。図6は、単位画素101aを中心に、Y1側には単位画素101eが、Y2側には単位画素101dがそれぞれ配置されており、図3に示す各単位画素の同方向に、同様の断面図が繰り返される。図6において、単位画素101aのY1側にはフォトダイオード102が形成され、Y2側にはJFET103を構成するn型やp型などからなる半導体領域が形成されている。単位画素101aと単位画素101eの境界部分、および単位画素101aと単位画素101dの境界部分には、図4および図5とは異なり、ゲッタリング層は形成されていない。尚、図4、図5および図6の断面図において、説明に必要な金属配線やコンタクトおよび遮光膜などは省略されている。

30

【0025】

図6において、転送ゲート104は、フォトダイオード102とJFET103との間に、絶縁膜203を介して形成され、転送ゲート配線109から入力されるパルス電圧によってフォトダイオード102からJFET103に信号電荷を転送する。

本実施形態の固体撮像素子は、隣接する単位画素のそれぞれのフォトダイオード102間にゲッタリング層兼リセットドレイン層105が形成されているため、ゲッタリング効果が大きく、且つ、暗電流を小さくできる。また、ゲッタリング層兼リセットドレイン層105は、ゲッタリング層として高濃度のボロン含むp++層として形成されているため、リンや砒素など他の元素に比べてゲッタリング能力が高く、より一層、暗電流を小さくすることができる。

40

【0026】

また、本実施形態の固体撮像素子は、単位画素101aに隣接する単位画素101bや単位画素101cのそれぞれのフォトダイオード102のn型半導体層202からなる分離領域内には、フォトダイオード102と同一導電型のゲッタリング層兼リセットドレイン層105を形成しているためクロストークを低く抑えることができる。これは、ゲッタリング層兼リセットドレイン層105によって、相隣接する単位画素のフォトダイオード

50

102間で発生した信号電荷を吸収し、隣接画素への漏れ込みが減少するためである。また、 $n++$ 型半導体基板201上面を基準として、ゲッターリング層兼リセットドレイン層105の下面は、フォトダイオード102のp型電荷蓄積層の下面よりも差204だけ低く形成されているので、クロストークも減少することができる。

【0027】

特に、本実施形態の固体撮像素子のゲッターリング層兼リセットドレイン層105は、ゲッターリング層としての機能と、リセット用トランジスタのリセットドレインとしての機能とを兼用しているので、ゲッターリング層とリセットドレインとを別々に形成した場合に比べてサイズを小さくすることができる。従って、フォトダイオードの開口率を広くしたり、画素の集積度を向上させることが可能になる。

10

【0028】

(第2の実施形態)

次に、本発明の固体撮像素子の第2の実施形態について、図7を用いて説明する。図7は、固体撮像素子の単位画素を示した平面図である。第1の実施形態とはゲッターリング層の位置や形状が異なるが、固体撮像素子自体の構成および単位画素の回路図は、第1の実施形態で説明した図3および図2と同じなので、ここでの説明は省略する。

【0029】

ここで、第2の実施形態と図1の第1の実施形態との相違点について説明する。図7において、リセットゲート配線801がリセットゲート106と同一の部材によって単位画素間に連続して構成され、リセットゲート106の部分で一体化されている。また、第1の実施形態における転送ゲート配線109と転送ゲート104とが兼用された転送ゲート兼配線802として、単位画素間に連続して構成されている。

20

【0030】

さらに、第1の実施形態と異なるのは、ゲッターリング層兼リセットドレイン層105が、図7に示すように、105aと105bとに分割して2ヶ所に形成され、105aはゲッターリング層として、105bはゲッターリング層兼リセットドレイン層として機能するようになっている。また、これらのゲッターリング層105aとゲッターリング層兼リセットドレイン層105bとは、これらよりも濃度の低いp型半導体層601で接続され、p型半導体層601は単位画素間に連続して形成されている。

【0031】

さて、図7において、断面位置(X5 - X6)で切断した時の断面図を図8に示す。図8は図3(b)の単位画素101aのフォトダイオード102を含む部分で切断した断面図で、X5側には単位画素101bが、X6側には単位画素101cがそれぞれ配置されており、図3に示す各単位画素において、同様の断面図が繰り返される。また、図8において、図7および第1の実施形態の各図で用いたものと同一の符号は同じものを示している。

30

【0032】

第2の実施形態が第1の実施形態の図4と異なるのは、ゲッターリング層105aと分離領域を形成するn型半導体層202との間にp型半導体層601が形成されていることであるが、第1の実施形態と同じようにゲッターリング層105aは、隣接する単位画素のフォトダイオード102間に形成されているため、ゲッターリング効果が大きく、且つ、暗電流を小さくできる。また、ゲッターリング層105aも、第1の実施形態と同様に、ボロン元素を高いドーザ量($5 \times 10^{15} / \text{cm}^2$ 以上)でイオン注入して、高濃度のボロン含む $p++$ 層として形成されているため、リンや砒素など他の元素の場合と比べてゲッターリング能力が高く、より一層、暗電流を小さくすることができる。さらに、単位画素101aに隣接する単位画素101bや単位画素101cのそれぞれの分離領域内には、フォトダイオード102と同一導電型のゲッターリング層105aが形成されているため、相隣接するフォトダイオード102間で発生した信号電荷を吸収し、クロストークを抑えることができる。また、 $n++$ 型半導体基板201上面を基準として、ゲッターリング層兼リセットドレイン層105bの下面は、フォトダイオード102のp型電荷蓄積層の下面よりも差

40

50

602だけ低く形成しているので、クロストークを減少することができる点についても、第1の実施形態と変わらない。

【0033】

次に、図7において、断面位置(X7 - X8)で切断した時の断面図を図9に示す。図9は図3(b)の単位画素101aのJFET103を含む部分で切断した断面図で、X7側には単位画素101bが、X8側には単位画素101cがそれぞれ配置されており、図3に示す各単位画素において、同様の断面図が繰り返される。また、図9において、図7および第1の実施形態の各図で用いたものと同じの符号は同じものを示している。第1の実施形態の図5と異なるのは、ゲッタリング層兼リセットドレイン層105bと分離領域を形成するn型半導体層202との間にp型半導体層601が形成されていることである。

10

【0034】

図9において、第1の実施形態と同様に、JFET103は、n型チャネル103aとp型ゲート領域103bとを有する。また、リセットゲート106は絶縁膜203を介してJFET103とゲッタリング層兼リセットドレイン層105bとの間に設けられており、リセットゲート106に入力されるパルス電圧に応じてJFET103のp型ゲートとp++型ゲッタリング層兼リセットドレイン層105bとを電氣的にON/OFFする。従って、p++型半導体層で構成されるゲッタリング層兼リセットドレイン層105bは、ゲッタリング層としての機能とJFET103をリセットするリセットドレインとしての機能とを合わせ持っている。

20

【0035】

次に、図7において、断面位置(Y3 - Y4)で切断した時の断面図を図10に示す。図10は、単位画素101aを中心に、Y3側には単位画素101eが、Y4側には単位画素101dがそれぞれ配置されており、図3に示す各単位画素の同方向には同様の断面図が繰り返される。図10において、第1の実施形態による図6と異なるのは、絶縁層203にリセットゲート配線801が形成されていることと、第1の実施形態の図6の転送ゲート104部分が、転送ゲート配線109と転送ゲート104とが兼用された転送ゲート兼配線802として形成されていることである。

【0036】

このように第2の実施形態では、リセットゲート配線801がリセットゲート106と同一の部材によって単位画素間に連続して構成されているので、リセットゲート106とリセットゲート配線801とを別々の工程で製造する必要がなくなる。同様に、転送ゲート兼配線802は、転送ゲート配線109と転送ゲート104との機能を兼用しているので、1回の製造工程で転送ゲート配線109と転送ゲート104とを同時に形成することができる。しかも、一体化して形成できるので、配線構造が簡単になり、且つ、配線とゲートとの間にコンタクトを設ける必要がなくなるので、製造時の歩留まりを向上することができる。

30

【図面の簡単な説明】

【0037】

【図1】本発明の第1の実施形態による固体撮像素子の単位画素の平面図である。

40

【図2】本発明の固体撮像素子の単位画素の回路図である。

【図3】固体撮像素子の全体構成を示すブロック図である。

【図4】図1の(X1 - X2)切断位置での断面図である。

【図5】図1の(X3 - X4)切断位置での断面図である。

【図6】図1の(Y1 - Y2)切断位置での断面図である。

【図7】本発明の第2の実施形態による固体撮像素子の単位画素の平面図である。

【図8】図7の(X5 - X6)切断位置での断面図である。

【図9】図7の(X7 - X8)切断位置での断面図である。

【図10】図7の(Y3 - Y4)切断位置での断面図である。

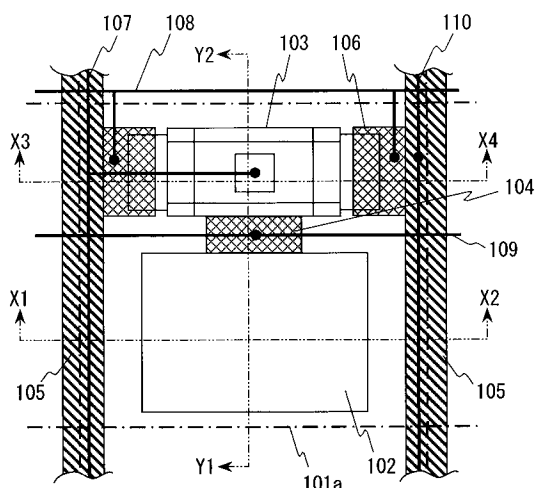
【符号の説明】

50

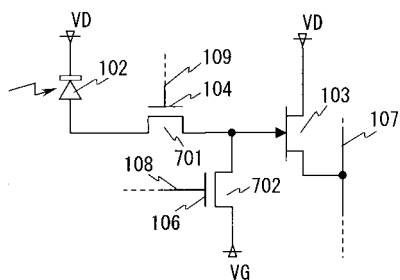
【 0 0 3 8 】

- 1 0 1 a , 1 0 1 b , 1 0 1 c , 1 0 1 d , 1 0 1 e . . . 単 位 画 素
- 1 0 2 . . . フォトダイオード
- 1 0 3 . . . J F E T
- 1 0 4 . . . 転送ゲート
- 1 0 5 . . . ゲッターリング層兼リセットドレイン層
- 1 0 6 . . . リセットゲート
- 1 0 9 . . . 転送ゲート配線
- 2 0 1 . . . 半導体基板
- 2 0 2 . . . n型半導体層
- 2 0 3 . . . 絶縁膜
- 5 0 2 . . . 撮像部
- 5 0 4 . . . 水平走査回路
- 5 0 6 . . . 垂直走査回路
- 8 0 1 . . . リセットゲート配線
- 8 0 2 . . . 転送ゲート兼配線

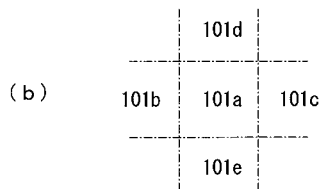
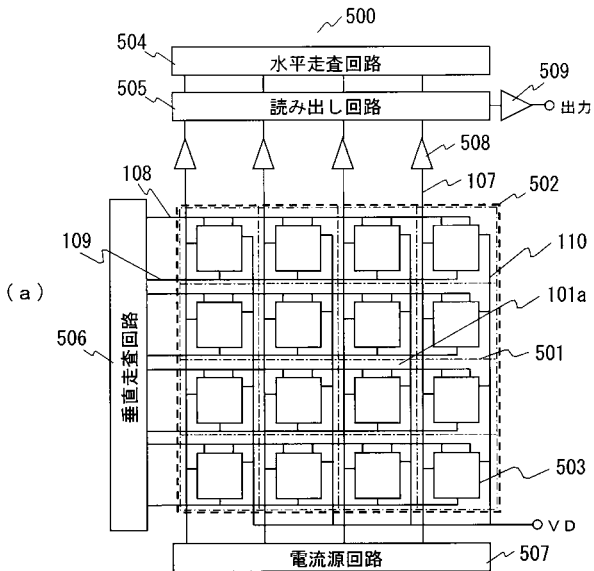
【 図 1 】



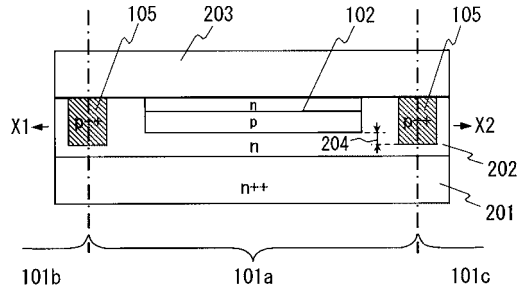
【 図 2 】



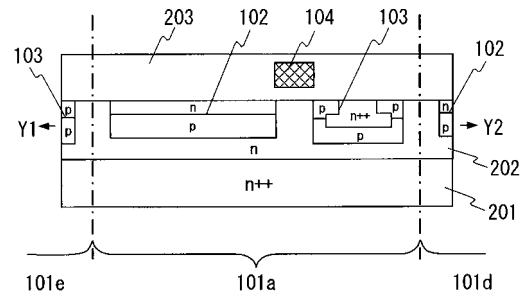
【 図 3 】



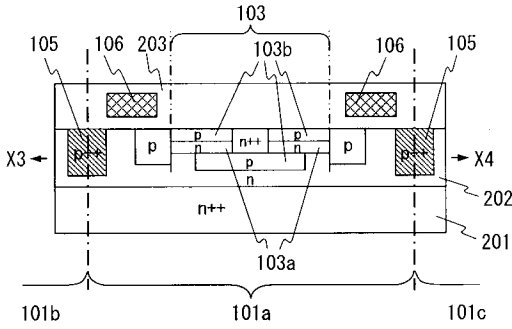
【 図 4 】



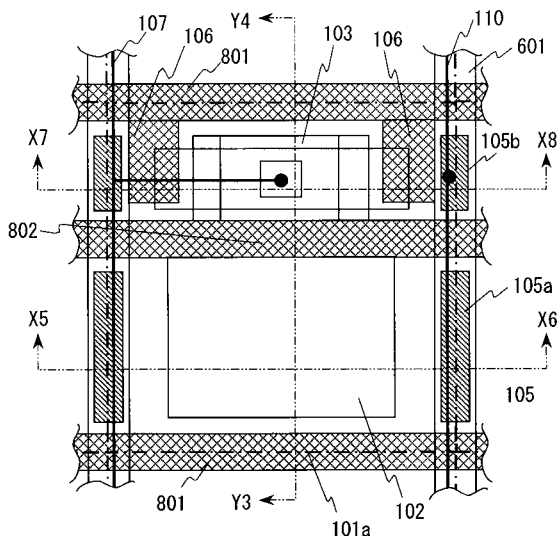
【 図 6 】



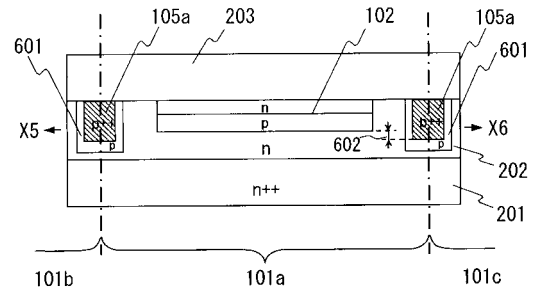
【 図 5 】



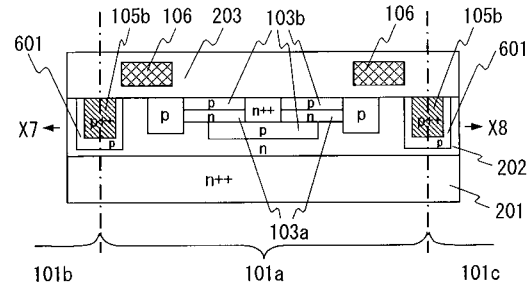
【 図 7 】



【 図 8 】



【 図 9 】



【 図 1 0 】

