



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년02월13일  
(11) 등록번호 10-2635849  
(24) 등록일자 2024년02월06일

(51) 국제특허분류(Int. Cl.)  
H10B 12/00 (2023.01) H01L 21/768 (2006.01)  
H01L 29/66 (2006.01) H01L 29/78 (2006.01)  
(52) CPC특허분류  
H10B 12/36 (2023.02)  
H01L 21/76859 (2013.01)  
(21) 출원번호 10-2018-7020174  
(22) 출원일자(국제) 2016년11월23일  
심사청구일자 2021년06월18일  
(85) 번역문제출일자 2018년07월13일  
(65) 공개번호 10-2018-0087425  
(43) 공개일자 2018년08월01일  
(86) 국제출원번호 PCT/US2016/063458  
(87) 국제공개번호 WO 2017/112276  
국제공개일자 2017년06월29일  
(30) 우선권주장  
14/978,305 2015년12월22일 미국(US)  
(56) 선행기술조사문헌  
JP2008047714 A\*  
(뒷면에 계속)  
전체 청구항 수 : 총 4 항

(73) 특허권자  
베리안 세미콘덕터 이큅먼트 어소시에이츠, 인크.  
미국 01930 메사추세츠주 글로스터 도리 로드 35  
(72) 발명자  
러펠, 사이먼  
미국, 01982 메사추세츠, 사우스 해밀턴, 린덴 스트리트 277  
쿠마르, 아르빈드  
미국, 01944 메사추세츠, 맨체스터, 스쿨 스트리트 2  
(뒷면에 계속)  
(74) 대리인  
특허법인에이아이피

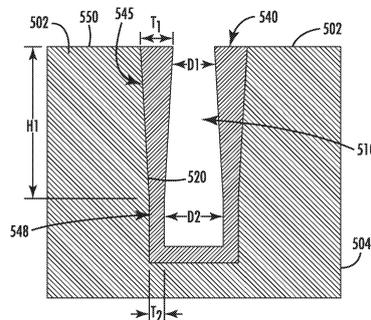
심사관 : 권철순

(54) 발명의 명칭 DRAM 디바이스 및 이를 형성하는 방법, 및 게이트 산화물 층을 형성하는 방법

(57) 요약

DRAM 디바이스에 대한 게이트 산화물 층을 형성하기 위한 방법, DRAM 디바이스 및 이를 형성하는 방법이 본원에 제공되며, 방법은, 그 안에 형성된 리세스를 갖는 핀형 기관을 제공하는 단계, 및 비-균일 두께를 갖는 게이트 산화물 층을 형성하기 위하여 리세스의 측벽 표면 내로 이온 주입을 수행하는 단계로서, 측벽 표면의 상단 섹션에서의 게이트 산화물 층의 두께는 측벽 표면의 하단 섹션에서의 게이트 산화물 층의 두께보다 더 큰, 단계를 포함한다. 일부 접근 방식들에 있어서, 이온 주입은, 측벽 표면의 상단 섹션의 게이트 산화물의 두께를 증가시키기 위하여 이온 주입 에너지 및/또는 이온 도우즈와 함께 변화되는 복수의 상이한 주입 각도들에서의 일련의 이온 주입들로서 제공된다. 일부 접근 방식들에 있어서, 핀형 기관은 또한 이온 주입 동안에 또는 이온 주입 이후에 플라즈마에 노출된다.

대표도



(52) CPC특허분류

*H01L 29/66803* (2013.01)

*H01L 29/7856* (2013.01)

(72) 발명자

**마, 트리스탄**

미국, 02420 메사추세츠, 렉싱턴, 호손 로드 3

**심, 규-하**

미국, 01810 메사추세츠, 앤도버, 캐리지 힐 로드  
3

**하우탈라, 존**

미국, 01915 메사추세츠, 비벌리, 로베트 스트리트  
78

**셔먼, 스티븐**

미국, 02460 메사추세츠, 뉴턴, 뉴턴빌 애비뉴 409

(56) 선행기술조사문헌

JP2008135458 A\*

KR1020090039203 A

US20070249123 A1

US20070259498 A1\*

US20110159652 A1

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

동적 랜덤 액세스 메모리(dynamic random access memory; DRAM) 디바이스를 형성하는 방법으로서,

그 안에 형성된 리세스(recess)를 갖는 핀형 기판(finned substrate)을 제공하는 단계; 및

상기 리세스의 측벽 표면에만 표면 활성화를 위한 이온 주입을 수행하며 상기 이온 주입과 동시에 또는 이후에 O<sub>2</sub> 플라즈마 노출을 수행하여 비-균일 두께를 갖는 게이트 산화물 층을 형성하는 단계로서, 상기 측벽 표면의 상단 섹션에서의 상기 게이트 산화물 층의 두께는 상기 측벽 표면의 하단 섹션에서의 상기 게이트 산화물 층의 두께보다 더 큰, 단계를 포함하고,

상기 이온 주입을 수행하는 단계는, 복수의 상이한 주입 각도들로 일련의 이온 주입들을 수행하며, 상기 일련의 이온 주입들의 수행 동안 이온 주입 에너지 및 이온 도우즈 중 적어도 하나를 변화시키는 단계이며,

상기 게이트 산화물 층을 형성하는 단계에서, 상기 측벽 표면의 상기 상단 섹션을 따라 상기 게이트 산화물 층의 두께가 증가되고, 상기 게이트 산화물 층의 두께는 상기 핀형 기판의 상단 표면 근처에서 최대인, 방법.

#### 청구항 2

청구항 1에 있어서,

상기 일련의 이온 주입들을 수행하는 단계에서, 상기 이온 주입 에너지 및 상기 이온 도우즈는 주입 각도가 증가함에 따라 상기 일련의 이온 주입들에 걸쳐 증가되며, 상기 주입 각도는 상기 측벽 표면에 대해 측정되는, 방법.

#### 청구항 3

청구항 1에 있어서,

상기 방법은, 상기 리세스의 상기 측벽 표면에 대한 상기 일련의 이온 주입들을 수행하는 단계 이전에 상기 리세스 내에 베이스 산화물 층을 형성하는 단계를 더 포함하는, 방법.

#### 청구항 4

메모리 디바이스에 대한 게이트 산화물 층을 형성하는 방법으로서,

그 안에 형성된 리세스를 갖는 핀형 기판을 제공하는 단계; 및

상기 리세스의 측벽 표면에만 표면 활성화를 위한 일련의 이온 주입들을 수행하며 상기 이온 주입과 동시에 또는 이후에 O<sub>2</sub> 플라즈마 노출을 수행하여 비-균일 두께를 갖는 상기 게이트 산화물 층을 형성하는 단계로서, 상기 일련의 이온 주입들을 수행하는 단계에서, 상기 일련의 이온 주입들은 상기 측벽 표면의 상단 섹션에서 상기 측벽 표면의 하단 섹션에서의 상기 게이트 산화물 층의 두께보다 더 큰 상기 게이트 산화물 층의 두께를 갖는 상기 게이트 산화물 층을 형성하기 위하여 복수의 상이한 주입 각도들로 상기 측벽 표면에 충돌하는, 단계를 포함하고,

상기 일련의 이온 주입을 수행하는 단계는, 상기 일련의 이온 주입들의 수행 동안 이온 주입 에너지 및 이온 도우즈 중 적어도 하나를 변화시키는 단계이며,

상기 일련의 이온 주입들을 수행하는 단계에서, 상기 이온 주입 에너지 및 상기 이온 도우즈는 주입 각도가 증가함에 따라 상기 일련의 이온 주입들에 걸쳐 증가되고, 상기 주입 각도는 상기 측벽 표면에 대하여 측정되는,

방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

### 발명의 설명

### 기술 분야

[0001] 본 실시예들은 기판 패터닝에 관한 것으로서, 더 구체적으로는, 비-균일 두께를 갖는 게이트 산화물을 형성하기 위하여 이온들을 가지고 기판을 주입하기 위한 기술들에 관한 것이다.

### 배경 기술

[0002] 플라즈마 침지(immersion) 이온 주입은 반도체 웨이퍼 또는 작업물 내에 주입될 종의 이온들을 함유하는 플라즈마를 생성함으로써 수행된다. 플라즈마는 반응기 챔버 천장에서 환상 플라즈마 소스와 같은 플라즈마 소스를 사용하여 생성될 수 있다. 웨이퍼 표면 아래의 의도된 이온 주입 깊이 프로파일을 달성하기에 충분한 이온 에너지는 웨이퍼 지지 받침대(pedestal) 내의 절연된 캐소드 전극을 통해 매우 높은 RF 바이어스 전압(예를 들어, 10 kV 내지 20 kV)을 반도체 웨이퍼에 결합시킴으로써 제공된다. 높은 주입 도우즈 레이트(dose rate)는 높은 플라즈마 이온 밀도를 필요로 하며, 이는 낮은 챔버 압력에서 동작하는 환상 플라즈마 소스를 사용하여 달성된다. 필요한 이온 주입 깊이 프로파일은 매우 높은 이온 에너지를 필요로 하며, 이는 웨이퍼 표면에서 플라즈마 쉬스

(sheath)에 걸쳐 매우 높은 RF 바이어스 전압을 인가함으로써 달성된다. 플라즈마 침지 이온 주입에서 이용되는 프로세스 가스는 주입될 도펀트 종의 불화물(fluoride) 또는 수소화물(hydride)일 수 있다.

[0003] DRAM/플래시 메모리 제조에 있어서, 다결정질 실리콘(폴리실리콘) 게이트 전극들 내로 반도체 도펀트 종을 주입하는 것은 유익하게는 전도성을 증가시킨다. 게이트 전극들은 얇은 게이트 산화물 층 상에 비정질 실리콘을 증착하고, 그런 다음 증착된 실리콘이 비정질 상태에서부터 다결정질 상태로 전환하기에 충분하게 웨이퍼를 어닐링(annealing)함으로써 형성된다. 따라서, 다결정질 실리콘 게이트 층은 약 50 nm 내지 80 nm 두께이다. 주입된 종은 실리콘 내의 p-형 전도성을 촉진(promote)하는 하나의 종, 예컨대 붕소, 또는 n-형 전도성을 촉진하는 하나의 종, 예컨대 비소, 인 또는 안티모니아이다. 게이트 전극은 또한 특정 금속들 예컨대 TiN 또는 W에 의해 만들어질 수 있다.

[0004] DRAM의 긴 리프레시 시간(refresh time)이 디바이스 성능에 영향을 미친다. 리프레시 시간은 DRAM 셀들 내에 전하가 홀딩(hold)될 수 있는 시간의 양에 직접적으로 비례한다. 따라서, 셀 접합 누설을 최소화하는 것이 전하 보유 시간을 증가시킨다. 게이트 유도형 드레인 누설(gate induced drain leakage; GIDL)이 접합 누설에 대한 주요 메커니즘이다. 최대 GIDL의 위치에서 게이트 산화물 층을 두껍게 하는 것이 전체 접합 누설을 감소시키고 전하 보유 시간을 증가시킬 것이다.

[0005] 반면, 서브-문턱 영역에 걸쳐 적절한 게이트 제어를 제공하기 위하여 게이트 산화물의 층 두께가 계속해서 감소된다. 또한, 채널 및 소스/드레인 영역들에서의 도핑 농도를 증가시키는 것이 유익하게는 펀치 스루(punch through) 특성을 개선하고 드라이브(drive)들을 증가시킨다. 따라서, 고 전류 구동 성능과 저 GIDL 전류 사이의 적절한 밸런스를 갖는 스케일링 다운된(scaled down) 반도체 디바이스를 제공하는데 있어서 어려움이 존재한다.

**발명의 내용**

**해결하려는 과제**

**과제의 해결 수단**

[0006] 이상을 고려하면, 증가된 두께의 영역을 갖는 비-균일 게이트 산화물을 제공함으로써 DRAM 액세스 디바이스 내의 GIDL을 개선하기 위한 방법들이 요구된다. 일 접근 방식에 있어서, GIDL을 감소시키기 위한 프로세스는, 그 안에 형성된 리세스(recess)를 갖는 핀형(finned) 기판을 제공하는 단계, 및 비-균일 두께를 갖는 게이트 산화물 층을 형성하기 위하여 리세스의 측벽 표면 내로 이온 주입을 수행하는 단계로서, 측벽 표면의 상단 섹션에서의 게이트 산화물 층의 두께는 측벽 표면의 하단 섹션에서의 게이트 산화물 층의 두께보다 더 큰, 단계를 포함한다. 일부 실시예들에 있어서, 접근 방식들은, 측벽 표면의 상단 섹션의 게이트 산화물의 두께를 증가시키기 위하여 이온 주입 에너지 및/또는 이온 도우즈와 함께 일련의 이온 주입들 동안 변화되는 복수의 상이한 주입 각도들에서 일련의 이온 주입들을 수행하는 단계를 더 포함한다. 일부 실시예들에 있어서, 핀형 기판은 또한 이온 주입 동안에 또는 이온 주입 이후에 플라즈마에 노출된다.

[0007] 일부 실시예들에 있어서, 동적 랜덤 액세스 메모리(dynamic random access memory; DRAM) 디바이스를 형성하는 방법은, 그 안에 형성된 리세스를 갖는 핀형 기판을 제공하는 단계, 및 비-균일 두께를 갖는 게이트 산화물 층을 형성하기 위하여 리세스의 측벽 표면 내로 이온 주입을 수행하는 단계로서, 측벽 표면의 상단 섹션에서의 게이트 산화물 층의 두께는 측벽 표면의 하단 섹션에서의 게이트 산화물 층의 두께보다 더 큰, 단계를 포함한다.

[0008] 일부 실시예들에 있어서, 동적 랜덤 액세스 메모리(DRAM) 디바이스에 대한 게이트 산화물 층을 형성하는 방법은, 그 안에 형성된 리세스를 갖는 핀형 기판을 제공하는 단계, 및 비-균일 두께를 갖는 게이트 산화물 층을 형성하기 위하여 리세스의 측벽 표면 내로 일련의 이온 주입들을 수행하는 단계를 포함한다. 일련의 이온 주입들은 측벽 표면의 상단 섹션에서 측벽 표면의 하단 섹션에서의 게이트 산화물 층의 두께보다 더 큰 두께를 갖는 게이트 산화물 층을 형성하기 위하여 복수의 상이한 주입 각도들로 측벽 표면에 충돌한다.

[0009] 일부 실시예들에 있어서, 동적 랜덤 액세스 메모리(DRAM) 디바이스는 기판 내에 리세스를 획정하는 핀(fin)들의 세트로서, 리세스는 측벽 표면 및 하단 표면을 갖는, 핀들의 세트, 및 리세스의 측벽 표면 및 하단 표면을 따라 형성되는 게이트 산화물을 포함한다. 측벽 표면의 상단 섹션을 따른 게이트 산화물의 두께는 측벽 표면의 하단 섹션을 따른 게이트 산화물의 두께보다 더 크다.

**도면의 간단한 설명**

- [0010] 도 1은 본 개시의 일 실시예에 따른 핀형 기판을 처리하기 위한 접근 방식의 측면 단면도를 도시한다.
- 도 2는 본 개시의 일 실시예에 따른 핀형 기판의 리세스의 측벽 표면 내로 이온들을 주입하기 위한 접근 방식의 측면 단면도를 도시한다.
- 도 3은 본 개시의 실시예들에 따른 핀형 기판의 측벽 표면을 따라 비-균일 게이트 산화물을 형성하기 위한 접근 방식의 측면 단면도를 도시한다.
- 도 4는 본 개시의 일 실시예에 따른 다양한 각도들에서 수행되는 일련의 측벽 주입들의 측면 단면도를 도시한다.
- 도 5는 본 개시의 실시예들에 따른 핀형 기판의 측벽 표면을 따라 형성된 비-균일 게이트 산화물의 측면 단면도를 도시한다.
- 도 6은 본 개시의 일 실시예에 따른 이온 빔의 조사 하에서의 Si의 스퍼터링 수율을 예시하는 그래프를 도시한다.
- 도 7a 내지 도 7b는 본 개시의 일 실시예에 따른 이온 주입 이후의 산화물 층의 성장을 도시한다.
- 도 8은 본 개시에 따른 예시적인 방법을 예시하는 순서도이다.

도면들이 반드시 축적이 맞추어져야 하는 것은 아니다. 도면들은 단지 표현들이며, 본 개시의 특정 파라미터들을 표현하도록 의도되지 않는다. 도면들은 본 개시의 예시적인 실시예들을 묘사하도록 의도되며, 따라서 범위를 제한하는 것으로서 간주되지 않아야 한다. 도면들 내에서, 유사한 번호들이 유사한 엘리먼트들을 나타낸다.

또한, 도면들 중 일부 도면들에서 예시적인 명료성을 위하여 특정 엘리먼트들이 생략되거나 또는 축적이 맞추어지지 않고 예시된다. 단면도들은, 예시적인 명료성을 위하여, "실제" 단면도에서는 보일 수 있는 특정 배경 라인들을 생략하는, "슬라이스(slice)들" 또는 "근시(near-sighted)" 단면도들의 형태일 수 있다. 또한, 명료성을 위하여, 일부 참조 번호들이 특정 도면들에서 생략될 수 있다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 본 개시에 따른 방법들이 이제 이하에서 방법들의 실시예들이 도시된 첨부된 도면들을 참조하여 더 완전하게 설명될 것이다. 방법은 다수의 상이한 형태들로 구현될 수 있으며, 본원에서 기술되는 실시예들에 한정되는 것으로 해석되지 않아야 한다. 오히려, 이러한 실시예들은 본 개시가 완전하고 철저해질 수 있도록 제공되며, 시스템 및 방법의 범위를 당업자들에게 완전하게 전달할 것이다.
- [0012] 편의성 및 명료성을 위하여, "상단", "하단", "상부", "하부", "수직", "수평", "측방" 및 "길이 방향"과 같은 용어들은 본원에서, 도면들에서 나타날 때 반도체 제조 디바이스의 컴포넌트의 기하구조 및 배향에 대하여 이러한 컴포넌트들 및 그들의 구성 부분들의 상대적인 배치 및 배향을 설명하기 위하여 사용될 것이다. 이러한 용어는 특별히 언급되는 단어들, 그 파생어들, 및 유사한 의미의 단어들을 포함할 것이다.
- [0013] 본원에서 사용될 때, 단수로 언급되고 및 단어 "일" 또는 "하나"가 선행되는 엘리먼트 또는 동작은 이러한 배제가 명백하게 언급되지 않는 한 복수의 엘리먼트들 또는 동작들을 포함하는 것으로 이해되어야만 한다. 또한, 본 개시의 "일 실시예"에 대한 언급들은 제한적으로 의도되지 않는다. 추가적인 실시예들이 또한 나열된 특징들을 통합할 수 있다.
- [0014] 본원에서 추가로 설명되는 바와 같이, 반도체 디바이스(예를 들어, DRAM)에 대한 게이트 산화물 층을 형성하기 위한 접근 방식들이 제공되며, 방법은, 그 안에 형성된 리세스를 갖는 핀형 기판을 제공하는 단계, 및 비-균일 두께를 갖는 게이트 산화물 층을 형성하기 위하여 리세스의 측벽 표면 내로 이온 주입을 수행하는 단계로서, 측벽 표면의 상단 섹션에서의 게이트 산화물 층의 두께는 측벽 표면의 하단 섹션에서의 게이트 산화물 층의 두께보다 더 큰, 단계를 포함한다. 일부 실시예들에 있어서, 접근 방식들은, 측벽 표면의 상단 섹션의 게이트 산화물의 두께를 증가시키기 위하여 이온 주입 에너지 및/또는 이온 도우즈와 함께 일련의 이온 주입들 동안 변화되는 복수의 상이한 주입 각도들에서 일련의 이온 주입들을 수행하는 단계를 더 포함한다. 일부 실시예들에 있어서, 핀형 기판은 또한 이온 주입 동안에 또는 이온 주입 이후에 플라즈마에 노출된다. 결과적으로, >800°C까지의 웨이퍼들의 가열을 필요로 하는 종래 기술의 열 기반 DRAM 게이트 산화물 프로세스와 달리, 본원에서 제공되

는 이온-빔 기반 구현예들은 더 낮은 온도에서 달성되는 두께에서의 국부적인 변동을 갖는 산화물을 형성한다.

- [0015] 이제 도 1을 참조하면, 본 개시의 일 실시예에 따른 디바이스(100)(예를 들어, DRAM 디바이스)를 형성하기 위한 접근 방식의 단면도가 도시된다. 디바이스(100)는 기관(104)(예를 들어, 벌크 실리콘) 및 기관(104)으로부터 패터화된(예를 들어, 에칭된) 복수의 핀들(102)을 포함한다. 핀들(102)은 하나 이상의 포토리소그래피(photolithography) 및 에칭 프로세스들을 포함하는 임의의 적절한 프로세스를 사용하여 제조될 수 있다. 추가로 도시된 바와 같이, 핀들(102)의 세트가 그 사이에 형성되는 리세스(110)를 획정(define)하며, 리세스(110)는 하단 표면(112) 및 측벽들(120)의 세트를 포함한다.
- [0016] 핀들(102)의 세트를 형성하기 위한 포토리소그래피 프로세스는, 기관(104) 위에 놓이는(예를 들어, 실리콘 층 상에) 포토레지스트(photoresist) 층(미도시)을 형성하는 단계, 레지스트를 패턴에 노출시키는 단계, 노출 후 베이킹(bake) 프로세스들을 수행하는 단계, 및 레지스트를 포함하는 마스크 엘리먼트를 형성하기 위하여 레지스트를 발달시키는(develop) 단계를 포함할 수 있다. 그런 다음, 마스크 엘리먼트는, 예를 들어, 반응성 이온 에칭(reactive ion etch; RIE) 및/또는 다른 적절한 프로세스들을 사용하여 핀들(102)을 실리콘 층 내로 에칭하기 위하여 사용될 수 있다. 일 실시예에 있어서, 핀들(102)은 측벽 이미지 전사 기술을 사용하여 형성된다. 다른 실시예에 있어서, 핀들(102)은 이중-패턴화 리소그래피(double-patterning lithography; DPL) 프로세스에 의해 형성된다. DPL은 패턴을 2개의 인터리빙된(interleaved) 패턴들로 분할함으로써 기관 상에 패턴을 구성하는 방법이다. DPL은 향상된 특징부(예를 들어, 핀) 밀도를 가능하게 한다. 비제한적으로, (예를 들어, 2개의 마스크 세트들을 사용하는) 이중 노출, 인접한 특징부들 사이에 스페이서(spacer)들을 형성하고 스페이서들의 패턴을 제공하기 위하여 특징부들을 제거하는 것, 레지스트 프리징(freezing), 및/또는 다른 적절한 프로세스들을 포함하는 다양한 DPL 방법론들이 사용될 수 있다.
- [0017] 본원에서 사용되는 용어 "기관"은 반도체 기관, 반도체 기관 상에 증착되거나 또는 달리 형성된 반도체 에피택셜(epitaxial) 층 및/또는 다른 유형의 반도체 몸체를 포함하도록 의도되며, 이러한 모든 구조체들이 본 실시예들의 범위 내에 속하는 것으로서 고려된다. 예를 들어, 반도체 기관은 반도체 웨이퍼(예를 들어, 실리콘, SiGe, 또는 SOI 웨이퍼) 또는 웨이퍼 상의 하나 이상의 다이(die), 및 이와 연관되거나 또는 그 위에 형성된 임의의 에피택셜 층들 또는 다른 유형의 반도체 층들을 포함할 수 있다. 일부 또는 전체 반도체 기관이 비정질, 다결정질, 또는 단-결정질일 수 있다. 전술한 유형들의 반도체 기관들에 더하여, 본 실시예들에서 이용되는 반도체 기관은 또한 상이한 결정학적인 배향의 표면 영역들을 갖는 하이브리드 배향형(hybrid oriented; HOT) 반도체 기관을 포함할 수 있다. 반도체 기관은 도핑되거나, 도핑되지 않거나, 또는 그 안에 도핑된 영역들 및 도핑되지 않은 영역들을 포함할 수 있다. 반도체 기관은 그 안에 변형을 갖는 영역들 및 변형을 갖지 않는 영역들을 포함할 수 있거나, 또는 인장 변형 및 압축 변형의 영역들을 포함할 수 있다.
- [0018] 일부 실시예들에 있어서, 핀들(102)의 세트는 웨이퍼에 걸쳐 균일한 높이 'H'뿐만 아니라 인접한 핀들 사이에 균일한 거리 'D'를 가질 수 있다. 핀들(102)의 세트의 기하구조들이 웨이퍼에 걸쳐 전반적으로 일정하기 때문에, 핀들(102)의 세트는 핀들(102) 사이에 공간을 가리기 위하여 사용될 수 있다. 일 실시예에 있어서, 이온 주입(118)의 이온 입사 주입 각도 'α'는 핀들(102)의 측벽 표면(120) 중 오로지 의도된 부분만이 주입되게 하는 방식으로 선택될 수 있다. 한편, 리세스(110)의 하단 표면(122)은 전반적으로 영향을 받지 않는다.
- [0019] 도 1에 추가로 도시된 바와 같이, 핀들(102)의 세트의 측벽 표면(120)에 대한 이온 주입(118)은 산화물 층(124)(예를 들어, SiO<sub>2</sub>)을 형성한다. 예시적인 실시예들에 있어서, 이온 주입(118)은 측벽 표면(120)과 평행하지 않은 주입 각도 'α'에서 수행된다. 예를 들어, 이온 주입(118)은 측벽 표면(120)의 단지 일 부분만을 따라서 산화물 층(124)을 형성하기 위하여 측벽 표면(120)에 대해 약 30° (또는 측벽 표면(120)의 평면 법선에 대해 약 60°)의 입사각으로 이온들을 제공할 수 있다. 주입 각도는 다른 실시예들에서 +/- 15° 만큼 변화할 수 있다.
- [0020] 동작 동안, 이온 주입(118)은 디바이스(100)가, 예를 들어, 도 1에 도시된 바와 같은 제 1 위치에 있는 동안 수행될 수 있다. 측벽 표면(120)을 따른 산화물 층(124)의 형성 이후에, 디바이스(100)가 (예를 들어, 30, 45, 60, 또는 90 도만큼) 회전되고, 핀들(102)의 세트의 하나 이상의 추가적인 측벽 표면들을 따라 산화물 층(124)을 형성하기 위하여 다른 이온 주입이 디바이스(100)에 적용될 수 있다. 예시적인 실시예들에 있어서, 산화물 층(124)이 다시 핀들(102)의 측벽 표면(120)의 단지 일 부분만을 따라 형성된다. 이온 주입은 유사하게 측벽 표면(120)에 대하여 약 60° (또는 측벽 표면(120)에 대한 평면 법선에 대해 약 30°)의 입사각으로 수행될 수 있다.
- [0021] 다양한 실시예들에 있어서, 이온 주입(118)은 플라즈마 노출(130) 이전에, 또는 이와 동시에 수행될 수 있다.

예를 들어, O<sub>2</sub> 플라즈마 노출이 이어지는 표면 활성화를 위한 Ar 주입의 경우에 있어서, 웨이퍼는 이온 빔 생성기와 O<sub>2</sub> 플라즈마 소스(미도시) 사이에서 순환할 수 있다. 동시적인 표면 활성화 및 플라즈마 노출의 경우에 있어서, 산화물 층(124)을 형성하기 위한 성장 프로세스는 측벽 표면(120)의 저 에너지(예를 들어, ~10-100eV) Ar 이온-충돌에 의해 활성화되며, 동시에 표면이 O 플라즈마를 겪는다. Ar 이온-조사형(ion-irradiated) 주입은 Si 산화의 활성화 에너지를 감소시키며, 따라서 산화가 낮은 온도에서 용이하게 일어난다. 반면, 이온 주입(118)의 Ar 빔은, Si 표면이 측벽 표면(120)의 특정 부분들, 예를 들어, 도 1에 도시된 산화물 층(124)에 대응하는 영역상의 빔으로 조사되는 장소에서만 산화가 발생하게 하는 각도로 보내질 수 있다.

[0022] 일부 실시예들에 있어서, 이온 에너지는 기관(104)의 결정질 Si에 대한 손상을 제거하고 산화물의 양호한 구조적 무결성을 유지하기에 충분히 낮다. 예를 들어, 하부 Si에 대한 범위-말단(end-of-range)의 손상을 갖지 않는 고품질 화학량론적 Si-산화물은 450°C에서 형성될 수 있다. 비제한적인 일 실시예에 있어서, 이온 주입은 빔라인 이온-주입기, 원격 O 플라즈마 소스를 포함하는 수정된 엔드-스테이션(end-station)을 갖는 빔라인 주입기, 또는 10의 배수의 eV 에너지의 빔을 전달하는 수정된 빔라인 주입기에 의해 제공될 수 있다.

[0023] 이제 도 2 내지 도 3을 참조하여, 디바이스(200)의 리세스(210) 내의 게이트 산화물 층의 형성이 더 상세하게 설명될 것이다. 도시된 바와 같이, 게이트 산화물 층(240)의 형성은 리세스(210) 내의 하단 표면(212) 및 측벽 표면(220)을 따라 베이스 산화물 층(242)을 형성하는 단계를 포함할 수 있다. 다양한 실시예들에 있어서, 베이스 산화물 층(242)은 리세스(210) 내에 컨포멀하게(conformally) 증착될 수 있고, 여기에서 "증착"은 증착될 재료에 대하여 적절한 임의의 현재 공지된 또는 이후에 개발되는 기술들을 포함할 수 있으며, 예를 들어, 비제한적으로 화학기 기상 증착(chemical vapor deposition; CVD), 저압 CVD(low-pressure CVD; LPCVD), 플라즈마-증강 CVD(plasma-enhanced CVD; PECVD), 반-대기압 CVD(semi-atmosphere CVD; SACVD) 및 고밀도 플라즈마 CVD(high density plasma CVD; HDPCVD), 급속 열 CVD(rapid thermal CVD; RTCVD), 초-고 진공 CVD(ultra-high vacuum CVD; UHVCVD), 제한 반응 프로세싱 CVD(limited reaction processing CVD; LRPCVD), 금속-유기 CVD(metal-organic CVD; MOCVD), 스퍼터링 증착, 이온 빔 증착, 전자 빔 증착, 레이저 보조 증착, 열 산화, 열 질화, 스핀-온(spin-on) 방법들, 물리 기상 증착(physical vapor deposition; PVD), 원자 층 증착(atomic layer deposition; ALD), 화학적 산화, 분자 빔 에피택시(molecular beam epitaxy; MBE), 도금, 증발을 포함할 수 있다.

[0024] 추가로 도시된 바와 같이, 이온 주입(218)은 핀들(202)의 세트의 측벽 표면(220)에 대하여 수행될 수 있다. 예시적인 실시예들에 있어서, 이온 주입(218)은 측벽 표면(220)의 단지 일 부분에만 충돌하기 위하여 측벽 표면(220)과 평행하지 않은 주입 각도 'α'로 수행된다. 도 3에 도시된 바와 같이, 이는 이온 주입(318)에 의해 충돌되는 측벽 표면(320)의 영역들 내에 비-균일 두께를 갖는 게이트 산화물 층(340)을 야기한다. 예를 들어, 리세스(310)의 상단 섹션(345)에서의 게이트 산화물 층(340)의 두께 T<sub>1</sub>은 리세스(310)의 하단 섹션(348)에서의 게이트 산화물 층(340)의 두께 T<sub>2</sub>보다 더 크다. 이러한 국부화된 게이트 산화물 층(340)의 상대적으로 더 두꺼운 상단 섹션(345)은 유익하게는 GIDL을 감소시킨다.

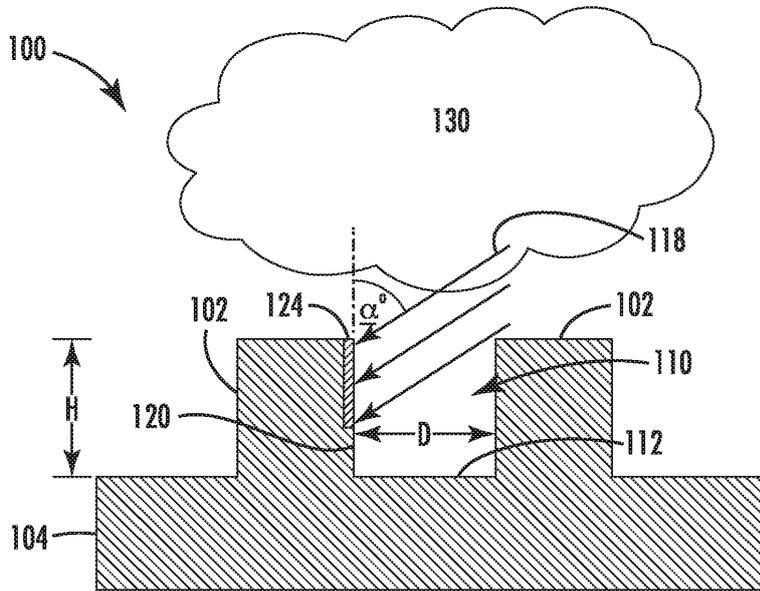
[0025] 이제 도 4 내지 도 5를 참조하여, 다양한 주입 각도들로 일련의 이온 주입들을 수행하기 위한 일 실시예가 더 상세하게 설명될 것이다. 이러한 실시예에 있어서, 이온 주입 에너지 및/또는 이온 도우즈가 또한 리세스(410)의 상단 섹션(445)의 높이 'H1'을 따라 변화하는 도우즈 구배(gradient)를 갖는 산화물 층(440)을 형성하기 위하여 측벽 표면(420)에 대한 일련의 이온 주입들(418A-C)의 수행 동안 변화될 수 있다. 결과적으로, 가변적인 두께를 갖는 열적 산화물 층이 산화물 성장 레이트들의 차이에 기인하여 생성될 수 있다. 추가로, 일련의 이온 주입들(418A-C)의 에너지는, 손상된 Si가 산화 동안 소비되어 그에 따라서 범위-말단 손상으로부터의 누설을 최소화하는 방식으로 선택될 수 있다.

[0026] 예를 들어, 도 4에 도시된 바와 같이, 일련의 이온 주입들(418A-C)은 다양한 주입 각도들 α<sub>1-3</sub>으로 핀들(402)의 세트의 측벽 표면(420)에 대하여 수행될 수 있다. 예시적인 실시예들에 있어서, 제 1 이온 주입(418-A)은 주입 각도 α<sub>1</sub> 및 제 1 주입 에너지/이온 도우즈로 수행되며, 제 2 이온 주입(418-B)은 다른 주입 각도 α<sub>2</sub> 및 주입 에너지/이온 도우즈로 수행되고, 제 3 이온 주입(418-C)은 또 다른 주입 각도 α<sub>3</sub> 및 주입 에너지/이온 도우즈로 수행된다. 주입 각도들 α<sub>1-3</sub>의 각각은 측벽 표면(420)의 상단 섹션(445)을 따라 다양한 지점들에 충돌하기 위하여 측벽 표면(420)과 평행하지 않다. 도시된 바와 같이, 측벽 표면(420)의 하단 섹션(448)은 전반적으로 일련의 이온 주입들(418A-C)에 의해 영향을 받지 않을 채로 남아 있다.

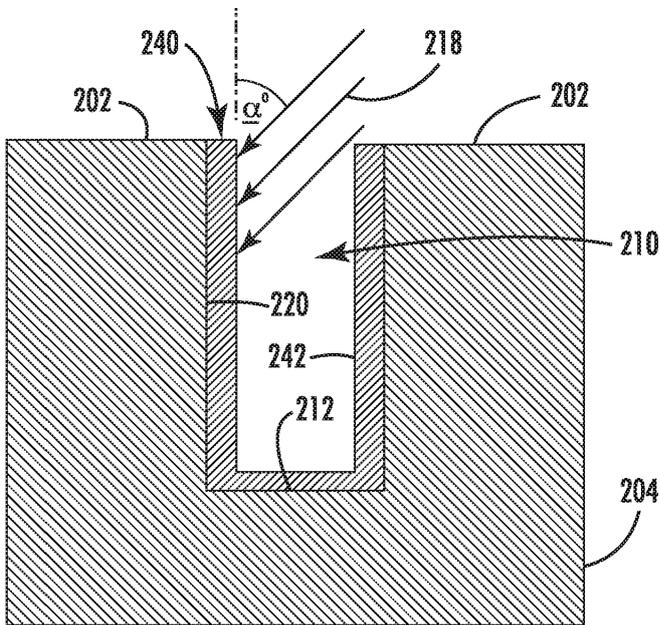
- [0027] 도 5에 도시된 바와 같이, 변화된 이온 주입은 비-균일 두께를 갖는 게이트 산화물 층(540)을 야기하며, 여기에서 상단 섹션(545)에서의 게이트 산화물 층(540)의 두께  $T_1$ 은 하단 섹션(548)에서의 게이트 산화물 층(540)의 두께  $T_2$ 보다 더 크다. 더 구체적으로, 산화물의 두께가 상단 섹션(545)을 따라 변화하며, 따라서 게이트 산화물 층(540)은 핀들(502)의 상단 표면(550) 근처에서 가장 두껍다. 도시된 바와 같이, 상단 섹션(545) 근처에서의 리세스(510)의 직경  $D1$ 은 하단 섹션(548) 근처에서의 리세스(510)의 직경  $D2$ 보다 더 작다. 이러한 산화물 프로파일을 달성하기 위하여, 일련의 이온 주입들(418A-C)(도 4)에 걸쳐 주입 각도(예를 들어,  $\alpha 1-3$ )가 증가함에 따라 이온 주입 에너지 및 이온 도우즈가 증가될 수 있다. 예를 들어, 이온 주입(418-C)의 이온 주입 에너지 및/또는 이온 도우즈는 이온 주입(418-A)의 이온 주입 에너지 및/또는 이온 도우즈보다 더 클 수 있다.
- [0028] 이제 도 6을 참조하면, 도 1 내지 도 5에 도시된 이온 주입들의 이온 빔과 같은 0 이온 빔의 조사 하에서의 Si의 스퍼터링 수율을 예시하는 그래프(658)가 도시된다. 이러한 비제한적인 실시예에 있어서, 최대 Si 제거 레이트는 10keV에서 설정된다. 이에 더하여, 0의 주입과 함께, 예를 들어, 스퍼터링에 기인하는 Si의 손실에 대응하기 위하여  $SiO_2$ 의 형성이 기인하는 체적 팽창이 존재할 수 있다. 도 7a 내지 도 7b의 투과 전자 현미경(transmission electron microscopy; TEM) 이미지들은, 1keV에서의 0 주입 이후에, 상단 표면(760)이, 예를 들어, 스퍼터링에 의한 손실에 기인하는 리세스를 갖는 대신에, 계면(762) 위로 3.5nm 성장한다는 것을 증명한다.
- [0029] 이제 도 8을 참조하면, 본 개시에 따른 반도체 디바이스를 패터닝하기 위한 예시적인 방법(800)을 예시하는 순서도가 도시된다. 방법(800)은 도 1 내지 도 7에 도시된 표현들과 관련하여 설명될 것이다.
- [0030] 방법(800)은, 블록(801)에 도시된 바와 같이, 그 안에 형성된 리세스를 갖는 핀형 기판을 제공하는 단계를 포함할 수 있다. 일부 실시예들에 있어서, 핀형 기판은 실리콘이다.
- [0031] 방법(800)은, 블록(803)에 도시된 바와 같이, 비-균일 두께를 갖는 게이트 산화물 층을 형성하기 위하여 리세스의 측벽 표면 내로 이온 주입을 수행하는 단계를 더 포함할 수 있다. 일부 실시예들에 있어서, 리세스의 상단 섹션에서의 게이트 산화물 층의 두께는 리세스의 하단 섹션에서의 게이트 산화물 층의 두께보다 더 크다. 일부 실시예들에 있어서, 이온 주입은 복수의 상이한 주입 각도들을 갖는 일련의 이온 주입들로서 수행된다. 일부 실시예들에 있어서, 방법(800)은 일련의 이온 주입들의 수행 동안 이온 주입 에너지 및 이온 도우즈 중 적어도 하나를 변화시키는 단계를 포함한다. 일부 실시예들에 있어서, 이온 주입 에너지 및 이온 도우즈는 주입 각도가 감소함에 따라 일련의 이온 주입들에 걸쳐 증가되며, 여기에서 주입 각도는 측벽 표면에 대하여 측정된다.
- [0032] 방법(800)은, 블록(805)에 도시된 바와 같이, 핀형 기판을 플라즈마에 노출시키는 단계를 더 포함할 수 있다. 일부 실시예들에 있어서, 플라즈마 노출 및 이온 주입은 동시적일 수 있다. 다른 실시예들에 있어서, 이온 주입은 플라즈마 노출 이전에 수행된다.
- [0033] 방법(800)은, 블록(807)에 도시된 바와 같이, 비-균일 두께 게이트 산화물 층을 형성하기 위하여 리세스의 측벽 표면의 상단 섹션을 따라 게이트 산화물의 두께를 증가시키는 단계를 더 포함할 수 있다. 일부 실시예들에 있어서, 게이트 산화물의 두께는 핀형 기판의 상단 표면 근처에서 최대이다.
- [0034] 이상을 고려하면, 적어도 다음의 이점들이 본원에 개시된 실시예들에 의해 달성된다. 제 1 이점은 게이트 산화물 층의 국부적인 성장을 가능하게 하여 GIDL을 감소시키기 위해 핀의 측벽 표면으로 보내지는 이온 주입의 각도를 조정하는 것을 포함한다. 제 2 이점은, 산화물의 양호한 구조적 무결성을 여전히 유지하면서, 기판의 결정질 Si에 대한 손상을 제거하기에 충분히 낮은 이온 에너지로 디바이스를 주입하는 것을 포함한다.
- [0035] 본 개시의 특정 실시예들이 본원에서 설명되었지만, 본 개시가 당업계에서 허용할 그리고 명세서가 유사하게 관독될 수 있는 바와 같이 광범위한 범위이기 때문에 본 개시는 이에 한정되지 않는다. 따라서, 이상의 설명이 제한적인 것으로 해석되지 않아야 한다. 오히려, 이상의 설명은 단순히 특정 실시예들의 예증들일 뿐이다. 당업자들은 본원에 첨부된 청구항들의 사상 및 범위 내의 다른 수정예들을 구상할 것이다.

도면

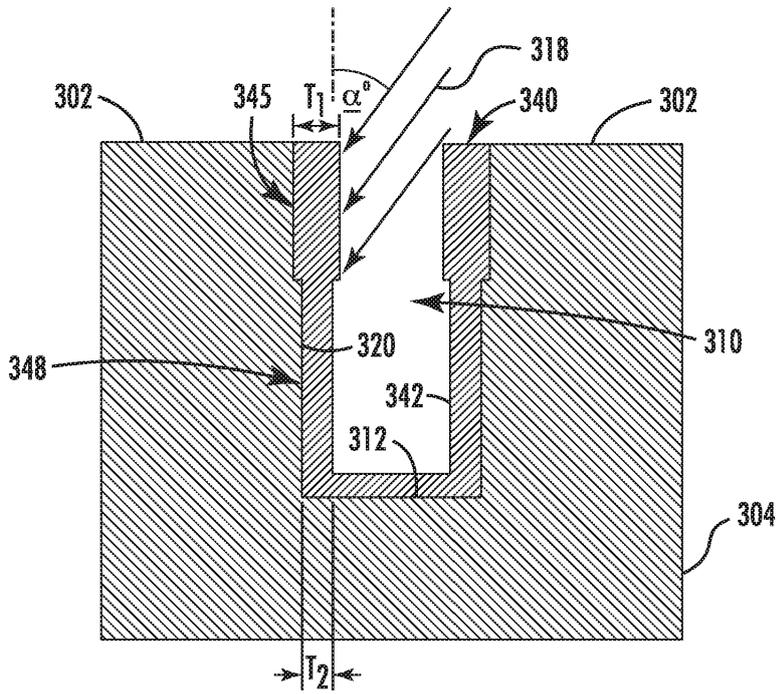
도면1



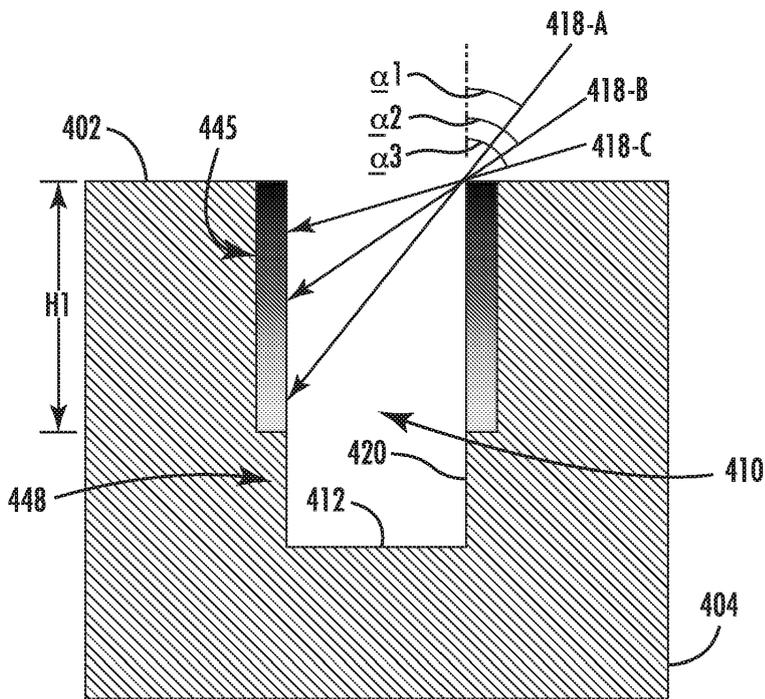
도면2



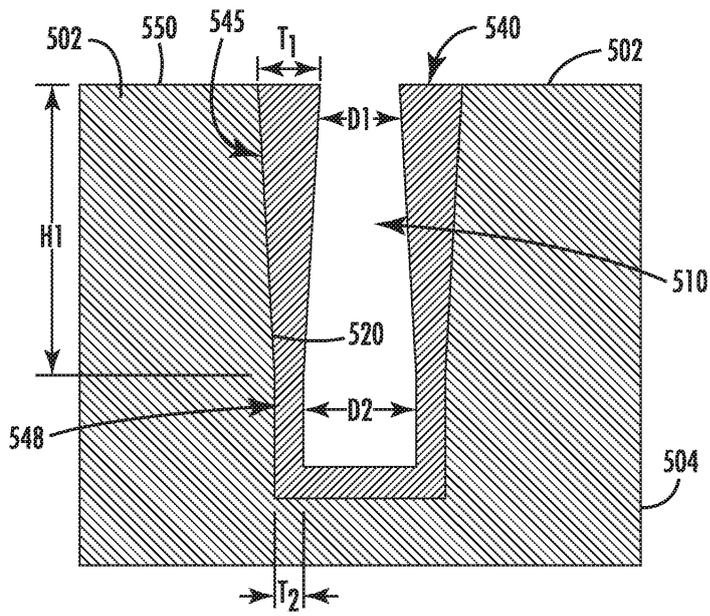
도면3



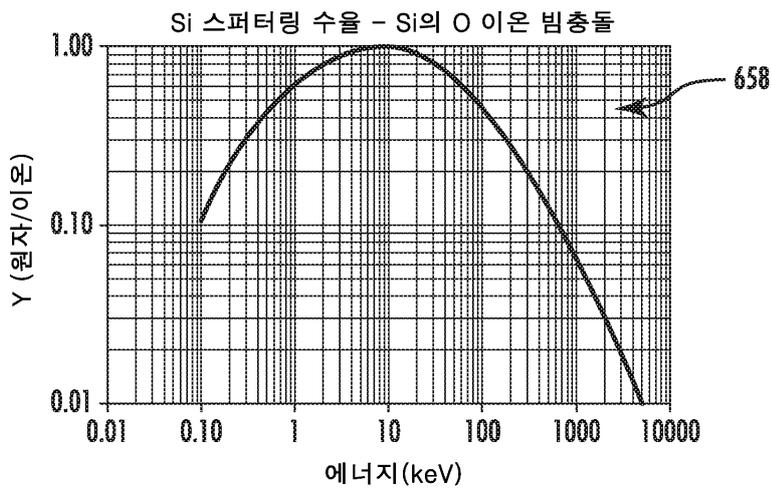
도면4



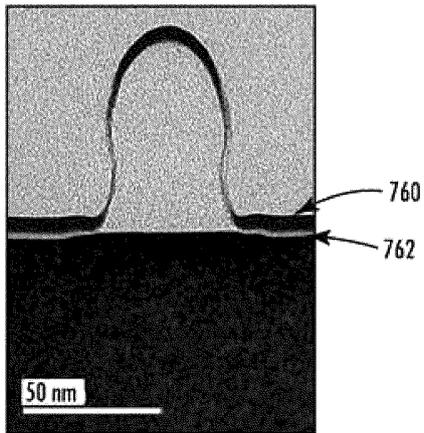
도면5



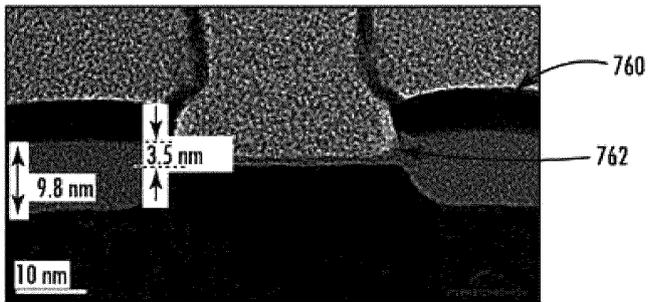
도면6



도면7a



도면7b



도면8

