

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5780165号  
(P5780165)

(45) 発行日 平成27年9月16日(2015.9.16)

(24) 登録日 平成27年7月24日(2015.7.24)

(51) Int. Cl. F I  
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/18 (2006.01)

請求項の数 12 (全 22 頁)

(21) 出願番号	特願2012-13482 (P2012-13482)	(73) 特許権者	308014341
(22) 出願日	平成24年1月25日 (2012.1.25)		富士通セミコンダクター株式会社
(65) 公開番号	特開2013-153083 (P2013-153083A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成25年8月8日 (2013.8.8)		23
審査請求日	平成26年9月26日 (2014.9.26)	(74) 代理人	100070150
			弁理士 伊東 忠彦
		(74) 代理人	100146776
			弁理士 山口 昭則
		(72) 発明者	大平 光
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通セミコンダクター株式会社内
		審査官	木下 直哉

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の面と前記第1の面に対向する第2の面とを有し第1の半導体素子と各々前記第1の面から前記第2の面まで延在する複数の貫通ビアプラグとが形成された第1の半導体チップと、

前記第1の半導体チップ上に積層され、第3の面と前記第3の面に対向する第4の面とを有し第2の半導体素子と各々前記第3の面から前記第4の面まで延在する貫通ビアプラグが形成された第2の半導体チップと、

を含み、

前記第1の半導体チップは、前記第1の面上に第1の接続パッドを有し、また前記第2の面上に第2の接続パッドを有し、

前記第1の半導体チップでは、前記第1の面において少なくとも二本の相隣接する貫通ビアプラグが前記第1の接続パッドに共通に接続され、また前記第2の面において、前記少なくとも二本の相隣接する貫通ビアプラグが前記第2の接続パッドに共通に接続され、

前記第2の半導体チップは、前記第3の面上に第3の接続パッドを有し、また前記第4の面上に第4の接続パッドを有し、

前記第2の半導体チップでは、前記第3の面において少なくとも一本の貫通ビアプラグが前記第3の接続パッドに接続され、また前記第4の面において前記少なくとも一本の貫通ビアプラグが前記第4の接続パッドに接続され、

前記第2の半導体チップは前記第3の面が前記第1の半導体チップ上に、前記第2の面

10

20

に対面するように積層され、

前記第 2 の接続パッドと前記第 3 の接続パッドとは相互に接合され、

前記第 1 の接続パッドは、前記第 1 の半導体チップ中において、前記第 1 の面内に定義される第 1 の方向に隣接した一対の貫通ビアプラグを接続される第 1 の方位の接続パッドと、前記第 1 の面内に定義され前記第 1 の方向に対して交差する第 2 の方向に隣接した一対の貫通ビアプラグを接続される第 2 の方位を有する接続パッドとをそれぞれ含むことを特徴とする半導体装置。

【請求項 2】

前記第 2 の接続パッドと前記第 3 の接続パッドは同一の大きさおよび形状を有することを特徴とする請求項 1 記載の半導体装置。

10

【請求項 3】

前記第 1 および第 2 の接続パッドは、前記第 1 の面に垂直方向から見た場合に相互に隣接する複数本の貫通ビアプラグが接続されることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記第 2 の半導体チップ中における貫通ビアプラグは、前記第 1 の半導体チップ中の貫通ビアプラグと一対一に対応して、同一の径および同一のピッチで形成されており、前記第 2 の半導体チップでは、前記第 3 の面上において少なくとも二本の貫通ビアプラグが前記第 3 の接続パッドに共通に接続され、また前記第 4 の面上において、前記少なくとも二本の貫通ビアプラグが前記第 4 の接続パッドに共通に接続されることを特徴とする請求項 1 ~ 3 のうち、いずれか一項記載の半導体装置。

20

【請求項 5】

前記第 1 および第 2 の半導体チップ中において前記貫通ビアプラグは径の二倍のピッチで繰り返し形成されていることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記第 2 の半導体チップ中における貫通ビアプラグは、前記第 1 の半導体チップ中の貫通ビアプラグとは異なるピッチで形成されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 7】

前記第 2 の半導体チップ中における貫通ビアプラグは、前記第 1 の半導体チップ中の貫通ビアプラグとは異なる径で形成されていることを特徴とする請求項 6 記載の半導体装置。

30

【請求項 8】

前記第 1 ~ 第 4 の接続パッドは、同一の金属よりなることを特徴とする請求項 1 ~ 7 のうち、いずれか一項記載の半導体装置。

【請求項 9】

前記第 1 ~ 第 4 の接続パッドは、Cu または Au よりなることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

さらにパッケージ基板を含み、前記第 1 の半導体チップは前記パッケージ基板上に、前記第 1 の面が前記パッケージ基板に対面する向きで実装されており、前記第 1 の接続パッドは前記パッケージ基板上の接続パッドに直接に接合されていることを特徴とする請求項 1 ~ 9 のうち、いずれか一項記載の半導体装置。

40

【請求項 11】

第 1 の面と前記第 1 の面に対向する第 2 の面とを有し、第 1 の半導体素子と各々前記第 1 の面から前記第 2 の面まで延在する複数の貫通ビアプラグとが形成され、前記第 1 の面に少なくとも二本の相隣接した貫通ビアプラグが接続される第 1 の接続パッドを有し、前記第 2 の面に、前記少なくとも二本の相隣接した貫通ビアプラグが接続される第 2 の接続パッドを有する第 1 の半導体チップ上に、

第 3 の面と前記第 3 の面に対向する第 4 の面とを有し、第 2 の半導体素子と各々前記第

50

3の面から前記第4の面まで延在する複数の貫通ビアプラグとが形成され、前記第3の面に少なくとも二本の相隣接した貫通ビアプラグが接続される第3の接続パッドを有し、前記第4の面に、前記少なくとも二本の相隣接した貫通ビアプラグが接続される第4の接続パッドを有する第2の半導体チップを、前記第3の接続パッドが前記第2の接続パッド上に当接するように載置する工程と、

前記第2の接続パッドと前記第3の接続パッドとを拡散接合する工程と、を含み、

前記第1の接続パッドは、前記第1の半導体チップ中において、前記第1の面内に定義される第1の方向に隣接した一対の貫通ビアプラグを接続される第1の方位の接続パッドと、前記第1の面内に定義され前記第1の方向に対して交差する第2の方向に隣接した一対の貫通ビアプラグを接続される第2の方位を有する接続パッドとをそれぞれ含むことを特徴とする半導体装置の製造方法。

10

【請求項12】

さらに前記第1の接続パッドをパッケージ基板上の配線パッドに拡散接合する工程を含むことを特徴とする請求項11記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

以下に説明する実施形態は半導体装置およびその製造方法に関する。

【背景技術】

【0002】

微細加工技術の進歩に伴い、今日では非常に高い集積密度の二次元半導体集積回路装置が実現されている。二次元半導体集積回路装置では、シリコン基板上にメモリやロジックなどの多数の半導体素子が高い密度で集積され、さらに前記シリコン基板上には、これらを相互接続する多層配線構造が形成される。

20

【0003】

また今日では、さらなる集積密度の向上を図るべく、二次元半導体集積回路装置を多数積層した三次元半導体集積回路装置の研究がなされている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-82450号公報

【特許文献2】特開2006-19455号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

このような従来の三次元半導体集積回路装置では、積層される二次元半導体集積回路装置を構成するシリコン基板の一つ一つに多数の貫通ビアプラグ(TSV: through-silicon-via)を形成しておき、二次元半導体集積回路装置を積層した際に、各々の貫通ビアプラグを、例えば上方に積層した二次元半導体集積回路装置を構成するシリコン基板中の対応する貫通ビアプラグに、ハンダにより接合することにより、これらの二次元半導体集積回路装置を電気的かつ機械的に接続している。

40

【0006】

一方、このようなハンダ接合により上下の貫通ビアプラグを相互接続する場合には、ハンダが側方に多少とも拡がるのを回避できないため、貫通ビアプラグ自体は小径に形成でき、かつ貫通ビアプラグを径の二倍程度のピッチで配設できるにもかかわらず、ハンダ接合部が隣接するハンダ接合部と短絡を生じないように、貫通ビアプラグを必要以上に大きな径およびピッチで形成および配設する必要がある。

【0007】

またこのような従来の三次元半導体集積回路装置では、一本の貫通ビアプラグに一本の貫通ビアプラグがハンダ接合されるため、最下層から最上層まで順次接続される多数の貫

50

通ビアプラグのいずれかに不良が生じた場合、当該貫通ビアプラグにより形成される接続ラインは不良となってしまう、三次元半導体集積回路装置の歩留まりあるいは信頼性に問題が生じやすい。さらに下層の貫通ビアプラグと上層の貫通ビアプラグの間にハンダバンプが介在するため配線長が長くなり、寄生インピーダンスや寄生抵抗の増大を招きやすい。

【課題を解決するための手段】

【0008】

半導体装置は、第1の面と前記第1の面に対向する第2の面とを有し第1の半導体素子と各々前記第1の面から前記第2の面まで延在する複数の貫通ビアプラグとが形成された第1の半導体チップと、前記第1の半導体チップ上に積層され、第3の面と前記第3の面に対向する第4の面とを有し第2の半導体素子と各々前記第3の面から前記第4の面まで延在する貫通ビアプラグが形成された第2の半導体チップと、を含み、前記第1の半導体チップは、前記第1の面上に第1の接続パッドを有し、また前記第2の面上に第2の接続パッドを有し、前記第1の半導体チップでは、前記第1の面において少なくとも二本の相隣接する貫通ビアプラグが前記第1の接続パッドに共通に接続され、また前記第2の面において、前記少なくとも二本の相隣接する貫通ビアプラグが前記第2の接続パッドに共通に接続され、前記第2の半導体チップは、前記第3の面上に第3の接続パッドを有し、また前記第4の面上に第4の接続パッドを有し、前記第2の半導体チップでは、前記第3の面において少なくとも一本の貫通ビアプラグが前記第3の接続パッドに接続され、また前記第4の面において前記少なくとも一本の貫通ビアプラグが前記第4の接続パッドに接続され、前記第2の半導体チップは前記第3の面が前記第1の半導体チップ上に、前記第2の面に対面するように積層され、前記第2の接続パッドと前記第3の接続パッドとは相互に接合される。

【発明の効果】

【0009】

半導体装置は、第1の面と前記第1の面に対向する第2の面とを有し第1の半導体素子と各々前記第1の面から前記第2の面まで延在する複数の貫通ビアプラグとが形成された第1の半導体チップと、前記第1の半導体チップ上に積層され、第3の面と前記第3の面に対向する第4の面とを有し第2の半導体素子と各々前記第3の面から前記第4の面まで延在する貫通ビアプラグが形成された第2の半導体チップと、を含み、前記第1の半導体チップは、前記第1の面上に第1の接続パッドを有し、また前記第2の面上に第2の接続パッドを有し、前記第1の半導体チップでは、前記第1の面において少なくとも二本の相隣接する貫通ビアプラグが前記第1の接続パッドに共通に接続され、また前記第2の面において、前記少なくとも二本の相隣接する貫通ビアプラグが前記第2の接続パッドに共通に接続され、前記第2の半導体チップは、前記第3の面上に第3の接続パッドを有し、また前記第4の面上に第4の接続パッドを有し、前記第2の半導体チップでは、前記第3の面において少なくとも一本の貫通ビアプラグが前記第3の接続パッドに接続され、また前記第4の面において前記少なくとも一本の貫通ビアプラグが前記第4の接続パッドに接続され、前記第2の半導体チップは前記第3の面が前記第1の半導体チップ上に、前記第2の面に対面するように積層され、前記第2の接続パッドと前記第3の接続パッドとは相互に接合され、前記第1の接続パッドは、前記第1の半導体チップ中において、前記第1の面内に定義される第1の方向に隣接した一対の貫通ビアプラグを接続される第1の方位の接続パッドと、前記第1の面内に定義され前記第1の方向に対して交差する第2の方向に隣接した一対の貫通ビアプラグを接続される第2の方位を有する接続パッドとをそれぞれ含む。

【図面の簡単な説明】

【0010】

【図1】第1の実施形態による三次元半導体集積回路装置の概略的構成を示す断面図である。

10

20

30

40

50

【図 2】図 1 のうち、破線で囲んだ部分を詳細に示す断面図である。

【図 3】図 1 の三次元半導体集積回路装置を構成する半導体チップ上における貫通電極と接続パッドの配置例を示す平面図である。

【図 4】比較例による半導体チップ上への貫通電極の配置例を示す平面図である。

【図 5】別の比較例による半導体チップ上への貫通電極の配置例を示す平面図である。

【図 6】図 3 の一変形例による半導体チップ上における貫通電極と接続パッドの配置例を示す平面図である。

【図 7 A】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 1）である。

【図 7 B】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 2）である。

10

【図 7 C】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 3）である。

【図 7 D】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 4）である。

【図 7 E】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 5）である。

【図 7 F】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 6）である。

【図 7 G】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 7）である。

20

【図 7 H】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 8）である。

【図 7 I】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 9）である。

【図 7 J】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 10）である。

【図 7 K】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 11）である。

【図 7 L】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 12）である。

30

【図 7 M】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 13）である。

【図 7 N】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 14）である。

【図 7 O】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 15）である。

【図 7 P】第 1 の実施形態による三次元半導体集積回路装置の製造方法を説明する工程断面図（その 16）である。

【図 8】一変形例による三次元半導体集積回路装置の一部を示す断面図である。

40

【図 9】図 8 の構成をさらに変形した三次元半導体集積回路装置の一部を示す断面図である。

【図 10】図 9 の構成をさらに変形した三次元半導体集積回路装置の一部を示す断面図である。

【発明を実施するための形態】

【0011】

[第 1 の実施形態]

図 1 は、第 1 の実施形態による三次元半導体集積回路装置 10 の一例を示す断面図である。

【0012】

50

図1を参照するに前記三次元半導体集積回路装置10は、上主面11Aに配線パッド11aを、また下主面11Bに配線パッド11bを有し、ビルドアップ絶縁膜11cおよび配線パターン11Cを交互に積層した構造のパッケージ基板11と、前記パッケージ基板11上にフリップチップ実装された第1の半導体チップ12と、前記第1の半導体チップ12上にさらにフリップチップ実装された第2の半導体チップ13と、前記第2の半導体チップ13上にフリップチップ実装された第3の半導体チップ14を含み、前記半導体チップ12中には、例えばCuよりなる貫通ビアプラグ12Bが行列状に形成されている。同様に半導体チップ13中にもCuよりなる貫通ビアプラグ13Bが、行列状に形成されている。

【0013】

前記半導体チップ12はその下主面にMOSトランジスタなどの半導体素子および多層配線構造12Aを形成されており、各々の貫通ビアプラグ12Bは前記半導体チップ12の上主面から下主面まで延在し、前記下主面においては前記多層配線構造12A中に形成された例えばCuよりなる接続パッド12bに連続する。前記接続パッド12bは、対応する前記パッケージ基板11上の配線パッド11aに、例えばCuよりなる別の接続パッド12aにより電氣的に接続される。その結果、前記半導体チップ12は前記パッケージ基板11に対して機械的にも強固に結合される。

【0014】

同様に前記半導体チップ13はその下主面にMOSトランジスタなどの半導体素子および多層配線構造13Aを形成されており、各々の貫通ビアプラグ13Bは前記半導体チップ13の上主面から下主面まで延在し、前記下主面において、前記多層配線構造13Aの一部を構成し例えばCuよりなる接続パッド13bに連続する。一方、前記接続パッド13bは、前記半導体チップ12の対応する貫通ビアプラグ12Bに、例えばCuよりなる別の接続パッド13aにより電氣的に接続される。その結果、前記半導体チップ13はその下の半導体チップ12に対して機械的にも強固に結合される。

【0015】

さらに前記半導体チップ14はその下主面に、電極パッド14bを有する多層配線構造14Aを形成されており、前記電極パッド14bを、その下の半導体チップ13中の対応する貫通ビアプラグ13Bに、例えばCuよりなる別の接続パッド14aを介して接続することにより、前記半導体チップ14が半導体チップ13に対して電氣的および機械的に強固に結合される。

【0016】

さらに前記パッケージ基板11と半導体チップ12の間の空間は封止樹脂12Rにより封止され、同様に半導体チップ12と半導体チップ13の間の空間も封止樹脂13Rにより封止されている。さらに半導体チップ13と半導体チップ14の間の空間が、封止樹脂14Rにより封止されている。

【0017】

さらに前記パッケージ基板11の下面11Bにおいては、それぞれの電極パッド11bに対応するはんだバンプ11Dが形成されている。

【0018】

図2は、前記図1の半導体集積回路装置10のうち、破線で囲んだ部分を詳細に示す断面図である。ただしパッケージ基板11の詳細は省略している。

【0019】

図2を参照するに、前記半導体チップ12には、多層配線構造12Aを形成された下主面にMOSトランジスタ12Trが形成されており、同様に半導体チップ13には、多層配線構造13Aを形成された下主面にMOSトランジスタ13Trが形成されている。

【0020】

前記半導体チップ12中には例えばCuよりなり例えば5 $\mu$ mの径Dを有する貫通ビアプラグ(TSV)12Bが径Dとおなじ間隔Dで、すなわちピッチ2Dで行列状に形成されており、各々の貫通ビアプラグ12Bは前記シリコンチップ12中に形成された貫通ビ

10

20

30

40

50

アホール中に、例えば  $1\ \mu\text{m}$  あるいはそれ以下の膜厚のライナ絶縁膜 12L 及び、例えば  $0.3\ \mu\text{m}$  あるいはそれ以下の膜厚のバリアメタル膜（不図示）を介して形成されている。同様に前記半導体チップ 13 中には例えば Cu よりなり例えば  $5\ \mu\text{m}$  の径 D を有する貫通ビアプラグ（TSV）13B が径 D とおなじ間隔 D で、すなわちピッチ 2D で行列状に形成されており、各々の貫通ビアプラグ 13B は前記半導体チップ 13 中に形成された貫通ビアホール中に、例えば  $1\ \mu\text{m}$  あるいはそれ以下の膜厚のライナ絶縁膜 13L 及び、例えば  $0.3\ \mu\text{m}$  あるいはそれ以下の膜厚のバリアメタル膜（不図示）を介して形成されている。前記ライナ絶縁膜 12L, 13L としては、例えば TEOS を原料とした CVD 法により形成された酸化膜を使うことができる。また、前記バリアメタル膜（不図示）としては、例えば Ta あるいは Ti などの高融点金属を PVD 法により形成することができる。

10

## 【0021】

さらに図 2 を参照するに、前記半導体チップ 12 において貫通ビアプラグ 12B は前記多層配線構造 12A が形成されている下主面において、前記貫通ビアプラグ 12B の径 D よりも大きな径の Cu 接続パッド 12Bp を形成し、前記接続パッド 12Bp 上には例えば Al などよりなる接続パッド 12BA が形成されている。一方、前記貫通ビアプラグ 12B の他端は前記半導体チップ 12 の上主面から上方に突出し、突出端部 12e を形成する。

## 【0022】

同様に前記半導体チップ 13 において貫通ビアプラグ 13B は前記多層配線構造 13A が形成されている下主面において前記多層配線構造 13A の一部として、前記貫通ビアプラグ 13B の径 D よりも大きな径の Cu 接続パッド 13Bp を形成し、前記接続パッド 13Bp 上には例えば Al などよりなる接続パッド 13BA が形成されている。一方、前記貫通ビアプラグ 13B の他端は前記半導体チップ 13 の上主面から上方に突出し、突出端部 13e を形成する。

20

## 【0023】

さらに前記半導体チップ 12 の下主面および上主面には、SiN などよりなるパッシベーション膜 12SNA および 12SNB が形成されている。前記パッシベーション膜 12SNA は多層配線構造 12A を保護し、一方パッシベーション膜 12SNB は前記貫通ビアプラグ 12B の突出端部 12e の周囲を保護する。

## 【0024】

同様に前記半導体チップ 13 の下主面および上主面には、SiN などよりなるパッシベーション膜 13SNA および 13SNB が形成されている。前記パッシベーション膜 13SNA は多層配線構造 13A を保護し、一方パッシベーション膜 13SNB は前記貫通ビアプラグ 13B の突出端部 13e の周囲を保護する。

30

## 【0025】

さて本実施形態では、このように半導体チップ 12, 13 中に非常に微細な貫通ビアプラグ 12B あるいは 13B を高密度で形成しているため、複数のビアプラグ 12B あるいは 13B を使って単一の電流あるいは電圧を供給する冗長構成を実現することができる。

## 【0026】

すなわち前記半導体チップ 12 の上面には、例えば Cu よりなり隣接する二つの貫通ビアプラグ 12B の突出端部 12e を相互接続する別の接続パッド (13a)<sub>1</sub> が、前記ビアプラグの径 D よりも小さな高さ (< D) で形成されており、一方、前記二つのビアプラグ 12B に対応する前記半導体チップ 13 中の二つのビアプラグ 13B には、それぞれの接続パッド 13BA を相互接続する、同様に Cu よりなる別の接続パッド (13a)<sub>2</sub> が、やはり前記ビアプラグの径 D よりも小さな高さ (< D) で形成されている。前記接続パッド (13a)<sub>1</sub> と前記接続パッド (13a)<sub>2</sub> とは、破線 J で示した位置において直接に拡散接合され、前記図 1 に示した単一の接続パッド 13a を形成する。このような接続パッド 13a は、図 2 に示すように、ビアプラグ 3 本分の寸法 (3D) を有する。

40

## 【0027】

なお後ほど説明するように、図 2 の構成において前記接続パッド (13a)<sub>1</sub> の下面に

50

はT aあるいはT iなどの高融点金属よりなるバリアメタル膜1 2 B M<sub>N</sub>が形成されており、前記接続パッド(1 3 a)<sub>2</sub>の上面にはT aあるいはT iなどの高融点金属よりなるバリアメタル膜1 2 B M<sub>M</sub>が形成されている。

【0028】

同様に前記半導体チップ1 3の上面には、例えばC uよりなり隣接する二つの貫通ビアプラグ1 3 Bの突出端部1 3 eを相互接続する別の接続パッド(1 4 a)<sub>1</sub>が、前記ビアプラグの径Dよりも小さな高さ(< D)で形成されており、図示は省略するが、その上の半導体チップ1 4中の二つのビアプラグ1 4 Bを相互接続する、同様な接続パッドに直接に拡散接合され、図1の接続パッド1 4 aが形成される。

【0029】

また図2の構成において前記接続パッド(1 4 a)<sub>1</sub>の下面にはT aあるいはT iなどの高融点金属よりなるバリアメタル膜1 3 B M<sub>M</sub>が形成されている。

【0030】

さらに、前記二つのビアプラグ1 2 Bには、それぞれの接続パッド1 2 B<sub>A</sub>を相互接続する、同様にC uよりなる別の接続パッド1 2 aが、やはり前記ビアプラグの径Dよりも小さな高さ(< D)で形成されており、前記接続パッド1 2 aは前記パッケージ基板1 1の配線パッド1 1 aに拡散接合により接合される。前記接続パッド1 2 aの上面には、同様なバリアメタル膜1 2 B M<sub>M</sub>が形成されている。

【0031】

かかる構成によれば、電流あるいは電圧が、相互接続された二つの貫通ビアプラグを含む二系統の電流路を介して伝達されるため、一方の電流路に不良が生じて、三次元半導体集積回路装置1 0の全体が不良となることが回避され、信頼性および歩留まりを向上させることができる。

【0032】

また図2に示すように前記C u接続パッド(1 3 a)<sub>1</sub>、(1 3 a)<sub>2</sub>、さらにC u接続パッド(1 4 a)<sub>1</sub>およびC u接続1 2 aは、前記貫通ビアプラグ1 2 Bあるいは1 3 Bの径Dよりも小さな高さで形成されているため、図1の三次元半導体集積回路装置1 0ではその全体の高さを低減することができ、従って小型化することができる。またこのように高さが低減される結果、高さ方向への配線長が減少し、しかも貫通ビアプラグ1 2 Bおよび1 3 Bの接続にハンダバンプの代わりに抵抗の低いC u接続パッド1 2 a、1 3 a、1 4 aが使われるため、三次元半導体集積回路装置1 0全体としてのRC積による動作速度の低下を抑制できる。すなわち本実施形態によれば、三次元半導体集積回路装置1 0において、優れた動作速度を実現することができる。

【0033】

図3は、図1の三次元半導体集積回路装置1 0のうち、前記半導体チップ1 2を上から見た平面図である。

【0034】

図3を参照するに、半導体チップ1 2には径Dが5 μm、すなわち一辺が5 μmの正方形断面を有するビアプラグ1 2 Bが径Dの二倍の1 0 μmピッチで行列状に形成されており、図示の例では全部で6 4個(= 8 × 8)のビアプラグ1 2 Bが形成されている。このうち二つずつを前記接続パッド(1 3 a)<sub>1</sub>により接続することにより、本実施形態では冗長性を確保しつつ、3 2本の電流路を形成することができる。

【0035】

なお図3の実施形態において接続パッド(1 3 a)<sub>1</sub>で接続されるビアプラグ1 2 Bの並ぶ向きは任意であり、図示の例では、特定の方向に機械的脆弱性が生じないように縦向きの組と横向きの組を同数に設定してあるが、必ずしも同数である必要はない。一方、封止樹脂、例えば封止樹脂1 3 Rの注入を容易にするために、これらの接続パッド(1 3 a)<sub>1</sub>を同一の向きに揃えることも可能である。

【0036】

これに対し図4はハンダバンプを使って接合する比較例によるビアプラグの配置例を示

10

20

30

40

50

す平面図である。

【 0 0 3 7 】

図 4 を参照するに、この比較例ではハンダ接合のため一辺が  $15 \mu\text{m}$  の大きな正方形断面を有するビアプラグ 2 1 0 B を半導体チップ 2 1 0 上に  $30 \mu\text{m}$  ピッチで行列状に配列しているが、この場合には 9 本の電流路しか確保できず、かつ冗長性を実現することができない。

【 0 0 3 8 】

さらに図 5 は、一辺が  $10 \mu\text{m}$  の正方形断面を有するビアプラグ 2 2 0 B を半導体チップ 2 2 0 上に  $20 \mu\text{m}$  ピッチで行列状に配列した例を示しているが、この場合でも 16 本の電流路しか確保できず、かつ冗長性は実現することができない。

10

【 0 0 3 9 】

図 6 は、本実施形態の一変形例であり、各々が  $5 \mu\text{m} \times 5 \mu\text{m}$  のサイズで  $10 \mu\text{m}$  のピッチで行列状に配置されたビアプラグ 1 2 B を四本ずつ、正方形状の接続パッド ( 1 3 a )<sub>1</sub> で一本の電流路にまとめる構成を示す平面図である。

【 0 0 4 0 】

図 6 を参照するに、このような構成ではさらに冗長度が増大し、しかも、前記図 5 の場合と同じ、16 本の電流路を確保することができるのがわかる。

【 0 0 4 1 】

なお、図 3 ~ 図 6 で示したビアプラグの断面形状は説明を簡単にするために正方形とした。ビアプラグの断面形状は必ずしも正方形である必要はなく、例えば円状でも良い。

20

【 0 0 4 2 】

このように本実施形態では、三次元半導体集積回路を構成する半導体チップ中に小径の貫通ビアプラグを高い密度で配置し、かつ複数の貫通ビアプラグを接続パッドでまとめて電流路あるいは信号路を構成することにより、冗長度を増大させることができるのみならず、三次元半導体集積回路中における電流路あるいは信号路の構成の自由度を増大させることができる。

【 0 0 4 3 】

このように本実施形態では、貫通ビアプラグの接続に Cu 接続パッドを使い、ハンダランプを使わないため、前記三次元半導体集積回路装置 1 0 の高さを低減することができ、またこれに伴って高さ方向への配線長を低減することができる。その結果、三次元半導体集積回路装置 1 0 では、前記冗長度の増大による歩留まりや信頼性の向上に加えて、信号遅延が軽減され、動作速度が向上するなど、電気特性の向上を期することができる。

30

【 0 0 4 4 】

さらに本実施形態では、個々の貫通ビアプラグ 1 2 B を対応する貫通ビアプラグ 1 3 B に直接に整合させる必要はなく、例えば接続パッド ( 1 3 a )<sub>1</sub> と接続パッド ( 1 3 a )<sub>2</sub> を整合されればよいので、高い位置合わせ精度は必要なく、半導体装置の製造スループットおよび歩留まりを向上させることができる。

【 0 0 4 5 】

次に、本実施形態の 3 次元半導体集積回路装置 1 0 の製造方法を、図 7 A ~ 図 7 P を参照しながら説明する。以下では、半導体チップ 1 2 を例に説明するが、半導体チップ 1 3 の製造も同様にして行うことができる。

40

【 0 0 4 6 】

図 7 A を参照するに、半導体チップ 1 2 を構成するシリコンウェハ 1 2 0 上には、前記図 1 , 図 2 の下主面に対応する回路形成面 1 2 C K T 上に前記半導体素子 1 2 T r が形成されており、さらに前記回路形成面 1 2 C K T には、前記半導体素子 1 2 T r を覆ってシリコン酸化膜 1 2 O x が、例えば高密度プラズマ C V D 法などにより形成されている。

【 0 0 4 7 】

図 7 A の工程ではさらに前記シリコン酸化膜 1 2 O x 上に、先に説明した貫通ビアプラグ 1 2 B に対応するレジスト開口部 R<sub>1A</sub> を有するレジストパターン R<sub>1</sub> が形成されており、図 7 B の工程において前記レジストパターン R<sub>1</sub> をマスクに前記シリコンウェハ 1 2

50

0を深堀り反応性イオンエッチングし、前記レジスト開口部R 1 Aに対応して前記貫通ビアプラグ1 2 Bのための凹部1 2 Vを、例えば5  $\mu$ mの径および1 0  $\mu$ mのピッチで、繰り返し形成する。

【0 0 4 8】

さらに図7 Cの工程において前記図7 Bの状態のシリコンウェハ1 2 0上にシリコン酸化膜を例えば高密度プラズマC V D法により、前記凹部1 2 Vの形状に整合して側壁面および底面を覆うように堆積し、前記ライナ膜1 2 Lを形成する。

【0 0 4 9】

さらに図7 Dの工程において前記図7 Cの構造上に例えばT aやT iなどの高融点金属よりなるバリアメタル膜1 2 B Mを、例えばM O C V D法やスパッタ法などにより形成し、さらにその上にC uシード層1 2 C Sを、例えば無電解メッキ法やスパッタ法などにより形成する。

【0 0 5 0】

さらに図7 Eの工程において前記図7 Dの構造を電解メッキ槽に浸漬し、前記C uシード層1 2 C Sに通電することにより、前記凹部1 2 Vを充填しC u層1 2 C uを形成する。

【0 0 5 1】

さらに図7 Fの工程において、前記シリコンウェハ1 2 0上の余分なC u層1 2 C u及びバリアメタル膜1 2 B Mを、前記シリコン酸化膜1 2 O xが露出するまで化学機械研磨(C M P)法により研磨することにより除去する。その結果、図7 Fに示すように前記シリコンウェハ1 2 0中には前記貫通ビアプラグ1 2 Bに対応してC uビアプラグ1 2 0 Bが、側壁面および底面をバリアメタル膜1 2 B Mおよびライナ酸化膜1 2 Lにより覆われた状態で、例えば5  $\mu$ mの径および1 0  $\mu$ mのピッチで、行列状に形成される。ただし図7 Fの状態では、前記C uビアプラグ1 2 Bはまだシリコンウェハ1 2 0を貫通していない。

【0 0 5 2】

さらに図7 Gの工程において、前記シリコンウェハ1 2 0の回路形成面1 2 C K T上に多層配線構造1 2 Aが形成される。

【0 0 5 3】

図7 Gの例では前記多層配線構造1 2 Aは下層部1 2 A Lと中層部1 2 A Mと上層部1 2 A U、さらに最上層部1 2 A Tより構成されている。前記下層部1 2 A LはいわゆるL o w - K膜よりなり第1の膜厚を有する層間絶縁膜1 2 <sub>1</sub> ~ 1 2 <sub>5</sub>の積層を含み、前記層間絶縁膜1 2 <sub>1</sub> ~ 1 2 <sub>5</sub>中にはC u配線パターン1 2 <sub>1</sub> W ~ 1 2 <sub>5</sub> Wおよび対応するC uビアプラグが、デュアルダマシン法により形成されている。前記C u配線パターン1 2 <sub>1</sub> W ~ 1 2 <sub>5</sub> Wは前記半導体素子1 2 T rの活性領域、例えばソース領域やドレイン領域、ゲート電極などにWコンタクトビアプラグ(不図示)を介して接続される。また前記C uビアプラグ1 2 0 Bに対応して前記層間絶縁膜1 2 <sub>1</sub> ~ 1 2 <sub>5</sub>中にはC uよりなる接続パッド1 2 <sub>1</sub> P ~ 1 2 <sub>5</sub> Pが前記C u配線パターン1 2 <sub>1</sub> W ~ 1 2 <sub>5</sub> Wと同時にデュアルダマシン法により形成されており、前記接続パッド1 2 <sub>1</sub> PはC uビアプラグ1 2 0 Bに接して形成されているのに対し、接続パッド1 2 <sub>2</sub> P ~ 1 2 <sub>5</sub> Pは、それぞれ直下の接続パッドに多数のビアプラグにより接続されている。その際前記接続パッド1 2 <sub>2</sub> P ~ 1 2 <sub>5</sub> Pは、それぞれ直下の接続パッド上において前記多数のC uビアプラグにより機械的に支持される。前記接続パッド1 2 <sub>1</sub> P ~ 1 2 <sub>5</sub> Pは、それぞれ前記C u配線パターン1 2 <sub>1</sub> W ~ 1 2 <sub>5</sub> Wの一部を構成する。

【0 0 5 4】

また前記中層部1 2 A Mは、例えばシリコン酸化膜よりなり前記第1の膜厚よりも厚い第2の膜厚を有する層間絶縁膜1 2 <sub>6</sub> ~ 1 2 <sub>8</sub>の積層を含み、前記層間絶縁膜1 2 <sub>6</sub> ~ 1 2 <sub>8</sub>中にはC u配線パターン1 2 <sub>6</sub> W ~ 1 2 <sub>8</sub> Wおよび対応するC uビアプラグがデュアルダマシン法により、前記C u配線パターン1 2 <sub>1</sub> W ~ 1 2 <sub>5</sub> Wおよび対応するビアプラグよりも太い幅で形成されている。前記C u配線パターン1 2 <sub>6</sub> W ~ 1 2 <sub>8</sub> Wは、前記下

10

20

30

40

50

層部 12AL の Cu 配線パターン 12<sub>1</sub>W ~ 12<sub>5</sub>W および対応する Cu ビアプラグを介して前記半導体素子 12Tr の活性領域、例えばソース領域やドレイン領域、ゲート電極などに接続される。また前記 Cu ビアプラグ 120B に対応して前記層間絶縁膜 12<sub>6</sub> ~ 12<sub>8</sub> 中には Cu よりなる接続パッド 12<sub>6</sub>P ~ 12<sub>8</sub>P が前記 Cu 配線パターン 12<sub>6</sub>W ~ 12<sub>8</sub>W と同時にデュアルダマシン法により形成されており、前記接続パッド 12<sub>6</sub>P ~ 12<sub>8</sub>P は、それぞれ直下の接続パッドに多数のビアプラグにより接続されている。その際前記接続パッド 12<sub>6</sub>P ~ 12<sub>8</sub>P は、それぞれ直下の接続パッド上において前記多数の Cu ビアプラグにより機械的に支持される。前記接続パッド 12<sub>6</sub>P ~ 12<sub>8</sub>P は、それぞれ前記 Cu 配線パターン 12<sub>1</sub>W ~ 12<sub>5</sub>W の一部を構成する。

【0055】

また前記上層部 12AU は、例えばシリコン酸化膜よりなり前記第 2 の膜厚よりも厚い第 3 の膜厚を有する層間絶縁膜 12<sub>9</sub> ~ 12<sub>10</sub> の積層を含み、前記層間絶縁膜 12<sub>9</sub> ~ 12<sub>10</sub> 中には Cu 配線パターン 12<sub>9</sub>W ~ 12<sub>10</sub>W および対応する Cu ビアプラグがデュアルダマシン法により、前記 Cu 配線パターン 12<sub>6</sub>W ~ 12<sub>8</sub>W および対応するビアプラグよりも太い幅で形成されている。前記 Cu 配線パターン 12<sub>9</sub>W ~ 12<sub>10</sub>W は、前記中層部 12AM の Cu 配線パターン 12<sub>6</sub>W ~ 12<sub>8</sub>W および対応する Cu ビアプラグ、さらに前記下層部 12AL の Cu 配線パターン 12<sub>1</sub>W ~ 12<sub>5</sub>W および対応する Cu ビアプラグを介して前記半導体素子 12Tr の活性領域、例えばソース領域やドレイン領域、ゲート電極などに接続される。また前記 Cu ビアプラグ 120B に対応して前記層間絶縁膜 12<sub>9</sub> ~ 12<sub>10</sub> 中には Cu よりなる接続パッド 12<sub>9</sub>P ~ 12<sub>10</sub>P が前記 Cu 配線パターン 12<sub>9</sub>W ~ 12<sub>10</sub>W と同時にデュアルダマシン法により形成されており、前記接続パッド 12<sub>9</sub>P ~ 12<sub>10</sub>P は、それぞれ直下の接続パッドに多数の Cu ビアプラグにより接続されている。その際、前記接続パッド 12<sub>9</sub>P ~ 12<sub>10</sub>P は、それぞれ直下の接続パッド上において前記多数の Cu ビアプラグにより機械的に支持される。前記接続パッド 12<sub>9</sub>P ~ 12<sub>10</sub>P は、それぞれ前記 Cu 配線パターン 12<sub>9</sub>W ~ 12<sub>10</sub>W の一部を構成する。

【0056】

ここで前記 Cu 接続パッド 12<sub>1</sub>P ~ 12<sub>10</sub>P は、前記図 2 の構成における接続パッド 12Bp を構成する。

【0057】

さらに前記最上層部 12AT は、例えばシリコン酸化膜よりなり前記第 3 の膜厚よりも厚い第 4 の膜厚を有する層間絶縁膜 12<sub>11</sub> を含み、前記層間絶縁膜 12<sub>11</sub> 中には Al 配線パターン 12<sub>11</sub>W および対応する W ビアプラグが、前記 Cu 配線パターン 12<sub>9</sub>W ~ 12<sub>10</sub>W および対応するビアプラグよりも太い幅で形成されている。前記 Al 配線パターン 12<sub>11</sub>W は、前記上層部 12AU の Cu 配線パターン 12<sub>9</sub>W ~ 12<sub>10</sub>W および対応する Cu ビアプラグ、前記中層部 12AM の Cu 配線パターン 12<sub>6</sub>W ~ 12<sub>8</sub>W および対応する Cu ビアプラグ、さらに前記下層部 12AL の Cu 配線パターン 12<sub>1</sub>W ~ 12<sub>5</sub>W および対応する Cu ビアプラグを介して前記半導体素子 12Tr の活性領域、例えばソース領域やドレイン領域、ゲート電極などに接続される。また前記 Cu ビアプラグ 120B に対応して前記層間絶縁膜 12<sub>11</sub> 中には Al よりなる接続パッド 12<sub>11</sub>P が前記 Al 配線パターン 12<sub>11</sub>W と同時に形成されており、前記接続パッド 12<sub>11</sub>P は、それぞれ直下の接続パッドに多数の W ビアプラグにより接続されている。その際前記接続パッド 12<sub>11</sub>P は、それぞれ直下の接続パッド上において前記多数の W ビアプラグにより機械的に支持される。前記接続パッド 12<sub>11</sub>P は、前記 Al 配線パターン 12<sub>11</sub>W の一部を構成する。ここで前記 Al 接続パッド 12<sub>11</sub>P は、前記図 2 の構成における接続パッド 12BA を構成する。

【0058】

さらに図 7G の構成では、前記層間絶縁膜 12<sub>1</sub> とシリコン酸化膜 12Ox の間に SiC や SiN よりなる絶縁性バリア膜 12<sub>1</sub>i が形成され、さらに前記層間絶縁膜 12<sub>1</sub> ~ 12<sub>11</sub> は、それぞれの上面に同様な絶縁性バリア膜 12<sub>1</sub>i ~ 12<sub>11</sub>i を形成されて

10

20

30

40

50

いる。ここで絶縁性バリア膜 12<sub>11</sub>i は、図 2 の構成におけるパッシベーション膜 12 S N A を構成する。

【 0 0 5 9 】

さらに図 7 G の工程では、前記パッシベーション膜 12 S N A 中に前記 A 1 接続パッド 12 B A を露出する開口部 12 S N O が形成され、さらに前記パッシベーション膜 12 S N A 上に前記開口部 12 S N O において前記 A 1 接続パッド 12 B A を覆うように、T a あるいは T i などの高融点金属よりなるバリアメタル膜 12 B M<sub>M</sub> および C u シード層 12 C S<sub>S</sub> が順次形成される。

【 0 0 6 0 】

さらに図 7 H の工程において前記 C u シード層 12 C S<sub>S</sub> 上に二つの隣接する C u ビアプラグ 12 0 B を含むレジスト開口部 R 2 A を有するレジストパターン R<sub>2</sub> を形成し、図 7 I の工程において C u の電解メッキを行うことにより、前記レジスト開口部 R 2 A を C u 層により充填し、前記接続パッド 12 a を形成する。

10

【 0 0 6 1 】

さらに図 7 J の工程において前記レジストパターン R<sub>2</sub> を除去した後、さらにパッシベーション膜 12 S N A 上に残留している C u シード層 12 C S<sub>S</sub> およびバリアメタル膜 12 B M<sub>M</sub> をスパッタエッチングなどにより除去し、図 7 K の工程において、得られた構造を支持基板 1 0 0 上に、前記シリコンウエハ 12 0 のうち、前記多層配線構造 12 A および接続パッド 12 a が形成された側が前記支持基板 1 0 0 に当接するように、仮接着剤層 1 0 1 により接着する。なお図 7 K は前記図 7 J よりも広い範囲を示しており、図 7 K 中、破線で囲んだ部分が図 7 J で示した部分に対応する。

20

【 0 0 6 2 】

さらに図 7 K の工程ではこの状態において、前記シリコンウエハ 12 0 のうち、前記回路形成面 12 C K T とは反対側の主面を研削し、さらにドライエッチングあるいはウェットエッチングすることにより、前記 C u ビアプラグ 12 0 B の他端 12 e を、前記ライナ絶縁膜 12 L 共々、前記反対側の主面から突出させる。これにより前記 C u ビアプラグ 12 0 B が貫通ビアプラグ 12 B に変化する。

【 0 0 6 3 】

図 7 K の工程ではさらにこの状態で前記シリコンウエハ 12 0 の主面うち、前記パッシベーション膜 12 S N B を前記 C u ビアプラグ 12 0 B の他端 12 e の形状に整合して側壁面および上面を覆うように堆積した後、前記パッシベーション膜 12 S N B を含む前記 C u ビアプラグ 12 0 B の他端 12 e を覆うようにレジスト（不図示）を塗布する。続いて、前記レジスト（不図示）をマスクにしてドライエッチバックすることにより、前記 C u ビアプラグ 12 0 B の他端 12 e の上面を覆う前記パッシベーション膜 12 S N B、前記ライナ絶縁膜 12 L、前記バリアメタル膜 12 B M（不図示）を除去し、貫通ビアプラグ 12 B 内に充填された C u を露出させる。その後、残存する前記レジスト（不図示）を除去し、前記 C u ビアプラグ 12 0 B の他端 12 e が突出している面に T a や T i などの高融点金属よりなるバリアメタル膜 12 B M<sub>N</sub> と C u シード層 12 C S<sub>t</sub> を順次形成し、さらに図 7 L の工程において前記 C u シード層 12 C S<sub>t</sub> 上に、各々前記貫通ビアプラグ 12 B を二本含む領域に対応したレジスト開口部 R<sub>3A</sub> および R<sub>3B</sub> を有するレジストパターン R<sub>3</sub> が形成される。

30

40

【 0 0 6 4 】

さらに図 7 M の工程において、前記レジストパターン R<sub>3</sub> をマスクに C u の電解メッキを行い、前記レジスト開口部 R<sub>3A</sub>、R<sub>3B</sub> に、先に図 2 で説明した C u 接続パッド（13 a）<sub>1</sub> を形成する。

【 0 0 6 5 】

さらに図 7 N の工程において前記レジストパターン R<sub>3</sub> を除去した後、前記パッシベーション膜 12 S N B 上に残留している C u シード層 12 C S<sub>t</sub> およびバリアメタル膜 12 B M<sub>N</sub> をスパッタエッチングなどにより除去し、図 7 O の工程において前記仮接着剤層 1 0 1 を溶解させることにより前記シリコンウエハ 12 0 を前記支持基板 1 0 0 から離間さ

50

せ、ダイシングを行うことにより、前記シリコンウェハ120から半導体チップ12を切り出す。

【0066】

さらにこのようにして切り出された半導体チップ12上に、図7Pに示すように同様な半導体チップ13を、前記半導体チップ13のCu接続パッド(13a)<sub>2</sub>が前記半導体チップ12のCu接続パッド(13a)<sub>1</sub>に整合するように載置し、これらCu接続パッド(13a)<sub>1</sub>及び(13a)<sub>2</sub>を破線Jの位置において一体に拡散接合することで、Cu接続パッド13aが形成される。前記Cu接続パッドの拡散接合は、例えばArスパッタリングによって前記Cu接続パッド(13a)<sub>1</sub>及び(13a)<sub>2</sub>の表面を活性化した後、例えば窒素雰囲気中、上方から0.5~10MPaの圧力を印加し250以上の温度で10分以上加熱圧着する。

10

【0067】

また同時に前記半導体チップ13上面のCu接続パッド(14a)<sub>1</sub>も、図示されていない半導体チップ14下面の対応するCu接続パッドと一体に拡散接合し、Cu接続パッド14aが形成される。また同時に前記半導体チップ12下面のCu接続パッド12aが、対応するパッケージ基板11の対応するCu配線パッド11aに拡散接合する。

【0068】

さらに前記パッケージ基板11と半導体チップ12の間、半導体チップ12と半導体チップ13の間、および半導体チップ13と半導体チップ14の間に封止樹脂12R, 13R, 14Rを順次導入することにより、図1, 図2に示す三次元実装半導体集積回路装置10が完成する。

20

【0069】

本実施形態によれば、配線パッド11aと貫通ビアプラグ12Bの接合、貫通ビアプラグ12Bと13Bの接合、貫通ビアプラグ13Bと接続パッド14bの接合にハンダバンブを使用しない為、Cuよりなる貫通ビアプラグ中へのSnの拡散及びこれに起因する脆い金属間化合物の形成など様々な問題が発生しなくなり、三次元半導体集積回路装置の歩留まりおよび信頼性が大きく向上する。

【0070】

また本実施形態によれば配線パッド11a, 貫通ビアプラグ12Bおよび13B, 接続パッド14bを、はんだを介在させることなく、全て比抵抗の低いCuにより構成することができ、RC積に起因する信号遅延を抑制でき、半導体集積回路装置の動作特性が大きく向上する。

30

【0071】

さらに本実施形態では、貫通ビアプラグ12Bおよび貫通ビアプラグ13Bの電気接合を、複数の貫通ビアプラグにわたり形成される大きな面積の接続パッドによりなされるため、接合が安定し、接合不良の発生を軽減することができる。

【0072】

さらに本実施形態によれば、貫通ビアプラグ12B, 13Bの接続にハンダバンブの代わりに厚さをビアプラグの径よりも小さくできるCu接続パッドを使ったため、三次元半導体集積回路装置10の全体の高さを低減でき、半導体集積回路内における三次元方向の信号路の長さを短縮でき、寄生インピーダンスを抑制し、半導体装置の動作速度を向上させることができる。

40

【0073】

また本実施形態では、先にも説明したように一つの信号路ないし電流路を構成するのに複数の貫通ビアプラグを使うため冗長性が確保され、例え一つの貫通ビアプラグに不良が発生しても、半導体集積回路装置10全体が不良となることを回避することができる。

【0074】

さらに本実施形態では、三次元半導体集積回路を構成する半導体チップ中に小径の貫通ビアプラグを高い密度で配置し、かつ複数の貫通ビアプラグを接続パッドでまとめて電流路あるいは信号路を構成することにより、三次元半導体集積回路中における電流路あるい

50

は信号路の構成の自由度を増大させることができる。

【0075】

図8は、一変形例による三次元半導体集積回路装置10Aの一部を示す、前記図2と同様な断面図である。図中、先に説明した部分には同一の参照符号を付し、説明は省略する。

【0076】

図8を参照するに、本変形例では半導体チップ13における貫通ビアプラグ13Bの密度を半導体チップ12の半分に減少させている。

【0077】

本実施形態においても、半導体チップ12中においては所望の冗長性が確保されており、かつ半導体チップ12と半導体チップ13の接続にはんだバンプを使っていないため、三次元半導体集積回路装置10A中の配線長が短縮され、また配線抵抗が低減される。

10

【0078】

このように本実施形態は、半導体チップ12中の貫通ビアプラグ12Bと半導体チップ13中の貫通ビアプラグ13Bが、必ずしも一対一の関係で、かつ同一のピッチで形成される場合に限定されるものではない。

【0079】

図9は、図8の構成をさらに変形した三次元半導体集積回路装置10Bの一部を示す、前記図2と同様な断面図である。図中、先に説明した部分には同一の参照符号を付し、説明は省略する。

20

【0080】

本実施形態では、半導体チップ13中の貫通ビアプラグ13Bの位置を、半導体チップ12中の貫通ビアプラグ12Bに対してずらしているが、このような構成でも前記図8の場合と同様に、半導体チップ12中においては所望の冗長性が確保されており、かつ半導体チップ12と半導体チップ13の接続にはんだバンプを使っていないため、三次元半導体集積回路装置10B中の配線長が短縮され、また配線抵抗が低減される。

【0081】

また本変形例では、前記貫通ビアプラグ13Bのピッチが前記貫通ビアプラグ12Bのピッチの二倍になっているため、半導体チップ12と半導体チップ13の位置合わせが容易になる。

30

【0082】

さらに図10は図9の構成をさらに変形した三次元半導体集積回路装置10Cの一部を示す、前記図2と同様な断面図である。図中、先に説明した部分には同一の参照符号を付し、説明は省略する。

【0083】

本変形例では前記貫通ビアプラグ13Bの径を貫通ビアプラグ12Bよりも増大させている。このように本変形例では必要に応じて貫通ビアプラグの径を半導体チップ毎に変化させることも可能である。

【0084】

なお図8～図10の各変形例において、半導体チップ12と13を上下で入れ替えてもよいことは明らかである。

40

【0085】

以上の各実施形態では、前記貫通ビアプラグ12B, 13Bおよび接続パッド12a, 13aがCuよりなる場合を説明したが、本実施形態はかかる特定の材料に限定されるものではなく、例えばCuの代わりにAuなどの低抵抗金属を使うことも可能である。

【0086】

以上、本発明を好ましい実施形態について説明したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【符号の説明】

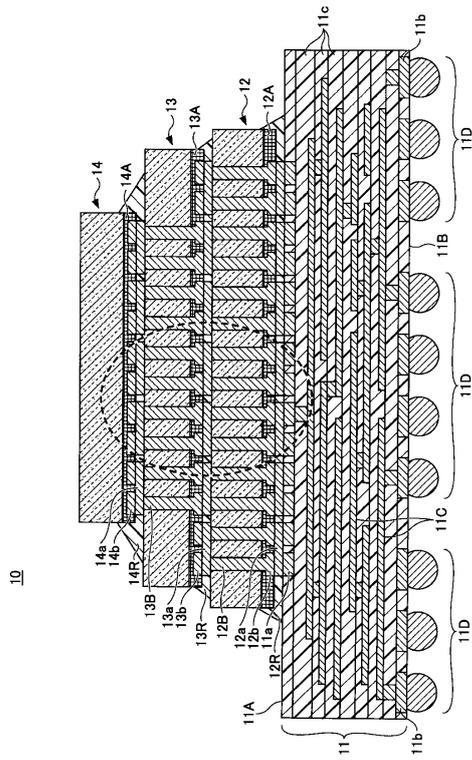
50

## 【 0 0 8 7 】

1 0	三次元半導体集積回路装置	
1 1	パッケージ基板	
1 1 A	パッケージ基板上主面	
1 1 B	パッケージ基板下主面	
1 1 C	配線パターン	
1 1 D	ハンダバンプ	
1 1 a , 1 1 b	配線パッド	
1 1 c	ビルドアップ層	
1 2 , 1 3 , 1 4 , 2 1 0 , 2 2 0	半導体チップ	10
1 2 A , 1 3 A , 1 4 A	多層配線構造	
1 2 A L	多層配線構造下部	
1 2 A M	多層配線構造中部	
1 2 A U	多層配線構造上部	
1 2 A T	多層配線構造最上部	
1 2 B , 1 3 B , 2 1 0 B , 2 2 0 B	貫通ビアプラグ	
1 2 B A , 1 3 B A , 1 2 <sub>1 1</sub> P	A l 接続パッド	
1 2 B M , 1 2 B M <sub>M</sub> , 1 2 B M <sub>N</sub> , 1 3 B M <sub>M</sub> , 1 3 B M <sub>N</sub>	バリアメタル	
1 2 B p	C u 接続パッド	
1 2 C K T	回路形成面	20
1 2 C S , 1 2 C S s , 1 2 C S t	C u シード層	
1 2 L , 1 3 L	ライナ絶縁膜	
1 2 S N A	パッシベーション膜	
1 2 S N O	パッシベーション膜開口部	
1 2 R , 1 3 R , 1 4 R	封止樹脂	
1 2 T r , 1 3 T r	半導体素子	
1 2 V	凹部	
1 2 a , 1 2 b , 1 3 a , 1 3 b , ( 1 3 a ) <sub>1</sub> , ( 1 3 a ) <sub>2</sub> , 1 4 a , 1 4 b , ( 1 4 a ) <sub>1</sub>	C u 接続パッド	
1 2 e , 1 3 e	貫通ビアプラグ突出部	30
1 2 <sub>1</sub> ~ 1 2 <sub>1 1</sub>	層間絶縁膜	
1 2 <sub>1</sub> P ~ 1 2 <sub>1 0</sub> P	C u 接続パッド	
1 2 <sub>1</sub> W ~ 1 2 <sub>1 1</sub> W	配線パターン	
1 2 <sub>1</sub> i ~ 1 2 <sub>1 1</sub> i	絶縁性バリア膜	
1 2 O x	シリコン酸化膜	
1 0 0	支持基板	
1 0 1	仮接着剤層	
1 2 0	シリコンウェハ	
1 2 0 B	C u ビアプラグ	

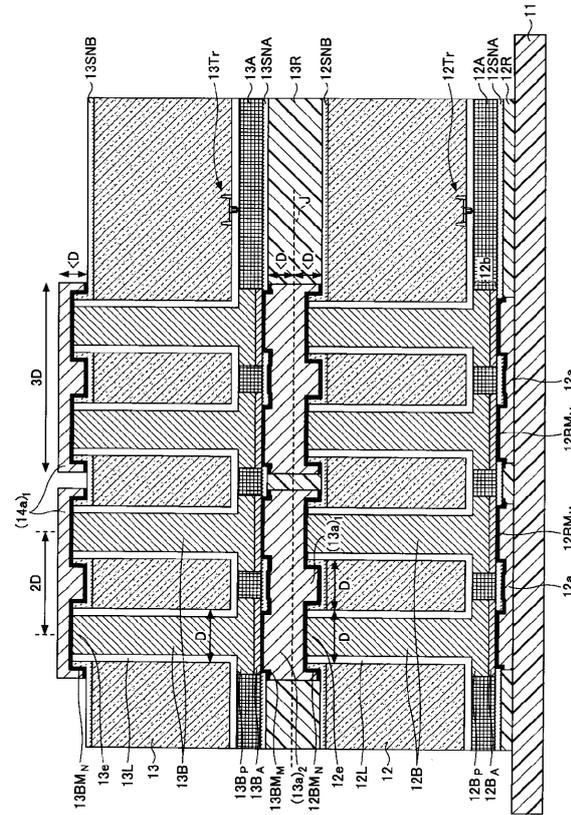
【図1】

第1の実施形態による三次元半導体集積回路装置の概略的構成を示す断面図



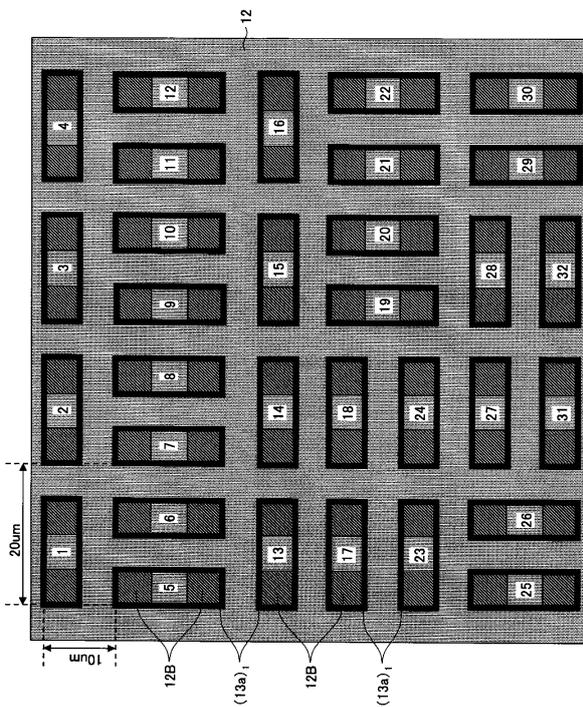
【図2】

図1のうち、破線で囲んだ部分を詳細に示す断面図



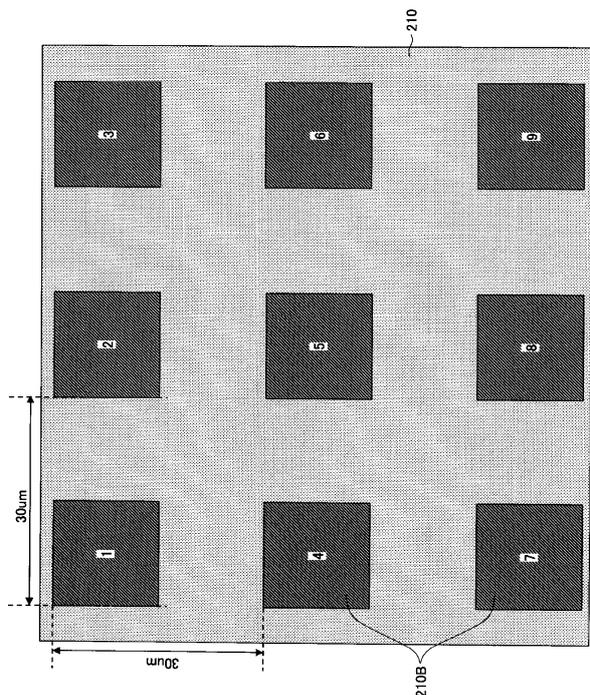
【図3】

図1の三次元半導体集積回路装置を構成する半導体チップ上における貫通電極と接続パッドの配置例を示す平面図



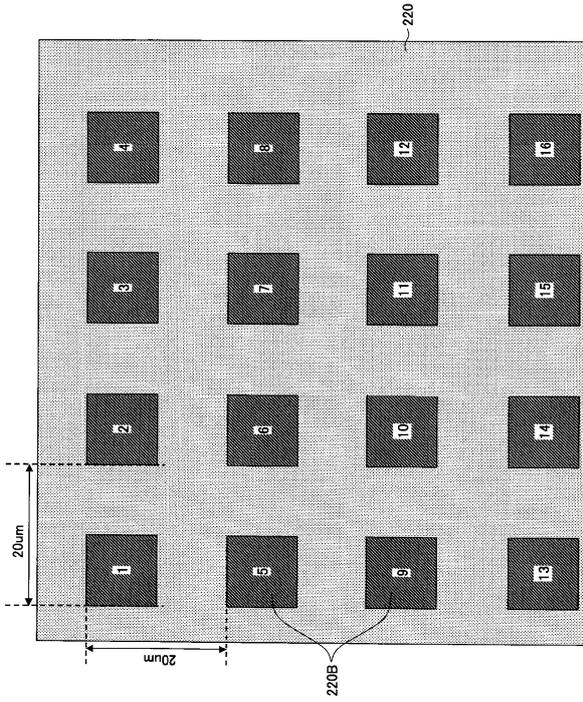
【図4】

比較例による半導体チップ上への貫通電極の配置例を示す平面図



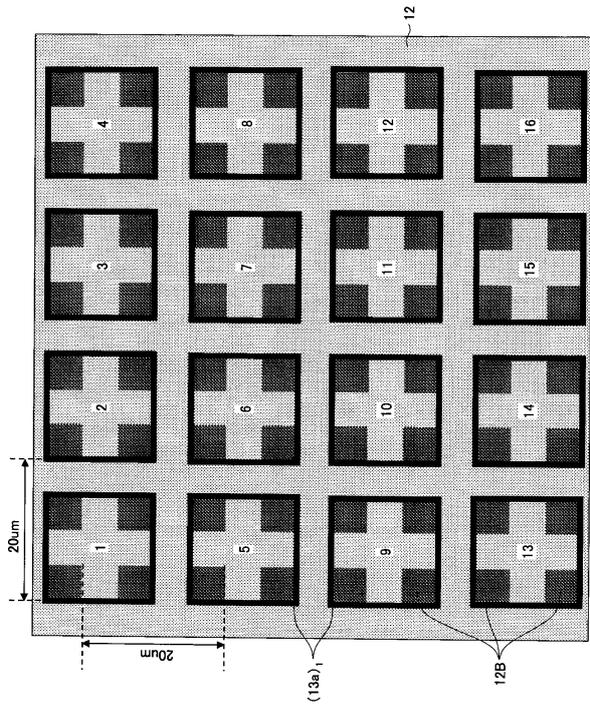
【図5】

別の比較例による半導体チップ上への貫通電極の配置例を示す平面図



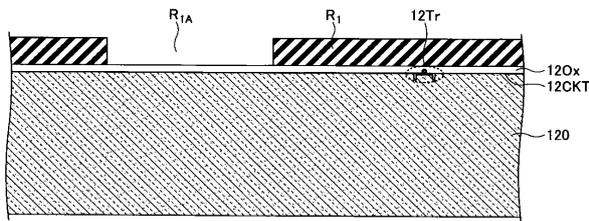
【図6】

図3の一変形例による半導体チップ上における貫通電極と接続パッドの配置例を示す平面図



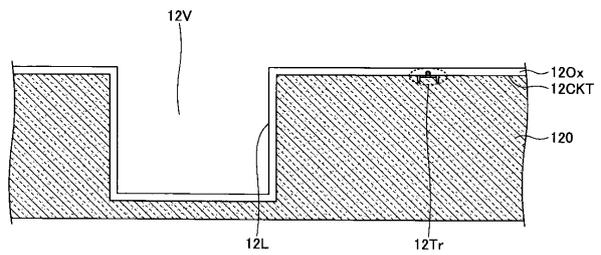
【図7A】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その1)



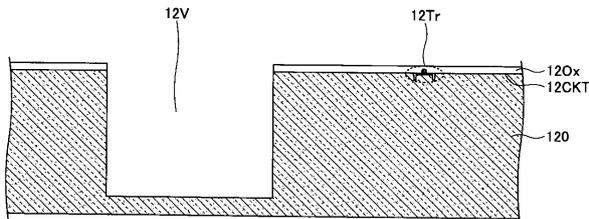
【図7C】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その3)



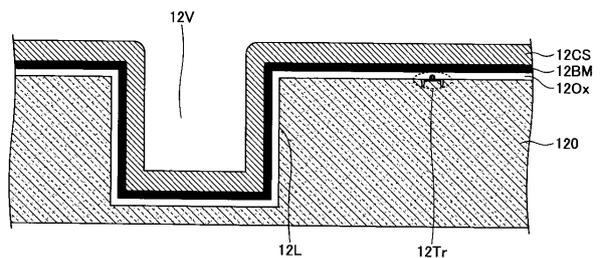
【図7B】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その2)



【図7D】

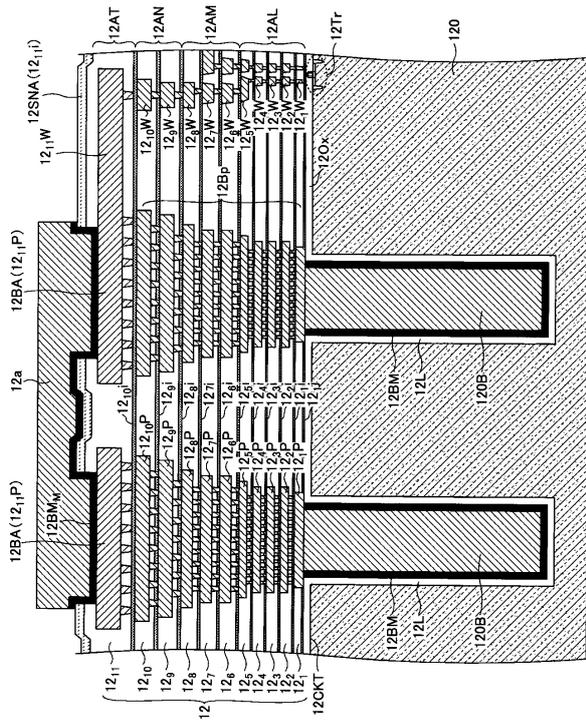
第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その4)





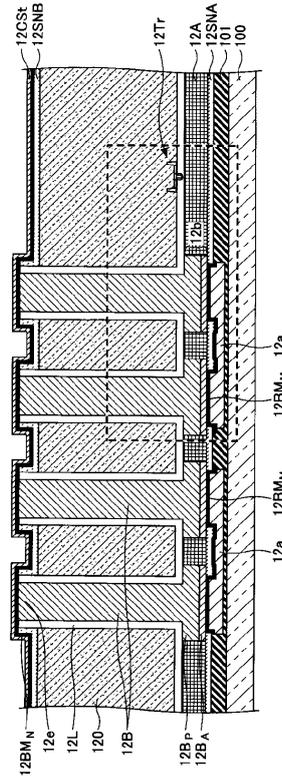
【図7J】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その10)



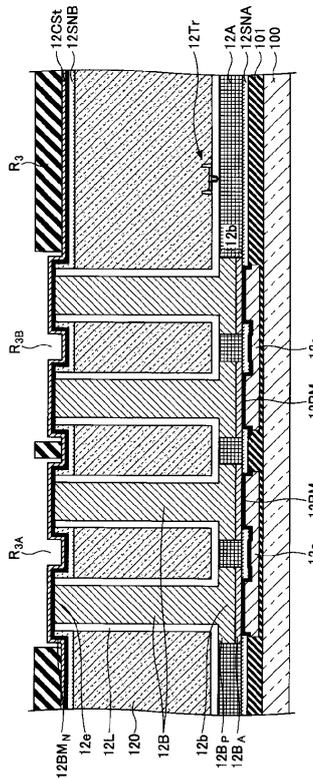
【図7K】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その11)



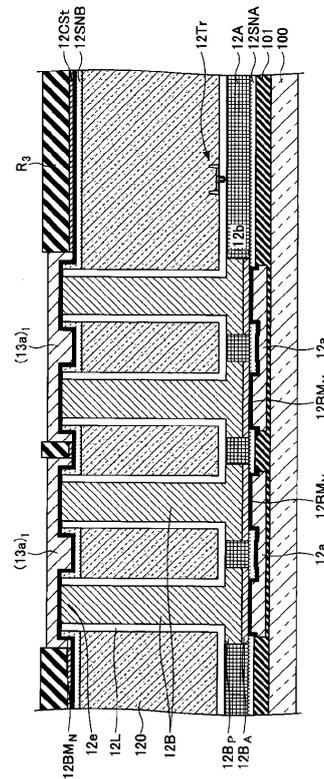
【図7L】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その12)



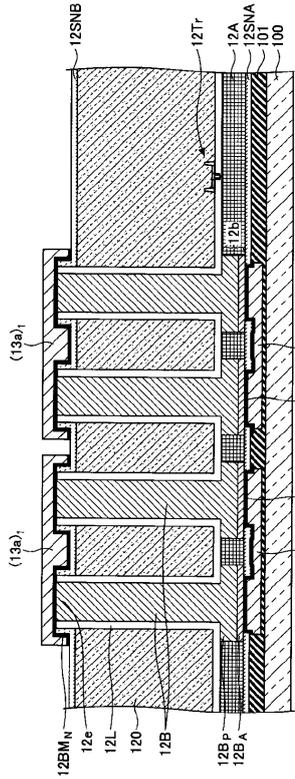
【図7M】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その13)



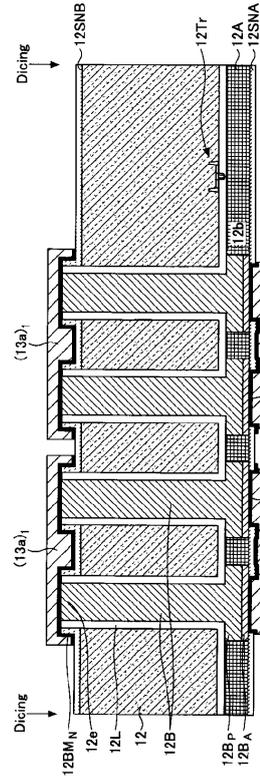
【図7N】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その14)



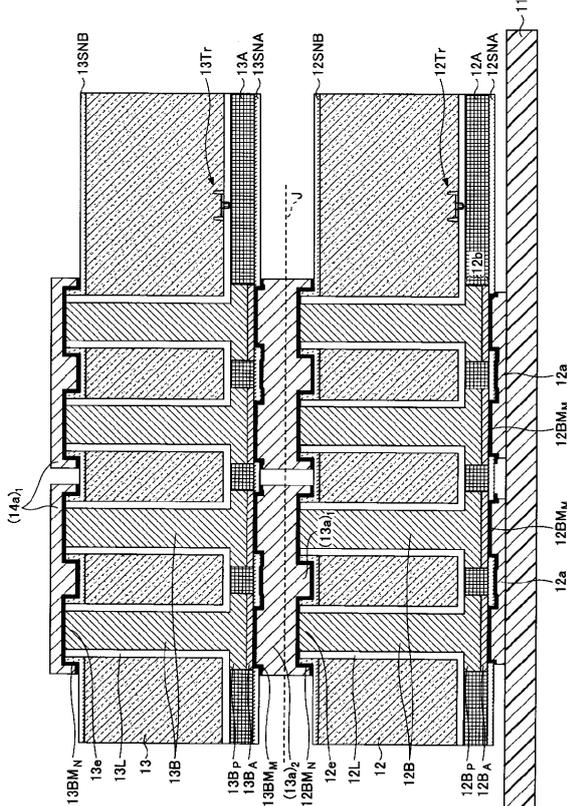
【図7O】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その15)



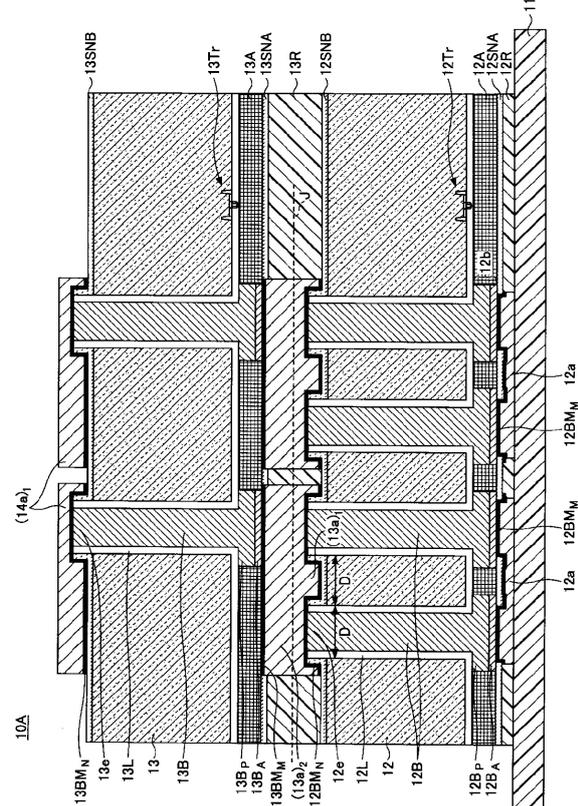
【図7P】

第1の実施形態による  
三次元半導体集積回路装置の製造方法を説明する工程断面図(その16)



【図8】

一変形例による三次元半導体集積回路装置の一部を示す断面図

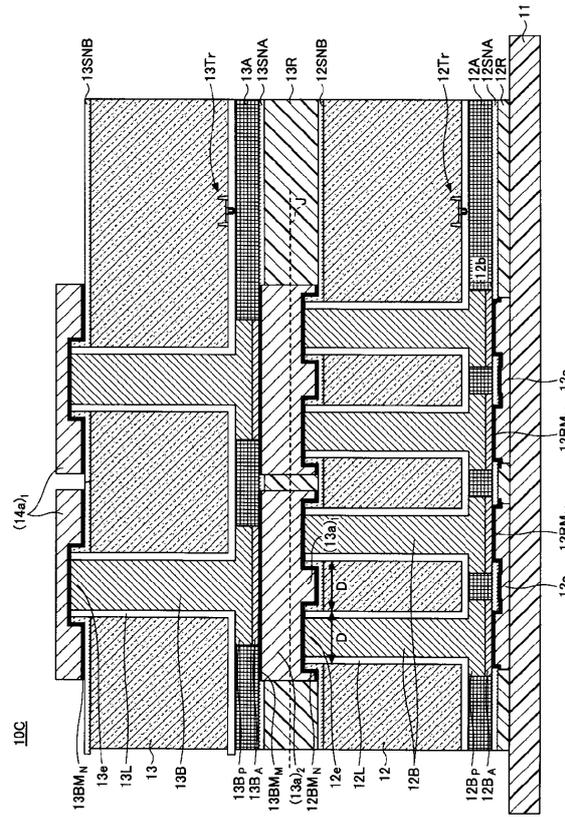
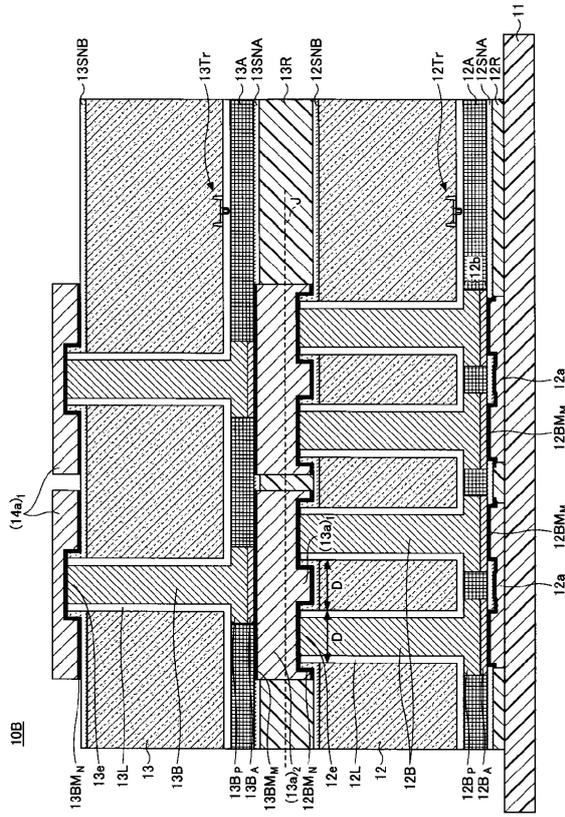


【 図 9 】

【 図 10 】

図8の構成をさらに変形した三次元半導体集積回路装置の一部を示す断面図

図9の構成をさらに変形した三次元半導体集積回路装置の一部を示す断面図



---

フロントページの続き

- (56)参考文献 特開2006-237524(JP,A)  
特開2002-050735(JP,A)  
米国特許出願公開第2010/0032843(US,A1)  
米国特許出願公開第2009/0278251(US,A1)  
特開2004-152812(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18