



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I804236 B

(45)公告日：中華民國 112 (2023) 年 06 月 01 日

(21)申請案號：111109563

(22)申請日：中華民國 111 (2022) 年 03 月 16 日

(51)Int. Cl. : G06F12/10 (2016.01)

G11C16/06 (2006.01)

G11C29/52 (2006.01)

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72)發明人：葉志剛 YEH, CHIH-KANG (TW)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

TW I615713B

TW I661299B

TW I732642B

TW 201734793A

CN 113535074A

US 2021/0279180A1

審查人員：李國隆

申請專利範圍項數：21 項 圖式數：9 共 42 頁

(54)名稱

記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元

(57)摘要

一種用於可複寫式非揮發性記憶體模組的記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元。可複寫式非揮發性記憶體模組包括多個晶粒，每一晶粒包括多個平面，每一平面包括多個實體抹除單元，且可複寫式非揮發性記憶體模組包括的平面的數目總合為第一數目。所述方法包括：將多個實體抹除單元組合成多個管理單元。每一管理單元包括的多個實體抹除單元中的每一個分別屬於不同的平面，並且每一管理單元具有第二數目的實體抹除單元，其中第二數目小於第一數目。

A memory management method for a rewritable non-volatile memory module, a memory storage device and a memory control circuit unit are provided. The rewritable non-volatile memory module includes a plurality of die, each die includes a plurality of planes, each plane includes a plurality of physical erasing units, and the sum of the number of planes included in the rewritable non-volatile memory module is a first number. The method includes: combining the plurality of physical erasure units into a plurality of management units. Each of the plurality of physical erasing units included in each management unit belongs to a different plane, and each management unit has a second number of the physical erasing units, where the second number is smaller than the first number.

指定代表圖：

符號簡單說明：

S902:步驟(將多個實體
抹除單元組合成多個
管理單元)



【圖9】



I804236

【發明摘要】

【中文發明名稱】

記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

MEMORY MANAGEMENT METHOD, MEMORY STORAGE
DEVICE AND MEMORY CONTROL CIRCUIT UNIT

【中文】一種用於可複寫式非揮發性記憶體模組的記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元。可複寫式非揮發性記憶體模組包括多個晶粒，每一晶粒包括多個平面，每一平面包括多個實體抹除單元，且可複寫式非揮發性記憶體模組包括的平面的數目總合為第一數目。所述方法包括：將多個實體抹除單元組合成多個管理單元。每一管理單元包括的多個實體抹除單元中的每一個分別屬於不同的平面，並且每一管理單元具有第二數目的實體抹除單元，其中第二數目小於第一數目。

【英文】A memory management method for a rewritable non-volatile memory module, a memory storage device and a memory control circuit unit are provided. The rewritable non-volatile memory module includes a plurality of die, each die includes a plurality of planes, each plane includes a plurality of physical erasing units, and the sum of the number of planes included in the rewritable

non-volatile memory module is a first number. The method includes: combining the plurality of physical erasure units into a plurality of management units. Each of the plurality of physical erasing units included in each management unit belongs to a different plane, and each management unit has a second number of the physical erasing units, where the second number is smaller than the first number.

【指定代表圖】圖9。

【代表圖之符號簡單說明】

S902: 步驟(將多個實體抹除單元組合成多個管理單元)

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

MEMORY MANAGEMENT METHOD, MEMORY STORAGE
DEVICE AND MEMORY CONTROL CIRCUIT UNIT

【技術領域】

【0001】 本發明是有關於一種記憶體管理技術，且特別是有關於一種記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元。

【先前技術】

【0002】 一般來說，記憶體儲存裝置可將屬於不同操作單元（例如，平面、通道或晶粒）的多個區塊組成區塊群組進行操作。記憶體儲存裝置會事先預留備用區塊，以便在壞塊（Bad Block）管理偵測及標記出區塊群組中的故障區塊時加以替換。如此可防止資料再度被寫入故障區塊中。然而，遇到用於替換的區塊是屬於另一個操作單元時，會造成資料存取的速度嚴重掉速。若是在偵測到故障區塊時不替換區塊，而採用跳過該故障區塊的方式存取區塊群組中的資料，則會因每個區塊群組包括的區塊數量不同而在搬移資料時需要額外的處理。此些壞塊管理方法將造成記憶體儲存裝置運行速度飄忽不定。

【發明內容】

【0003】 本發明提供一種記憶體管理方法、記憶體儲存裝置及記憶體控制電路單元，可提升記憶體儲存裝置的速度穩定性。

【0004】 本發明一範例實施例提出一種記憶體管理方法，用於可複寫式非揮發性記憶體模組。所述可複寫式非揮發性記憶體模組包括多個晶粒，每一所述多個晶粒包括多個平面，每一所述多個平面包括多個實體抹除單元，且所述可複寫式非揮發性記憶體模組包括的所述多個平面的數目總合為第一數目。所述記憶體管理方法包括：將所述多個實體抹除單元組合成多個管理單元。每一所述多個管理單元包括的所述多個實體抹除單元中的每一個分別屬於不同的所述多個平面，並且每一所述多個管理單元具有第二數目的所述多個實體抹除單元。所述第二數目小於所述第一數目。

【0005】 在本發明的一範例實施例中，上述管理單元包括第一管理單元。所述方法更包括：響應於偵測到所述第一管理單元包括第一壞實體抹除單元，提取第一替換實體抹除單元來替換所述第一壞實體抹除單元。所述第一替換實體抹除單元與所述第一壞實體抹除單元屬於相同平面。

【0006】 在本發明的一範例實施例中，上述方法更包括：將所述第一壞實體抹除單元與所述第一替換實體抹除單元的替換資訊記錄在第一管理表。

【0007】 在本發明的一範例實施例中，上述方法更包括：根據所

述第一管理表，在存取所述第一管理單元時存取所述第一替換實體抹除單元。

【0008】 在本發明的一範例實施例中，上述第一管理表記錄所述多個實體抹除單元中所有的壞實體抹除單元與替換實體抹除單元的替換資訊。

【0009】 在本發明的一範例實施例中，上述每一管理單元具有相同數目的所述多個實體抹除單元。

【0010】 在本發明的一範例實施例中，上述將所述多個實體抹除單元組合成所述多個管理單元的步驟包括：根據第二管理表將所述多個實體抹除單元組合成所述多個管理單元，其中所述第二管理表記錄所述可複寫式非揮發性記憶體模組中所有的壞實體抹除單元。

【0011】 本發明一範例實施例提出一種記憶體儲存裝置，包括連接介面單元、可複寫式非揮發性記憶體模組以及記憶體控制電路單元。所述連接介面單元用以耦接至主機系統。所述可複寫式非揮發性記憶體模組包括多個晶粒，每一所述多個晶粒包括多個平面，每一所述多個平面包括多個實體抹除單元，且所述可複寫式非揮發性記憶體模組包括的所述多個平面的數目總合為第一數目。所述記憶體控制電路單元耦接至所述連接介面單元與所述可複寫式非揮發性記憶體模組。所述記憶體控制電路單元用以將所述多個實體抹除單元組合成多個管理單元。每一所述多個管理單元包括的所述多個實體抹除單元中的每一個分別屬於不同的所述

多個平面，並且每一所述多個管理單元具有第二數目的所述多個實體抹除單元。所述第二數目小於所述第一數目。

【0012】 在本發明的一範例實施例中，上述管理單元包括第一管理單元。並且，響應於偵測到所述第一管理單元包括第一壞實體抹除單元，所述記憶體控制電路單元更用以提取第一替換實體抹除單元來替換所述第一壞實體抹除單元。所述第一替換實體抹除單元與所述第一壞實體抹除單元屬於相同平面。

【0013】 在本發明的一範例實施例中，上述記憶體控制電路單元更用以將所述第一壞實體抹除單元與所述第一替換實體抹除單元的替換資訊記錄在第一管理表。

【0014】 在本發明的一範例實施例中，上述記憶體控制電路單元更用以根據所述第一管理表，在存取所述第一管理單元時存取所述第一替換實體抹除單元。

【0015】 在本發明的一範例實施例中，上述第一管理表記錄所述多個實體抹除單元中所有的壞實體抹除單元與替換實體抹除單元的替換資訊。

【0016】 在本發明的一範例實施例中，上述每一管理單元具有相同數目的所述多個實體抹除單元。

【0017】 在本發明的一範例實施例中，上述將所述多個實體抹除單元組合成所述多個管理單元的操作包括：根據第二管理表將所述多個實體抹除單元組合成所述多個管理單元，其中所述第二管理表記錄所述可複寫式非揮發性記憶體模組中所有的壞實體抹除

單元。

【0018】 本發明一範例實施例提出一種記憶體控制電路單元，用於控制可複寫式非揮發性記憶體模組。所述可複寫式非揮發性記憶體模組包括多個晶粒，每一所述多個晶粒包括多個平面，每一所述多個平面包括多個實體抹除單元，且所述可複寫式非揮發性記憶體模組包括的所述多個平面的數目總合為第一數目。所述記憶體控制電路單元包括主機介面、記憶體介面以及記憶體管理電路。所述主機介面用以耦接至主機系統。所述記憶體介面用以耦接至所述可複寫式非揮發性記憶體模組。所述記憶體管理電路耦接至所述主機介面與所述記憶體介面。所述記憶體管理電路用以將所述多個實體抹除單元組合成多個管理單元。每一所述多個管理單元包括的所述多個實體抹除單元中的每一個分別屬於不同的所述多個平面，並且每一所述多個管理單元具有第二數目的所述多個實體抹除單元。所述第二數目小於所述第一數目。

【0019】 在本發明的一範例實施例中，上述管理單元包括第一管理單元。並且，響應於偵測到所述第一管理單元包括第一壞實體抹除單元，所述記憶體管理電路更用以提取第一替換實體抹除單元來替換所述第一壞實體抹除單元。所述第一替換實體抹除單元與所述第一壞實體抹除單元屬於相同平面。

【0020】 在本發明的一範例實施例中，上述記憶體管理電路更用以將所述第一壞實體抹除單元與所述第一替換實體抹除單元的替換資訊記錄在第一管理表。

【0021】 在本發明的一範例實施例中，上述記憶體管理電路更用以根據所述第一管理表，在存取所述第一管理單元時存取所述第一替換實體抹除單元。

【0022】 在本發明的一範例實施例中，上述第一管理表記錄所述多個實體抹除單元中所有的壞實體抹除單元與替換實體抹除單元的替換資訊。

【0023】 在本發明的一範例實施例中，上述每一管理單元具有相同數目的所述多個實體抹除單元。

【0024】 在本發明的一範例實施例中，上述將所述多個實體抹除單元組合成所述多個管理單元的操作包括：根據第二管理表將所述多個實體抹除單元組合成所述多個管理單元，其中所述第二管理表記錄所述可複寫式非揮發性記憶體模組中所有的壞實體抹除單元。

【0025】 基於上述，記憶體控制電路單元將數目小於可複寫式非揮發性記憶體模組具有的平面總數的實體抹除單元組成管理單元進行操作。管理單元包括實體抹除單元分別屬於不同平面，此可讓每個管理單元包括的實體抹除單元不會對應至所有平面。此外，記憶體控制電路單元可使用屬於相同平面的實體抹除單元來替換管理單元中的壞塊。藉此，可提升記憶體儲存裝置的速度穩定性與操作彈性。

【0026】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】**【0027】**

圖 1 是根據一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出 (I/O) 裝置的示意圖。

圖 2 是根據另一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出 (I/O) 裝置的示意圖。

圖 3 是根據另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 4 是根據本發明的一範例實施例所繪示的記憶體儲存裝置的概要方塊圖。

圖 5 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。

圖 6 是根據本發明的一範例實施例所繪示的管理可複寫式非揮發性記憶體模組的示意圖。

圖 7 是根據本發明的一範例實施例所繪示的記憶體控制電路單元耦接可複寫式非揮發性記憶體模組的示意圖。

圖 8A 是根據本發明的一範例實施例所繪示的可複寫式非揮發性記憶體模組的示意圖。

圖 8B 是根據本發明的一範例實施例所繪示的可複寫式非揮發性記憶體模組的示意圖。

圖 9 是根據本發明的一範例實施例所繪示的記憶體管理方法

的流程圖。

【實施方式】

【0028】 一般而言，記憶體儲存裝置（亦稱，記憶體儲存系統）包括可複寫式非揮發性記憶體模組與控制器（亦稱，控制電路單元）。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0029】 圖 1 是根據一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出（I/O）裝置的示意圖。且圖 2 是根據另一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出（I/O）裝置的示意圖。

【0030】 請參照圖 1 與圖 2，主機系統 11 一般包括處理器 111、隨機存取記憶體（random access memory, RAM）112、唯讀記憶體（read only memory, ROM）113 及資料傳輸介面 114。處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 皆耦接至系統匯流排（system bus）110。

【0031】 在本範例實施例中，主機系統 11 是透過資料傳輸介面 114 與記憶體儲存裝置 10 耦接。例如，主機系統 11 可經由資料傳輸介面 114 將資料寫入至記憶體儲存裝置 10 或從記憶體儲存裝置 10 中讀取資料。此外，主機系統 11 是透過系統匯流排 110 與 I/O 裝置 12 耦接。例如，主機系統 11 可經由系統匯流排 110 將輸出訊

號傳送至 I/O 裝置 12 或從 I/O 裝置 12 接收輸入訊號。

【0032】 在本範例實施例中，處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 是可設置在主機系統 11 的主機板 20 上。資料傳輸介面 114 的數目可以是一或多個。透過資料傳輸介面 114，主機板 20 可以經由有線或無線方式耦接至記憶體儲存裝置 10。記憶體儲存裝置 10 可例如是隨身碟 201、記憶卡 202、固態硬碟（Solid State Drive, SSD）203 或無線記憶體儲存裝置 204。無線記憶體儲存裝置 204 可例如是近距離無線通訊（Near Field Communication Storage, NFC）記憶體儲存裝置、無線傳真（WiFi）記憶體儲存裝置、藍牙（Bluetooth）記憶體儲存裝置或低功耗藍牙記憶體儲存裝置（例如，iBeacon）等以各式無線通訊技術為基礎的記憶體儲存裝置。此外，主機板 20 也可以透過系統匯流排 110 耦接至全球定位系統（Global Positioning System, GPS）模組 205、網路介面卡 206、無線傳輸裝置 207、鍵盤 208、螢幕 209、喇叭 210 等各式 I/O 裝置。例如，在一範例實施例中，主機板 20 可透過無線傳輸裝置 207 存取無線記憶體儲存裝置 204。

【0033】 在一範例實施例中，所提及的主機系統為可實質地與記憶體儲存裝置配合以儲存資料的任意系統。雖然在上述範例實施例中，主機系統是以電腦系統來作說明，然而，圖 3 是根據另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。請參照圖 3，在另一範例實施例中，主機系統 31 也可以是數位相機、攝影機、通訊裝置、音訊播放器、視訊播放器或平板電腦等系統，

而記憶體儲存裝置 30 可為其所使用的安全數位（Secure Digital, SD）卡 32、小型快閃（Compact Flash, CF）卡 33 或嵌入式儲存裝置 34 等各式非揮發性記憶體儲存裝置。嵌入式儲存裝置 34 包括嵌入式多媒體卡（embedded Multi Media Card, eMMC）341 及/或嵌入式多晶片封裝儲存裝置（embedded Multi Chip Package, eMCP）342 等各類型將記憶體模組直接耦接於主機系統的基板上的嵌入式儲存裝置。

【0034】圖 4 是根據本發明的一範例實施例所繪示的記憶體儲存裝置的概要方塊圖。請參照圖 4，記憶體儲存裝置 10 包括連接介面單元 402、記憶體控制電路單元 404 與可複寫式非揮發性記憶體模組 406。

【0035】連接介面單元 402 用以將記憶體儲存裝置 10 耦接至主機系統 11。記憶體儲存裝置 10 可透過連接介面單元 402 與主機系統 11 通訊。在本範例實施例中，連接介面單元 402 是相容於序列先進附件（Serial Advanced Technology Attachment, SATA）標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 402 亦可以是符合並列先進附件（Parallel Advanced Technology Attachment, PATA）標準、電氣和電子工程師協會（Institute of Electrical and Electronic Engineers, IEEE）1394 標準、高速周邊零件連接介面（Peripheral Component Interconnect Express, PCI Express）標準、通用序列匯流排（Universal Serial Bus, USB）標準、SD 介面標準、超高速一代（Ultra High Speed-I, UHS-I）介面標準、超高速二代

(Ultra High Speed-II, UHS-II) 介面標準、記憶棒 (Memory Stick, MS) 介面標準、MCP 介面標準、MMC 介面標準、eMMC 介面標準、通用快閃記憶體 (Universal Flash Storage, UFS) 介面標準、eMCP 介面標準、CF 介面標準、整合式驅動電子介面 (Integrated Device Electronics, IDE) 標準或其他適合的標準。連接介面單元 402 可與記憶體控制電路單元 404 封裝在一個晶片中，或者連接介面單元 402 是佈設於一包含記憶體控制電路單元 404 之晶片外。

【0036】 記憶體控制電路單元 404 用以執行以硬體型式或韌體型式實作的多個邏輯閘或控制指令並且根據主機系統 11 的指令在可複寫式非揮發性記憶體模組 406 中進行資料的寫入、讀取與抹除等運作。

【0037】 可複寫式非揮發性記憶體模組 406 是耦接至記憶體控制電路單元 404 並且用以儲存主機系統 11 所寫入之資料。可複寫式非揮發性記憶體模組 406 可以是單階記憶胞 (Single Level Cell, SLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 1 個位元的快閃記憶體模組)、多階記憶胞 (Multi Level Cell, MLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 2 個位元的快閃記憶體模組)、三階記憶胞 (Triple Level Cell, TLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 3 個位元的快閃記憶體模組)、四階記憶胞 (Quad Level Cell, TLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 4 個位元的快閃記憶體模組)、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0038】 可複寫式非揮發性記憶體模組 406 中的每一個記憶胞是以電壓（以下亦稱為臨界電壓）的改變來儲存一或多個位元。具體來說，每一個記憶胞的控制閘極（control gate）與通道之間有一個電荷捕捉層。透過施予一寫入電壓至控制閘極，可以改變電荷捕捉層的電子量，進而改變記憶胞的臨界電壓。此改變記憶胞之臨界電壓的操作亦稱為“把資料寫入至記憶胞”或“程式化（programming）記憶胞”。隨著臨界電壓的改變，可複寫式非揮發性記憶體模組 406 中的每一個記憶胞具有多個儲存狀態。透過施予讀取電壓可以判斷一個記憶胞是屬於哪一個儲存狀態，藉此取得此記憶胞所儲存的一或多個位元。

【0039】 在本範例實施例中，可複寫式非揮發性記憶體模組 406 的記憶胞可構成多個實體程式化單元，並且這些實體程式化單元可構成多個實體抹除單元。具體來說，同一條字元線上的記憶胞可組成一或多個實體程式化單元。若每一個記憶胞可儲存 2 個以上的位元，則同一條字元線上的實體程式化單元可至少可被分類為下實體程式化單元與上實體程式化單元。例如，一記憶胞的最低有效位元（Least Significant Bit, LSB）是屬於下實體程式化單元，並且一記憶胞的最高有效位元（Most Significant Bit, MSB）是屬於上實體程式化單元。一般來說，在 MLC NAND 型快閃記憶體中，下實體程式化單元的寫入速度會大於上實體程式化單元的寫入速度，及/或下實體程式化單元的可靠度是高於上實體程式化單元的可靠度。

【0040】 在本範例實施例中，實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。例如，實體程式化單元可為實體頁面（page）或是實體扇（sector）。若實體程式化單元為實體頁面，則此些實體程式化單元可包括資料位元區與冗餘（redundancy）位元區。資料位元區包含多個實體扇，用以儲存使用者資料，而冗餘位元區用以儲存系統資料（例如，錯誤更正碼等管理資料）。在本範例實施例中，資料位元區包含 32 個實體扇，且一個實體扇的大小為 512 位元組（byte, B）。然而，在其他範例實施例中，資料位元區中也可包含 8 個、16 個或數目更多或更少的實體扇，並且每一個實體扇的大小也可以是更大或更小。另一方面，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。例如，實體抹除單元為實體區塊（block）。

【0041】 圖 5 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。請參照圖 5，記憶體控制電路單元 404 包括記憶體管理電路 502、主機介面 504 及記憶體介面 506。

【0042】 記憶體管理電路 502 用以控制記憶體控制電路單元 404 的整體運作。具體來說，記憶體管理電路 502 具有多個控制指令，並且在記憶體儲存裝置 10 運作時，此些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。以下說明記憶體管理電路 502 的操作時，等同於說明記憶體控制電路單元 404 的操作。

【0043】 在本範例實施例中，記憶體管理電路 502 的控制指令是

以韌體型式來實作。例如，記憶體管理電路 502 具有微處理器單元（未繪示）與唯讀記憶體（未繪示），並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 10 運作時，這些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0044】 在另一範例實施例中，記憶體管理電路 502 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 406 的特定區域（例如，記憶體模組中專用於存放系統資料的系統區）中。此外，記憶體管理電路 502 具有微處理器單元（未繪示）、唯讀記憶體（未繪示）及隨機存取記憶體（未繪示）。特別是，此唯讀記憶體具有開機碼（boot code），並且當記憶體控制電路單元 404 被致能時，微處理器單元會先執行此開機碼來將儲存於可複寫式非揮發性記憶體模組 406 中之控制指令載入至記憶體管理電路 502 的隨機存取記憶體中。之後，微處理器單元會運轉這些控制指令以進行資料的寫入、讀取與抹除等運作。

【0045】 此外，在另一範例實施例中，記憶體管理電路 502 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 502 包括微控制器、記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。記憶體管理電路用以管理可複寫式非揮發性記憶體模組 406 的記憶體或記憶體群組。記憶體寫入電路用以對可

複寫式非揮發性記憶體模組 406 下達寫入指令序列以將資料寫入至可複寫式非揮發性記憶體模組 406 中。記憶體讀取電路用以對可複寫式非揮發性記憶體模組 406 下達讀取指令序列以從可複寫式非揮發性記憶體模組 406 中讀取資料。記憶體抹除電路用以對可複寫式非揮發性記憶體模組 406 下達抹除指令序列以將資料從可複寫式非揮發性記憶體模組 406 中抹除。資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 406 的資料以及從可複寫式非揮發性記憶體模組 406 中讀取的資料。寫入指令序列、讀取指令序列及抹除指令序列可各別包括一或多個程式碼或指令碼並且用以指示可複寫式非揮發性記憶體模組 406 執行相對應的寫入、讀取及抹除等操作。在一範例實施例中，記憶體管理電路 502 還以下達其他類型的指令序列給可複寫式非揮發性記憶體模組 406 以指示執行相對應的操作。

【0046】 主機介面 504 是耦接至記憶體管理電路 502。記憶體管理電路 502 可透過主機介面 504 與主機系統 11 通訊。主機介面 504 可用以接收與識別主機系統 11 所傳送的指令與資料。例如，主機系統 11 所傳送的指令與資料可透過主機介面 504 來傳送至記憶體管理電路 502。此外，記憶體管理電路 502 可透過主機介面 504 將資料傳送至主機系統 11。在本範例實施例中，主機介面 504 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 504 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、UHS-I 標準、UHS-II 標準、MS 標準、

MMC 標準、eMMC 標準、UFS 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0047】 記憶體介面 506 是耦接至記憶體管理電路 502 並且用以存取可複寫式非揮發性記憶體模組 406。也就是說，欲寫入至可複寫式非揮發性記憶體模組 406 的資料會經由記憶體介面 506 轉換為可複寫式非揮發性記憶體模組 406 所能接受的格式。具體來說，若記憶體管理電路 502 要存取可複寫式非揮發性記憶體模組 406，記憶體介面 506 會傳送對應的指令序列。例如，這些指令序列可包括指示寫入資料的寫入指令序列、指示讀取資料的讀取指令序列、指示抹除資料的抹除指令序列、以及用以指示各種記憶體操作（例如，改變讀取電壓準位或執行垃圾回收操作等等）的相對應的指令序列。這些指令序列例如是由記憶體管理電路 502 產生並且透過記憶體介面 506 傳送至可複寫式非揮發性記憶體模組 406。這些指令序列可包括一或多個訊號，或是在匯流排上的資料。這些訊號或資料可包括指令碼或程式碼。例如，在讀取指令序列中，會包括讀取的辨識碼、記憶體位址等資訊。

【0048】 在一範例實施例中，記憶體控制電路單元 404 還包括錯誤檢查與校正電路 508、緩衝記憶體 510 與電源管理電路 512。

【0049】 錯誤檢查與校正電路 508 是耦接至記憶體管理電路 502 並且用以執行錯誤檢查與校正操作以確保資料的正確性。具體來說，當記憶體管理電路 502 從主機系統 11 中接收到寫入指令時，錯誤檢查與校正電路 508 會為對應此寫入指令的資料產生對應的

錯誤更正碼 (error correcting code, ECC) 及/或錯誤檢查碼 (error detecting code, EDC), 並且記憶體管理電路 502 會將對應此寫入指令的資料與對應的錯誤更正碼及/或錯誤檢查碼寫入至可複寫式非揮發性記憶體模組 406 中。之後, 當記憶體管理電路 502 從可複寫式非揮發性記憶體模組 406 中讀取資料時會同時讀取此資料對應的錯誤更正碼及/或錯誤檢查碼, 並且錯誤檢查與校正電路 508 會依據此錯誤更正碼及/或錯誤檢查碼對所讀取的資料執行錯誤檢查與校正操作。

【0050】 緩衝記憶體 510 是耦接至記憶體管理電路 502 並且用以暫存來自於主機系統 11 的資料與指令或來自於可複寫式非揮發性記憶體模組 406 的資料。電源管理電路 512 是耦接至記憶體管理電路 502 並且用以控制記憶體儲存裝置 10 的電源。

【0051】 在一範例實施例中, 圖 4 的可複寫式非揮發性記憶體模組 406 亦稱為快閃 (flash) 記憶體模組, 記憶體控制電路單元 404 亦稱為用於控制快閃記憶體模組的快閃記憶體控制器, 及/或圖 5 的記憶體管理電路 502 亦稱為快閃記憶體管理電路。

【0052】 圖 6 是根據本發明的一範例實施例所繪示的管理可複寫式非揮發性記憶體模組的示意圖。

【0053】 請參照圖 6, 記憶體管理電路 502 會將可複寫式非揮發性記憶體模組 406 的實體單元 610(0)~610(D)邏輯地分組至儲存區 601、閒置 (spare) 區 602、替換區 603 及系統區 604。在本範例實施例中, 每一個實體單元可以指一或多個實體抹除單元。

【0054】 必須瞭解的是，在此描述記憶體儲存裝置的運作時以「提取」、「搬移」、「交換」、「替換」、「輪替」、「分割」、「劃分」等詞來操作可複寫式非揮發性記憶體模組 406 的實體單元是邏輯上的概念。也就是說，可複寫式非揮發性記憶體模組 406 之實體單元的實際位置並未更動，而是邏輯上對可複寫式非揮發性記憶體模組 406 的實體單元進行操作。

【0055】 儲存區 601 中的實體單元 610(0)~610(A)儲存有資料。例如，儲存區 601 中的實體單元 610(0)~610(A)可儲存有效 (valid) 資料與無效 (invalid) 資料。閒置區 602 中的實體單元 610(A+1)~610(B)尚未用來儲存資料 (例如有效資料)。當欲儲存資料時，記憶體管理電路 502 會從閒置區 602 的實體單元 610(A+1)~610(B)中選擇一個實體單元，並且將來自主機系統 11 或來自儲存區 601 中至少一實體單元的資料儲存至所選的實體單元中。同時，所選的實體單元會被關聯至儲存區 601。此外，在抹除儲存區 601 中的某一個實體單元後，所抹除的實體單元會被重新關聯至閒置區 602。

【0056】 替換區 603 中的實體單元 610(B+1)~610(C)則是用以替換儲存區 601 中損壞的實體單元。例如，若從某一個實體單元中讀取的資料所包含的錯誤過多而無法被更正時，此實體單元會被視為是損壞的實體單元 (亦稱，壞實體抹除單元)。此外，若替換區 603 中沒有可用的實體抹除單元，則記憶體管理電路 502 可能會將整個記憶體儲存裝置 10 宣告為寫入保護 (write protect) 狀態，而

無法再寫入資料。系統區 604 中的實體單元 610(C+1)~610(D)用以儲存系統資料，例如邏輯至實體映射表、壞塊管理表、裝置型號或其他類型的管理資料。

【0057】 記憶體管理電路 502 會配置邏輯單元 612(0)~612(E)以映射儲存區 601 中的實體單元 610(0)~610(A)。邏輯單元 612(0)~612(E)中的每一者可被映射至一或多個實體單元。記憶體管理電路 502 會將邏輯單元與實體單元之間的映射關係（亦稱為邏輯至實體映射資訊）記錄於至少一邏輯至實體映射表。邏輯至實體映射表可儲存於系統區 604 的實體單元 610(C+1)~610(D)中。當主機系統 11 欲從記憶體儲存裝置 10 讀取資料或寫入資料至記憶體儲存裝置 10 時，記憶體管理電路 502 可根據此邏輯至實體映射表來執行對於記憶體儲存裝置 10 的資料存取操作。

【0058】 在一範例實施例中，可複寫式非揮發性記憶體模組 406 可包括多個晶粒（die）並且具有多個平面（plane），每一個平面屬於一個晶粒。可複寫式非揮發性記憶體模組 406 可包括數目總合為第一數目的多個平面。在本範例實施例中，平面的數目可大於晶粒的數目。也就是說，兩個或兩個以上的平面可屬於一個晶粒。每一個平面可包括多個實體抹除單元與多個實體程式化單元，並且多個實體程式化單元會組合成一個實體抹除單元。

【0059】 圖 7 是根據本發明的一範例實施例所繪示的記憶體控制電路單元耦接可複寫式非揮發性記憶體模組的示意圖。請參照圖 7，可複寫式非揮發性記憶體模組 406 包括兩個晶粒 D0、D1，且

每個晶粒包括兩個平面 P0、P1。在本範例實施例中，可複寫式非揮發性記憶體模組 406 包括四個平面，因此具有的平面的數目總合為 4（即，第一數目為 4）。平面 P0 與平面 P1 中的每一個平面包括多個實體抹除單元，實體抹除單元中的每一個由多個實體程式化單元組合而成。然而在不同實施例中，可複寫式非揮發性記憶體模組 406 可包括更多或更少的晶粒，每個晶粒可包括更多或更少的平面，本發明不在此限制。

【0060】 在本範例實施例中，晶粒 D0 與晶粒 D1 分別藉由晶片致能（chip enable）接腳耦接至記憶體控制電路單元 404。記憶體控制電路單元 404 可發送致能訊號至晶粒 D0 與晶粒 D1 的晶片致能接腳來分別致能晶粒 D0 與晶粒 D1。當晶粒被致能之後，記憶體控制電路單元 404 可藉由通道 408（例如，資料匯流排）來存取資料。通道 408 可包括一或多個通道。也就是說，晶粒 D0 的平面 P0、平面 P1 與晶粒 D1 的平面 P0、平面 P1 所包括的實體程式化單元是經由通道 408 來存取。在一範例實施例中，儲存在平面 P0 與平面 P1 中的資料可使用單平面存取操作或多平面存取操作而經由通道 408 來存取，其中使用多平面存取操作可平行地存取儲存在平面 P0 與平面 P1 中的資料。

【0061】 在本範例實施例中，記憶體控制電路單元 404 也可藉由一個致能訊號來同時致能多個晶粒，或藉由多個致能訊號來分別致能多個晶粒。並且，儲存在不同的晶粒中的資料可經由不同的通道來存取。以圖 7 為例，儲存在晶粒 D0 的平面 P0 與平面 P1

的資料可經由一個通道來存取，而儲存在晶粒 D1 的平面 P0 與平面 P1 中的資料可經由另一個通道來存取。

【0062】 在一範例實施例中，記憶體控制電路單元 404 會將多個實體抹除單元組合成一個管理單元，可複寫式非揮發性記憶體模組 406 包括多個管理單元。每一個管理單元包括的多個實體抹除單元中的每一個分別屬於不同的平面，並且每一個管理單元具有的多個實體抹除單元為固定數目（亦稱為第二數目）。在本範例實施例中，此第二數目小於前述可複寫式非揮發性記憶體模組 406 包括的多個平面的數目總合（即，第一數目）。在一範例實施例中，多個管理單元中的每一個具有相同數目的實體抹除單元。

【0063】 在一範例實施例中，記憶體控制電路單元 404 在將多個實體抹除單元組合成管理單元時，可根據壞塊記錄管理表（亦稱為第二管理表，例如，記錄壞塊的 DBT（Defect Block Table））將多個實體抹除單元組合成一個管理單元。此壞塊記錄管理表記錄可複寫式非揮發性記憶體模組 406 中所有的壞實體抹除單元。具體來說，一般可能會因為製程不良而使得可複寫式非揮發性記憶體模組 406 中出現壞實體抹除單元。記憶體控制電路單元 404 在初始組合管理單元時，可根據壞塊記錄管理表排除壞實體抹除單元而將正常的多個實體抹除單元分別組合成管理單元。

【0064】 圖 8A 是根據本發明的一範例實施例所繪示的可複寫式非揮發性記憶體模組的示意圖。請參照圖 8A，包括可複寫式非揮發性記憶體模組 406 包括四個平面（晶粒 D0 的平面 P0 與平面 P1、

晶粒 D1 的平面 P0 與平面 P1)。其中晶粒 D0 的平面 P0 包括實體抹除單元 810(0)~810(M)，晶粒 D0 的平面 P1 包括實體抹除單元 820(0)~820(M)，晶粒 D1 的平面 P0 包括實體抹除單元 830(0)~830(M)，晶粒 D1 的平面 P1 包括實體抹除單元 840(0)~840(M)。為方便說明，假設可複寫式非揮發性記憶體模組 406 包括管理單元 81(0)~管理單元 81(3)，然而本發明不限制管理單元的數量。每一個管理單元包括三個實體抹除單元。如圖 8A 所示，每一個管理單元包括的實體抹除單元的數目小於可複寫式非揮發性記憶體模組 406 包括的平面的數目總合。

【0065】 在一範例實施例中，當可複寫式非揮發性記憶體模組 406 正常使用的實體抹除單元發生損壞時，此實體抹除區塊會被視為是壞實體抹除單元。損壞可能在製程不良時發生，或可能因多次抹除後發生而造成實體抹除單元中讀取的資料所包含的錯誤過多而無法被更正。當損壞發生，記憶體控制電路單元 404 可以從替換區 603 中提取實體抹除單元來替換儲存區 601 中損壞的壞實體抹除單元。

【0066】 圖 8B 是根據本發明的一範例實施例所繪示的可複寫式非揮發性記憶體模組的示意圖。請參照圖 8B，假設實體抹除單元 840(0)（本範例實施例中為壞實體抹除單元）損壞。響應於偵測到管理單元 81(1)（亦稱為第一管理單元）包括實體抹除單元 840(0)（亦稱為第一壞實體抹除單元），記憶體控制電路單元 404 會提取替換實體抹除單元（亦稱為第一替換實體抹除單元）來替換實體

抹除單元 840(O)。在本範例實施例中，替換實體抹除單元與壞實體抹除單元屬於相同平面。如圖 8B 所示記憶體控制電路單元 404 提取與實體抹除單元 840(O)屬於相同平面的實體抹除單元 840(P)來替換壞實體抹除單元 840(O)。

【0067】 在一範例實施例中，記憶體控制電路單元 404 會將壞實體抹除單元與替換實體抹除單元的替換資訊記錄在壞塊替換管理表(亦稱為第一管理表，例如，管理壞塊取代的 RUT(Replace Unit Table))。此壞塊替換管理表記錄所有的壞實體抹除單元與替換實體抹除單元的替換資訊。以圖 8B 為例，記憶體控制電路單元 404 會將壞實體抹除單元 840(O)與替換實體抹除單元 840(P)的替換資訊記錄在壞塊替換管理表。當記憶體控制電路單元 404 存取管理單元 81(1)，倘若存取的位址為原本的實體抹除單元 840(O)的位址時，記憶體控制電路單元 404 會根據壞塊替換管理表更改為存取實體抹除單元 840(P)。也就是說，倘若記憶體控制電路單元 404 存取管理單元 81(1)，記憶體控制電路單元 404 會根據第一管理表，在存取管理單元 81(1)時存取實體抹除單元 840(P)。

【0068】 圖 9 是根據本發明的一範例實施例所繪示的記憶體管理方法的流程圖。請參照圖 9，在步驟 S902 中，將多個實體抹除單元組合成多個管理單元。其中每一個管理單元包括的多個實體抹除單元中的每一個分別屬於不同的平面，並且每一個管理單元具有第二數目的實體抹除單元。

【0069】 綜上所述，本發明提供的範例實施例提供將數目小於可

複寫式非揮發性記憶體模組具有的平面總數的實體抹除單元組成管理單元進行操作，並且這些實體抹除單元分別屬於不同平面。如此可讓每個管理單元包括的實體抹除單元不會對應至所有平面。如此一來，可減少壞塊過多時同一平面的正常實體抹除單元耗竭的機會，使得每個平面對壞塊的容忍度提高，從而減少同一操作單元的實體抹除單元耗竭時需使用另一個操作單元的實體抹除單元來替換壞塊的發生機會。此外，藉由替換壞塊，可以保持每個管理單元包括的實體抹除單元的數量相同而在資料搬移運作中不需進行額外的處理。藉此，可有效提升記憶體儲存裝置的速度穩定性與操作彈性。

【0070】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0071】

10, 30: 記憶體儲存裝置

11, 31: 主機系統

110: 系統匯流排

111: 處理器

112: 隨機存取記憶體

- 113: 唯讀記憶體
- 114: 資料傳輸介面
- 12: 輸入/輸出(I/O)裝置
- 20: 主機板
- 201: 隨身碟
- 202: 記憶卡
- 203: 固態硬碟
- 204: 無線記憶體儲存裝置
- 205: 全球定位系統模組
- 206: 網路介面卡
- 207: 無線傳輸裝置
- 208: 鍵盤
- 209: 螢幕
- 210: 喇叭
- 32: SD 卡
- 33: CF 卡
- 34: 嵌入式儲存裝置
- 341: 嵌入式多媒體卡
- 342: 嵌入式多晶片封裝儲存裝置
- 402: 連接介面單元
- 404: 記憶體控制電路單元
- 406: 可複寫式非揮發性記憶體模組

408: 通道

502: 記憶體管理電路

504: 主機介面

506: 記憶體介面

508: 錯誤檢查與校正電路

510: 緩衝記憶體

512: 電源管理電路

601: 儲存區

602: 閒置區

603: 替換區

604: 系統區

610(0)~610(D), 810(0)~810(M), 820(0)~820(M),
830(0)~830(M), 840(0)~840(M), 840(P): 實體單元

81(0), 81(1), 81(2), 81(3): 管理單元

612(0)~612(E): 邏輯單元

D0, D1: 晶粒

P0, P1: 平面

S902: 步驟(將多個實體抹除單元組合成多個管理單元)

【發明申請專利範圍】

【請求項1】 一種記憶體管理方法，用於一可複寫式非揮發性記憶體模組，其中所述可複寫式非揮發性記憶體模組包括多個晶粒，每一所述多個晶粒包括多個平面，每一所述多個平面包括多個實體抹除單元，且所述可複寫式非揮發性記憶體模組包括的所述多個平面的數目總合為一第一數目，所述記憶體管理方法包括：

將所述多個實體抹除單元組合成多個管理單元，

其中每一所述多個管理單元包括的所述多個實體抹除單元中的每一個分別屬於不同的所述多個平面，並且每一所述多個管理單元具有一第二數目的所述多個實體抹除單元，

其中所述第二數目小於所述第一數目。

【請求項2】 如請求項1所述的記憶體管理方法，其中所述多個管理單元包括第一管理單元，所述方法更包括：

響應於偵測到所述第一管理單元包括一第一壞實體抹除單元，提取一第一替換實體抹除單元來替換所述第一壞實體抹除單元，

其中所述第一替換實體抹除單元與所述第一壞實體抹除單元屬於相同平面。

【請求項3】 如請求項2所述的記憶體管理方法，其中所述方法更包括：

將所述第一壞實體抹除單元與所述第一替換實體抹除單元的替換資訊記錄在一第一管理表。

【請求項4】 如請求項3所述的記憶體管理方法，其中所述方法更包括：

根據所述第一管理表，在存取所述第一管理單元時存取所述第一替換實體抹除單元。

【請求項5】 如請求項3所述的記憶體管理方法，其中所述第一管理表記錄所述多個實體抹除單元中所有的壞實體抹除單元與替換實體抹除單元的替換資訊。

【請求項6】 如請求項1所述的記憶體管理方法，其中每一所述多個管理單元具有相同數目的所述多個實體抹除單元。

【請求項7】 如請求項1所述的記憶體管理方法，其中將所述多個實體抹除單元組合成所述多個管理單元的步驟包括：

根據一第二管理表將所述多個實體抹除單元組合成所述多個管理單元，其中所述第二管理表記錄所述可複寫式非揮發性記憶體模組中所有的壞實體抹除單元。

【請求項8】 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，其中所述可複寫式非揮發性記憶體模組包括多個晶粒，每一所述多個晶粒包括多個平面，每一所述多個平面包括多個實體抹除單元，且所述可複寫式非揮發性記憶體模組包括的所述多個平面的數目總合為一第一數目；
以及

一記憶體控制電路單元，耦接至所述連接介面單元與所述可

複寫式非揮發性記憶體模組，

其中所述記憶體控制電路單元用以將所述多個實體抹除單元組合成多個管理單元，

其中每一所述多個管理單元包括的所述多個實體抹除單元中的每一個分別屬於不同的所述多個平面，並且每一所述多個管理單元具有一第二數目的所述多個實體抹除單元，

其中所述第二數目小於所述第一數目。

【請求項9】 如請求項8所述的記憶體儲存裝置，其中所述多個管理單元包括第一管理單元，並且響應於偵測到所述第一管理單元包括一第一壞實體抹除單元，所述記憶體控制電路單元更用以提取一第一替換實體抹除單元來替換所述第一壞實體抹除單元，

其中所述第一替換實體抹除單元與所述第一壞實體抹除單元屬於相同平面。

【請求項10】 如請求項9所述的記憶體儲存裝置，其中所述記憶體控制電路單元更用以將所述第一壞實體抹除單元與所述第一替換實體抹除單元的替換資訊記錄在一第一管理表。

【請求項11】 如請求項10所述的記憶體儲存裝置，其中所述記憶體控制電路單元更用以根據所述第一管理表，在存取所述第一管理單元時存取所述第一替換實體抹除單元。

【請求項12】 如請求項10所述的記憶體儲存裝置，其中所述第一管理表記錄所述多個實體抹除單元中所有的壞實體抹除單元與替換實體抹除單元的替換資訊。

【請求項13】 如請求項8所述的記憶體儲存裝置，其中每一所述多個管理單元具有相同數目的所述多個實體抹除單元。

【請求項14】 如請求項8所述的記憶體儲存裝置，其中將所述多個實體抹除單元組合成所述多個管理單元的操作包括：

根據一第二管理表將所述多個實體抹除單元組合成所述多個管理單元，其中所述第二管理表記錄所述可複寫式非揮發性記憶體模組中所有的壞實體抹除單元。

【請求項15】 一種記憶體控制電路單元，用於控制一可複寫式非揮發性記憶體模組，其中所述可複寫式非揮發性記憶體模組包括多個晶粒，每一所述多個晶粒包括多個平面，每一所述多個平面包括多個實體抹除單元，且所述可複寫式非揮發性記憶體模組包括的所述多個平面的數目總合為一第一數目，其中所述記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至所述可複寫式非揮發性記憶體模組；以及

一記憶體管理電路，耦接至所述主機介面與所述記憶體介面，其中所述記憶體管理電路用以將所述多個實體抹除單元組合成多個管理單元，

其中每一所述多個管理單元包括的所述多個實體抹除單元中的每一個分別屬於不同的所述多個平面，並且每一所述多個管理單元具有一第二數目的所述多個實體抹除單元，

其中所述第二數目小於所述第一數目。

【請求項16】 如請求項15所述的記憶體控制電路單元，其中所述多個管理單元包括第一管理單元，並且響應於偵測到所述第一管理單元包括一第一壞實體抹除單元，所述記憶體管理電路更用以提取一第一替換實體抹除單元來替換所述第一壞實體抹除單元，

其中所述第一替換實體抹除單元與所述第一壞實體抹除單元屬於相同平面。

【請求項17】 如請求項15所述的記憶體控制電路單元，其中所述記憶體管理電路更用以將所述第一壞實體抹除單元與所述第一替換實體抹除單元的替換資訊記錄在一第一管理表。

【請求項18】 如請求項17所述的記憶體控制電路單元，其中所述記憶體管理電路更用以根據所述第一管理表，在存取所述第一管理單元時存取所述第一替換實體抹除單元。

【請求項19】 如請求項17所述的記憶體控制電路單元，其中所述第一管理表記錄所述多個實體抹除單元中所有的壞實體抹除單元與替換實體抹除單元的替換資訊。

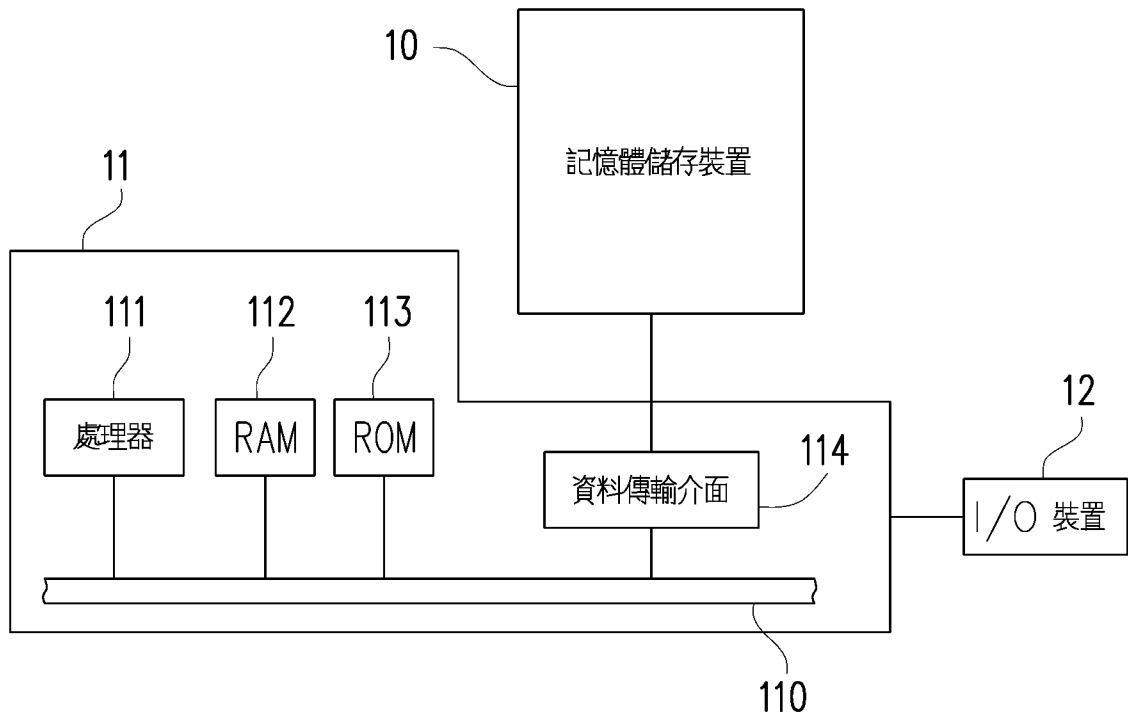
【請求項20】 如請求項15所述的記憶體控制電路單元，其中每一所述多個管理單元具有相同數目的所述多個實體抹除單元。

【請求項21】 如請求項15所述的記憶體控制電路單元，其中將所述多個實體抹除單元組合成所述多個管理單元的操作包括：

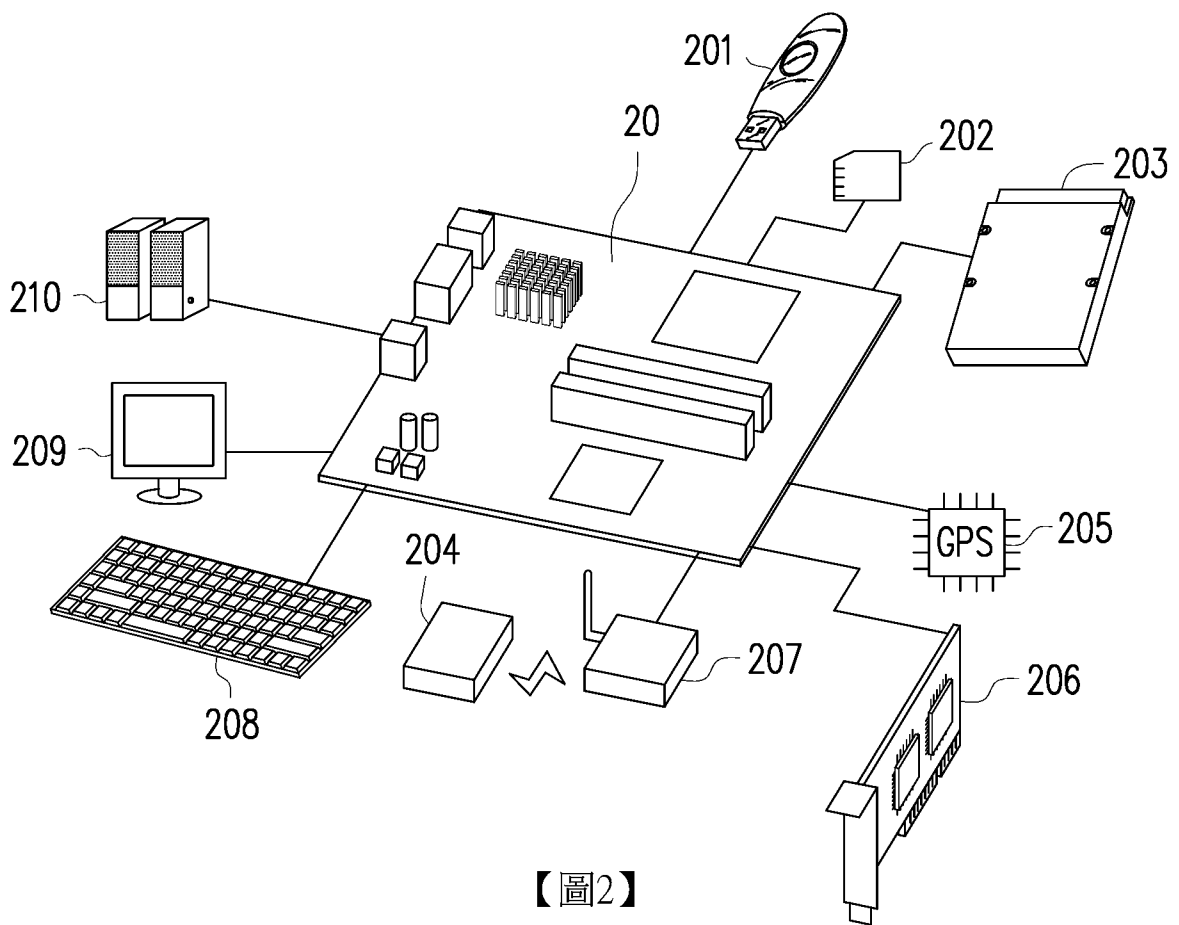
根據一第二管理表將所述多個實體抹除單元組合成所述多個

管理單元，其中所述第二管理表記錄所述可複寫式非揮發性記憶體模組中所有的壞實體抹除單元。

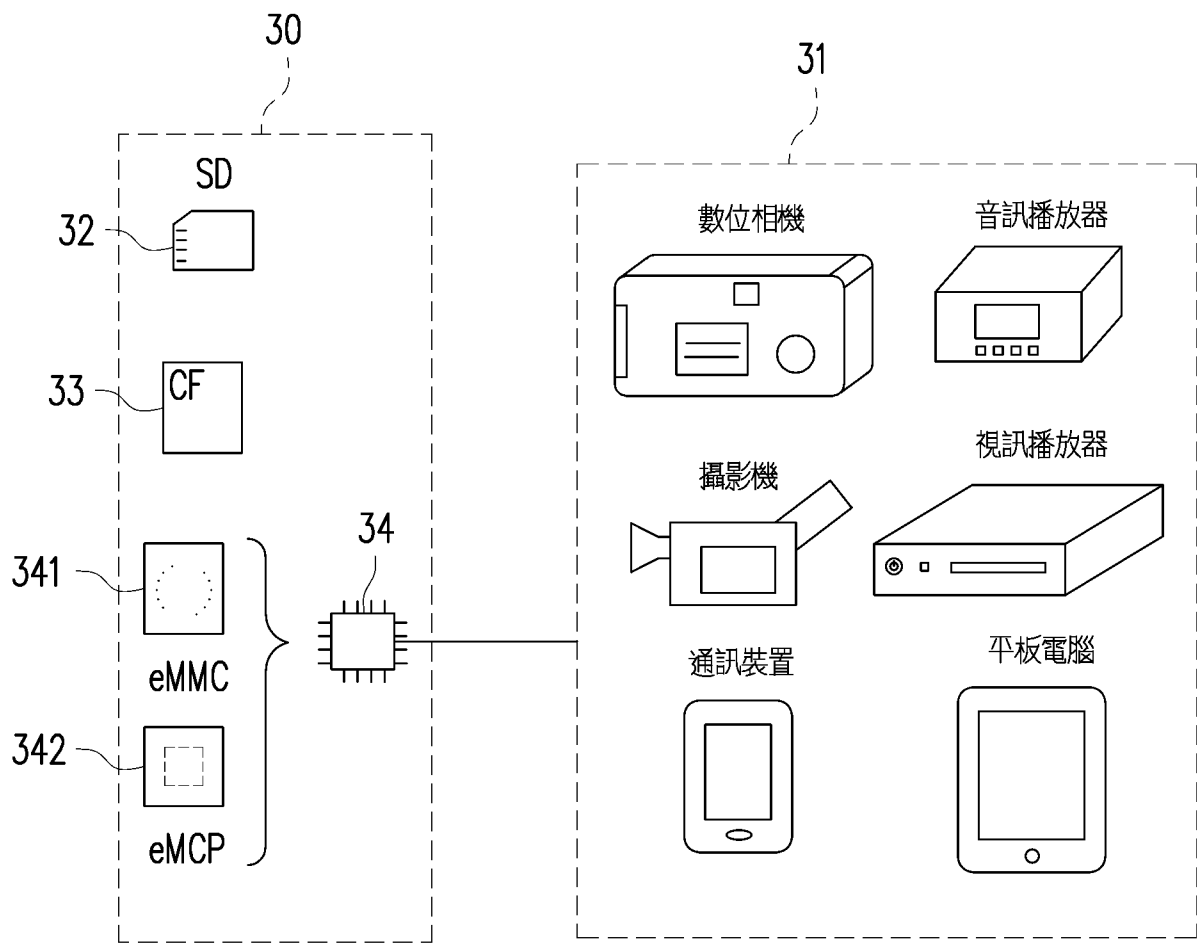
【發明圖式】



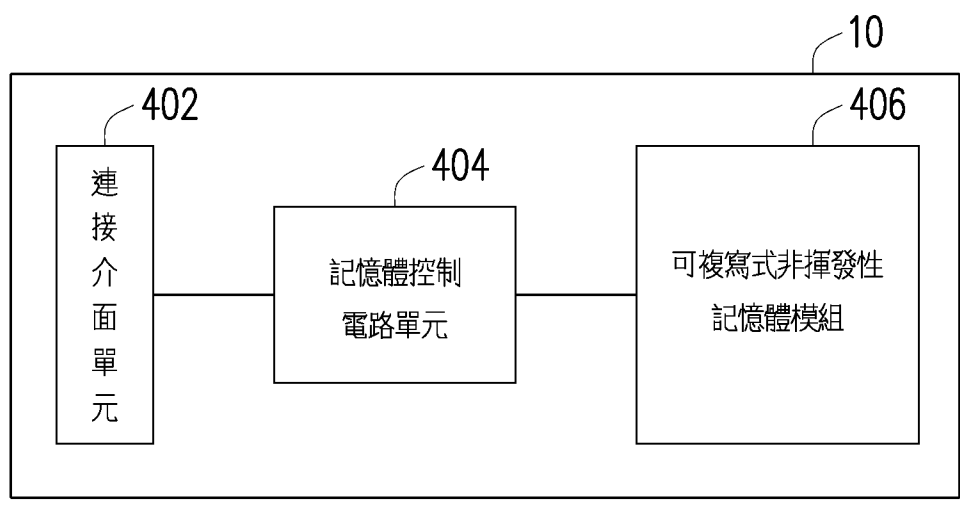
【圖1】



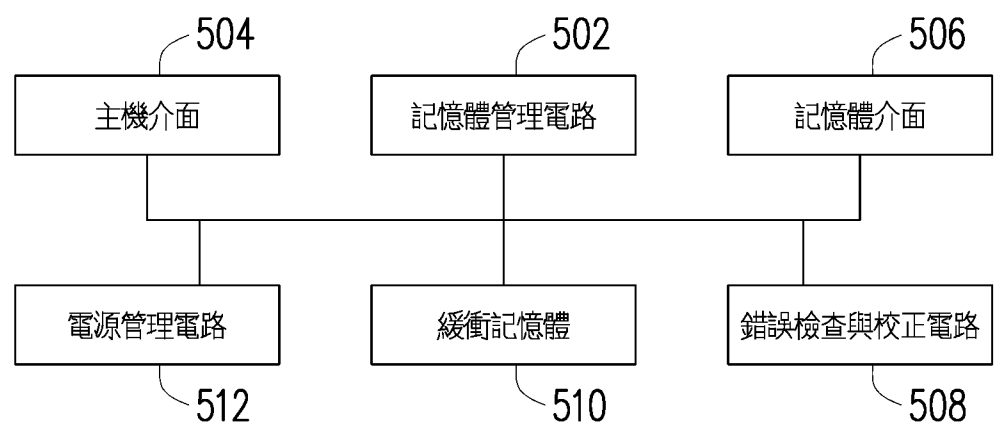
【圖2】



【圖3】

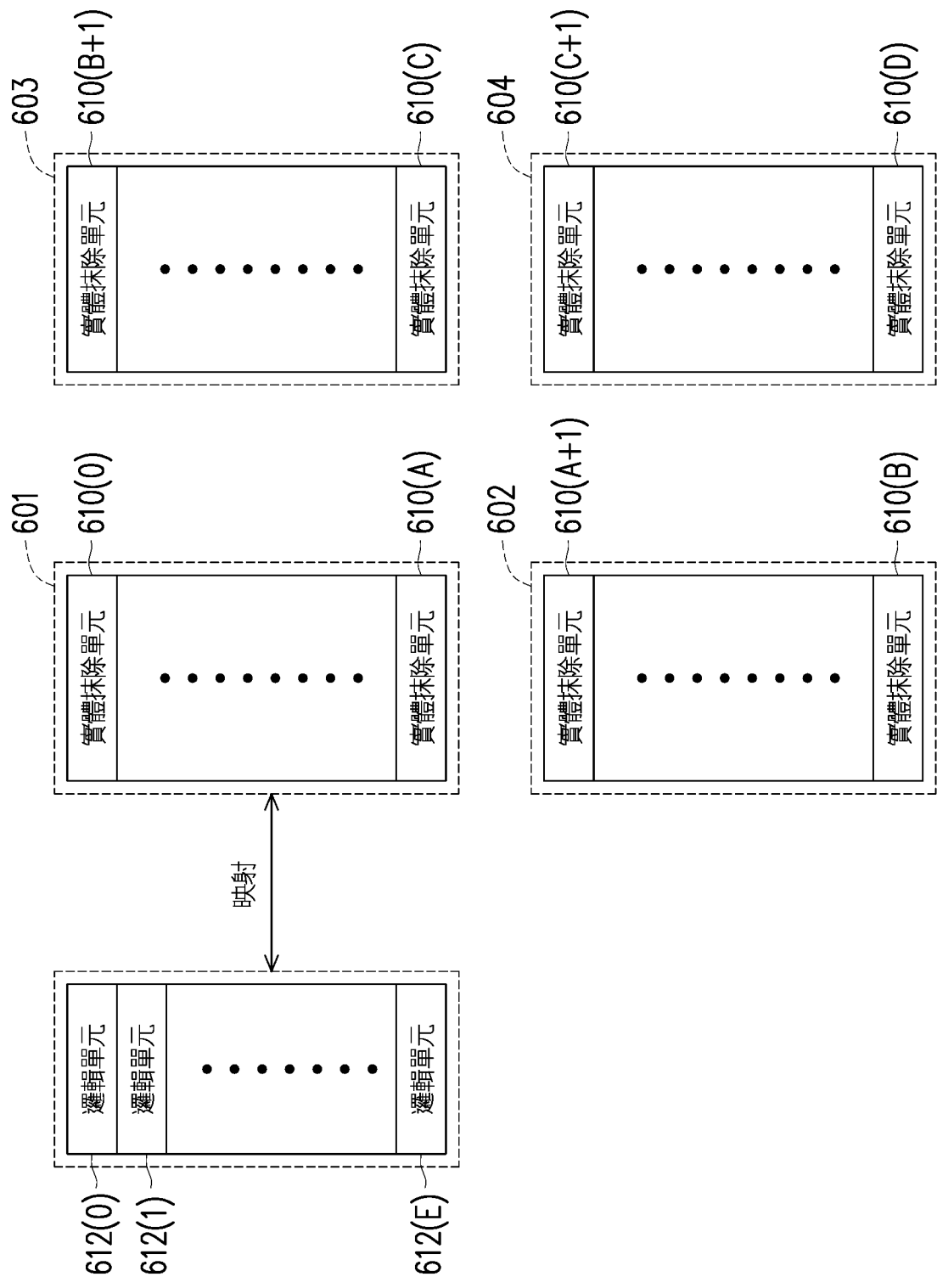


【圖4】

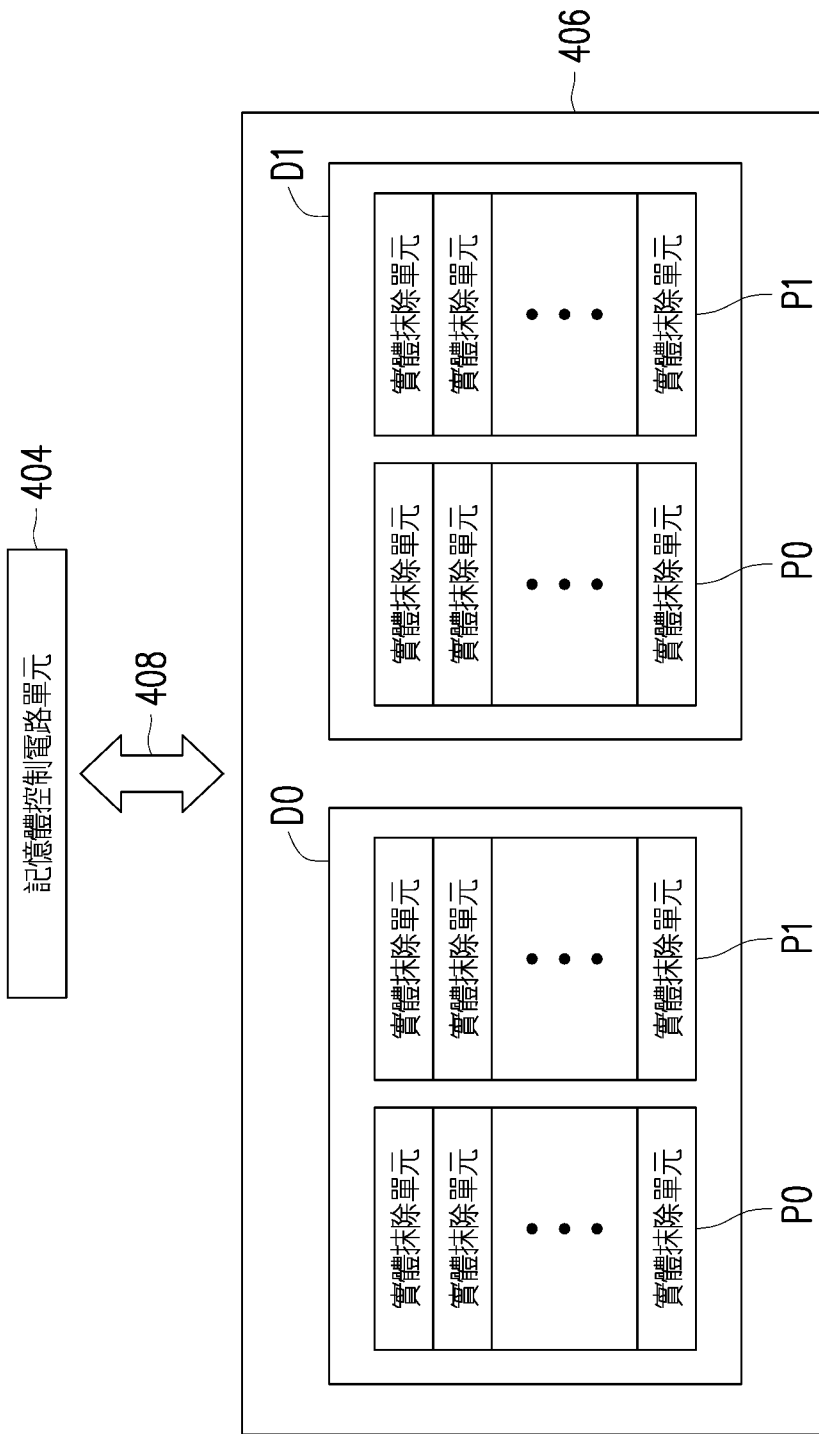


404

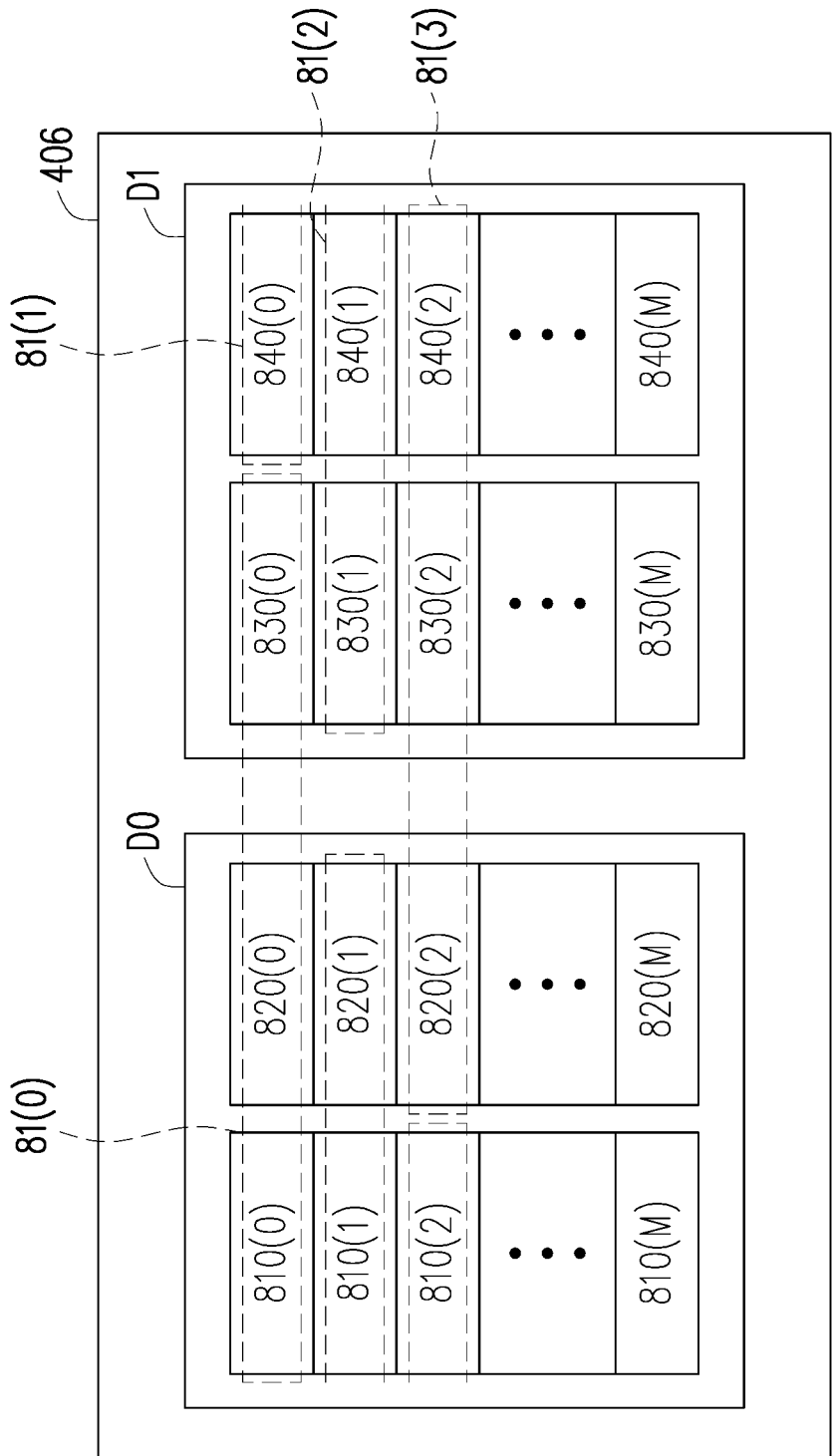
【圖5】



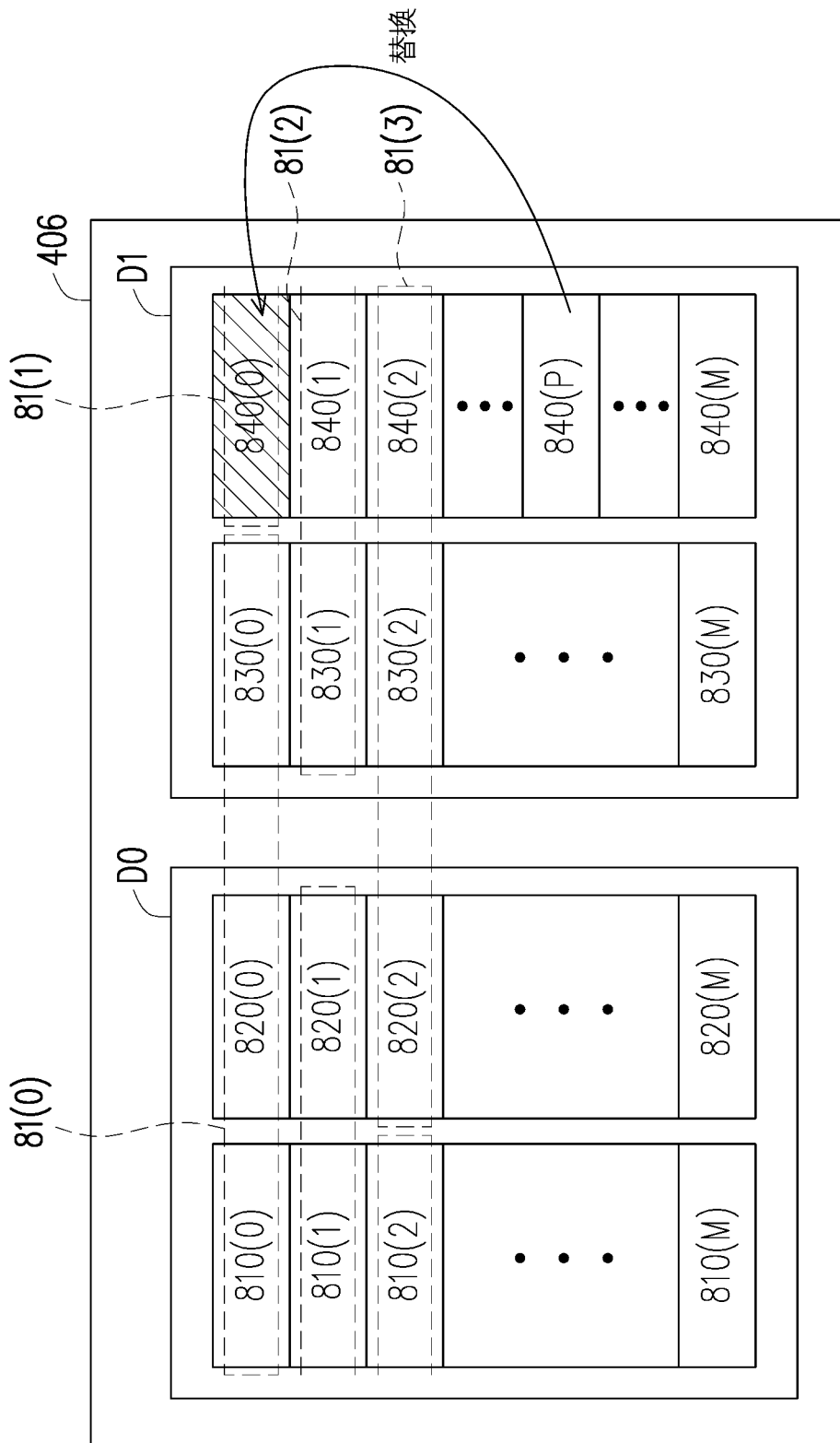
【圖6】



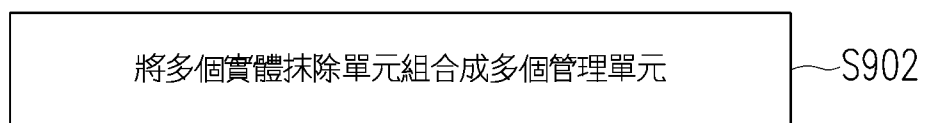
【圖7】



【圖8A】



【圖8B】



【圖9】