

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4928754号
(P4928754)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)
HO 1 L 29/739 (2006.01)

HO 1 L 29/78 6 5 2 F
HO 1 L 29/78 6 5 2 B
HO 1 L 29/78 6 5 2 M
HO 1 L 29/78 6 5 3 A
HO 1 L 29/78 6 5 5 A

請求項の数 5 (全 12 頁)

(21) 出願番号 特願2005-210162 (P2005-210162)
(22) 出願日 平成17年7月20日(2005.7.20)
(65) 公開番号 特開2007-27561 (P2007-27561A)
(43) 公開日 平成19年2月1日(2007.2.1)
審査請求日 平成20年6月9日(2008.6.9)

(73) 特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 110001092
特許業務法人サクラ国際特許事務所
(74) 代理人 100077849
弁理士 須山 佐一
(72) 発明者 杉山 公一
神奈川県川崎市幸区小向東芝町1番地 株
株式会社東芝 マイクロエレクトロニクスセ
ンター内
(72) 発明者 山口 正一
神奈川県川崎市幸区小向東芝町1番地 株
株式会社東芝 マイクロエレクトロニクスセ
ンター内

最終頁に続く

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体装置としてのパーティカルな方向である第1の方向に直交する第2の方向に延長する形状のゲート電極と、

前記ゲート電極を取り囲むゲート絶縁膜と、

前記ゲート絶縁膜の一部を介して前記ゲート電極に対向位置するn型ソース層と、

前記n型ソース層に隣接し、かつ前記ゲート絶縁膜の別の一部を介して前記ゲート電極に対向位置するp型ベース層と、

前記p型ベース層に隣接しかつ前記n型ソース層に接することなく、前記ゲート絶縁膜のさらに別の一部を介して前記ゲート電極に対向位置するn型ベース層と、

前記第2の方向に直交したラテラル方向である第3の方向に延びるストライプ状の突出面領域を前記n型ソース層および前記p型ベース層に接するため有するひとつの電極領域と

を具備することを特徴とする電力用半導体装置。

【請求項2】

前記ゲート電極が、トレンチゲート構造であることを特徴とする請求項1記載の電力用半導体装置。

【請求項3】

前記n型ソース層が、前記第2の方向に平行に延長形成されていることを特徴とする請求項1記載の電力用半導体装置。

【請求項 4】

前記 n 型ソース層が、比較的 n 型濃度の低い領域と比較的 n 型濃度の高い領域とからなり、該比較的 n 型濃度の低い領域が前記電極領域に接し、該比較的 n 型濃度の高い領域は前記電極領域に接していないことを特徴とする請求項 1 記載の電力用半導体装置。

【請求項 5】

前記 n 型ソース層が、前記第 2 の方向に対して 4 5 度以下の角度をもってラテラル方向に延長形成されていることを特徴とする請求項 1 記載の電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流のスイッチングを行う電力用半導体装置に係り、特に、絶縁ゲート型構造の電力用半導体装置に関する。

【背景技術】

【0002】

電流スイッチングを行う電力用半導体装置は、一般に、損失低減などのためオン状態における発生電圧（オン電圧）が十分に小さいことが求められる。この目的のため、IGBT（insulated gate bipolar transistor）や MOSFET などの絶縁ゲートを有する電力用半導体装置では、ゲート電極ピッチを密に形成してチャネル密度を高くする手法を採用することができる。

【0003】

ゲート電極ピッチを密に形成するには、一般に、マスク合わせ精度を高くする必要がある。特に、スイッチングされる電流の経路である半導体領域とその電極領域とのコンタクト面における必要な位置合わせ精度は、ゲート電極形成ピッチの狭小化に伴い増大する。このためプロセス的な困難性が大きくなる。このようなプロセス的な困難性を増大させずにゲート電極形成ピッチを密にするには、ゲート電極のみすべて取り囲むように絶縁膜を先に形成してから半導体領域の面を電極領域とのコンタクト面とすることが考えられる。これによればゲート電極との接触を避けるように容易に電極領域を形成でき、半導体領域とその電極領域とのコンタクト面の形成における必要な合わせ精度を原理的に不要にすることができる。

【0004】

しかしながら、いずれにしてもチャネル密度を高くすると、負荷短絡時に過大な電流が流れ、例えば保護回路を設けてもこれが作動する前に破壊してしまうというような半導体装置としての不具合が発生しやすくなる。なお、本願で提供しようとする半導体装置とは構造や製造方法が異なるが、参考となる半導体装置には下記特許文献 1 に開示のものがある。

【特許文献 1】特開 2001 - 15743 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、オン電圧を十分に低減しかつ十分な短絡耐量を確保することが可能な電力用半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様に係る電力用半導体装置は、半導体装置としてのパーティカルな方向である第 1 の方向に直交する第 2 の方向に延長する形状のゲート電極と、前記ゲート電極を取り囲むゲート絶縁膜と、前記ゲート絶縁膜の一部を介して前記ゲート電極に対向位置する n 型ソース層と、前記 n 型ソース層に隣接し、かつ前記ゲート絶縁膜の別の一部を介して前記ゲート電極に対向位置する p 型ベース層と、前記 p 型ベース層に隣接しかつ前記 n 型ソース層に接することなく、前記ゲート絶縁膜のさらに別の一部を介して前記ゲート電極に対向位置する n 型ベース層と、前記第 2 の方向に直交したラテラル方向である第 3 の

10

20

30

40

50

方向に延びるストライプ状の突出面領域を前記 n 型ソース層および前記 p 型ベース層に接するため有するひとつの電極領域とを具備する。

【発明の効果】

【0007】

本発明によれば、オン電圧を十分に低減しかつ十分な短絡耐量を確保することが可能な電力用半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0008】

本発明の一態様に係る半導体装置によれば、スイッチングすべき電流が流れる半導体領域たる n 型ソース層および p 型ベース層へのコンタクトを行う電極領域が、ゲート電極が延長する方向と直交する方向に延びる複数の横平面でこれらの n 型ソース層および p 型ベース層に接触する。すなわち、ゲート電極の配置との合わせ精度を問題とする必要のないコンタクト領域の方向設定であり、チャンネル密度が密であってもコンタクト領域形成のためのプロセス的な困難性が增大しない。さらに、n 型ソース層のソース領域としての機能が、過大な電流が流れるとその一部で喪失する。これは、ゲート電極が延長する方向と直交する方向の延びる横平面が複数であるため接触面がストライプ状となり、これにより電極領域と直接接しないソース領域へは微小な抵抗が生じるからである。したがって、過大な電流が流れようとするチャンネル密度が減少し破壊を防止する。

【0009】

なお、ここで「横平面」は、半導体装置としての横方向（ラテラル方向）の平面を言い、縦方向（パーティカル方向）の平面ではないことを意味する。

【0010】

本発明の実施態様として、前記ゲート電極は、トレンチゲート構造である、とすることができる。ゲート電極形成ピッチを密にするための有力な構造である。

【0011】

また、実施態様として、前記トレンチゲート構造を有する前記ゲート電極が、前記第 2 の方向に平行に複数形成され、該複数のゲート電極それぞれが含まれるトレンチゲート構造の部分同士の間隔が $1 \mu\text{m}$ 以下である、とすることができる。トレンチゲート構造同士の間隔を $1 \mu\text{m}$ 以下としてチャンネル密度を増加させるものである。電極形成の位置合わせ精度が不要のため、このような微小なトレンチゲート構造同士の間隔を有する場合に向いている。

【0012】

また、実施態様として、前記 n 型ソース層は、前記第 2 の方向に平行に延長形成されている、とすることができる。チャンネル密度を密にするための有力な構造である。

【0013】

また、実施態様として、前記 p 型ベース層が、比較的 p 型濃度の低い領域と比較的 p 型濃度の高い領域とからなり、該比較的 p 型濃度の高い領域が前記電極領域に接し、該比較的 p 型濃度の低い領域は前記電極領域に接していない、とすることができる。比較的 p 型濃度の高い領域と電極領域とを接することによりオーミック接合を確実化するものである。

【0014】

また、実施態様として、前記 n 型ソース層が、前記ゲート電極あたりふたつ存在する、とすることができる。例えば、ゲート電極用のトレンチを形成するためのマスクを利用してイオン注入を行えばこのような態様になる。製造プロセスとしての便宜が得られる。

【0015】

また、実施態様として、前記 n 型ソース層が、前記ゲート電極あたりひとつ存在する、とすることもできる。例えば n 型ソース層を形成するためのみのマスクを利用してイオン注入を行えばこのような態様になる。ゲート電極形成ピッチを小さくすれば、このような態様でもチャンネル密度を大きくすることができる。

【0016】

10

20

30

40

50

また、実施態様として、前記 n 型ソース層が、比較的 n 型濃度の低い領域と比較的 n 型濃度の高い領域とからなり、該比較的 n 型濃度の低い領域が前記電極領域に接し、該比較的 n 型濃度の高い領域は前記電極領域に接していない、とすることができる。比較的 n 型濃度の低い領域が電極領域に接することで、電極からソース領域へ微小な抵抗を形成する。これにより、過大な電流が流れようとしたときにソース領域としての機能をなくさせ、半導体装置として破壊することを一層防止できる。

【 0 0 1 7 】

また、実施態様として、前記 n 型ソース層が、前記第 2 の方向に対して 4 5 度以下の角度をもってラテラル方向に延長形成されている、としてもよい。このように n 型ソース層がゲート電極の方向に対して傾いて形成されていても、コンタクト領域設定のためのプロセス的な困難性が増大しない。また、過大な電流が流れようとするソース領域として機能が不全となり破壊を防止する。なお、4 5 度を超えるとコンタクト領域設定のための必要な位置合わせ精度は徐々に増加する。ゲート電極が延長する方向での位置合わせ余裕が小さくなるからである。

【 0 0 1 8 】

以上を踏まえ、以下では本発明の実施形態を図面を参照しながら説明する。図 1 は、本発明の一実施形態に係る電力用半導体装置 (I G B T) の構造を模式的に示す仮想切断斜視図である。図 1 (b) がエミッタ電極 2 0 を含めた全体の図示であり、図 1 (a) は、特徴を示すため、図 1 (b) において、p 型ベース層 1 4 の上面の高さで切断しその上面を示した仮想図である。両図中に示した前側の切断面パターンは、不図示の左右方向には繰り返し形成されている。また、不図示の前後方向には同一パターンである。

【 0 0 1 9 】

この I G B T は、図示するように、ゲート電極 1 1、ゲート絶縁膜 1 2、n 型ソース層 1 3、p 型ベース層 1 4、n 型ベース層 1 5、n 型バッファ層 1 6、p 型エミッタ層 1 7、コレクタ電極 1 8、絶縁膜 1 9、エミッタ電極 2 0 を有する。図 1 (a) におけるドットパターン A の領域は、エミッタ電極 2 0 の下面であって、半導体領域である n 型ソース層 1 3 および p 型ベース層 1 4 まで達した領域面を示している。

【 0 0 2 0 】

ゲート電極 1 1 は、複数のトレンチそれぞれの中に埋め込み形成され、これによりそれぞれ縦方向に長い矩形上の断面を有しその断面に直交する方向に延長する形状になっている。延長の端部では互いに電氣的に導通されひとつのゲート端子 G を構成する。また、ゲート電極 1 1 は、ゲート絶縁膜 1 2 に取り囲まれ、ゲート絶縁膜 1 1 を介して上部で n 型ソース層 1 3 と、それより下で p 型ベース層 1 4 と、さらにそれより下で n 型ベース層 1 5 とそれぞれ対向している。ゲート絶縁膜 1 2 を介してゲート電極 1 1 と対向する p 型ベース層 1 4 の領域にはチャンネルが形成される。なお、ゲート電極 1 1 の断面形状は、図示するような長矩形形状ではなく、下側で丸みを帯びさせるなどして電界緩和を図るのがより実際的である。「縦方向」は、半導体装置としての縦方向 (パーティカル方向) である。

【 0 0 2 1 】

n 型ベース層 1 5 の下側には、n 型バッファ層 1 6、p 型エミッタ層 1 7、コレクタ電極 1 8 がそれぞれ積層的に位置している。コレクタ電極 1 8 は、コレクタ端子 C として機能する。n 型ベース層 1 5 の上側には、p 型ベース層 1 4 が積層的に位置し、p 型ベース層 1 4 の上面側にはトレンチ両側の領域に選択的に n 型ソース層 1 3 が形成されている。n 型ソース層 1 3 は、ゲート電極 1 1 ひとつあたりふたつあることになり、そのそれぞれはゲート電極 1 1 が延長する方向と平行に形成されている。これによりチャンネル密度を向上しチャンネルでの電圧降下 V_{ch} を減少させてオン抵抗を低減できる。n 型ソース層 1 3 それぞれは、大電流で抵抗が顕在化するようにある程度細く形成するのが好ましい。

【 0 0 2 2 】

絶縁膜 1 9 は、少なくとも、ゲート電極 1 1 の上面を覆い、かつ領域 A を除く半導体領域を覆うように選択的に形成されている。エミッタ電極 2 0 は、領域 A 内で n 型ソース層 1 3 および p 型ベース層 1 4 に接触するように絶縁膜 1 9 上を含めて全面に形成されてい

10

20

30

40

50

る。エミッタ電極 20 は、エミッタ端子 E として機能する。領域 A は、ゲート電極 11 が延長する方向に直交する方向に延びる複数の横平面であり、複数であることからストライプ状になっている。

【0023】

この IGBT のトランジスタとしての動作は以下のものである。コレクタ電極 18 が正、エミッタ電極 20 が負の各電圧とされ、エミッタ電極 20 に対してゲート電極 11 に正の電圧が印加されると、n 型ソース層 13 に連なりゲート絶縁膜 12 に対向する p 型ベース層 14 の領域にチャンネルが形成される。するとこのチャンネルを介して n 型ソース層 13 から n 型ベース層 15 に電子が注入され、これに対応して p 型エミッタ層 17 からは n 型バッファ層 16 を介して n 型ベース層 15 にホールが注入される。これらにより p 型エミッタ層 17、n 型ベース層 15 + n 型バッファ層 16、p 型ベース層 14 からなる pnp トランジスタがオンし、IGBT としてオン状態となる。エミッタ電極 20 とゲート電極 11 との間に正電圧が印加されなくなるとチャンネルが消失して上記トランジスタがオフし、IGBT としてオフ状態となる。

【0024】

図 1 (a)、同 (b) に示す構造は、寸法的には、例えば、ゲート絶縁膜 12 を含めたゲート電極 11 (ゲート絶縁膜 12 を含めたゲート電極 11 の部分を以下「トレンチゲート構造部分」ともいう。) の幅を $0.5 \mu\text{m}$ から $2 \mu\text{m}$ 程度、トレンチゲート構造部分同士の間隔 (内法) を $1 \mu\text{m}$ 程度以下とすることができる。このような微小な間隔であっても、エミッタ電極 20 が半導体領域である n 型ソース層 13 および p 型ベース層 14 と接

【0025】

触する領域は、図示の領域 A とされており、すなわち、トレンチゲート構造部分同士の間隔の延びる方向と直交しており、接触領域の設定に位置合わせの困難性は生じない。

また、領域 A での接触のため、エミッタ電極 20 が n 型ソース層 13 の上面すべてには接触せず、負荷短絡のような場合には、エミッタ電極 20 に接していない n 型ソース層 13 の部分が抵抗として顕在化しその部分に連なるチャンネルが消失する。よって、チャンネル密度が減じて過大電流が抑制され破壊を防止できる。なお、領域 A それぞれの幅は例えば $1 \mu\text{m}$ 以上、それらの間隔 (内法) は例えば $1 \mu\text{m}$ ないし $10 \mu\text{m}$ とすることができる。以上の電極位置合わせおよび破壊防止の点は比較参照例と対比して再度説明する。

【0026】

他の部分の寸法については、図 1 (a) におけるゲート絶縁膜 12 が下側で n 型ベース層 15 に接する深さは、例えば $2 \mu\text{m}$ ないし $6 \mu\text{m}$ 、同図の p 型ベース層 14 の達する深さは、例えば $1 \mu\text{m}$ ないし $3 \mu\text{m}$ とすることができる。また、ゲート絶縁膜 12 の厚さを、ゲート電極 11 の側方および下方でともに例えば 100nm 程度、図 1 (a) におけるゲート電極 11 上面の絶縁膜 19 の厚さ (図 1 (b) においてではない) を例えば $0.2 \mu\text{m}$ 程度とすることができる。p 型ベース層 14 および n 型ソース層 13 上での絶縁層 19 の厚さは、例えば $0.5 \mu\text{m}$ ないし $1 \mu\text{m}$ とすることができる。

【0027】

図 8 は、比較参照例としての電力用半導体装置 (IGBT) の構造を模式的に示す仮想切断斜視図である。図としての見方は図 1 (a) と同じである。また、図 1 に示したものと同一相当の部位には同一符号を付してある。この比較参照例では、n 型ソース層 103 をゲート電極 11 A の延長する方向と直交する方向に形成して、それら間の位置合わせ精度を要しないようにしている。しかし、不図示のエミッタ電極が接触する領域 A をゲート電極 11 A の延長する方向と同一方向にストライプ状とする必要があり、ゲート電極 11 A 間の間隔が狭い場合には、ゲート電極 11 A を形成するためのトレンチと領域 A との位置合わせが難しい。また、チャンネル密度が図 1 に示したものに比較して小さい。

【0028】

図 9 は、別の比較参照例としての電力用半導体装置 (IGBT) の構造を模式的に示す仮想切断斜視図である。図としての見方は図 1 (a) と同じである。また、図 1 に示したものと同一相当の部位には同一符号を付してある。この比較参照例は、n 型ソース層 10

10

20

30

40

50

3 A がゲート電極 1 1 A を挟むようにも形成され全体として梯子状に形成されているので、図 8 に示したものに比べてチャンネル密度が向上している。しかしながら、この場合には、図示左右方向に、n 型ソース層 1 0 3 A とゲート電極 1 1 A を形成するためのトレンチとの位置合わせも必要になりさらにプロセス的な困難性が増加する。

【 0 0 2 9 】

図 1 0 は、さらに別の比較参照例としての電力用半導体装置 (I G B T) の構造を模式的に示す仮想切断斜視図である。図としての見方は図 1 (a) と同じである。また、図 1 、図 8 に示したものと同一相当の部位には同一符号を付してある。この比較参照例は、図 8 と見比べてわかるように、ゲート電極 1 1 上のみにあらかじめ絶縁膜を形成しておくものであり、n 型ソース層 1 0 3 については図 8 に示したものと同様である。この場合には、不図示のエミッタ電極が接触する領域 A を図示するように全面として、ゲート電極 1 1 が埋め込まれるトレンチとの電極接触の位置合わせが不要になる。しかしながら、n 型ソース層 1 0 3 の上面すべてにエミッタ電極が接触しているため、負荷短絡時などの大電流が流れる場合に n 型ソース層 1 0 3 の抵抗が顕在化しにくく、破壊しやすい。

【 0 0 3 0 】

以上述べた比較参照例との対比により、図 1 に示した実施形態の利点はより明確である。

【 0 0 3 1 】

次に、本発明の別の実施形態に係る電力用半導体装置 (I G B T) について図 2 を参照して説明する。図 2 は、本発明の別の実施形態に係る電力用半導体装置 (I G B T) の構造を模式的に示す仮想切断斜視図である。図 2 において、図 1 中に示した部位と同一のものには同一の符号を付してある。その部分については説明を省略する。なお、図 2 は、図 1 (a) に対応する図示であり、図 1 (b) に対応する図示は自明なので省略する。

【 0 0 3 2 】

この実施形態は、p 型ベース層 1 4 を、p 型濃度の比較的低い p 型ベース層 1 4 a と p 型濃度の比較的高い p 型ベース層 1 4 b (= p 型コンタクト層) とからなるようにしている。p 型ベース層 1 4 b は p 型ベース層 1 4 a の上面側に形成されており、不図示のエミッタ電極との領域 A での接触はもっぱら p 型濃度の比較的高い p 型ベース層 1 4 b の側が行うようになっている。このようにすることで、エミッタ電極と p 型ベース層との接合を確実にオーミックにして抵抗を減少させ、また p 型濃度の比較的高い p 型ベース層 1 4 b の厚みの分だけ p 型ベース層全体としての抵抗を小さくさせている。p 型ベース層 1 4 b の厚みは例えば 0 . 3 μ m 程度にすることができる。この実施形態は、p 型濃度の比較的低い p 型ベース層 1 4 a の不純物濃度を制御することで、しきい値電圧をある程度変えることもできる。

【 0 0 3 3 】

次に、図 2 に示した I G B T における n 型ソース層 1 3 およびその周辺の形成過程を図 3 を参照して説明する。図 3 は、図 2 に示した I G B T における n 型ソース層 1 3 およびその周辺の形成過程を模式的に示す工程図であるが、図 1 に示した実施形態でもほぼ同様である。図 3 において、図 1 、図 2 に対応する部位には同一符号を付してある。図 1 、図 2 に示した実施形態は、ゲート電極 1 1 を形成するためのトレンチと n 型ソース層 1 3 との形成位置合わせが一見難しいように見えるが、以下のようにしてこの困難さを回避できる。

【 0 0 3 4 】

まず、図 3 (a) に示すように、n 型ベース層 1 5 上に p 型濃度の比較的低い p 型ベース層 1 4 a と p 型濃度の比較的高い p 型ベース層 1 4 b とを積層的に形成する。これは、例えば、n 型ベース層 1 5 に p 型不純物となる例えばボロンのイオン注入・拡散を行って p 型ベース層 1 4 a を形成後、さらに、例えばボロンのイオン注入を加速エネルギー、ドーズ量を変えて行い p 型ベース層 1 4 b を形成すればよい。なお図 1 に示した実施形態の場合は p 型ベース層 1 4 として単一に形成する。p 型ベース層 1 4 a 、1 4 b が形成されたら、ゲート電極 1 1 のためのトレンチを加工形成するため、所定のパターンを有する例え

10

20

30

40

50

ば酸化膜からなるマスク 2 1 を上面に設ける (図 3 (a)) 。

【 0 0 3 5 】

次に、このマスク 2 1 を利用して n 型不純物となる例えばリンのイオン注入を、 p 型ベース層 1 4 b に向けてかつその注入深さが p 型ベース層 1 4 a 中に達するように行う。このときやや斜め方向からイオン注入を行うか、または垂直にイオン注入後熱拡散させるか、あるいはその両者を行うことで、図 3 (b) に示すように、マスク 2 1 の下側にも広がって n 型ソース層 1 3 を形成させる。

【 0 0 3 6 】

次に、図 3 (c) に示すように、引き続きマスク 2 1 を利用して、 n 型ソース層 1 3 および p 型ベース層 1 4 a を貫通し n 型ベース層 1 5 中に達するトレンチ 2 2 を、例えば R I E (reactive ion etching) 法で形成する。そして、図 3 (d) に示すように、トレンチ 2 2 の側壁および底面を例えば熱酸化させてゲート絶縁膜 1 2 を形成する。

10

【 0 0 3 7 】

そのあとマスク 2 1 を除去しゲート酸化膜 1 2 が形成されたトレンチ内を含めて例えば多結晶シリコンを例えば C V D (chemical vapor deposition) 法で堆積させ、さらに堆積させた多結晶シリコンをエッチバックしトレンチ内のみならず多少落ち込ませて残しゲート電極 1 1 とする (図 3 (d)) 。続いて絶縁膜 1 9 を全面に堆積させる (同) 。このときトレンチ 2 2 の幅の設定によっては (特にそれが広い場合) 、図 3 (d) に示すように、堆積させた絶縁膜 1 9 の上面に段差が形成され、このまま領域 A を露出するため絶縁膜 1 9 のエッチングを行うとゲート電極 1 1 が露出する恐れがある。

20

【 0 0 3 8 】

そこで、絶縁膜 1 9 を全面に堆積させたら、図 3 (e) に示すように、絶縁膜 1 9 の上面側を例えば C M P (chemical mechanical polishing) 法で平坦化し、その後領域 A を露出するために絶縁膜 1 9 の選択的エッチングを行う。これにより、ゲート電極 1 1 の露出を避けて絶縁膜 1 9 の最終的なパターン形成が終了する。このあとエミッタ電極 2 0 (図 1 (b) 参照) が形成されるが、そのときゲート電極 1 1 とエミッタ電極 2 0 とのショート不良を効果的に防止できる。

【 0 0 3 9 】

図 3 に示した工程によれば、 n 型ソース層 1 3 の形成にゲート電極 1 1 用のトレンチ 2 2 を形成するためのマスク 2 1 が利用されるので、それら間の位置合わせ精度の問題は生じない。また、ゲート電極 1 1 の幅を広く (例えばトレンチゲート構造部分の間隔より広く) 形成する場合に想起される、ゲート電極 1 1 とエミッタ電極 2 0 とのショート不良の問題にも対処がされている。

30

【 0 0 4 0 】

次に、本発明のさらに別の実施形態について図 4 を参照して説明する。図 4 は、本発明のさらに別の実施形態に係る電力用半導体装置 (I G B T) の構造を模式的に示す仮想切断斜視図である。図 4 において、すでに説明した部位と同一の部位には同一符号を付してあり、その部分の説明は省略する。なお、図 4 は、図 1 (a) に対応する図示であり、図 1 (b) に対応する図示は自明なので省略する。

【 0 0 4 1 】

この実施形態は、 n 型ソース層 1 3 A がゲート電極 1 1 の片側のみに形成されており、つまりゲート電極 1 1 ひとつあたり n 型ソース層 1 3 A がひとつ存在するようになっている。このような構造の違いはあるが、エミッタ電極 2 0 (図 1 (b) 参照) が半導体領域である n 型ソース層 1 3 A および p 型ベース層 1 4 b と接触する領域は、図示の領域 A とされ、トレンチゲート構造部分間の延びる方向と直交しているため、接触領域の設定に位置合わせの困難性は生じない。また、領域 A での接触のため、エミッタ電極 2 0 が n 型ソース層 1 3 A の上面すべてには接触せず、負荷短絡のような場合には、エミッタ電極 2 0 に接していない n 型ソース層 1 3 A の部分が抵抗として顕在化しその部分に連なるチャネルが消失する。よって、チャネル密度が減じて過大電流が抑制され破壊を防止できる。

40

【 0 0 4 2 】

50

この実施形態は、n型ソース層13Aを例えばマスクを用いてイオン注入で形成するとき、マスク位置精度(ゲート電極11との位置合わせ精度)をあまり求めないようにできる。これは、図4の図示左右方向におけるn型ソース層13Aの形成幅の違いは、実際上、動作の違いにあまり影響を与えないからである。これにより、n型ソース層を形成するためのマスクの位置は、ゲート電極11を形成するトレンチの位置に一部が重なる程度の精度があればよい。

【0043】

次に、本発明のさらに別の実施形態について図5、図6を参照して説明する。図5は、本発明のさらに別の実施形態に係る電力用半導体装置(IGBT)の構造を模式的に示す仮想切断斜視図である。図6は、図5中に示すX-Xa位置およびY-Ya位置における矢視方向の模式的な断面図である。図5、図6において、すでに説明した部位と同一の部位には同一符号を付してあり、その部分の説明は省略する。なお、図5は、図1(a)に対応する図示であり、図1(b)に対応する図示は自明なので省略する。

10

【0044】

この実施形態は、エミッタ電極と接触する領域Aにおけるn型ソース層13Bの構造に特徴があり、図6(a)に示すように、領域Aに接触する上面は比較的n型不純物濃度の低いn型ソース層13bの領域とされており、それ以外は図6(a)、同(b)に示すように比較的n型不純物濃度の高いn型ソース層13aとなっている。n型ソース層13bの形成には、例えば、絶縁膜19(図1(b)、図3(e)参照)をエッチングで形成後に、領域Aに少量のp型不純物(例えばボロン)をイオン注入すればよい。

20

【0045】

この実施形態のIGBTは、例えば負荷短絡で過大な電流が流れようとするとき、n型ソース層13bが抵抗領域として顕著になり、n型ソース層13aの電位が上がる。よってこのときのIGBTはソース層としての機能が不全となりオン状態が持続しなくなる。すなわち、短絡耐量をさらに増加させることができる。

【0046】

次に、本発明のさらに別の実施形態について図7を参照して説明する。図7は、本発明のさらに別の実施形態に係る電力用半導体装置(IGBT)の構造を模式的に示す半導体領域の上面図である。図7において、すでに説明した部位と同一の部位には同一符号を付してあり、その部分の説明は省略する。図7は、図1(a)における上面に対応した図示である。

30

【0047】

この実施形態は、n型ソース層13Cを、ゲート電極11が延長する方向に対して角度を持たせて形成したものである。このような斜角でn型ソース層13Cを形成することでゲート電極11の位置に対するn型ソース層13Cの位置合わせは必要なくなる。また、エミッタ電極20(図1(b)参照)が接触する領域Aの形成方向が上記各実施形態と同じくゲート電極11が延長する方向と直交しているので、領域Aとゲート電極11との位置合わせ精度も必要ない。

【0048】

領域Aとn型ソース層13Cとの位置合わせには多少考慮が必要であるが、例えば角度を45度以下とすれば、領域Aの図示上下方向の設定余裕が大きくなり好ましい。角度を45度よりかなり小さく設定して、ゲート電極11同士間に挟まれるひとつのn型ソース層13Cあたり複数の領域Aが設けられるようにしてもよい。

40

【0049】

この実施形態のIGBTでも短絡耐量の改善は実現されている。領域Aとn型ソース層13Cとが重なる領域から、ゲート電極11に対向のp型チャンネル領域14に形成されるチャンネルまでの間に、ある程度の長さのn型ソース層13Cが介在する構造だからである。また、n型ソース層13Cの間を詰めてこれらを多数形成することでチャンネルの密度を増加させることも可能でありオン電圧の低減も実現可能である。

【図面の簡単な説明】

50

【 0 0 5 0 】

【図 1】本発明の一実施形態に係る電力用半導体装置（ I G B T ）の構造を模式的に示す仮想切断斜視図。

【図 2】本発明の別の実施形態に係る電力用半導体装置（ I G B T ）の構造を模式的に示す仮想切断斜視図。

【図 3】図 2 に示した I G B T における n 型ソース層 1 3 およびその周辺の形成過程を模式的に示す工程図。

【図 4】本発明のさらに別の実施形態に係る電力用半導体装置（ I G B T ）の構造を模式的に示す仮想切断斜視図。

【図 5】本発明のさらに別の実施形態に係る電力用半導体装置（ I G B T ）の構造を模式的に示す仮想切断斜視図。

【図 6】図 5 中に示す X - X a 位置および Y - Y a 位置における矢視方向の模式的な断面図。

【図 7】本発明のさらに別の実施形態に係る電力用半導体装置（ I G B T ）の構造を模式的に示す半導体領域の上面図。

【図 8】比較参照例としての電力用半導体装置（ I G B T ）の構造を模式的に示す仮想切断斜視図。

【図 9】別の比較参照例としての電力用半導体装置（ I G B T ）の構造を模式的に示す仮想切断斜視図。

【図 1 0】さらに別の比較参照例としての電力用半導体装置（ I G B T ）の構造を模式的に示す仮想切断斜視図。

【符号の説明】

【 0 0 5 1 】

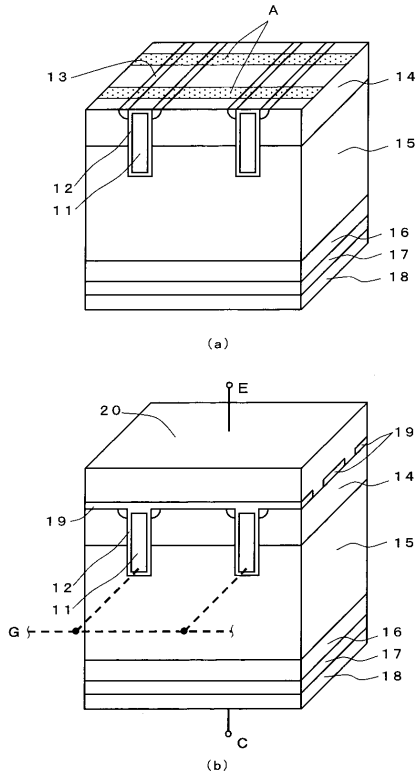
1 1 ... ゲート電極、 1 2 ... ゲート絶縁膜、 1 3 , 1 3 A , 1 3 B , 1 3 C ... n 型ソース層、 1 3 a ... n 型ソース層（ n 型濃度高）、 1 3 b ... n 型ソース層（ n 型濃度低）、 1 4 ... p 型ベース層、 1 4 a ... p 型ベース層（ p 型濃度低）、 1 4 b ... p 型ベース層（ p 型濃度高： p 型コンタクト層）、 1 5 ... n 型ベース層、 1 6 ... n 型バッファ層、 1 7 ... p 型エミッタ層、 1 8 ... コレクタ電極、 1 9 ... 絶縁膜、 2 0 ... エミッタ電極、 2 1 ... ゲート電極用トレンチを形成するためのマスク、 2 2 ... ゲート電極用のトレンチ、 A ... エミッタ電極と半導体領域とのコンタクト面。

10

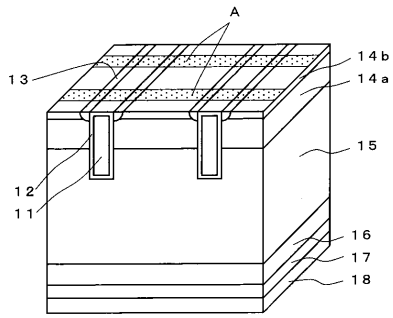
20

30

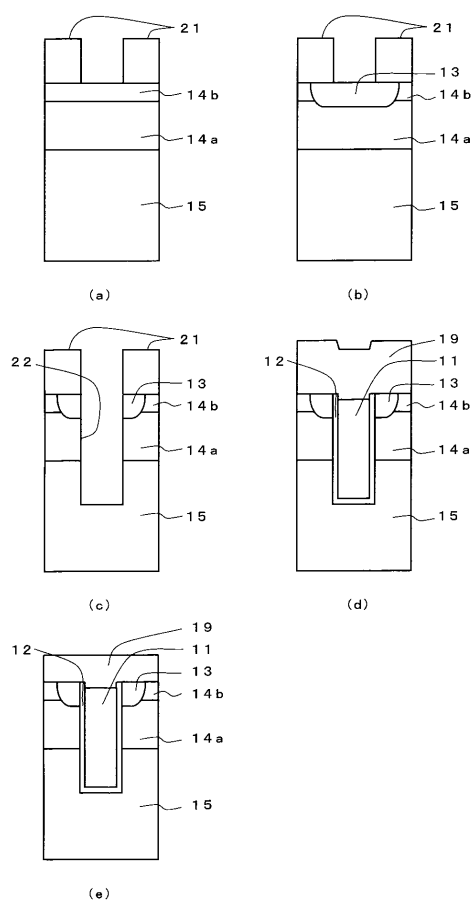
【図1】



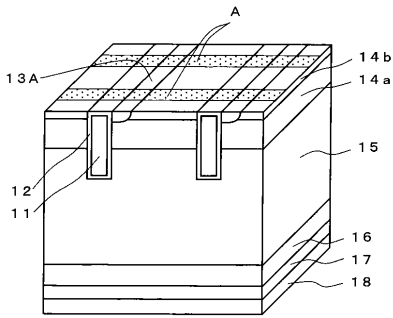
【図2】



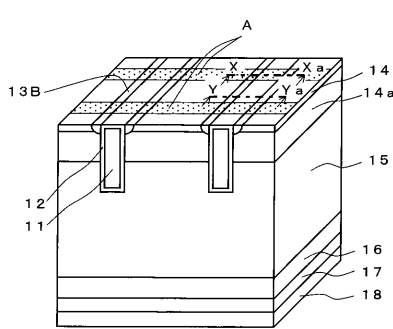
【図3】



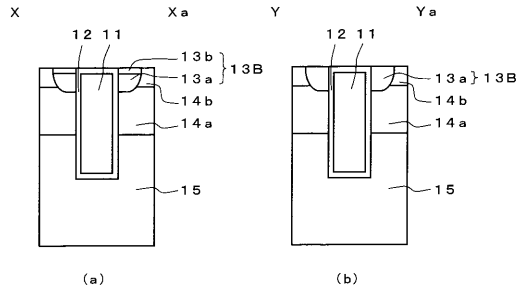
【図4】



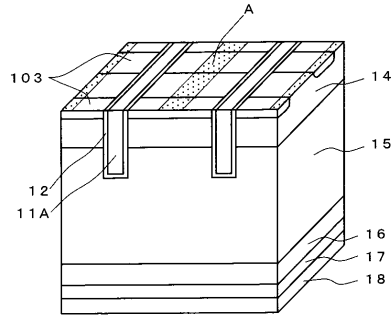
【図5】



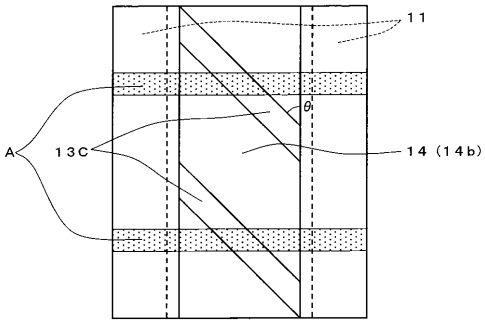
【図 6】



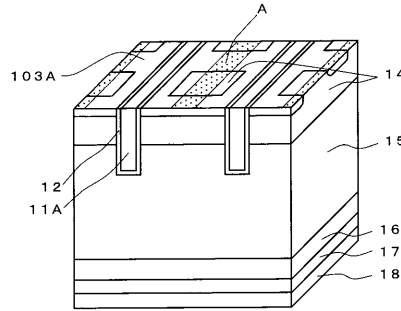
【図 8】



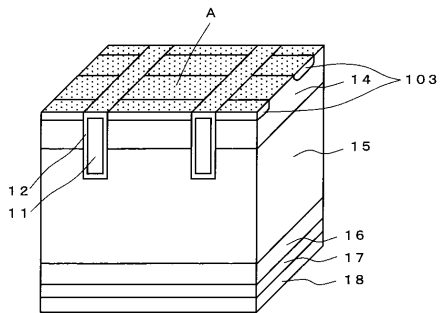
【図 7】



【図 9】



【図 10】



フロントページの続き

審査官 安田 雅彦

- (56)参考文献 特開2007-005492(JP,A)
特開平03-064931(JP,A)
特開2004-165691(JP,A)
特開平08-316479(JP,A)
特開2001-015743(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/336
H01L 29/739
H01L 21/331