

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-175666
(P2011-175666A)

(43) 公開日 平成23年9月8日(2011.9.8)

(51) Int.Cl.		F I			テーマコード (参考)
G06F 12/02	(2006.01)	G06F 12/02	530C		5B060
G06F 12/00	(2006.01)	G06F 12/00	591		
		G06F 12/00	597U		

審査請求 有 請求項の数 10 O L (全 12 頁)

(21) 出願番号	特願2011-97418 (P2011-97418)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成23年4月25日 (2011.4.25)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(62) 分割の表示	特願2011-4482 (P2011-4482) の分割	(74) 代理人	100159651 弁理士 高倉 成男
原出願日	平成23年1月13日 (2011.1.13)	(74) 代理人	100091351 弁理士 河野 哲
(31) 優先権主張番号	特願2010-19547 (P2010-19547)	(74) 代理人	100088683 弁理士 中村 誠
(32) 優先日	平成22年1月29日 (2010.1.29)	(74) 代理人	100109830 弁理士 福原 淑弘
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100075672 弁理士 峰 隆司

最終頁に続く

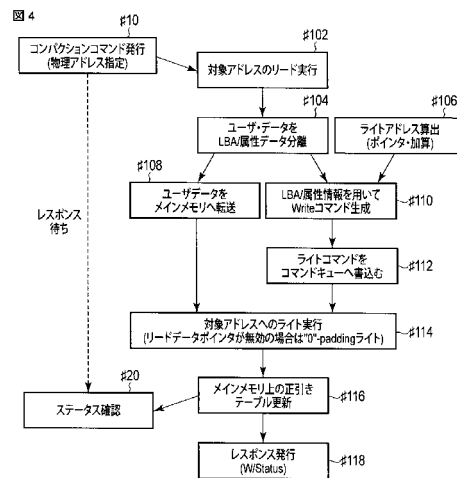
(54) 【発明の名称】 半導体記憶装置及び半導体記憶装置の制御方法

(57) 【要約】

【課題】 CPUからの1コマンドでコンパクション動作が実行される半導体記憶装置。

【課題を解決するための手段】 半導体記憶装置は、不揮発性メモリのコマンドをキューイングするキューイングバッファ(26)と、不揮発性メモリのリードコマンドを発行するリード手段(#102)と、リード手段により前記不揮発性メモリから読み出されたデータをユーザデータと管理データとに分離する分離手段(#104)と、不揮発性メモリのライトアドレスを管理するライトポインタ情報により示されるアドレスを分離手段により得られた管理データに対して加えてライトコマンドを発行し、キューイングバッファへ自動的にキューイングするライトコマンド発行手段(#110)と、ライトコマンド発行手段により発行されたライトコマンドを不揮発性メモリに与え、データを不揮発性メモリに書き込むライト手段(#114)とを具備する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

不揮発性メモリからデータを読み出すリード手段と、
前記リード手段により読み出されたデータをユーザデータと管理データとに分離する分離手段と、

前記不揮発性メモリのライトアドレスを管理するライトポイント情報により示されるアドレスを前記分離手段により分離された管理データに対して加えてライトコマンドを発行し、前記分離手段により分離されたデータを前記不揮発性メモリに書き込むライト手段と、

を具備する半導体記憶装置。

10

【請求項 2】

前記ライト手段による書き込み処理の開始する際に、前記リード手段により読み出されたデータが有効か無効かを判定する判定手段をさらに具備し、

前記ライト手段は、前記判定手段により無効であると判定されると、無効なデータを前記不揮発性メモリに書き込む請求項 1 記載の半導体記憶装置。

【請求項 3】

前記ライト手段による書き込み処理の開始する際に、前記リード手段により読み出されたデータが有効か無効かを判定する判定手段をさらに具備し、

前記ライト手段は、前記判定手段により無効であると判定されると、書き込み処理を中止する請求項 1 記載の半導体記憶装置。

20

【請求項 4】

前記ライト手段による書き込み処理後、正引きテーブルを更新する手段をさらに具備する請求項 1 記載の半導体記憶装置。

【請求項 5】

前記不揮発性メモリは所定のバイト毎に 1 ページを構成し、所定のページが 1 ブロックを構成し、ページ単位でアクセスされ、データは全てのページが無効であるフリーブロックの先頭ページから書き込まれ、前記ライトポイント情報は 1 ページの書き込みに応じてインクリメントされる請求項 1 記載の半導体記憶装置。

【請求項 6】

不揮発性メモリを含む半導体記憶装置の制御方法であって、

前記不揮発性メモリからデータを読み出すことと、

前記不揮発性メモリから読み出されたデータをユーザデータと管理データとに分離することと、

前記不揮発性メモリのライトアドレスを管理するライトポイント情報により示されるアドレスを前記分離することにより分離された管理データに対して加えてライトコマンドを発行することと、

前記ライトコマンドを前記不揮発性メモリに与え、前記分離されたデータを前記不揮発性メモリに書き込むことと、

を具備する制御方法。

30

【請求項 7】

前記書き込み処理の開始の際に、前記不揮発性メモリから読み出されたデータが有効か無効かを判定することをさらに具備し、

前記書き込むことは、前記不揮発性メモリから読み出されたデータが無効であることを判定すると、無効なデータを前記不揮発性メモリに書き込む請求項 6 記載の制御方法。

40

【請求項 8】

前記書き込み処理の開始の際に、前記不揮発性メモリから読み出されたデータが有効か無効かを判定することをさらに具備し、

前記不揮発性メモリから読み出されたデータが無効であることを判定すると、前記書き込むことは中止される請求項 6 記載の制御方法。

【請求項 9】

50

前記書き込み処理後、正引きテーブルを更新することをさらに具備する請求項 6 記載の制御方法。

【請求項 10】

前記書き込み処理後、前記不揮発性メモリのページ毎のデータの有効、無効を示すデータを示す有効ページ管理テーブルを更新することをさらに具備する請求項 6 記載の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は NAND 型フラッシュメモリ等の不揮発性メモリを含む半導体記憶装置及び半導体記憶装置の制御方法に関する。

10

【背景技術】

【0002】

一般に不揮発性メモリ、例えばフラッシュメモリはデータの書き込みの際に上書きができないので、データの書き込みや削除を繰り返すと、分断された不要な領域が削除されずに残る。この不要な領域を消去し、使用している領域を連続した領域に纏める処理はコンパクションと呼ばれる。従来、半導体記憶装置のコンパクション処理は例えば特許文献 1 に記載されている。

【0003】

特許文献 1 記載の記憶装置は、内部において、32ビットのメモリバスに16ビットの入出力を持つ2チップの8ギガビットの NAND 型フラッシュメモリが並列に接続される。2つのチップは読み出しや書き込みにおいて同時並列にアクセスされる。すなわち、メモリバスは16ビットバスを2チャンネル備えた構成となっている。各フラッシュメモリは書き込みや読み出しのアクセスを例えば4キロバイトのページ単位で行う。従って、実ページサイズとしては8キロバイトが一括アクセスされることになる。

20

【0004】

記憶装置に内蔵された RAM には、プログラムを実行するためのコードエリアやワーキングエリアが設けられており、さらにページ単位の仮想アドレスを管理するアドレス変換テーブル、正常な空きブロックを検索する検索テーブル、各ブロックの無効ページ数を管理するカウンタテーブル、ライトポインタ、無効ページ総数のカウンタ、未使用ページカウンタ等が構築されている。

30

【0005】

データの更新（書き込み）動作は追記型書き込みが行われる。追記型書き込みが行われると、更新前のデータが格納されている物理ページアドレス、例えば“0x0060B0”に相当するページ領域はアドレス変換テーブルの物理アドレスフィールドから削除され、外からアクセスできなくなる。即ち、無効化される。

【0006】

しかし、それらにはデータが書き込まれており、そのままでは空き領域として使用することもできない。このような書き込みを何度も繰り返すと、多くの無効ページ領域が発生する。それらは再度空き領域として使用できるよう、消去して回復させる必要がある（コンパクションに相当）。また、その場合、消去ブロック“0x0060”に残された他の有効データは退避させる必要がある。

40

【0007】

この回復処理は、例えばまず対象ブロック内の有効データを、更新の際と同様に一旦ページバッファに読み出してから、他のブロックの空き領域に追記で書き込んでいき、それによって実質的な退避を行えばよい。すなわち、有効ページを仮更新することで、その元領域を全て無効化する。その後、対象ブロックを消去することによって、回復処理が実施される。

【0008】

この回復処理は記憶装置の待機時やシステムのアイドル時に自動的に実施することがで

50

きる。しかし、多くの未使用領域が残っており僅かな無効ページしか存在しない状態で無理に回復処理を実行しても、殆ど効果は得られない。一方、いつまでも回復処理をせぬまま放置すると、未使用領域が不足し、アクセスレイテンシとなる。そのため、本当に回復処理を実行すべきか否かを判定し、かつ回復処理の対象ブロックを選定する機能がシステムのどこかに必要になる。

【0009】

そこで、上記回復処理と、それを実行するか否かの判定、及び回復対象ブロックの選択をひとまとまりの作業グループとみなして回復シーケンスとし、記憶装置に実装しておく。そして、ホストシステムからの回復処理実行コマンドに応じて、あるいは記憶装置が待機状態に入った際に自動的に回復シーケンスを実行する。

10

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2008-146253号公報(段落0050、0051、0066、0067、0072-0075)

【発明の概要】

【発明が解決しようとする課題】

【0011】

このように特許文献1記載の装置は、回復処理と、それを実行するか否かの判定、及び回復対象ブロックの選択をひとまとまりの回復シーケンスとして記憶装置に実装しておき、システムからの回復処理実行コマンドに応じて回復シーケンスを実行するようにしている。フラッシュメモリにおける無効ページの回復作業によってフラッシュメモリの使用効率を向上させることができる。

20

【0012】

しかしながら、この装置では回復シーケンスはCPUのソフトウェアとして実行されている為、1つの回復シーケンスを実行するにもCPUは複数の処理を行う必要がある。回復処理の実行中にソフトウェアの介入が複数はいることによりCPUの処理性能が劣化し、システム全体でのパフォーマンス低下が生じるという課題がある。

【課題を解決するための手段】

【0013】

本発明の一態様による半導体記憶装置は、不揮発性メモリからデータを読み出すリード手段と、前記リード手段により読み出されたデータをユーザデータと管理データとに分離する分離手段と、

30

前記不揮発性メモリのライトアドレスを管理するライトポイント情報により示されるアドレスを前記分離手段により分離された管理データに対して加えてライトコマンドを発行し、前記分離手段により分離されたデータを前記不揮発性メモリに書き込むライト手段とを具備する。

【発明の効果】

【0014】

本発明の一態様によれば、CPUからの1コマンドでコンパクション動作が実行されるので、CPUの処理負荷の低減が可能になるとともに、途中でソフトウェア処理が介入せず、システム全体の処理能力が高くなる。

40

【図面の簡単な説明】

【0015】

【図1】本発明の実施の形態に係るフラッシュメモリコントローラおよびその周辺システムでの位置づけを示すブロック図。

【図2】フラッシュメモリコントローラ内のフラッシュメモリ制御部、データフロー制御回路の詳細なブロック図である。

【図3】コンパクション動作時のNANDフラッシュメモリコントローラのデータの流れ

50

を示す図。

【図4】NANDフラッシュメモリコントローラのコンパクション動作を示すフローチャート。

【図5】メインメモリに設けられる有効ページ管理テーブルを示す図。

【図6】NANDフラッシュメモリコントローラのコンパクション動作に関する追記ポインタの動作と正引きテーブルの更新を示す図。

【発明を実施するための形態】

【0016】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【0017】

図1は一実施形態の構成を示すブロック図である。本実施形態は複数の不揮発性メモリ、例えばNAND型フラッシュメモリ 8_1 、 8_2 、... 8_n を含む。NAND型フラッシュメモリ 8_1 、 8_2 、... 8_n は例えば半導体ドライブ(Solid State Drive: SSD)の記憶部を構成する。NAND型フラッシュメモリ 8_1 、 8_2 ... 8_n の各々は例えば2~16個のメモリチップからなる。NAND型フラッシュメモリ 8_1 、 8_2 、... 8_n はフラッシュメモリコントローラ1に接続される。フラッシュメモリコントローラ1は内部バス2bに接続されたCPU2と、メインメモリ3と、フラッシュメモリ制御部及びNANDフラッシュメモリI/F部6と、データフロー制御回路7と、ホストI/F4とを具備する。

【0018】

フラッシュメモリ制御部及びNANDフラッシュメモリI/F部6はNAND型フラッシュメモリ 8_1 、 8_2 、... 8_n に接続され、NAND型フラッシュメモリ 8_1 、 8_2 、... 8_n へのアクセスを制御する。具体的には、フラッシュメモリ制御部及びNANDフラッシュメモリI/F部6はNAND型フラッシュメモリ 8_1 、 8_2 、... 8_n に対してアドレスやデータ制御を行う。フラッシュメモリ制御部及びNANDフラッシュメモリI/F部6はCPU2からのコマンドを受理し、NAND型フラッシュメモリ 8_1 、 8_2 、... 8_n とメインメモリ3間のデータ転送を実施する。フラッシュメモリ制御部及びNANDフラッシュメモリI/F部6は内部で論理ブロックアドレス(Logical Block Address: LBA)情報や各種属性(フラグ)情報を保持する。

【0019】

ホストI/F4はプロトコルSASやSATAによりホストシステム10に接続され、データフロー制御回路7を介して、ホスト・NAND型フラッシュメモリ間でやりとりされるデータのフロー制御を行う。ホストI/F4はホストシステム10からはLBAでアクセスされる。メインメモリ3は例えばDRAMが使用され、退避データや正引きテーブル、論物変換テーブルを格納する。

【0020】

フラッシュメモリコントローラ1の内部バス2bには外付けのブートROM9も接続される。ブートROM9は一例としてフラッシュメモリが使用され、ファームウェアを含む。ファームウェアはCPU2を使用し、フラッシュメモリ制御部及びNANDフラッシュメモリI/F部6内部へのI/OコマンドアクセスによりNAND型フラッシュメモリ 8_1 、 8_2 、... 8_n へのリードコマンド、ライトコマンドの発行を行う。ファームウェアはROM9にプログラムされた内容が、システム電源起動時に、CPU2内部の一時記憶部もしくはメインメモリ3に転送されて動作するものとする。

【0021】

図2はフラッシュメモリ制御部及びNANDフラッシュメモリI/F部6、データフロー制御回路7の詳細なブロック図である。フラッシュメモリ制御部及びNANDフラッシュメモリI/F部6はI/Oバッファ24を介してNAND型フラッシュメモリ8へアクセスする。内部バス2bからのライトデータはデータバッファ38、データ処理回路32を介してI/Oバッファ24に供給され、I/Oバッファ24からのリードデータはデータ処理回路32、データバッファ38を介して内部バス2bに供給される。

【0022】

10

20

30

40

50

CPU 2からのリードコマンド、ライトコマンドは内部バス2bを介してコマンドキュー26に書き込まれる(コマンド投入)。ここでのコマンドフォーマットはフラッシュメモリ制御部及びNANDフラッシュメモリI/F部6が処理しやすいフォーマットであればよく、ハードウェア実装に依存している。本特許の要ではないためここでは特に言及しないコマンドキュー26にコマンドが投入されると、コマンド処理回路28はエントリされたコマンドをコマンドキュー26から取り出し、コマンドシーケンサ30にコマンドを発行して起動をかける。

【0023】

CPU 2からコンパクションコマンドが発行されると、コマンドキュー26にはリードコマンドとして投入される。コマンド処理回路28はコマンドキュー26からリードコマンドを取り出して、コマンドシーケンサ30にコマンド発行をして起動をかけ、その後、I/Oバッファ24を介して、NANDフラッシュメモリ8の該当ブロックからデータをリードする。NANDフラッシュメモリ8内の各ブロックの各ページのデータが有効であるか無効であるかはメインメモリ3内の有効ページ管理テーブル(後述)により管理されており、CPU 2は有効なデータを含むページに対してのみリードアドレスを与え、有効なデータのみリードする。

10

【0024】

コマンドシーケンサ30は複数のNAND型フラッシュメモリからいずれかの選択と、NAND型フラッシュメモリ8へのアクセスコマンド発行を行う。コマンドシーケンサ30はNAND型フラッシュメモリ8のアクセスの際、データ処理回路32に対してメインメモリ3へのデータ転送リクエスト(LBA/属性を伴う場合と、伴わない場合がある)を実施し、データ処理回路32はデータ転送が完了するとコマンドシーケンサ30に終了レスポンス(LBA/属性を伴う)を返す。コマンドシーケンサ30は終了コマンドをコマンド処理回路28に通知すると、コマンド処理回路28はテーブル更新回路34に対して終了コマンドを送付する。この時、データ処理回路32はNAND型フラッシュメモリ8からリードした有効なページのデータをユーザデータとLBA情報、その他後続のライト(コマンドキュー26内のリードコマンドに後続するライトコマンド)を行うために必要な属性データとに分離し、LBA/属性データをコマンド処理回路28に終了レスポンスと共に渡す。属性データの一例としては、データにエラー訂正符号化(ECC)によるデータのチェックを行うか否かを示す情報やデータ長、暗号の有無などがある。

20

30

【0025】

コマンドキュー26内の全てのリードコマンド終了後に、コマンドキュー26内のライト処理(後続のライト処理と称する)へ移る。この詳細は図3を参照して後述する。コマンド処理回路28はコマンドキュー26内のライトコマンドを取り出して、コマンドシーケンサ30にコマンド発行をして起動をかける。その後、コマンド処理回路28はI/Oバッファ24を介してNANDフラッシュメモリ8へのデータのライトを行う。この時、コマンドシーケンサ30は、データ処理回路32に対してメインメモリ3からのデータ転送要求を実施し、LBA/属性データ、ライトアドレスを用いて、データライト処理を行う。ライトアドレスはフラッシュメモリコントローラ1内で生成する。具体的には、ホスト10から供給されたLBAに基づいて後述の論物変換テーブルから物理アドレスが計算される。ここでは、ライトアドレスは追記型アルゴリズムに従い生成される。追記型アルゴリズムは、1回のライト時に順次ポインタを順次進める制御をするため、ライトアドレスは容易に生成できる。

40

【0026】

データ処理回路32はデータ転送が完了すると、コマンドシーケンサ30に終了レスポンスを返す。その後、コマンド処理回路28は終了通知と正引きテーブル更新に必要な情報をテーブル更新回路34へ渡し、メインメモリ3上のデータを更新する。テーブル更新回路34は終了したコマンドに係るメインメモリ3上のテーブル更新を実施するモジュールであり、ライト終了時の有効ページ管理ビットマップテーブルの更新処理及び、その他の管理テーブルの更新処理を実施する。更新処理の詳細は後述する。テーブル更新回路3

50

4 はすべての処理を終了後、レスポンスキュー 36 に終了コマンドとステータスを送信してハードウェアとしてのコマンド処理が完了する。CPU 2 はレスポンスキュー 36 をリードすることによってコマンド実行結果を確認することができる。

【0027】

図 3 はこのように構成されたフラッシュメモリコントローラ 1 (特に、フラッシュメモリ制御部及び NAND フラッシュメモリ I/F 部 6 とデータフロー制御回路 7) によるコンパクション動作の際のデータの流の概要を示す図であり、図 4 は図 3 の動作を実現するためのフラッシュメモリコントローラ 1 のフローチャートである。図 4 は左側の 2 つのブロック (ブロック # 10、# 20) が CPU 10 の処理であり、残りのブロック (ブロック # 102 ~ # 118) がフラッシュメモリコントローラ 1 (ハードウェア) の処理である。

10

【0028】

NAND 型フラッシュメモリ 8_1 、 8_2 、... 8_n は所定のバイト、例えば 2112 バイト毎に 1 ページを構成し、所定のページ、例えば 64 ページが 1 ブロックを構成する。各ブロックには有効なページと無効なページが混在する。有効なページとは、当該ページ内に書き込まれたデータが存在し、そのデータは有効であることを示している。無効なページとは、当該ページ内に何も書き込まれていないか、もしくは当該ページ内に以前書き込まれていたデータが無効になった場合を示している。この NAND 型フラッシュメモリ 8_1 、 8_2 、... 8_n の各ページが有効 (Valid) か無効 (Invalid) かを示すための有効ページ管理テーブル 52 がメインメモリ 3 内に設けられる。このテーブル 52 は図 5 に示すようにブロック毎の各ページの有効 / 無効を示すビットマップテーブルである。NAND 型フラッシュメモリ 8_1 、 8_2 、... 8_n への書き込みが正常に終了し、コマンドステータスを CPU に返す前に、有効ページ管理テーブル 52 の有効 / 無効状態が更新される。メインメモリ 3 には論理アドレスと物理アドレスの変換のための論物テーブル 54、論理アドレスの順に有効ブロックの物理アドレスを並べた正引きテーブル 56 が設けられる。

20

【0029】

先ず、CPU 2 から NAND 型フラッシュメモリ 8 の物理アドレスを指定してコンパクションコマンドを発行する (図 4 のブロック # 10)。この後、CPU 10 はコンパクション処理が終了するまで、待機状態となる。実際の実施例として、コンパクション処理中にホストからのデータアクセス (ユーザーデータリードまたはライト) が発生することが想定されるため、コンパクションの処理は割り込みによる検知を行っている。また、コンパクション処理の最中にコンパクション対象領域のデータが無効になるケースも存在し、その場合の処理を考慮している。

30

【0030】

メモリコントローラ 1 は NAND 型フラッシュメモリ 8 の指定された物理アドレスのブロックの有効ページからデータを読み出す (ブロック # 102)。読み出されたデータはデータ処理回路 32 によりユーザデータと管理データ (LBA / 属性データ) とに分離される (ブロック # 104)。ユーザデータはメインメモリ 3 のユーザデータ領域に転送される (ブロック # 108)。

【0031】

40

一方、追記ポインタ 58 (図 2 のコマンドシーケンサ 30 に含まれる) によりライトアドレスが算出される (ブロック # 106)。コマンド処理回路 28 はライトアドレスと LBA / 属性データとからライトコマンドを生成し (ブロック # 110)、ライトコマンドをコマンドキュー 26 に投入する (ブロック # 112)。

【0032】

コマンドキュー 26 から読み出されたライトコマンドにより、メインメモリ 3 から転送されたユーザデータが NAND 型フラッシュメモリ 8 の指定されたアドレスにライトされる (ブロック # 114)。ブロック # 114 のように、ブロック # 102 で実行したリードコマンドに後続してコマンドキュー 26 に配置されているライトコマンドの実行 (後続のライト) 時には、読み出したリードデータが、ライトを行う直前の時点で有効か無効か

50

を再度判断する必要がある。これは、リード時は有効であったデータがコンパクション処理中に無効に変化する可能性があり、それに対応するためである。例えば、ホスト10によりユーザデータを上書きした場合は、NANDフラッシュメモリ8上では以前にユーザデータが書かれていた物理アドレスとは別の物理アドレスにデータが書き込みされ、以前にユーザデータが書かれていたNANDフラッシュメモリ8の物理アドレスにそれまでに存在していたデータ(リードデータ)は無効となる。このため、読み出したリードデータが無効になっている時は、無効なデータ(オール“0”)が書き込まれる(“0”パディング)。これは、今回の書き込みは無効であるので、書き込み動作自体を中止しても良いが、コマンドキュー26からライトコマンドが取り出された後に中止するのはハードウェア的に困難な場合があるので、書き込むデータを意味の無いものにして実質的に書き込みを中止し、ハードウェアの処理を簡単にするためである。

【0033】

ブロック#116でテーブル更新回路34はメインメモリ3内の正引きテーブル56を更新する。その後、ブロック#118でテーブル更新回路34はレスポンスキュー36に終了コマンドとステータスを送信してハードウェアとしてのコマンド処理が完了する。

【0034】

CPU2はレスポンスキュー36をリードすることによってコマンド実行ステータスを確認する(ブロック#20)。

【0035】

図6は追記ポインタ58の動作と正引きテーブル56の更新の様子を示す図である。ある時刻において、NANDフラッシュメモリ8の有効/無効ページの状態と正引きテーブル56の状態は図6の左側の状態(更新前)であるとする。追記ポインタ58の指す位置はブロック#5のページ#3とする。この状態において、コンパクション対象としてブロック#0が選ばれたとする。コンパクション対象は有効ページ管理テーブル52の情報に基づいて、有効ページを含み最も数が小さいブロックが選ばれる。有効ページ管理テーブル52は2次元のビットマップ状に配置されているので、コンパクション対象候補のブロックの列挙を容易に行える。ブロック#0の有効ページはページ#1のみである。

【0036】

コンパクションのためには、最初にフリーブロック(全てのページが無効)#6を取得して、そのブロックの先頭ページから順番に有効ページのデータをコピーする。ブロック#0のページ#1のデータをブロック#6のページ#0にコピーした状態を図6の右側に示す。次に、コピーしたデータ(ブロック#0のページ#1)のLBAの位置がコピー先の位置(ブロック#6のページ#0)を示すように正引きテーブル56を更新する。さらに、有効ページがなくなったブロック#0をフリーブロック扱いにするために有効ページ管理テーブル52を更新(ブロック#0のページ#1を無効化)する。ブロック#0のページ#1のデータをブロック#6のページ#0にコピーしたことにより、追記ポインタ58はブロック#6のページ#1に移る。このように、ブロック#5のページ#3が無効から有効に変わったのは、コンパクション処理と平行して動作したユーザーWrite処理によるものである。本特許の本質でない為、詳細は割愛するが、追記ポインタの1加算、それまで追記ポインタが指していた位置へのデータ書き込み、正引きテーブルの更新(blk#5-page#3)された様子も示されている。図では、かつLBA重複があったため、そのLBA(blk#1-page#0)が無効にされた様子も示されている。

【0037】

以上説明したように、第1の実施の形態によれば、NANDフラッシュメモリ8のコンパクション処理を行う場合、CPU2は物理ブロックアドレスを指定してコンパクションコマンドを発生するだけでよい。フラッシュメモリコントローラ1はこのコマンドを受けると、当該ブロックから有効ページのデータをリードし、リードデータから分離した管理データ(LBA/属性データ)に対して追記ポインタにより発生したライトアドレスを追加してライトコマンドを発生する。このライトコマンドに対してメインメモリからのユーザデータを付加・結合してNANDフラッシュメモリ8の指定アドレスへページ単位で書

き込む。書き込み後、データがリードされたブロックが無効化され、正引きテーブルが更新される。これにより、CPU 2からの1コマンドでコンパクション動作（リード処理、後続のライト処理、正引きテーブルの更新処理）を行うことができCPU処理負荷の低減が可能となるとともに、途中でソフトウェア処理が入らないため、システム全体の処理能力が速くなる。

【0038】

書き込みの直前にリードデータが無効となっているか否かを確認し、無効となっているときは、書き込みを中止する、あるいは無効なデータを書き込むことにより、コンパクションの最中にリードデータが無効になった場合にも対処できる。

【0039】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。例えば、本発明はホスト10により制御される半導体ドライブ(Solid State Drive: SSD)を例に説明したが、これに限らず、シリコンオーディオ機器、メモリメディアカードなどに適用することもできる。

10

【0040】

また、本発明は、コンピュータに所定の実行手段を実行させるため、コンピュータを所定の実行手段として機能させるため、コンピュータに所定の機能を実現させるため、あるいはプログラムを記録したコンピュータ読取り可能な記録媒体としても実施することもできる。

20

【0041】

また、コンパクションに限らず、不揮発性メモリの特性である一定期間毎のデータ移動(定期リフレッシュ)への応用や、RMW(リード・モディファイ・ライト)への応用も可能である。

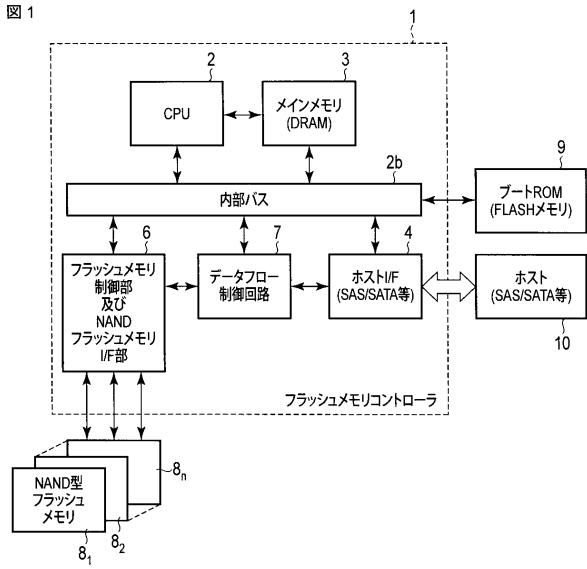
【符号の説明】

【0042】

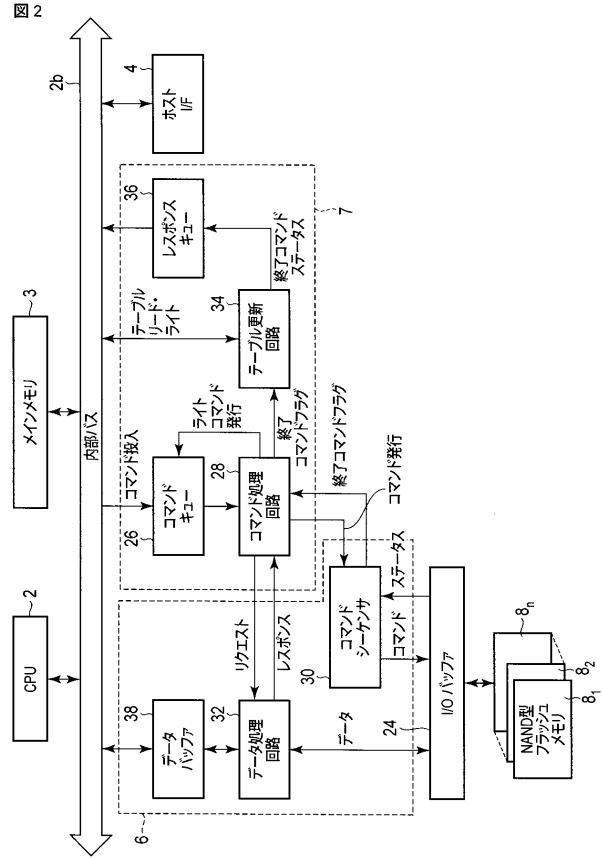
1...フラッシュメモリコントローラ、2...CPU、3...メインメモリ、4...ホストI/F、6...フラッシュメモリ制御部及びNANDフラッシュメモリI/F部、7...データフロー制御回路、8...NAND型フラッシュメモリ、9...ブートROM、26...コマンドキュー、28...コマンド処理回路、30...コマンドシーケンサ、32...データ処理回路、34...テーブル更新回路。

30

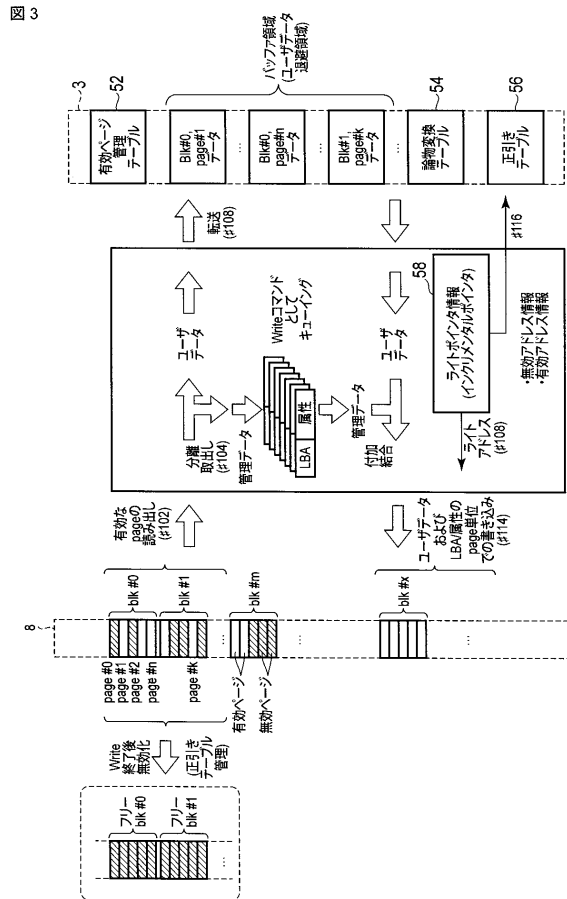
【図1】



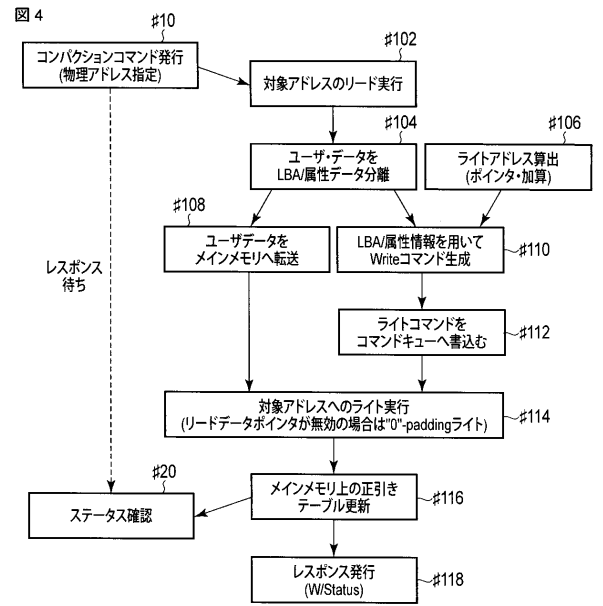
【図2】



【図3】

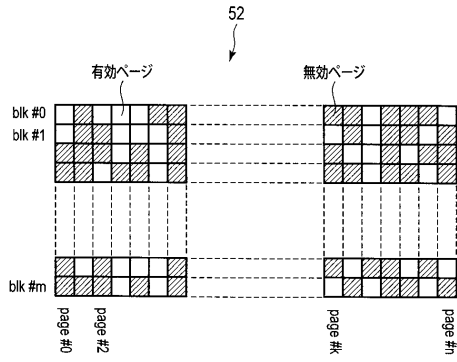


【図4】



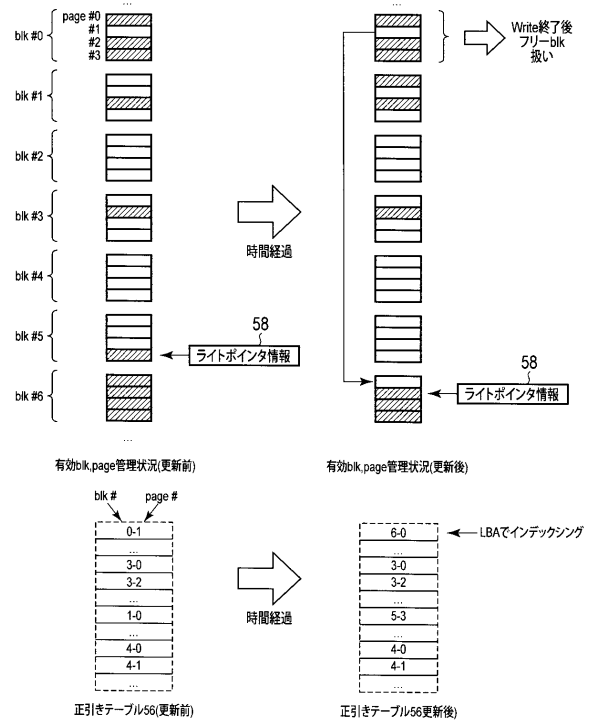
【 図 5 】

図 5



【 図 6 】

図 6



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 松山 元彦
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 福田 徹
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 茂呂 祐行
東京都港区芝浦一丁目1番1号 株式会社東芝内
- Fターム(参考) 5B060 AA10 AA14 AA15