



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월07일
 (11) 등록번호 10-1673215
 (24) 등록일자 2016년11월01일

- (51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)
- (52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2330/021 (2013.01)
- (21) 출원번호 10-2015-0165489(분할)
- (22) 출원일자 2015년11월25일
심사청구일자 2015년11월25일
- (65) 공개번호 10-2015-0141167
- (43) 공개일자 2015년12월17일
- (62) 원출원 특허 10-2014-0026240
원출원일자 2014년03월05일
심사청구일자 2014년03월05일
- (30) 우선권주장
JP-P-2005-191145 2005년06월30일 일본(JP)
- (56) 선행기술조사문헌
JP2003195810 A*
WO2004112440 A1*
KR1020030040056 A
US20040256617 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시킴가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
키무라 하지메
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
장훈

전체 청구항 수 : 총 8 항

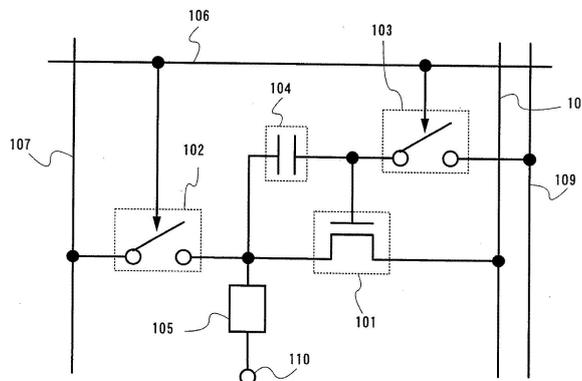
심사관 : 이옥우

(54) 발명의 명칭 반도체 장치, 표시 장치, 및 전자 기기

(57) 요약

반도체의 사이즈가 큰 경우, 트랜지스터의 전력 소모가 증가된다. 따라서 본 발명은 로우(row)마다 표시 소자에 전류를 공급하기 위한 전원선들의 전위들의 변화 없이 신호 기록 동작 중에 표시 소자에 전류가 흐르는 것을 방지할 수 있는 표시 장치를 제공한다. 트랜지스터에 미리 결정된 전류를 인가하여 트랜지스터의 게이트-소스 전압을 설정하는데 있어서, 트랜지스터의 소스 단자에 접속된 부하에 전류가 흐르는 것을 방지하도록 트랜지스터의 게이트 단자의 전위가 조정된다. 따라서 트랜지스터의 게이트 단자에 접속된 배선의 전위는 트랜지스터의 드레인 단자에 접속된 배선의 전위와 차별된다.

대표도



명세서

청구범위

청구항 1

표시 장치에 있어서,
 발광 소자;
 제 1 트랜지스터;
 제 2 트랜지스터;
 제 3 트랜지스터; 및
 용량 소자를 포함하고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 발광 소자에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 게이트는 상기 용량 소자의 제 1 전극에 전기적으로 접속되고,
 상기 용량 소자의 제 2 전극은 상기 발광 소자에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 발광 소자에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 1 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 2 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 3 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되고,
 상기 제 1 배선과 상기 제 4 배선은 교차하고,
 상기 제 1 트랜지스터, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터 각각은 In, Ga, Zn, 및 O 를 포함하고,
 상기 발광 소자는 백색광을 방사하고,
 컬러 필터는 상기 발광 소자 위에 있는, 표시 장치.

청구항 2

표시 장치에 있어서,
 발광 소자;
 제 1 트랜지스터;
 제 2 트랜지스터;
 제 3 트랜지스터; 및
 용량 소자를 포함하고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 발광 소자에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 게이트는 상기 용량 소자의 제 1 전극에 전기적으로 접속되고,
 상기 용량 소자의 제 2 전극은 상기 발광 소자에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 발광 소자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 1 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 2 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 3 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되고,
 상기 제 1 배선과 상기 제 4 배선은 교차하고,
 상기 제 1 트랜지스터, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터 각각은 In, Ga, Zn, 및 O 를 포함하고,
 상기 제 1 트랜지스터, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터 각각은 제 1 게이트 전극, 제 2 게이트 전극 및 상기 제 1 게이트 전극과 상기 제 2 게이트 전극 사이의 채널 영역을 포함하고,
 상기 발광 소자는 백색광을 방사하고,
 컬러 필터는 상기 발광 소자 위에 있는, 표시 장치.

청구항 3

표시 장치에 있어서,
 발광 소자;
 제 1 트랜지스터;
 제 2 트랜지스터;
 제 3 트랜지스터; 및
 용량 소자를 포함하고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 발광 소자에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 게이트는 상기 용량 소자의 제 1 전극에 전기적으로 접속되고,
 상기 용량 소자의 제 2 전극은 상기 발광 소자에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 발광 소자에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 1 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 2 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제 3 배선에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되고,
 상기 제 1 배선과 상기 제 4 배선은 교차하고,
 상기 제 1 트랜지스터, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터 각각은 In, Ga, Zn, 및 O 를 포함하고,
 상기 발광 소자는 백색광을 방사하고,
 컬러 필터는 상기 발광 소자 위에 있고,
 상기 제 1 트랜지스터는 게이트 전극, 상기 게이트 전극 위의 게이트 절연막 및 상기 게이트 절연막 위의 반도체 층을 포함하고,
 절연막은 상기 반도체 층 위에 있고,
 상기 절연막은 접촉 홀을 포함하고,

상기 제 1 배선은 상기 절연막 위에 있고,
 상기 제 1 배선은 상기 접촉 홀을 통해 상기 반도체층과 접촉하고,
 상기 절연막은 상기 반도체층 및 상기 게이트 절연막에 직접적으로 접촉하는, 표시 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 1 트랜지스터와 병렬로 전기적으로 접속된 제 4 트랜지스터를 더 포함하는, 표시 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 1 배선에 미리 결정된 전위가 일정하게 공급되는, 표시 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 2 배선은 전류원에 전기적으로 접속되는, 표시 장치.

청구항 7

제 6 항에 있어서, 상기 전류원은 신호 전류를 설정하는, 표시 장치.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 제 3 배선에 미리 결정된 전위가 일정하게 공급되는, 표시 장치.

발명의 설명

기술 분야

[0001] 발명의 분야

[0002] 본 발명은 트랜지스터에 의해 부하에 공급되는 전류를 제어하는 기능을 가진 반도체 장치, 및 신호에 따라 휘도가 변화되는 전류 구동 표시 소자로 형성된 화소와 화소를 구동하기 위한 신호선 구동 회로 및 주사선 구동 회로를 포함하는 표시 장치에 관한 것이다. 또한, 본 발명은 표시 장치의 구동 방법에 관한 것이다. 더욱이, 본 발명은 표시부로서 표시 장치를 갖는 전자 기기에 관한 것이다.

배경 기술

[0003] 관련 기술의 설명

[0004] 액정과 같은 표시 소자로 형성된 표시 장치인 액정 표시(LCD; liquid crystal display)가 널리 이용된다. 한편, 최근에는, 발광 다이오드(LED; light emitting diode)와 같은 표시 소자로 형성된 화소를 갖는 소위 자체 발광 표시 장치가 주의를 끌고 있다. 이러한 자체 발광 표시 장치용으로 이용된 표시 소자로서, 유기 발광 다이오드(OLED; organic light emitting diode)(또한 유기 EL 소자, 전기 루미네선스(EL) 소자 등이라고도 칭해짐)가 주의를 끌고 있으며, 이들은 EL 표시용으로 사용되었다. OLED와 같은 표시 소자는 자체 발광하며, 따라서 액정 표시에 비해 화소들의 높은 가시성, 역광선 없음, 높은 응답과 같은 이점을 가진다. 표시 소자의 휘도는 일반적으로 표시 소자를 따라 흐르는 전류값으로 제어된다.

[0005] 표시 소자와 같은 그레이 스케일을 표현하기 위한 구동 방법으로서, 디지털 그레이 스케일 방법과 아날로그 그레이 스케일 방법이 있다. 디지털 그레이 스케일 방법에 의하면, 표시 소자는 그레이 스케일을 표현하기 위해 디지털 방식으로 제어되어 온/오프된다. 디지털 그레이 스케일 방법의 경우에, 각 화소의 휘도의 균일성은 뛰어나다. 그러나 단지 2개의 상태, 즉 발광 상태와 비발광 상태만이 존재하기 때문에, 그 외에 아무것도 행해지지

않는다면 단지 2개의 그레이 스케일 레벨들만이 표현될 수 있다. 따라서 다중 레벨의 그레이 스케일을 실현하기 위해 다른 방법이 조합하여 사용된다. 화소들의 가중된 발광 영역들을 선택함으로써 그레이 스케일을 표현하는 영역 그레이 스케일 방법과 가중된 발광 시간을 선택함으로써 그레이 레벨을 표현하기 위한 시간 그레이 스케일 방법이 있다. 또한, 디지털 그레이 스케일 방법의 경우에, 고해상도를 달성하기에 적절한 시간 그레이 스케일 방법이 흔히 이용된다. 한편, 아날로그 그레이 스케일 방법으로서, 아날로그 방식으로 표시 소자의 발광 세기를 제어하는 방법과, 아날로그 방식으로 표시 소자의 발광 시간을 제어하는 방법이 있다. 아날로그 그레이 스케일 방법으로서, 아날로그 방식으로 표시 소자의 발광 세기를 제어하는 방법이 흔히 이용된다. 아날로그 방식으로 표시 소자의 발광 세기를 제어하는 방법으로서, 각 화소의 박막 트랜지스터(이후, TFT라고도 칭해짐)의 특성들의 변동들에 의해 거의 영향을 미치지 않는 전류 입력 전류 구동 방법이 흔히 이용된다.

[0006] 유니폴라 트랜지스터, 즉 p-채널 극성 또는 n-채널 극성 중 하나를 갖는 트랜지스터를 포함하는 전류 입력 전류 구동 화소는 특허 문서 1 및 미특허(Non-Patent) 문서 1에 개시되어 있다.

[0007] [특허문서 1] 일본 특허 공개 공보 제2004-021219호

[0008] [미특허 문서 1] SID 04 DIGEST 1516면 내지 1519면

발명의 내용

해결하려는 과제

[0009] 발명의 요약

[0010] 특허 문서 1 및 미특허 문서 1에 따라, 표시 소자에 전류를 공급하기 위한 전원선들의 전위들은 로우(row)마다 변화된다; 그에 의해 신호들이 화소들에 기록될 때 표시 소자에 전류가 흐르는 것을 방지한다. 신호 기록 동작 중에 전류가 표시 소자에 흐른다면, 그 신호들은 화소들에 정확하게 기록될 수 없다. 결과적으로 표시 결함이 발생한다.

[0011] 한편, 대량의 전류가 전원선들로부터 발광 소자에 공급되도록 요구된다. 따라서 로우마다 전원선들의 전위들을 변화시키면서 대량의 전류를 공급하기 위하여 대량의 전류를 제어할 수 있는 스위치가 배치되도록 요구된다. 이로 인해, 회로의 트랜지스터의 크기가 불가피하게 커야 하는 문제가 생긴다. 트랜지스터의 크기가 크다면, 트랜지스터의 전력 소비가 증가된다.

[0012] 또한, 미특허 문서 1 및 특허 문서 1에 기술된 종래의 구성의 경우에, 신호 기록 동작 중에 표시 소자를 구동하기 위한 트랜지스터에서 $V_{ds} = V_{gs}$ 가 만족된다. 한편, 발광 동작 중에, $V_{ds} > V_{gs}$ 가 만족된다. 따라서 포화 영역에서 일정한 전류 특성들(전류의 균일함)이 저하될 때, 전류값은 신호 기록 동작 중과 발광 동작 중 사이에서 상당히 변화한다.

[0013] 따라서, 본 발명은 로우마다 표시 소자에 전류를 공급하기 위한 전원선들의 전위들의 변화 없이, 신호 기록 동작 중에 표시 소자에 전류가 흐르는 것을 방지할 수 있는 표시 장치를 제공한다.

[0014] 본 발명에서, 트랜지스터에 미리 결정된 전류를 인가하여 트랜지스터의 게이트-소스 전압을 설정하는데 있어서, 트랜지스터의 소스 단자에 접속된 부하에 전류가 흐르는 것을 방지하도록 트랜지스터의 게이트 단자의 전위가 조정된다. 따라서 트랜지스터의 게이트 단자에 접속된 배선의 전위는 트랜지스터의 드레인 단자에 접속된 배선의 전위와 차별된다.

[0015] 즉, 트랜지스터의 게이트 단자의 전위는 트랜지스터의 드레인 단자의 전위보다 더 높거나 더 낮게 설정되고, 그에 의해, 트랜지스터의 소스 단자의 전위를 조정하고 부하에 전류가 흐르는 것을 방지한다.

과제의 해결 수단

[0016] 이후, 특정 구성들이 기술된다.

[0017] 본 발명의 반도체 장치는, 트랜지스터, 제 1 스위치, 제 2 스위치, 용량소자, 제 1 배선, 제 2 배선 제 3 배선 및 부하를 포함한다. 트랜지스터의 제 1 단자는 제 1 스위치를 통해 제 1 배선에 전기적으로 접속되고, 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 트랜지스터의 게이트 단자는 제 2 스위치를 통해 제 3 배선에 전기적으로 접속된다. 용량소자는 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 부하는 트랜지스터의 제 1 단자에 접속된다.

- [0018] 또한, 상기한 구조를 갖는 본 발명의 반도체 장치에서, 미리 결정된 전위는 제 2 배선 및 제 3 배선에 입력된다.
- [0019] 본 발명의 반도체 장치는, 트랜지스터, 제 1 스위치, 제 2 스위치, 용량소자, 제 1 배선, 제 2 배선 제 3 배선 및 부하를 포함한다. 트랜지스터의 제 1 단자는 제 1 스위치를 통해 제 1 배선에 전기적으로 접속되고, 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 트랜지스터의 게이트 단자는 제 2 스위치를 통해 제 3 배선에 전기적으로 접속된다. 용량소자는 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 부하는 트랜지스터의 제 1 단자에 접속된다. 제 3 배선의 전위는 제 2 배선의 전위보다 낮다.
- [0020] 본 발명의 반도체 장치는, 트랜지스터, 제 1 스위치, 제 2 스위치, 용량소자, 제 1 배선, 제 2 배선 제 3 배선 및 부하를 포함한다. 트랜지스터의 제 1 단자는 제 1 스위치를 통해 제 1 배선에 전기적으로 접속되고, 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 트랜지스터의 게이트 단자는 제 2 스위치를 통해 제 3 배선에 전기적으로 접속된다. 용량소자는 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 부하는 트랜지스터의 제 1 단자에 접속된다. 미리 결정된 전위는 제 2 배선과 제 3 배선에 입력된다. 제 1 스위치 및 제 2 스위치는 턴온되고 제 1 배선에 전류가 흐를 때, 전류는 트랜지스터로 흐르고 부하에는 흐르지 않는다. 한편, 제 1 스위치 및 제 2 스위치가 턴오프되면 전류는 트랜지스터와 부하에 흐른다.
- [0021] 본 발명의 반도체 장치는, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선 및 부하를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 제 3 배선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 제 1 배선 및 제 2 배선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 제 1 배선 및 상기 제 4 배선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 부하는 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다.
- [0022] 또한, 상기한 구조를 가진 본 발명의 반도체 장치에서, 미리 결정된 전위는 제 3 배선 및 제 4 배선에 입력된다.
- [0023] 본 발명의 반도체 장치는, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선 및 부하를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 제 3 배선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 제 1 배선 및 제 2 배선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 제 1 배선 및 상기 제 4 배선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 부하는 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 4 배선의 전위는 제 3 배선의 전위보다 낮다.
- [0024] 본 발명의 반도체 장치는, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선 및 부하를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 제 3 배선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 제 1 배선 및 제 2 배선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 제 1 배선 및 상기 제 4 배선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 부하는 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 1 스위치 및 제 2 스위치는 제 1 배선에 입력된 신호에 의해 턴온되고 제 1 배선에 전류가 흐를 때, 전류는 제 1 트랜지스터로 흐르고 부하에는 흐르지 않는다. 한편, 제 2 스위치 및 제 3 스위치가 턴오프되면 전류는 제 1 트랜지스터와 부하에 흐른다.
- [0025] 본 발명의 표시 장치는, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 및 화소 전극과 대향 전극 사이에 발광층을 갖는 발광 소자를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 제 3 배선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 제 1 배선 및 상기 제 2 배선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 제 1 배선 및 상기 제 4 배선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 발광 소자의 화소 전극은 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다.
- [0026] 또한, 상기한 구조를 갖는 본 발명의 표시 장치에서, 미리 결정된 전위는 제 3 배선 및 제 4 배선에 입력된다.

- [0027] 본 발명의 표시 장치는, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 및 화소 전극과 대향 전극 사이에 발광층을 갖는 발광 소자를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 제 3 배선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 제 1 배선 및 상기 제 2 배선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 제 1 배선 및 상기 제 4 배선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 발광 소자의 화소 전극은 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 4 배선의 전위는 제 3 배선의 전위보다 낮다.
- [0028] 본 발명의 표시 장치는, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 및 화소 전극과 대향 전극 사이에 발광층을 갖는 발광 소자를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 제 3 배선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 제 1 배선 및 상기 제 2 배선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 제 1 배선 및 상기 제 4 배선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 발광 소자의 화소 전극은 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 2 스위치 및 제 3 스위치는 제 1 배선에 입력된 신호에 의해 턴온되고 제 1 배선에 전류가 흐를 때, 전류는 제 1 트랜지스터로 흐르고 발광 소자에는 흐르지 않는다. 한편, 제 2 스위치 및 제 3 스위치가 턴오프되면 전류는 제 1 트랜지스터와 발광 소자에 흐른다.
- [0029] 본 발명의 표시 장치는, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 및 화소 전극과 대향 전극 사이에 발광층을 갖는 발광 소자를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 제 3 배선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 제 1 배선 및 제 2 배선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 제 1 배선 및 상기 제 4 배선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 발광 소자의 화소 전극은 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다. 제 4 배선의 전위는 대향 전극의 전위와 동일하다.
- [0030] 본 발명의 표시 장치는, 주사선 구동 회로, 신호선 구동 회로 및 화소부를 포함한다. 화소부는 주사선 구동 회로로부터 연장된 복수의 주사선들, 신호선 구동 회로로부터 연장된 복수의 신호선들 및 주사선들 및 신호선들에 대응하는 매트릭스로 배열된 복수의 화소들을 포함한다. 화소들 각각은 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 주사선들 중 하나, 신호선들 중 하나, 전원선, 바이어스선, 및 화소 전극과 대향 전극 사이에 발광층을 갖는 발광 소자를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 전원선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 주사선 및 신호선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 주사선 및 바이어스선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 발광 소자의 화소 전극은 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다.
- [0031] 본 발명의 표시 장치는, 주사선 구동 회로, 신호선 구동 회로 및 화소부를 포함한다. 화소부는 주사선 구동 회로로부터 연장된 복수의 주사선들, 신호선 구동 회로로부터 연장된 복수의 신호선들 및 주사선들 및 신호선들에 대응하는 매트릭스로 배열된 복수의 화소들을 포함한다. 화소들 각각은 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 주사선들 중 하나, 신호선들 중 하나, 전원선, 바이어스선, 및 화소 전극과 대향 전극 사이에 발광층을 갖는 발광 소자를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 전원선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 주사선 및 신호선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 주사선 및 바이어스선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 발광 소자의 화소 전극은 제 1 트랜지스터의 제 1 단자에 전기적으로 접속된다. 바이어스선의 전위는 전원선의 전위보다 낮다.
- [0032] 본 발명의 표시 장치는, 주사선 구동 회로, 신호선 구동 회로 및 화소부를 포함한다. 화소부는 주사선 구동 회로로부터 연장된 복수의 주사선들, 신호선 구동 회로로부터 연장된 복수의 신호선들 및 주사선들 및 신호선들에 대응하는 매트릭스로 배열된 복수의 화소들을 포함한다. 화소들 각각은 제 1 트랜지스터, 제 2 트랜지스터, 제

3 트랜지스터, 용량소자, 주사선들 중 하나, 신호선들 중 하나, 전원선, 바이어스선, 및 화소 전극과 대향 전극 사이에 발광층을 갖는 발광 소자를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 전원선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 주사선 및 신호선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 주사선 및 바이어스선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 제 2 스위치 및 제 3 스위치는 주사선에 입력된 신호에 의해 턴 온되고 신호선에 신호 전류가 흐를 때, 전류는 제 1 트랜지스터로 흐르고 발광 소자에는 흐르지 않는다. 한편, 제 2 스위치 및 제 3 스위치가 턴오프되면 전류는 제 1 트랜지스터와 발광 소자에 흐른다.

[0033] 본 발명의 표시 장치는, 주사선 구동 회로, 신호선 구동 회로 및 화소부를 포함한다. 화소부는 주사선 구동 회로로부터 연장된 복수의 주사선들, 신호선 구동 회로로부터 연장된 복수의 신호선들 및 주사선들 및 신호선들에 대응하는 매트릭스로 배열된 복수의 화소들을 포함한다. 화소들 각각은 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 용량소자, 주사선들 중 하나, 신호선들 중 하나, 전원선, 바이어스선, 및 화소 전극과 대향 전극 사이에 발광층을 갖는 발광 소자를 포함한다. 제 1 트랜지스터의 제 1 단자, 제 2 단자 및 게이트 단자는 제 2 트랜지스터의 제 2 단자, 전원선 및 제 3 트랜지스터의 제 1 단자에 각각 전기적으로 접속된다. 제 2 트랜지스터의 게이트 단자 및 제 1 단자는 주사선 및 신호선에 각각 전기적으로 접속된다. 제 3 트랜지스터의 게이트 단자 및 제 2 단자는 주사선 및 바이어스선에 각각 전기적으로 접속된다. 용량소자는 제 1 트랜지스터의 게이트 단자와 제 1 단자 사이에 전기적으로 접속된다. 발광 소자의 화소 전극은 제 1 트랜지스터의 제 1 단자에 접속된다. 바이어스선의 전위는 대향 전극의 전위와 동일하다.

[0034] 또한, 상기한 구조를 갖는 본 발명의 표시 장치에서, 제 1, 제 2 및 제 3 트랜지스터들은 n-채널 트랜지스터들이다.

[0035] 또한, 상기한 구조를 갖는 본 발명의 표시 장치에서, n-채널 트랜지스터의 반도체층에 대해 비정질 반도체막이 사용된다.

[0036] 본 발명에 사용된 스위치는 전자 스위치 또는 기계적 스위치와 같은 임의의 스위치가 될 수 있다. 즉, 전류 흐름을 제어할 수 있고 특정한 형태로 한정되지 않는다면 어떠한 것이라도 될 수 있다. 그것은, 트랜지스터, 다이오드(PN 다이오드, PIN 다이오드, 쇼트키 다이오드, 다이오드 접속된 트랜지스터 등), 또는 그들과 함께 구성된 논리 회로가 될 수 있다. 따라서 스위치로서 트랜지스터를 사용하는 경우에, 그 극성(도전성)은 트랜지스터가 스위치로서만 동작하기 때문에 특별히 한정되지 않는다. 그러나 오프 전류가 작은 것이 양호할 때, 작은 오프 전류를 가진 극성의 트랜지스터가 사용되는 것이 바람직하다. 예를 들면, LDD 영역 또는 다중 게이트 구조를 갖는 트랜지스터는 작은 오프 전류를 갖는다. 또한 스위치로서 동작하는 트랜지스터의 소스 단자의 전위가 낮은 전위쪽 전원(V_{ss}, GND, 0V 등)에 가까울 때 n-채널 트랜지스터가 이용되는 것이 바람직하고, 소스 단자의 전위가 높은 전위쪽 전원(V_{dd} 등)에 가까울 때 p-채널 트랜지스터가 이용되는 것이 바람직하다. 이것은, 트랜지스터의 게이트-소스 전압의 절대값이 증가될 수 있기 때문에, 스위치가 효율적으로 동작하도록 돕는다. CMOS 스위치가 n-채널 및 p-채널 트랜지스터들 모두를 사용하여 적용될 수도 있음을 유념한다. CMOS 스위치를 사용함으로써, 스위치를 통해 출력된 전압(즉, 스위치에 대한 입력 전압)이 출력 전압보다 더 높거나 낮도록 상태를 변경할 때에도 동작이 적절히 수행될 수 있다.

[0037] 본 발명에서, "접속되는"의 의미는 "전기적으로 접속되는"과 "직접 접속되는"을 의미한다. 따라서 본 발명에 개시된 구조에서, 미리 결정된 접속 외에도, 전기 접속을 가능하게 하는 다른 소자(예를 들면, 스위치, 트랜지스터, 용량소자, 인덕터, 레지스터, 다이오드 등)가 제공될 수 있다. 대안적으로, 직접 접속은 다른 소자를 삽입시키지 않고 이루어질 수 있다. 소자들이 전기 접속을 가능하게 하는 다른 소자를 삽입시키지 않고 접속되고 전기적이 아니라 직접 접속될 때, "직접 접속되는"이라고 칭해짐을 유념한다. "전기적으로 접속되는"은 "전기적으로 접속되는"과 "직접 접속되는"을 의미함을 유념한다.

[0038] 다양한 모드들이 표시 소자에 적용될 수 있음을 유념한다. 예를 들면, EL 소자(유기 EL 소자, 무기 EL 소자, 유기 재료와 무기 재료를 함유한 EL 소자) 전자 방전 소자, 액정 소자, 전자 잉크, 광 회절 소자, 방전 소자, 디지털 마이크로미러 장치(DMD: digital micromirror device), 압전 소자 또는 탄소 나노튜브와 같이, 콘트라스트가 전자기 효과에 의해 변경되는 표시 매체가 사용될 수 있다. EL 소자를 사용하는 EL 패널형 표시 장치는 EL 표시를 포함한다; 필드 방사 표시(FED: field emission display), SED형 평면 패널 표시(Surface-conduction Electron-emitter Display) 등을 포함한다; 액정 소자를 사용하는 액정 패널형 표시 장치는 액정 표시를 포함한다; 전자 잉크를 사용하는 디지털 페이퍼형 표시 장치는 전자 페이퍼를 포함한다; 광 회절 소자를 사용하는 표

시 장치는 격자 광 밸브(GLV: grating light valve)형 표시를 포함한다; 방전 소자를 사용하는 PDP(Plasma Display Panel)형 표시는 플라즈마 표시를 포함한다; 마이크로미터 소자를 사용하는 DMD 패널형 표시 장치는 디지털 광 처리(DLP: digital light processing)형 표시 장치를 포함한다; 압전 소자를 사용하는 표시 장치는 압전 세라믹 표시를 포함한다; 탄소 나노튜브를 사용하는 표시 장치는 나노 방사 표시(NED: nano emissive display) 등을 포함한다.

[0039] 다양한 모드들의 트랜지스터들이 본 발명의 트랜지스터에 적용될 수 있음을 유념한다. 따라서 본 발명에 적용할 수 있는 트랜지스터들의 종류들은 한정되지 않는다. 따라서 다음의 트랜지스터들이 본 발명에 적용할 수 있다: 비정질 실리콘 및 다결정 실리콘에 의해 대표되는 비단일 결정 반도체막을 사용하는 박막 트랜지스터(TFT); 반도체 기판 또는 SOI 기판을 사용하여 형성된 MOS 트랜지스터; 접합 트랜지스터; 바이폴라 트랜지스터; ZnO 또는 a-InGa ZnO와 같은 화합물 반도체를 사용하는 트랜지스터; 유기 반도체 또는 탄소 나노튜브를 사용하는 트랜지스터; 및 다른 트랜지스터. 비단일 결정 반도체막이 수소 또는 할로젠을 함유할 수 있음을 유념한다. 트랜지스터가 제공되는 기판은 특정한 형태에 한정되지 않고 다양한 종류의 기판들이 사용될 수 있다. 따라서 트랜지스터는 예를 들면, 단결정 기판, SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 페이퍼 기판, 셀로판 기판, 돌 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 갖는 기판 등과 같은 기판 위에 제공될 수 있다. 또한, 특정 기판 위에 형성된 트랜지스터는 다른 기판으로 옮겨질 수 있다.

[0040] 트랜지스터들이 다양한 모드들의 구조들을 가질 수 있고 특정한 구조에 한정되지 않음을 유념한다. 예를 들면, 게이트들의 수가 2개 이상인 경우의 다중 게이트 구조가 마찬가지로 사용될 수 있다. 다중 게이트 구조에 의하면, 오프 전류가 감소될 수 있고, 트랜지스터의 압력 저항을 개선시킴으로써 신뢰도가 개선될 수 있고, 드레인-소스 전압이 포화 영역의 동작에 있어서 변화할 때에도 드레인-소스 전류가 그다지 변하지 않기 때문에 더 균일한 특성들이 얻어질 수 있다. 또한, 게이트 전극들은 채널 위 및 아래에 제공될 수 있다. 따라서 채널 영역이 증가하고 그에 의해 전류값이 증가하거나, 공핍층이 쉽게 형성될 수 있기 때문에 하위 임계값 계수가 개선될 수 있다. 또한, 게이트 전극은 채널 위 또는 아래에 제공될 수 있다. 순방향 엇갈리는 구조 또는 역으로 엇갈리는 구조 중 어느 하나가 이용될 수 있다. 채널 영역은 복수의 영역들로 분할될 수 있거나, 병렬 또는 직렬로 접속될 수 있다. 또한, 소스 전극 또는 드레인 전극은 채널(또는 채널의 일부)을 오버랩할 수 있고, 그에 의해 채널의 일부에 전하가 축적되거나 불안정한 동작을 하는 것을 방지한다. 또한, LDD 영역이 제공될 수 있다. LDD 영역을 제공함으로써, 오프 전류가 감소될 수 있고, 트랜지스터의 압력 저항을 개선시킴으로써 신뢰도가 개선될 수 있고, 드레인-소스 전압이 포화 영역의 동작에 있어서 변화할 때에도 드레인-소스 전류가 그다지 변하지 않기 때문에 더 균일한 특성들이 얻어질 수 있다.

[0041] 다양한 형태들의 트랜지스터들이 본 발명의 트랜지스터로서 사용될 수 있고 다양한 기판 위에 형성될 수 있음을 유념한다. 따라서 모든 회로들은 유리 기판, 플라스틱 기판, 단결정 기판, SOI 기판, 또는 다른 기판 위에 형성될 수 있다. 모든 회로들이 기판 위에 형성될 때, 구성 부품들의 수를 감소시킴으로써 비용이 감소될 수 있고, 구성 부품들의 접속들의 수를 감소시킴으로써 신뢰도가 개선될 수 있다. 대안적으로, 회로의 일부가 특정 기판 위에 형성될 수 있고, 회로의 다른 q분들이 다른 기판 위에 형성될 수도 있다. 즉, 모든 회로들이 동일한 기판 위에 형성되도록 요구되는 것은 아니다. 예를 들면, 회로들의 일부는 트랜지스터를 사용한 유리 기판 위에 형성될 수 있고, 회로들의 다른 부분은 COG(Chip On Glass)에 의해 유리 기판 위에 제공될 수 있는 IC 칩으로 단결정 기판 위에 형성될 수 있다. 대안적으로, IC 칩은 TAB(Tape Auto Bond)를 사용한 유리 기판 또는 인쇄 기판에 접속될 수 있다. 이러한 방식으로, 회로의 일부가 동일한 기판 위에 형성될 때, 구성 부품들의 수를 감소시킴으로써 비용이 감소될 수 있고, 구성 부품들의 접속들의 수를 감소시킴으로써 신뢰도가 개선될 수 있다. 또한, 더 많은 전력을 소비하는 높은 구동 전압 또는 높은 구동 주파수를 가진 부분은 동일한 기판 위에 형성되지 않으며, 그에 의해 전력 소비의 증가가 방지될 수 있다.

[0042] 본 발명에서 하나의 화소는 밝기를 제어할 수 있는 하나의 소자에 대응한다는 것에 유념한다. 따라서 예를 들면, 하나의 화소는 밝기가 표현되는 하나의 색 소자를 표현한다. 따라서 R(적색), G(녹색) 및 B(청색)의 색 소자로 이루어진 색 표시 장치의 경우에, 영상의 가장 작은 단위는 R 화소, G 화소 및 B 화소의 3개의 화소들로 이루어진다. 색 소자가 3개의 색들로 이루어지는 것에 한정되지 않고, RGBW(W는 백색) 또는 RGB에 황색, 청록색, 자홍색이 부가되는 3개 이상의 색 소자들로 이루어질 수 있음을 유념한다. 또한, 다른 예로서, 복수의 영역들을 사용하여 하나의 색 소자의 밝기를 제어하는 경우에, 복수의 영역들 중 하나는 하나의 화소에 대응한다. 따라서 예를 들면, 에어리어 그레이 스케일 표시를 수행하는 경우에, 밝기를 제어하는 복수의 영역들은 전체로서 그레이 스케일을 표현하는 하나의 색 소자에 제공된다. 밝기를 제어하는 영역들 중 하나는 하나의 화소에 대응한다. 따라서 이 경우, 하나의 색 소자는 복수의 화소들로 이루어진다. 더욱이, 이 경우, 표시에 기여하

는 영역들은 화소에 따라 크기가 다를 수 있다. 하나의 색 소자에 제공된 밝기를 제어하는 복수의 영역들에서, 즉, 하나의 색 소자에 기여하는 복수의 화소들에서, 약간 상이한 신호를 각각의 화소에 공급함으로써 시야각이 확장될 수 있다.

- [0043] 본 발명에서 화소들은 매트릭스로 배열될 수 있음을 유념한다. 여기에서, 화소들이 매트릭스로 배열되는 경우는 화소들이 세로 줄무늬들 및 가로 줄무늬들이 서로 가로지르는 격자 패턴으로 배열되는 경우에 대응하거나, 또는 풀 컬러 표시가 3개의 색 소자들(예를 들면, RGB)을 사용하여 수행될 때 3개의 색 소자들의 점들이 베이어 패턴(Bayer pattern)으로 또는 델타 패턴이라 불리는 패턴으로 배열되는 경우에 대응한다. 색 소자가 3개의 색들에 한정되지 않고 색들의 수가 3개 이상일 수 있음을 유념한다. 발광 면적의 크기는 색 소자의 점에 따라 상이할 수 있다.
- [0044] 트랜지스터가 게이트, 드레인 및 소스를 포함하는 적어도 3개의 단자들을 갖는 소자임을 유념한다. 채널 영역은 드레인 영역 및 소스 영역 사이에 제공된다. 여기에서, 소스 영역 또는 드레인 영역이 트랜지스터의 구조, 동작 조건 등에 의존하기 때문에 소스 영역 또는 드레인 영역을 결정하기는 어렵다. 따라서 본 발명에서, 소스 또는 드레인으로서 기능하는 영역은 소스 또는 드레인으로서 칭해지지 않을 수 있다. 이 경우, 예를 들면, 소스로 기능하는 영역과 드레인으로서 기능하는 영역 각각은 제 1 단자 또는 제 2 단자라고 칭해질 수 있다.
- [0045] 게이트는 게이트 전극 및 게이트 배선(또는 게이트 라인, 게이트 신호선 등) 또는 그들 일부를 포함함을 유념한다. 게이트 전극은 채널 영역, LDD(Lightly Doped Drain) 영역 등을 형성하고 그 사이에 절연막이 삽입된 반도체를 오버랩하는 부분의 도전막에 대응한다. 게이트 배선은 화소들의 게이트 전극들을 접속하고 게이트 전극과 다른 배선을 접속시키는 배선에 대응한다.
- [0046] 그러나 게이트 전극과 또한 게이트 배선으로 기능하는 부분이 존재한다. 이러한 영역은 게이트 전극 또는 게이트 배선이라 칭해질 수 있다. 즉, 게이트 전극 또는 게이트 배선으로 특별히 결정될 수 없는 영역이 존재한다. 예를 들면, 연장되는 게이트 배선을 오버랩하는 채널 영역이 존재할 때 그 영역은 게이트 배선과 또한 게이트 전극으로 기능한다. 따라서 이러한 영역은 게이트 전극 또는 게이트 배선이라고 칭해질 수 있다.
- [0047] 또한, 게이트 전극과 동일한 재료로 이루어지고 게이트 전극에 접속된 영역이 마찬가지로 게이트 전극이라고 칭해질 수 있다. 유사하게, 게이트 배선과 동일한 재료로 형성되고 게이트 배선에 접속된 영역은 게이트 배선이라고 칭해질 수 있다. 엄격히 말하면, 이러한 영역들은 채널 영역을 오버랩하지 않거나, 일부 경우에 다른 게이트 전극에 접속하는 기능들을 갖지 않는다. 그러나 제조 마진 등으로 인해, 게이트 전극 또는 게이트 배선과 동일한 재료로 이루어지고 게이트 전극 또는 게이트 배선에 접속된 영역이 존재한다. 따라서 이러한 영역은 게이트 전극 또는 게이트 배선이라고 칭해질 수 있다.
- [0048] 예를 들면, 다중 게이트 트랜지스터에서, 하나의 트랜지스터와 다른 트랜지스터의 게이트 전극들은 게이트 전극들과 동일한 재료로 이루어진 도전막을 통해 흔히 접속된다. 이러한 영역은, 다중 게이트 트랜지스터가 하나의 트랜지스터로서 간주될 때 게이트 전극 또는 게이트 전극들을 접속시키는 영역이기 때문에 게이트 배선이라고 칭해질 수 있다. 즉, 게이트 전극 또는 게이트 배선과 동일한 재료로 이루어지고 게이트 전극 또는 게이트 배선에 접속된 구성 부품은 게이트 전극 또는 게이트 배선이라고 칭해질 수 있다. 더욱이, 예를 들면, 게이트 전극 및 게이트 배선을 접속시키는 부분의 도전막은 게이트 전극 또는 게이트 배선이라고 칭해질 수 있다.
- [0049] 게이트 단자는 게이트 전극의 영역의 일부 또는 게이트 전극에 전기적으로 접속된 영역에 대응함을 유념한다.
- [0050] 소스는 소스 영역, 소스 전극 및 소스 배선(소스 라인, 소스 신호선 등으로 칭해질 수 있음), 또는 그들의 일부를 포함함을 유념한다. 소스 영역은 많은 P형 불순물(붕소, 갈륨 등) 또는 N형 불순물들(인, 비소 등)을 함유하는 반도체 영역에 대응한다. 따라서 작은 양의 P형 불순물들 또는 N형 불순물들을 함유하는 영역, 즉, LDD(Lightly Doped Drain) 영역은 소스 영역 내에 포함되지 않는다. 소스 전극은 소스 영역과 상이한 영역으로 이루어지고 소스 영역에 전기적으로 접속된 부분의 도전층에 대응한다. 그러나 소스 전극은 소스 영역을 포함하는 소스 전극이라고 칭해질 수 있다. 소스 배선은 화소들의 소스 전극들을 접속시키고 소스 전극과 다른 배선을 접속시키는 배선에 대응한다.
- [0051] 그러나 소스 전극과 또한 소스 배선으로서 기능하는 부분이 존재한다. 그러한 영역은 소스 전극 또는 소스 배선이라고 칭해질 수 있다. 즉, 소스 전극 또는 소스 배선으로 특별히 결정될 수 없는 영역이 존재한다. 예를 들면, 연장되는 소스 배선을 오버랩하는 소스 영역이 존재할 때, 그 영역은 소스 배선 및 또한 소스 전극으로서 기능한다. 따라서 이러한 영역은 소스 배선 또는 소스 전극이라고 칭해질 수 있다.
- [0052] 또한, 소스 전극과 동일한 재료로 이루어지고 소스 전극에 접속되는 부분은 마찬가지로 소스 전극이라고 칭해질

수 있다. 소스 전극과 다른 소스 전극을 접속시키는 부분도 마찬가지로 소스 전극이라고 칭해질 수 있다. 또한, 소스 영역을 오버랩하는 부분도 소스 전극이라고 칭해질 수 있다. 유사하게, 소스 배선과 동일한 재료로 이루어지고 소스 배선에 접속되는 부분은 마찬가지로 소스 배선이라고 칭해질 수 있다. 엄격히 말하면, 이러한 영역들은 다른 소스 전극에 접속하는 기능들을 갖지 않는다. 그러나 제조 마진 등으로 인해, 소스 전극 또는 소스 배선과 동일한 재료로 이루어지고 소스 전극 또는 소스 배선에 접속된 영역이 존재한다. 따라서 이러한 영역은 소스 전극 또는 소스 배선이라고 칭해질 수 있다.

[0053] 예를 들면, 소스 전극 및 소스 배선을 접속시키는 부분의 도전막은 소스 전극 또는 소스 배선이라고 칭해질 수 있다.

[0054] 소스 단자는 소스 영역의 일부, 소스 전극 또는 소스 전극에 전기적으로 접속된 영역에 대응함을 유념한다.

[0055] 드레인에 대해서, 소스와 유사한 것이 적용될 수 있음을 유념한다.

[0056] 본 발명에서, 반도체 장치는 반도체 소자(트랜지스터, 다이오드 등)를 갖는 회로를 포함하는 장치에 대응함을 유념한다. 또한, 반도체 장치는 반도체 특성들을 활용함으로써 기능할 수 있는 일반 장치일 수 있다. 표시 장치는 표시 소자(액정 소자, 발광 소자 등)를 포함하는 장치에 대응한다. 표시 장치는 액정 소자 및 EL 소자를 포함하는 복수의 화소들 및 화소들을 구동하는 주변 구동 회로가 기판 위에 형성되는 표시 패널의 본체가 될 수 있음을 유념한다. 또한, 표시 장치는 가용성 인쇄 회로(FPC: flexible printed circuit) 또는 인쇄 배선 회로(PWB: printed wiring board)(IC, 레지스터, 용량소자, 인덕터, 트랜지스터 등)가 구비된 장치를 포함할 수 있다. 더욱이, 표시 장치는 편광판 또는 지연막과 같은 광학 시트를 포함할 수 있다. 그 외에도, 백라이트(광 안내판, 프리즘 시트, 확산 시트, 반사 시트, 광원(LED), 콜드-캐소드 튜브 등)가 포함될 수 있다. 발광 장치는 EL 소자 또는 특히 FED용으로 사용된 소자와 같은 자체 발광 표시 소자를 포함하는 표시 장치에 대응한다. 액정 표시 장치는 액정 소자를 포함하는 표시 장치에 대응한다.

[0057] 본 발명에서, 한 대상이 다른 대상 위에 형성되는 것을 기술할 때, 그 대상이 다른 대상과 직접 접촉하여 있음을 의미할 필요가 없음을 주지한다. 상기 2개의 대상들이 서로 직접 접촉하여 있지 않은 경우에, 또 다른 대상이 그 사이에 삽입될 수 있다. 따라서 층 B가 층 A 상에 형성되는 것을 기술할 때, 층 B는 층 A와 직접 접촉하여 형성되는 경우, 또는 다른 층(층 C 또는 층 D)이 층 A와 직접 접촉하여 형성된 다음, 층 B가 다른 층과 직접 접촉하여 형성되는 경우 중 어느 하나를 의미한다. 그 외에도, 한 대상이 다른 대상 위 또는 바로 위에 형성되는 것을 기술할 때, 대상이 다른 대상과 직접 접촉하는 것을 의미할 필요가 없으며, 다른 대상이 그 사이에 삽입될 수 있다. 따라서 층 B가 층 A 위 또는 바로 위에 형성되는 것을 기술할 때, 층 B는 층 A와 직접 접촉하여 형성되는 경우, 또는 다른 층(층 C 또는 층 D)이 층 A와 직접 접촉하여 형성된 다음, 층 B가 다른 층과 직접 접촉하여 형성되는 경우 중 어느 하나를 의미한다. 유사하게, 대상이 다른 대상 아래 또는 바로 아래에 형성되는 것을 기술할 때, 그 대상들은 서로 직접 접촉하는 경우와, 서로 접촉하지 않는 경우 중 어느 하나를 의미한다.

[0058] 본 발명은, 로우마다 표시 소자에 전류를 공급하기 위한 전원선들의 전위들의 변경 없이 신호 기록 동작 중에 전류가 표시 소자에 흐르는 것을 방지할 수 있는 표시 장치를 제공할 수 있다.

발명의 효과

[0059] 본 발명에 의하면, 로우마다 표시 소자에 전류를 공급하기 위한 전원선들의 전위들의 변화 없이, 신호 기록 동작 중에 표시 소자에 전류가 흐르는 것을 방지할 수 있는 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0060] 도 1은 본 발명의 화소 구조를 도시한 도면.
- 도 2는 본 발명의 화소 구조를 도시한 도면.
- 도 3a 및 도 3b는 본 발명의 화소의 동작을 도시한 도면들.
- 도 4는 본 발명의 표시 장치를 도시한 도면.
- 도 5는 본 발명의 화소 구조를 도시한 도면.
- 도 6은 본 발명의 화소 구조를 도시한 도면.
- 도 7a 내지 도 7d는 본 발명의 화소의 동작을 도시한 도면들.

- 도 8a 및 도 8b는 본 발명의 화소의 동작을 도시한 도면들.
- 도 9a 및 도 9b는 본 발명의 화소의 동작을 도시한 도면들.
- 도 10a 및 도 10b는 본 발명의 화소의 동작을 도시한 도면들.
- 도 11은 본 발명의 화소 구조를 도시한 도면.
- 도 12a 내지 도 12c는 본 발명의 화소의 동작을 도시한 도면들.
- 도 13은 본 발명의 화소 구조를 도시한 도면.
- 도 14는 본 발명의 화소 구조를 도시한 도면.
- 도 15는 본 발명의 화소 구조를 도시한 도면.
- 도 16은 본 발명의 화소 구조를 도시한 도면.
- 도 17은 본 발명의 화소 구조를 도시한 도면.
- 도 18은 본 발명의 화소 구조를 도시한 도면.
- 도 19a 및 도 19b는 본 발명의 화소들이 동작할 때 접속 상태를 도시한 도면들.
- 도 20은 본 발명의 화소 구조를 도시한 도면.
- 도 21은 본 발명의 기본 원리를 도시한 도면.
- 도 22a 및 도 22b는 본 발명의 표시 패널을 도시한 도면들.
- 도 23a 및 도 23b는 본 발명의 표시 장치에 응용 가능한 발광 소자를 도시한 도면들.
- 도 24a 내지 도 24c는 본 발명의 표시 패널을 도시한 도면들.
- 도 25는 본 발명의 표시 패널을 도시한 도면.
- 도 26a 및 도 26b는 본 발명의 화소에 응용 가능한 트랜지스터 및 용량소자의 구조들을 도시한 도면들.
- 도 27a 및 도 27b는 본 발명의 화소에 응용 가능한 트랜지스터 및 용량소자의 구조들을 도시한 도면들.
- 도 28a 및 도 28b는 표시 패널들을 도시한 도면들.
- 도 29a 및 도 29b는 표시 패널을 도시한 도면들.
- 도 30a 및 도 30b는 본 발명의 화소에 응용 가능한 트랜지스터 및 용량소자의 구조들을 도시한 도면들.
- 도 31a 및 도 31b는 본 발명의 화소에 응용 가능한 트랜지스터 및 용량소자의 구조들을 도시한 도면들.
- 도 32a 및 도 32b는 본 발명의 화소에 응용 가능한 트랜지스터 및 용량소자의 구조들을 도시한 도면들.
- 도 33a 및 도 33b는 본 발명의 화소에 응용 가능한 트랜지스터 및 용량소자의 구조들을 도시한 도면들.
- 도 34a 내지 도 34h는 본 발명의 표시 장치가 응용될 수 있는 전자 기기들을 도시한 도면들.
- 도 35는 EL 모듈의 예를 도시한 도면.
- 도 36은 EL 텔레비전 수신기의 주 구성을 도시한 블록도.
- 도 37은 이동 전화의 구조예를 도시한 도면.
- 도 38은 본 발명의 화소 구조를 도시한 도면.
- 도 39는 본 발명의 화소 구조를 도시한 도면.
- 도 40은 본 발명의 구동 방법을 도시한 도면.
- 도 41은 본 발명의 화소 구조를 도시한 도면.
- 도 42는 본 발명의 화소 구조를 도시한 도면.
- 도 43은 화소의 일부를 도시한 단면도.

- 도 44는 본 발명의 구동 방법을 도시한 도면.
- 도 45는 본 발명의 표시 장치를 도시한 도면.
- 도 46은 본 발명의 화소 구조를 도시한 도면.
- 도 47은 본 발명의 화소 구조를 도시한 도면.
- 도 48은 본 발명의 화소 구조를 도시한 도면.
- 도 49는 본 발명의 화소 구조를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0061] [실시에 모드]
- [0062] 본 발명이 첨부 도면들을 참조하여 실시예 모드들 및 실시예들의 방식으로 완전히 기술할 것이지만, 다양한 변경들 및 수정들이 당업자에게 명백하다는 것을 알아야 한다. 따라서 이러한 변경들 및 수정들이 본 발명의 기술 범주를 벗어나지 않는다면, 이들은 본 발명에 포함되는 것으로서 구성되어야 한다.
- [0063] 본 발명은 EL 소자 등을 포함하는 화소뿐만 아니라 전류원을 각각 포함하는 다양한 아날로그 회로들에도 적용될 수 있다. 먼저, 이 실시예 모드에서는, 본 발명의 기본 원리가 기술된다.
- [0064] 먼저, 도 21은 본 발명의 기본 원리에 기초하는 반도체 장치의 구조를 도시한다. 반도체 장치는 트랜지스터(2101), 제 1 스위치(2102), 제 2 스위치(2103), 용량소자(2104), 부하(2105), 제 1 배선(2106), 제 2 배선(2107) 및 제 3 배선(2108)을 포함한다. 트랜지스터(2101)가 n-채널 트랜지스터인 것에 유념한다.
- [0065] 반도체 장치의 접속 구조가 기술된다.
- [0066] 트랜지스터(2101)의 제 1 단자(소스 단자 및 드레인 단자 중 하나) 및 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 부하(2105) 및 제 2 배선(2107)에 각각 접속된다. 트랜지스터(2101)의 게이트 단자는 제 2 스위칭(2103)을 통해 제 3 배선(2108)에 접속된다. 즉, 제 2 스위치(2103)가 온 상태이면, 트랜지스터(2101)의 게이트 단자 및 제 3 배선(2108)은 전기적으로 접속된다. 한편, 제 2 스위치(2103)가 오프 상태이면, 트랜지스터(2101)의 게이트 단자 및 제 3 배선(2108)은 전기적으로 접속 해제된다.
- [0067] 트랜지스터(2101)의 제 1 단자는 제 1 스위치(2102)를 통해 제 1 배선(2106)에 접속된다. 즉, 제 1 스위치(2102)가 온 상태이면, 트랜지스터(2101)의 제 1 단자 및 제 1 배선(2106)은 전기적으로 접속된다. 한편, 제 1 스위치(2102)가 오프 상태이면, 트랜지스터(2101)의 제 1 단자 및 제 1 배선(2106)은 전기적으로 접속 해제된다.
- [0068] 용량소자(2104)는 트랜지스터(2101)의 게이트 단자 및 제 1 단자 사이에 접속된다. 즉, 용량소자(2104)의 제 1 전극 및 제 2 전극은 트랜지스터(2101)의 게이트 단자 및 제 1 단자에 각각 접속된다. 용량소자(2104)는 절연막이 배선, 액티브층, 전극 등 사이에 삽입되는 구성을 가질 수 있거나, 트랜지스터(2101)의 게이트 용량을 사용함으로써 생략될 수 있음을 유념한다.
- [0069] 미리 결정된 전위가 제 2 배선(2107) 및 제 3 배선(2108)에 입력되는 것에 유념한다.
- [0070] 후속적으로, 반도체 장치의 동작이 기술된다.
- [0071] 동작 설정에 있어서, 제 1 스위치(2102) 및 제 2 스위치(2103)가 턴온된다.
- [0072] 그 다음, 용량소자(2104) 내에 전하가 축적된다; 따라서 트랜지스터(2101)에 전류가 흐른다. 이때 흐르는 전류는 제 1 배선(2106)에 설정된 전류이다.
- [0073] 용량소자(2104) 내의 전하의 축적이 완료되면, 제 1 스위치(2102) 및 제 2 스위치(2103)가 턴오프된다. 그 다음, 트랜지스터(2101)의 게이트-소스 전압이 용량소자(2104) 내에 유지된다. 또한, 이 때 제 3 배선(2108)의 전위를 조정함으로써, 부하(2105)에 전류가 흐르는 것이 방지될 수 있다.
- [0074] 트랜지스터(2101)의 게이트-소스 전압은 제 1 배선(2106)을 통해 트랜지스터(2101)에 흐르는 전류와 동일한 전류량을 인가하기 위한 전압인 것에 유념한다.
- [0075] 출력 동작에서, 제 1 스위치(2102) 및 제 2 스위치(2103)가 턴오프된 다음, 트랜지스터(2101)의 게이트 단자가

부동 상태로 설정된다. 트랜지스터(2101)의 게이트-소스 전압은 용량소자(2104) 내에 유지된다. 따라서 설정 동작 중에 제 1 배선(2106)에 흐른 전류는 트랜지스터(2101)를 통해 제 2 배선(2107)에서 부하(2105)로 흐른다.

- [0076] 이때, 트랜지스터(2101)의 제 1 단자는 소스 단자이고, 더 높은 전위를 갖는다. 트랜지스터(2101)의 드레인-소스 전압은 설정 동작 중의 전압보다 더 낮게 된다. 그러나 트랜지스터(2101)가 포화 영역에서 동작되기 때문에, 설정 동작 중에 제 1 배선(2106)을 통해 흐르는 전류와 거의 동일한 전류가 부하(2105)에 인가될 수 있다.
- [0077] n-채널 트랜지스터가 트랜지스터(2101)용으로 사용되는 것에 유념한다. 대안적으로, p-채널 트랜지스터도 사용될 수 있다. 이 경우, 전류의 방향은 반대이다.
- [0078] (실시에 모드 1)
- [0079] 이 실시예 모드에서, 본 발명을 화소에 적용하는 경우의 기본 화소 구조가 기술된다.
- [0080] 이 실시예 모드에서 기술된 화소는 트랜지스터(101), 제 1 스위치(102), 제 2 스위치(103), 용량소자(104), 표시 소자(105), 제 1 배선(106), 제 2 배선(107), 제 3 배선(108) 및 제 4 배선(109)을 포함한다. 트랜지스터(101)는 n-채널 트랜지스터인 것에 유념한다.
- [0081] 화소의 접속 구조가 기술된다.
- [0082] 트랜지스터(101)의 제 1 단자(소스 단자 및 드레인 단자 중 하나) 및 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 표시 소자(105)의 화소 전극 및 제 3 배선(108)에 각각 접속된다. 트랜지스터(101)의 게이트 단자는 제 2 스위치(103)를 통해 제 4 배선(109)에 접속된다. 즉, 제 2 스위치(103)가 온 상태이면, 트랜지스터(101)의 게이트 단자 및 제 4 배선(109)은 전기적으로 접속된다. 한편, 제 2 스위치(103)가 오프 상태이면, 트랜지스터(101)의 게이트 단자 및 제 4 배선(109)은 전기적으로 접속 해제된다.
- [0083] 트랜지스터(101)의 제 1 단자는 제 1 스위치(102)를 통해 제 2 배선(107)에 접속된다. 즉, 제 1 스위치(102)가 온 상태이면, 트랜지스터(101)의 제 1 단자 및 제 2 배선(107)은 전기적으로 접속된다. 한편, 제 1 스위치(102)가 오프 상태이면, 트랜지스터(101)의 제 1 단자 및 제 2 배선(107)은 전기적으로 접속 해제된다.
- [0084] 용량소자(104)는 트랜지스터(101)의 게이트 단자 및 제 1 단자 사이에 접속된다. 즉, 용량소자(104)의 제 1 전극 및 제 2 전극은 트랜지스터(101)의 게이트 단자 및 제 1 단자에 각각 접속된다. 용량소자(104)는 절연막이 배선, 액티브층, 전극 등 사이에 삽입되는 구성을 가질 수 있거나, 트랜지스터(101)의 게이트 용량을 사용함으로써 생략될 수 있음을 유념한다.
- [0085] 미리 결정된 전위가 표시 소자(105)의 대향 전극(110), 제 3 배선(108) 및 제 4 배선(109)에 입력되는 것에 유념한다.
- [0086] 제 1 배선(106)에 신호를 입력함으로써, 제 1 스위치(102) 및 제 2 스위치(103)가 턴온 또는 턴오프되도록 제어된다.
- [0087] 신호는 화소의 그레이 스케일 레벨에 따라 제 2 배선(107)에 입력된다. 이 신호는 비디오 신호에 대응하며, 신호 전류는 제 2 배선(107)으로 흐른다.
- [0088] 트랜지스터들이 제 1 스위치(102) 및 제 2 스위치(103)에 적용될 수 있음을 유념한다. 도 2는 제 1 스위치(102) 및 제 2 스위치(103)에 n-채널 트랜지스터들을 적용하는 경우를 도시한다. 도 1과 공통인 부분들은 동일한 참조번호들로 표시되었고, 그 설명이 생략되었음에 유념한다.
- [0089] 제 1 스위칭 트랜지스터(201)는 제 1 스위치(102)에 대응하고, 제 2 스위칭 트랜지스터(202)는 제 2 스위치(103)에 대응한다.
- [0090] 제 1 스위칭 트랜지스터(201)의 제 1 단자(소스 단자 및 드레인 단자 중 하나) 및 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 제 1 배선(106), 제 2 배선(107), 및 트랜지스터(101)의 제 1 단자와 표시 소자(105)의 화소 전극에 각각 접속된다. 따라서 제 1 배선(106)에 입력된 신호가 H 레벨이면, 제 1 스위칭 트랜지스터(201)는 턴온되고, 신호가 L 레벨이면, 제 1 스위칭 트랜지스터(201)는 턴오프된다.
- [0091] 제 2 스위칭 트랜지스터(202)의 제 1 단자(소스 단자 및 드레인 단자 중 하나) 및 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 제 1 배선(106), 트랜지스터(101)의 게이트 단자, 및 제 4 배선(109)에 각각 접속된다. 따라서 제 1 배선(106)에 입력된 신호가 H 레벨이면, 제 2 스위칭 트랜지스터(202)는 턴온되고, 신호가 L 레벨이면, 제 2 스위칭 트랜지스터(202)는 턴오프된다.

- [0092] 후속적으로, 도 3a 내지 도 3c를 참조하여 이 실시예 모드의 화소의 동작이 기술된다. 도 3a 내지 도 3c에서, 도 1 및 도 2의 화소들이 동일한 방식으로 동작하기 때문에, 도 2의 화소 구조를 사용하여 기술되는 것에 유념한다.
- [0093] 제 2 배선(107)에 접속된 전류원(301)이 화소에 기록되는 신호 전류 Idata를 설정하는 것에 유념한다. 제 2 배선(107)은 전류원(301)을 통해 배선(302)에 접속된다. 미리 결정된 전위가 배선(302)에 입력된다. 여기에서, 제 3 배선(108), 제 4 배선(109), 배선(302) 및 대향 전극(110)에 입력된 전위들은 V3, V4, V5 및 Vcom으로 각각 표시된다. 전위들의 관계에 대해, $V3 > Vcom > V5$ 이 적어도 만족된다. $V4 = Vcom$ 이 만족될 때, 표시 소자(105)의 제 4 배선(109) 및 대향 전극(110)은 도 48에 도시된 제 5 배선(4801)을 통해 접속될 수 있다.
- [0094] 화소의 동작은 화소에 신호를 기록하기 위한 신호 기록 동작과, 화소에 기록된 신호에 따라 그레이 스케일 레벨의 발광을 위한 발광 동작을 포함하는 것에 유념한다. 도 3a 및 도 3b는 신호 기록 동작을 도시한 도면들이고, 도 3c는 발광 동작을 도시한 도면이다.
- [0095] 먼저, 신호 기록 동작의 전이 상태가 도 3a를 참조하여 기술된다. 제 1 배선(106)에 입력된 신호는 H 레벨로 설정되고, 그에 의해 제 1 및 제 2 스위칭 트랜지스터들(201 및 202)이 턴온된다. 따라서 도 3a에 도시된 바와 같이 전류가 흐른다. 즉, 전류의 경로들로서, 제 2 스위칭 트랜지스터(202)를 통해 제 4 배선(109)에서 용량소자(104)로 전류가 흐르는 제 1 경로와, 제 3 배선(108)에서 트랜지스터(101)로 전류가 흐르는 제 2 경로가 있다. 제 1 경로를 통해 흐르는 전류 Ic 및 제 2 경로를 통해 흐르는 전류 Itr은 트랜지스터(101)의 제 1 단자와 용량소자(104)의 제 2 전극의 접속 부분에서 결합한다. 그 다음, 전류 Ic 및 전류 Itr은 제 1 스위칭 트랜지스터(201) 및 전류원(301)을 통해 배선(302)에 신호 전류 Idata로 흐른다. 즉, $Ic + Itr = Idata$ 가 만족된다.
- [0096] 전류는 오래 전에 용량소자(104)에 흐르지 않으며, 신호 기록 동작 중에 안정한 상태(steady state)에 이른다. 따라서 도 3b에 도시된 바와 같이 전류가 흐른다. 제 3 배선(108)에서 트랜지스터(101)로 흐르는 전류 Itr는 신호 전류 Idata와 동일하다. 즉, 트랜지스터(101)의 게이트-소스 전압 Vgs은 트랜지스터(101)의 신호 전류 Idata에 인가하기 위해 필요하다. 트랜지스터(101)의 게이트-소스 전압 Vgs에 대한 부하는 용량소자(104) 내에 축적된다.
- [0097] 이때의 트랜지스터(101)의 게이트 단자 및 제 1 단자의 전위들은 각각 Va 및 Vb로 표시되며, $Vgs = (Va - Vb)$ 가 만족되는 것에 유념한다. 표시 소자(105)의 순방향 임계 전압이 V_{ELth} 로 표시되면, $(Vb - Vcom) < V_{ELth}$ 이 만족되는 것이 바람직하고, 그에 의해, 신호 기록 동작 중에 표시 소자(105)에 전류가 인가되지 않는다. 따라서 제 4 배선(109)에 입력된 전위 V4는 $V3 > V4 > V5$ 를 만족시키도록 설정되는 것이 바람직하다. $V4 = Vcom$ 이 만족되면, 화소들에 필요한 전위들의 수는 감소될 수 있다. 또한 신호 기록 동작 중에 표시 소자(105)에 역 바이어스가 인가될 수 있다.
- [0098] 표시 소자(105)에 역 바이어스가 인가될 때에도, 보통 표시 소자(105)에 전류가 흐르지 않음(만약 흐른다면, 작은 양의 전류이다)에 유념한다. 한편, 표시 소자(105)가 단락된다면, 단락된 부분에 전류가 흐른다. 그 다음, 단락된 부분은 절연되고, 그에 의해 표시 결합이 개선될 수 있다.
- [0099] 후속적으로, 발광 동작이 도 3c를 참조하여 기술된다. 제 1 배선(106)에 입력된 신호가 L 레벨로 설정되고, 그에 의해 제 1 및 제 2 스위칭 트랜지스터들(201 및 202)이 턴오프된다. 따라서 도 3c에 도시된 바와 같이 전류가 흐른다. 이때, 제 2 스위칭 트랜지스터(202)는 오프 상태가 된다. 따라서 용량소자(104)는 트랜지스터(101)에 신호 전류 Idata를 인가하기 위해 필요한 게이트-소스 전압 Vgs를 유지한다. 따라서 신호 전류 Idata와 거의 동일한 전류가 트랜지스터(101)에 흐른다.
- [0100] 이때 트랜지스터(101)의 게이트 단자 및 제 1 단자의 전위들이 각각 Va' 및 Vb'로 표시되고, $Vgs = (Va' - Vb')$ 가 만족된다는 것에 유념한다. 이것은, $Vb' > Vb$ 가 만족되더라도 용량소자(104)가 게이트-소스 전압 Vgs를 유지함으로써 인해 Vb'가 증가됨에 따라 Va'가 증가되기 때문이다.
- [0101] 제 1 배선(106)에 입력될 H 레벨 신호 및 L 레벨 신호의 전위들이 V1(H) 및 V1(L)로 각각 표시될 때, 다음의 전위들이 바람직함을 유념한다. 제 1 스위칭 트랜지스터(201) 및 제 2 스위칭 트랜지스터(202)의 임계 전압들은 Vth1 및 Vth2로 각각 표시된다.
- [0102] 도 3b에 도시된 바와 같이, 표시 소자(105)의 화소 전극의 전위가 Vb가 될 때에도, 제 1 스위칭 트랜지스터(201)는 온 상태가 되도록 요구된다. 따라서 $V1(H) > (Vb + Vth1)$ 이 만족되도록 설정된다. 또한, 제 2 스위칭 트랜지스터(202)가 온 상태가 되기 위하여, $V1(H) > (V4 + Vth2)$ 가 만족되도록 설정된다. 특히, 예를 들면, V4

= V_{com} 이 만족되면, $V_1(H)$ 는 V_{com} 보다 1 내지 8V만큼 더 높은 전위인 것이 바람직하다.

- [0103] 도 3c에 도시된 바와 같이, 제 1 스위칭 트랜지스터(201)가 턴오프되도록 $V_1(L) < (V_b + V_{th1})$ 이 만족된다. 즉, 신호 흐름이 다른 화소에 기록될 때, 제 2 배선(107)의 전위는 V_b 가 된다. 따라서 이 때 선택되지 않은 화소에서는, 제 1 스위칭 트랜지스터(201)가 오프 상태가 되도록 요구된다. 한편, 제 2 스위칭 트랜지스터(202)가 오프 상태가 되도록 $V_1(L) < (V_4 + V_{th2})$ 가 만족된다. 특히, 예를 들면, $V_4 = V_{com}$ 이 만족될 때, $V_1(L)$ 은 V_{com} 보다 1 내지 8V만큼 더 낮은 전위인 것이 바람직하다.
- [0104] 이 실시예 모드에서 기술된 화소 구조를 이용함으로써, 신호 기록 동작 중의 트랜지스터의 게이트 전위가 제어되고, 그에 의해 이때 표시 소자에 전류가 흐르는 것을 방지한다.
- [0105] 도 2에 도시된 화소 구조를 이용함으로써, 화소가 n-채널 트랜지스터들로만 이루어질 수 있어서 제조 단계들을 간단하게 할 수 있다는 것에 유념한다. 비정질 반도체, 반-비정질 반도체(semi-amorphous semiconductor; 또한, 미정질 반도체라고도 칭해짐) 등이 화소를 구성하는 트랜지스터의 반도체층에 이용될 수 있다. 예를 들면, 비정질 실리콘(a-Si:H)이 비정질 반도체로서 사용될 수 있다. 따라서 제조 단계들이 더 간단해질 수 있다. 결과적으로, 제조 비용의 감소 및 수율의 개선이 달성될 수 있다.
- [0106] 또한, 본 발명의 구조를 이용함으로써, 신호 기록 동작 중에 $V_{ds} > V_{gs}$ 가 만족될 수 있다. V_{ds} 의 변화는 신호 기록 동작과 발광 동작 사이에서 작게 이루어질 수 있다. 따라서 트랜지스터(101)의 포화 영역에서의 일정한 전류 특성들(전류의 균일함)이 불량한 경우에도, 전류값들은 신호 기록 동작과 발광 동작 사이에서 거의 일정하다. 특히, 비정질 반도체막(비정질 실리콘과 같이)이 트랜지스터(101)의 반도체층으로 사용될 때, 트랜지스터(101)의 포화 영역에서의 일정한 전류 특성들(전류의 균일함)은 저하될 수 있다. 따라서 비정질 반도체막이 트랜지스터(101)의 반도체층으로 사용되는 경우에 본 발명의 구조가 적용될 때, 표시 결함이 방지될 수 있다.
- [0107] 또한, 도 2에 도시된 트랜지스터(101)의 소스 단자와 드레인 단자 사이에 높은 전압이 인가되기 때문에, 트랜지스터(101)의 채널 길이는 제 1 스위칭 트랜지스터(201) 또는 제 2 스위칭 트랜지스터(202)보다 더 길어질 수 있다. 대안적으로, 다중-게이트 트랜지스터가 도 16에 도시된 트랜지스터(101)에 적용될 수 있다. 따라서 트랜지스터의 압력 저항은 증가되고, 그에 의해 트랜지스터가 손상되는 것을 방지한다.
- [0108] 또한, 도 2에 도시된 트랜지스터(101)에 의해 제어된 전류를 표시 소자(105)인가하기 위하여, 트랜지스터(105)는 많은 양의 전류를 인가하는 능력을 가지도록 요구된다. 따라서 트랜지스터(101)의 채널 폭은 제 1 스위칭 트랜지스터(201) 또는 제 2 스위칭 트랜지스터(202)의 채널 폭보다 더 넓어질 수 있다. 대안적으로, 트랜지스터(101)는 복수의 트랜지스터들이 도 17에 도시된 트랜지스터(1701)와 평행하게 접속되는 구조를 가질 수 있다.
- [0109] 후속적으로, 본 발명의 화소를 포함하는 표시 장치가 도 4를 참조하여 기술된다.
- [0110] 표시 장치는 신호선 구동 회로(401), 주사선 구동 회로(402) 및 화소부(403)를 포함한다. 화소부(403)는, 신호선 구동 회로(401)로부터 컬럼 방향으로 연장된 복수의 신호선들 S_1 내지 S_n , 주사선 구동 회로(402)로부터 로우 방향으로 연장된 복수의 주사선들 G_1 내지 G_m , 및 신호선들 S_1 내지 S_n 과 주사선들 G_1 내지 G_m 에 대응하는 매트릭스로 배열된 복수의 화소들(404)을 포함한다. 또한, 화소부(403)는 신호선들 S_1 내지 S_n 과 병렬인 바이어스선들 B_1 내지 B_n 과 전원선들 P_1 내지 P_n 을 포함한다. 화소들(404) 각각은 신호선 S_j (신호선들 S_1 내지 S_n 중 어느 하나), 주사선 G_i (주사선들 G_1 내지 G_m 중 어느 하나), 전원선 P_j (전원선들 P_1 내지 P_n 중 어느 하나), 및 바이어스선 B_j (바이어스선들 B_1 내지 B_n 중 어느 하나)에 접속된다.
- [0111] 주사선 G_i 는 도 1의 제 1 배선(106)에 대응한다는 것에 유념한다. 신호선 S_j 는 도 1의 제 2 배선(107)에 대응한다. 전원선 P_i 는 도 1의 제 3 배선(108)에 대응한다. 바이어스선 B_j 는 도 1의 제 4 배선(109)에 대응한다.
- [0112] 주사선들 G_1 내지 G_m 은 주사선 구동 회로(402)로부터 출력된 신호에 의해 선택된 것이다. 그 다음, 신호는 선택된 주사선에 접속된 화소(404)에 기록된다. 이때, 신호 전류는 각각의 화소의 그레이 스케일 레벨에 따라 신호선 S_1 내지 S_n 각각에 흐른다.
- [0113] 신호 기록이 완료된 후에, 다른 주사선이 선택되고, 그 다음 신호 기록이 주사선에 접속된 화소(404)에 수행된다. 신호가 기록된 화소는 발광 동작을 시작하고 화소에 기록된 신호에 따라 발광한다. 따라서 신호들은 화소들(404)에 순차적으로 기록되어 모든 화소들(404)에 순차적으로 신호 기록을 수행한다.
- [0114] 그러나 도 4에 기록된 표시 장치의 구조는 일례이고, 본 발명은 이에 한정되지 않는다. 즉, 전원선들 P_1 내지 P_n 과 바이어스선들 B_1 내지 B_n 은 신호선들 S_1 내지 S_n 에 병렬로 배열될 필요는 없다. 전원선들 및 바이어스선들은 주사선들 G_1 내지 G_m 에 병렬로 배열될 수 있다. 대안적으로, 전원선들 및 바이어스선들 각각은 격자 패턴으

로 배열될 수 있다. 화소부(403)가 복수의 색 소자들을 포함하는 경우에, 전원선들 및 바이어스선들은 도 4에 도시된 바와 같이 배열되는 것이 바람직하다는 것에 유의하다.

- [0115] 즉, 도 1의 화소의 제 4 배선(109)은 도 46에 도시된 제 1 배선(106)과 병렬로 배열될 수 있다. 이 경우, 도 4의 바이어스선들 B1 내지 Bn에 대응하는 바이어스선들 B1 내지 Bm은 도 47에 도시된 주사선들 G1 내지 Gm에 병렬로 배열된다. 바이어스선들 B1 내지 Bm의 전위들은 변화될 수 있다. 달리 말하면, 바이어스선들은 스캐닝될 수 있다. 이 경우, 바이어스선 구동 회로는 주사선들 G1 내지 Gm을 스캐닝하는 주사선 구동 회로(402)에 추가하여 제공될 수 있다.
- [0116] 화소부(403)가 복수의 색 소자들을 포함하는 경우에, 색 소자인 각각의 화소에 접속된 전원선 및 바이어스선의 전위들은 변화될 수 있다. 또한, 화소 전극의 크기는 색 소자가 될 화소마다 상이할 수 있다. 달리 말하면, 발광 영역은 색 소자가 될 화소마다 상이할 수 있다. 따라서 상이한 컬러의 EL 소자가 풀 컬러 표시용 표시 소자로서 사용되는 경우에, 컬러들의 균형 및 EL 소자의 열화의 진행이 제어될 수 있다.
- [0117] 본 발명의 화소는 도 1의 구조에 한정되지 않는다. 신호 기록 동작 중에는 화소가 도 19a에 도시된 바와 같이 접속되도록 요구될 뿐이고, 반면, 발광 동작 중에는 도 19b에 도시된 바와 같이 접속되도록 요구될 뿐이다. 즉, 신호 기록 동작 중에는, 트랜지스터(101)의 게이트 단자, 제 1 단자 및 제 2 단자가 제 4 배선(109), 제 2 배선(107) 및 제 3 배선(108)에 각각 접속되도록 요구될 뿐이다. 한편, 발광 동작 중에는, 트랜지스터(101)의 게이트 단자가 어디라도 접속되지 않고, 트랜지스터(101)의 제 1 단자 및 제 2 단자는 표시 소자(105)의 화소 전극 및 제 3 배선(108)에 각각 접속되도록 요구될 뿐이다.
- [0118] 따라서 도 1에 도시된 화소에서, 제 1 스위치(102) 및 제 2 스위치(103) 각각의 온/오프를 제어하기 위한 부가의 배선이 제공될 수 있다. 즉, 제 2 스위치(103)의 온/오프를 제어하기 위한 제 5 배선(501)은 제 1 스위치(102)의 온/오프를 제어하기 위한 제 1 배선(106)에 추가로 제공될 수 있다. 이 경우, 신호 기록 동작이 완료된 후에, 제 1 스위치(102) 및 제 2 스위치(103)는 동시에 턴오프되거나, 제 1 스위치(102)가 턴오프되기 전에 제 2 스위치(103)가 턴오프된다. 제 1 스위치가 턴오프된 후에도 제 2 스위치(103)가 온 상태에 있다면, 용량소자(104) 내에 축적된 전하는 트랜지스터(101)를 통해 방전된다.
- [0119] 도 5에 도시된 구조의 경우에, $V_4 = V_{com}$ 이 만족되면, 표시 소자(105)의 제 4 배선(109) 및 대향 전극(110)은 도 49에 도시된 제 6 배선(4901)을 통해 접속될 수 있다.
- [0120] 도 1 또는 도 2의 화소에서, 다른 로우의 화소의 제 1 배선(106)은 제 4 배선(109) 대신에 사용될 수 있다. 즉, 이 경우, 도 4에 도시된 표시 장치의 바이어스선들 B1 내지 Bn이 생략될 수 있다. 예로서, 도 13은 도 2의 화소의 제 4 배선(109)이 생략된 경우의 구조를 도시하고, 인접한 로우의 화소의 제 1 배선(106)은 제 4 배선(109) 대신에 사용될 수 있다.
- [0121] 도 14에 도시된 바와 같이, n-채널 트랜지스터들인 제 1 스위칭 트랜지스터(201) 및 제 2 스위칭 트랜지스터(202)는 도 5의 화소의 제 1 스위치(102) 및 제 2 스위치(103)에 각각 적용될 수 있고, 다른 로우의 화소의 제 5 배선(501)은 제 4 배선(109) 대신에 사용될 수 있다.
- [0122] 도 15에 도시된 바와 같이, n-채널 트랜지스터들인 제 1 스위칭 트랜지스터(201) 및 제 2 스위칭 트랜지스터(202)는 도 5의 화소의 제 1 스위치(102) 및 제 2 스위치(103)에 각각 적용될 수 있고, 다른 로우의 화소의 제 1 배선(106)은 제 4 배선(109) 대신에 사용될 수 있다.
- [0123] 도 20에 도시된 바와 같이, p-채널 트랜지스터들인 제 1 스위칭 트랜지스터(2001) 및 제 2 스위칭 트랜지스터(2002)는 도 1의 화소의 제 1 스위치(102) 및 제 2 스위치(103)에 각각 적용될 수 있고, 다른 로우의 화소의 제 1 배선(106)은 제 3 배선(108) 대신에 사용될 수 있다.
- [0124] (실시에 모드 2)
- [0125] 화소가 트랜지스터를 사용하여 형성될 때, 상이한 화소들의 트랜지스터들의 특성들을 변동이 문제가 된다. 트랜지스터 특성들의 변동은 표시의 불균일함(unevenness)으로서 인식된다.
- [0126] 이 실시예 모드에서, 본 발명의 화소들에 사용된 트랜지스터들(턴온될 트랜지스터들)이 기간마다 스위칭되고, 그에 의해 트랜지스터 특성들이 시간에 의해 평균화될 수 있고 표시 불균일함이 거의 인식되지 않을 수 있는 경우에 대해 기술된다.
- [0127] 이 실시예 모드의 화소는 도 6에 도시된다.

- [0128] 이 실시예 모드의 화소는 제 1 트랜지스터(601), 제 2 트랜지스터(611), 제 1 스위치(602), 제 2 스위치(603), 제 3 스위치(612), 제 4 스위치(613), 용량소자(604), 표시 소자(605), 제 1 배선(606), 제 2 배선(607), 제 3 배선(608) 및 제 4 배선(609)을 포함한다. 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)는 n-채널 트랜지스터들인 것에 유념한다.
- [0129] 먼저, 셀의 접속 구조가 기술된다.
- [0130] 제 1 트랜지스터(601)의 제 1 단자(소스 단자 및 드레인 단자 중 하나)는 표시 소자(605)의 화소 전극에 접속되고, 제 1 트랜지스터(601)의 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 제 3 스위치(612)를 통해 제 3 배선(608)에 접속되고, 제 1 트랜지스터(601)의 게이트 단자는 제 2 스위치(603)를 통해 제 4 배선(609)에 접속된다. 즉, 제 3 스위치(612)가 온 상태이면, 제 1 트랜지스터(601)의 제 2 단자 및 제 3 배선(608)은 전기적으로 접속된다. 한편, 제 3 스위치(612)가 오프 상태이면, 제 1 트랜지스터(601)의 제 2 단자 및 제 3 배선(608)은 전기적으로 접속 해제된다. 또한, 제 2 스위치(603)가 온 상태이면, 제 1 트랜지스터(601)의 게이트 단자 및 제 4 배선(609)은 전기적으로 접속된다. 한편, 제 2 스위치(603)가 오프 상태이면, 제 1 트랜지스터(601)의 게이트 단자 및 제 4 배선(609)은 전기적으로 접속 해제된다.
- [0131] 유사하게, 제 2 트랜지스터(611) 및 제 1 트랜지스터(601)는 병렬로 접속된다. 즉, 제 2 트랜지스터(611)의 제 1 단자(소스 단자 및 드레인 단자 중 하나)는 표시 소자(605)의 화소 전극에 접속되고, 제 2 트랜지스터(611)의 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 제 4 스위치(613)를 통해 제 3 배선(608)에 접속되고, 제 2 트랜지스터(611)의 게이트 단자는 제 2 스위치(603)를 통해 제 4 배선(609)에 접속된다. 즉, 제 4 스위치(613)가 온 상태이면, 제 2 트랜지스터(611)의 제 2 단자 및 제 3 배선(608)은 전기적으로 접속된다. 한편, 제 4 스위치(613)가 오프 상태이면, 제 2 트랜지스터(611)의 제 2 단자 및 제 3 배선(608)은 전기적으로 접속 해제된다. 또한, 제 2 스위치(603)가 온 상태이면, 제 2 트랜지스터(611)의 게이트 단자 및 제 4 배선(609)은 전기적으로 접속된다. 한편, 제 2 스위치(603)가 오프 상태이면, 제 2 트랜지스터(611)의 게이트 단자 및 제 4 배선(609)은 전기적으로 접속 해제된다.
- [0132] 제 1 트랜지스터(601)의 제 1 단자 및 제 2 트랜지스터(611)의 제 1 단자는 제 1 스위치(602)를 통해 제 2 배선(607)에 접속된다. 즉, 제 1 스위치(602)가 온 상태이면, 제 1 트랜지스터(601)의 제 1 단자 및 제 2 트랜지스터(611)의 제 1 단자와 제 2 배선(607)은 전기적으로 접속된다. 한편, 제 1 스위치(602)가 오프 상태이면, 제 1 트랜지스터(601)의 제 1 단자 및 제 2 트랜지스터(611)의 제 1 단자와 제 2 배선(607)은 전기적으로 접속 해제된다.
- [0133] 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)의 게이트 단자들이 전기적으로 접속되고, 용량소자(604)는 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)의 게이트 단자들과 제 1 단자들 사이에 접속된다. 즉, 용량소자(604)의 제 1 전극은 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)의 게이트 단자들에 접속되고, 용량소자(604)의 제 2 전극은 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)의 제 1 단자들에 접속된다. 용량소자(604)는 절연막이 배선, 액티브층, 전극 등 사이에 삽입되는 구성을 가질 수 있거나, 제 1 트랜지스터(601)의 게이트 용량 또는 제 2 트랜지스터(611)의 게이트 용량을 사용함으로써 생략될 수 있음을 유념한다.
- [0134] 미리 결정된 전위가 표시 소자(605)의 대향 전극(610), 제 3 배선(608) 및 제 4 배선(609)에 입력되는 것에 유념한다.
- [0135] 제 1 배선(606)에 신호를 입력함으로써, 제 1 스위치(602) 및 제 2 스위치(603)가 턴온 또는 턴오프되도록 제어된다.
- [0136] 신호는 화소의 그레이 스케일 레벨에 따라 제 2 배선(607)에 입력된다. 이 신호는 비디오 신호에 대응하며, 신호 전류는 제 2 배선(607)으로 흐른다.
- [0137] 트랜지스터들이 제 1 스위치(602) 및 제 2 스위치(603), 제 3 스위치(612) 및 제 4 스위치(613)에 적용될 수 있음을 유념한다. 따라서 제 1 스위치(602) 및 제 2 스위치(603)에 n-채널 트랜지스터들이 적용될 수 있다.
- [0138] 후속적으로, 도 6의 화소의 동작이 기술된다.
- [0139] 화소의 동작은 신호를 기록하기 위한 신호 기록 동작과 화소에 기록된 신호에 따라 그레이 스케일 레벨의 발광을 위한 발광 동작을 포함하는 것에 유념한다. 이 실시예 모드에 기술된 화소들에 사용된 트랜지스터들(턴온될 트랜지스터들)은 한 기간에서 신호 기록 동작과 발광 동작 사이 및 다른 기간에서 신호 기록 동작과 발광 동작 사이에서 스위칭된다.

- [0140] 도 7a는 어떤 기간에서 신호 기록 동작을 도시한 도면이고 도 7b는 이 기간에서의 발광 동작을 도시한 도면이다. 또한 도 7c는 다른 기간에서 신호 기록 동작을 도시하는 도면이고, 도 7d는 이 기간에서의 발광 동작을 도시한 도면이다. 제 2 배선(607)에 접속된 전류원(701)은 화소에 기록될 신호 전류를 설정하는 것에 유념한다. 제 2 배선(607)은 전류원(701)을 통해 배선(602)에 접속된다. 미리 결정된 전위가 배선(702)에 입력된다. 여기에서, 제 3 배선(608), 제 4 배선(609), 배선(702) 및 대향 전극(610)에 입력된 전위들은 각각 V3, V4, V5 및 Vcom으로 표시된다. 전위들에 관계에 대해, $V3 > Vcom > V5$ 가 적어도 만족된다.
- [0141] 또한, 도 7a는 화소가 어떤 주기에서 신호 기록 동작 중에 안정한 상태가 되는 상태 및 이때의 전류 흐름을 도시한다. 제 1 스위치(602), 제 2 스위치(603), 제 4 스위치(613)는 온 상태이고 제 3 스위치(612)는 오프 상태이다. 이 경우, 제 2 트랜지스터(611)가 사용된다. 즉, 전류원(701)에 의해 설정된 신호 전류 Idata가 제 4 스위치(613)를 통해 제 3 배선(608)에서 제 2 트랜지스터(611)로 흐른다. 이때, 제 2 트랜지스터(611)는 신호 전류 Idata를 인가하기에 충분히 높은 게이트-소스 전압을 가지고, 전압을 위한 전하는 용량소자(604) 내에 축적된다.
- [0142] 따라서 발광 동작에 있어서, 제 1 스위치(602), 제 2 스위치(603) 및 제 3 스위치(612)가 턴오프되고, 제 4 스위치(613)가 턴온되며, 도 7b에 도시된 바와 같이 전류가 흐른다. 즉, 제 4 스위치(613) 및 제 2 트랜지스터(611)를 통해 제 3 배선(608)에서 표시 소자(605)로 전류가 흐른다. 이 전류는 신호 전류 Idata와 거의 동일하다.
- [0143] 그러나 제 2 트랜지스터(611)의 드레인-소스 전압은 신호 기록 동작과 발광 동작 사이에서 변화되며, 이것은 제 2 트랜지스터(611)로 흐르는 전류의 양에 약간의 차를 발생시킨다. 화소마다 제 2 트랜지스터(611)의 특성들의 변동이 있는 경우, 이것은 표시 불균일함으로서 인식된다.
- [0144] 따라서 신호 기록 동작의 다른 기간에서, 제 1 스위치(602), 제 2 스위치(603) 및 제 3 스위치(612)는 턴온되고 제 4 스위치(613)는 턴오프된다. 도 7c는 화소가 이 기간에 안정한 상태가 되는 경우와 이때의 전류의 흐름을 도시한다. 이 경우, 제 1 트랜지스터가 사용된다. 즉, 전류원(701)에 의해 설정된 신호 전류 Idata는 제 3 스위치(612)를 통해 제 3 배선(608)에서 제 1 트랜지스터(601)로 흐른다. 이때, 제 1 트랜지스터(601)는 신호 전류 Idata를 인가하기에 충분히 높은 게이트-소스 전압을 가지며, 전압을 위한 전하는 용량소자(604) 내에 축적된다.
- [0145] 따라서 발광 동작에서, 제 1 스위치(602), 제 2 스위치(603) 및 제 4 스위치(613)는 턴오프되고, 제 3 스위치(612)는 턴온되며, 도 7d에 도시된 바와 같이 전류가 흐른다. 즉, 제 3 스위치(612) 및 제 1 트랜지스터(601)를 통해 제 3 배선(608)에서 표시 소자(605)로 전류가 흐른다. 이 전류는 신호 전류 Idata와 거의 동일하다.
- [0146] 이러한 방식으로, 사용되는 트랜지스터들은 기간마다 스위칭되고, 그에 의해 트랜지스터 특성들은 시간에 의해 평균화될 수 있다. 따라서 표시 불균일함이 감소될 수 있다.
- [0147] 또한, 다른 구동 방법이 이 실시예 모드에 기술된 화소에 적용될 수 있다. 예를 들면, 신호 기록 동작 중에, 신호는 대량의 신호 전류로 기록되고, 발광 동작 중에 표시 소자에 인가된 전류의 양은 감소된다. 이후, 이러한 구동 방법이 기술된다.
- [0148] 도 8a는 신호 기록 동작을 도시한 도면이고, 도 8b는 발광 동작을 도시한 도면이다.
- [0149] 또한, 도 8a는 화소들이 신호 기록 동작 중에 안정한 상태가 되는 상태 및 이때의 전류 흐름을 도시한다. 제 1 스위치(602), 제 2 스위치(603), 제 3 스위치(612) 및 제 4 스위치(613)는 온 상태이고 도 8a에 도시된 바와 같이 전류가 흐른다. 즉, 전류의 경로들로서, 제 2 스위치(612)를 통해 제 3 배선(608)에서 제 1 트랜지스터(601)로 전류가 흐르는 제 1 경로와, 제 4 스위치(613)를 통해 제 3 배선(608)에서 제 2 트랜지스터(611)로 전류가 흐르는 제 2 경로가 있다. 제 1 경로를 통해 흐르는 전류 I1 및 제 2 경로를 통해 흐르는 전류 I2는 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)의 제 1 단자들의 접속 부분에서 결합한다. 그 다음, 전류 I1 및 전류 I2는 제 1 스위치(302) 및 전류원(701)을 통해 배선(702)에 신호 전류 Idata로 흐른다. 즉, $I1 + I2 = Idata$ 가 만족된다.
- [0150] 발광 동작이 도 8b를 참조하여 기술된다. 제 1 스위치(602), 제 2 스위치(603), 제 4 스위치(613)는 온 상태이고 제 3 스위치(612)는 오프 상태이며, 도 8b에 도시된 바와 같이 전류가 흐른다. 제 2 스위치(603)가 이때 오프 상태이기 때문에, 용량소자(604)는 신호 전류 Idata가 되도록 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)에 흐르는 전류에 필요한 게이트-소스 전압 Vgs을 유지한다. 따라서 제 1 트랜지스터(601)를 통해 표시 소

자(605)로 전류가 흐른다. 이러한 구조를 통해 이 전류는 조정될 수 있다.

- [0151] 여기에서, 트랜지스터의 채널 길이 및 채널 폭은 L 및 W로 각각 표시된다. 트랜지스터가 포화 상태에서 동작하면, 트랜지스터를 통해 흐르는 전류값은 게이트-소스 전압이 일정한 한, 일반적으로 W/L에 비례한다. 달리 말하면, 전류값은 채널 폭 W에 비례하고 채널 길이 L에 반비례한다.
- [0152] 따라서 제 1 트랜지스터(601)의 채널 폭 및 제 2 트랜지스터(611)의 채널 폭을 W1 및 W2로 각각 표시되고, 이들 트랜지스터들은 동일한 채널 길이를 가진다. 전류가 흐르는 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)가 도 8a의 하나의 트랜지스터로 간주된다면, 채널 폭 및 채널 길이는 (W1 + W2) 및 L로서 각각 간주된다. 한편, 도 8b에서, 제 1 트랜지스터(601)를 통해서만 전류가 흐르고, 트랜지스터가 채널 폭 W1 및 채널 길이 L을 가진다. 따라서 발광 동작에서, $I_{data} \times (W1/(W1+W2))$ 의 전류가 표시 소자(605)에 인가될 수 있다.
- [0153] 이러한 방식으로, 제 1 트랜지스터(601) 또는 제 2 트랜지스터(611)의 채널 폭 또는 채널 길이가 조정되고, 그에 의해, 신호 기록 동작에 인가되는 신호 전류보다 더 작은 양의 전류가 표시 소자(605)로 인가될 수 있다.
- [0154] 또한, 채널 폭 W1 및 채널 길이 W2는 동일하게 설정되고, 발광 동작에 사용된 트랜지스터는 어떤 특정한 기간마다 스위칭된다. 따라서 트랜지스터의 특성들은 시간에 의해 평균화될 수 있다.
- [0155] 신호 기록 동작과 발광 동작 사이에서 사용되도록 트랜지스터를 스위칭함으로써, 신호 기록 동작 및 발광 동작에 사용되는 트랜지스터의 채널 길이 L에 대한 채널 폭 W의 비 W/L가 조정될 수 있고, 표시 소자에 인가될 전류의 양이 조정될 수 있다.
- [0156] 즉, 도 9a에 도시된 바와 같이, 신호 기록 동작 중에, 제 1 스위치(602), 제 2 스위치(603), 제 4 스위치(613)는 온 상태이고 제 3 스위치(612)는 오프 상태이다. 그 다음, 신호 전류 I_{data} 는 제 4 스위치(613)를 통해 제 3 배선(608)에서 제 2 트랜지스터(611)에 인가된다. 발광 동작에서, 제 1 스위치(602), 제 2 스위치(603), 제 4 스위치(613)는 오프 상태이고 제 3 스위치(612)는 온 상태이다. 그 다음, $I_{data} \times (W1/W2)$ 의 전류가 제 1 트랜지스터(601)를 통해 흐른다. 발광 동작 중에 표시 소자(605)에 인가될 전류량은 $W1 < W2$ 가 만족되는 한, 신호 전류 I_{data} 보다 더 작게 설정되어야 한다는 것에 유의한다.
- [0157] 따라서 신호 기록 동작 중에 대량의 전류를 가진 신호를 기록함으로써, 기생 용량이 신호가 흐르는 경로 내에 형성될 때에도, 신호 기록은 급속히 수행될 수 있다. 따라서 표시 결함이 방지될 수 있다.
- [0158] 발광 동작 중에 표시 소자에 인가되는 전류량이 신호 기록 동작 중에 인가되는 신호 전류보다 더 작은 경우에 대해 기술되었다. 그러나 발광 동작 중에 표시 소자에 인가되는 전류량은 경우에 따라 신호 기록 동작 중에 인가되는 신호 전류보다 더 클 수도 있다. 예를 들면, 기록 동작 중에는, 제 1 트랜지스터(601) 또는 제 2 트랜지스터(611) 중 어느 하나에 전류가 인가될 수 있지만, 발광 동작 중에는, 제 1 트랜지스터(601) 또는 제 2 트랜지스터(611) 모두에 전류가 인가될 수 있다. 도 9에서, 발광 동작 중에 표시 소자(605)에 인가되는 전류량은 $W1 < W2$ 가 만족되는 한, 신호 전류 I_{data} 보다 더 크게 설정될 수 있다는 것에 유의한다.
- [0159] 또한, 이 실시예 모드의 화소에서, 프리-차징(pre-charging) 동작이 수행될 수 있다. 이 동작은 도 10을 참조하여 기술된다. 이 경우, 전류원(701)은 제 5 스위치(1003)를 통해 제 2 배선(607)에 접속된다. 제 2 배선(607)은 제 6 스위치(1004) 및 프리-차징 전류원(1001)을 통해 배선(1002)에 접속된다. 전류원(701)보다 더 큰 양으로 설정될 수 있는 프리-차징 전류원(1001)이 이용되는 것에 유념한다. 미리 결정된 전위가 배선(1002)에 입력된다. 배선(702) 및 배선(1002)으로서, 동일한 배선 및 상이한 배선들이 사용될 수 있다.
- [0160] 먼저, 도 10a는 화소가 프리-차징 동작 중에 안정한 상태로 되는 상태와 이때의 전류 흐름을 도시한다. 제 1 스위치(601), 제 2 스위치(603), 제 3 스위치(612), 제 4 스위치(613) 및 제 6 스위치(1004)가 턴온되고, 제 5 스위치(1003)가 턴오프된다. 그 다음, 프리-차징 전류원(1001)에 의해 설정된 전류는 제 3 스위치(612) 및 제 4 스위치(613)를 통해 제 3 배선(608)으로부터 제 1 트랜지스터(601)와 제 2 트랜지스터(611)로 각각 흐른다. 따라서 용량소자(604) 내에 전하가 축적된다.
- [0161] 설정 동작 중에, 제 1 스위치(601), 제 2 스위치(603), 제 3 스위치(612) 및 제 5 스위치(1003)가 턴온되고, 제 4 스위치(613) 및 제 6 스위치(1004)가 턴오프된다. 그 다음, 안정한 상태에서, 도 10b에 도시된 바와 같이 전류가 흐른다. 즉, 전류원(701)에 의해 설정된 신호 전류 I_{data} 는 제 3 배선(608)에서 제 1 트랜지스터(601)로 흐른다. 그 다음, 제 1 트랜지스터(601)에 신호 전류 I_{data} 를 인가하기 위해 필요한 게이트-소스 전압을 위한 전하가 용량소자(604) 내에 축적된다.
- [0162] 프리-차징 전류원(1001)에 인가된 전류, 제 1 트랜지스터(601)의 채널 길이 L1 및 채널 폭 W1, 및 제 2 트랜지

스터(611)의 채널 길이 L2 및 채널 폭 W2이 적절하게 결정되고, 그에 의해 프리-차징 동작 중에 용량소자(604) 내에 축적될 전하는 설정 동작 중에 축적될 전하와 거의 동일하게 되도록 설정될 수 있고, 신호 전류는 화소에 급속히 기록될 수 있다.

[0163] 도 10에서, 전류가 프리-차징 동작 중에 제 1 트랜지스터(601) 및 제 2 트랜지스터(611)에 인가되지만, 그들 중 하나의 트랜지스터에만 전류가 인가될 수 있다. 그 다음, 설정 동작 중에, 전류가 다른 트랜지스터에 인가될 수 있다.

[0164] 상술된 바와 같이, 본 발명은 제 1 트랜지스터(601)의 제 2 단자와 제 3 배선(608) 사이에 제 3 스위치(612)가 접속되는 구조와, 제 2 트랜지스터(611)의 제 2 단자와 제 3 배선(608) 사이에 제 4 스위치(613)가 접속되는 구조에 한정되지 않는다. 도 18에 도시된 구조가 이용될 수 있다. 즉, 제 1 트랜지스터(601)의 제 1 단자(소스 단자 및 드레인 단자 중 어느 하나)가 제 3 스위치(1801)를 통해 표시 소자(605)의 화소 전극에 접속되고, 제 1 트랜지스터(601)의 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)가 제 3 배선(608)에 접속된다. 즉, 제 3 스위치(1801)가 온 상태이면, 제 1 트랜지스터(601)의 제 1 단자와 표시 소자(605)의 화소 전극은 전기적으로 접속된다. 한편, 제 3 스위치(1801)가 오프 상태이면, 제 1 트랜지스터(601)의 제 1 단자와 표시 소자(605)의 화소 전극은 전기적으로 접속 해제된다. 유사하게, 제 2 트랜지스터(611)는 제 1 트랜지스터(601)에 병렬로 접속된다. 즉, 제 2 트랜지스터(611)의 제 1 단자(소스 단자 및 드레인 단자 중 어느 하나)가 제 4 스위치(1802)를 통해 표시 소자(605)의 화소 전극에 접속되고, 제 2 트랜지스터(611)의 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)가 제 3 배선(608)에 접속된다. 즉, 제 4 스위치(1802)가 온 상태이면, 제 2 트랜지스터(611)의 제 1 단자와 표시 소자(605)의 화소 전극은 전기적으로 접속된다. 한편, 제 4 스위치(1802)가 오프 상태이면, 제 1 트랜지스터(601)의 제 1 단자와 표시 소자(605)의 화소 전극은 전기적으로 접속 해제된다.

[0165] 이 실시예 모드에서, 신호 기록 동작 중에, 전류가 인가되는 트랜지스터의 게이트 단자는 미리 결정된 전위를 가지도록 설정될 수 있다; 따라서 표시 소자의 화소 전극과 대향 전극 사이의 전위차는 표시 소자의 순방향 임계 전압보다 더 낮아질 수 있다. 따라서 신호 기록 동작 중에 표시 소자로 전류가 흐르는 것이 방지될 수 있다.

[0166] 이 실시예 모드에서 또한, n-채널 트랜지스터들이 제 1 스위치 (602), 제 2 스위치(603), 제 3 스위치(612) 및 제 4 트랜지스터(613)용으로 사용될 수 있고, 그에 의해 화소가 유니폴라 트랜지스터로 이루어질 수 있다. 따라서 제조 단계들이 간단해질 수 있다. 결과적으로, 제조 비용의 감소 및 수율의 향상이 달성될 수 있다. 또한, 화소가 n-채널 트랜지스터만으로 형성될 수 있기 때문에, 화소 내에 포함된 트랜지스터의 반도체층은 비정질 반도체, 반-비정질 반도체(미정질 반도체라고도 칭해짐) 등으로 형성될 수 있다. 예를 들면, 비정질 실리콘(a-Si:H)은 비정질 반도체로 사용될 수 있다. 따라서 제조 단계들이 더 간단해질 수 있다. 결과적으로, 제조 비용의 감소 및 수율의 향상이 달성될 수 있다.

[0167] (실시예 모드 3)

[0168] 이 실시예 모드에서, p-채널 트랜지스터가 본 발명의 화소 내에 포함된 트랜지스터에 적용될 수 있는 경우에 대해 도 11을 참조하여 기술된다.

[0169] 이 실시예 모드에 기술된 화소는 트랜지스터(1101), 제 1 스위칭 트랜지스터(1102), 제 2 스위칭 트랜지스터(1103), 용량소자(1104), 표시 소자(1105), 제 1 배선(1106), 제 2 배선(1107), 제 3 배선(1108) 및 제 4 배선(1109)을 포함한다. 트랜지스터(1101), 제 1 스위칭 트랜지스터(1102) 및 제 2 스위칭 트랜지스터(1103)는 p-채널 트랜지스터인 것에 유념한다.

[0170] 화소의 접속 구조가 기술된다.

[0171] 트랜지스터(1101)의 제 1 단자(소스 단자 및 드레인 단자 중 하나) 및 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 표시 소자(1105)의 화소 전극 및 제 3 배선(1108)에 각각 접속된다. 트랜지스터(1101)의 게이트 단자는 제 2 스위칭 트랜지스터(1103)를 통해 제 4 배선(1109)에 접속된다. 즉, 제 2 스위칭 트랜지스터(1103)가 온 상태이면, 트랜지스터(1101)의 게이트 단자 및 제 4 배선(1109)은 전기적으로 접속된다. 한편, 제 2 스위칭 트랜지스터(1103)가 오프 상태이면, 트랜지스터(1101)의 게이트 단자 및 제 4 배선(1109)은 전기적으로 접속 해제된다. 제 2 스위칭 트랜지스터(1103)의 게이트 단자, 제 1 단자(소스 단자 및 드레인 단자 중 하나) 및 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 제 1 배선(1106), 트랜지스터(1101)의 게이트 단자 및 제 4 배선(1109)에 각각 접속된다. 따라서 제 1 배선(1106)에 입력된 신호가 H 레벨이면, 제 2 스위칭 트랜지스터(1103)는 턴온되는 반면, 신호가 L 레벨이면, 제 2 스위칭 트랜지스터(1103)는 턴오프된다.

[0172] 또한, 트랜지스터(1101)의 제 1 단자는 제 1 스위칭 트랜지스터(1102)를 통해 제 2 배선(1107)에 접속된다. 즉,

제 1 스위칭 트랜지스터(1102)가 온 상태이면, 트랜지스터(1101)의 제 1 단자 및 제 2 배선(1107)은 전기적으로 접속된다. 한편, 제 1 스위칭 트랜지스터(1102)가 오프 상태이면, 트랜지스터(1101)의 제 1 단자 및 제 2 배선(1107)은 전기적으로 접속 해제된다. 제 2 스위칭 트랜지스터(1103)의 게이트 단자, 제 1 단자(소스 단자 및 드레인 단자 중 하나) 및 제 2 단자(소스 단자 및 드레인 단자 중 다른 하나)는 제 1 배선(1106), 제 2 배선(1107) 및 표시 소자(1105)의 화소 전극과 트랜지스터(1101)의 제 1 단자에 각각 접속된다. 따라서 제 1 배선(1106)에 입력된 신호가 H 레벨이면, 제 1 스위칭 트랜지스터(1102)는 턴온되는 반면, 신호가 L 레벨이면, 제 1 스위칭 트랜지스터(1102)는 턴오프된다.

- [0173] 용량소자(1104)는 트랜지스터(1101)의 게이트 단자 및 제 1 단자 사이에 접속된다. 즉, 용량소자(1104)의 제 1 전극 및 제 2 전극은 트랜지스터(1101)의 게이트 단자 및 제 1 단자에 각각 접속된다. 용량소자(1104)는 절연막이 배선, 액티브층, 전극 등 사이에 삽입되는 구성을 가질 수 있거나, 트랜지스터(1101)의 게이트 용량을 사용함으로써 생략될 수 있음을 유념한다.
- [0174] 미리 결정된 전위가 표시 소자(1105)의 대향 전극(1110), 제 3 배선(1108) 및 제 4 배선(1109)에 입력되는 것에 유념한다.
- [0175] 제 1 배선(1106)에 신호를 입력함으로써, 제 1 스위칭 트랜지스터(1102) 및 제 2 스위칭 트랜지스터(1103)가 턴온 또는 턴오프되도록 제어된다.
- [0176] 신호는 화소의 그레이 스케일 레벨에 따라 제 2 배선(1107)에 입력된다. 이 신호는 비디오 신호에 대응하며, 신호 전류는 제 2 배선(1107)으로 흐른다.
- [0177] 후속적으로, 이 실시예 모드의 화소의 동작이 도 12a 내지 도 12c를 참조하여 기술된다.
- [0178] 제 2 배선(1107)에 접속된 전류원(1201)이 화소에 기록되는 신호 전류 Idata를 설정하는 것에 유념한다. 제 2 배선(1107)은 전류원(1201)을 통해 배선(1202)에 접속된다. 미리 결정된 전위가 배선(1202)에 입력된다. 여기에서, 제 3 배선(1108), 제 4 배선(1109), 배선(1202) 및 대향 전극(1110)에 입력된 전위들은 V3, V4, V5 및 Vcom으로 각각 표시된다. 전위들의 관계에 대해, $V3 > Vcom > V5$ 이 적어도 만족된다.
- [0179] 화소의 동작은 화소에 신호를 기록하기 위한 신호 기록 동작과, 화소에 기록된 신호에 따라 그레이 스케일 레벨의 발광을 위한 발광 동작을 포함하는 것에 유념한다. 도 12a 및 도 12b는 신호 기록 동작을 도시한 도면들이고, 도 12c는 발광 동작을 도시한 도면이다.
- [0180] 먼저, 신호 기록 동작의 전이 상태가 도 12a를 참조하여 기술된다. 제 1 배선(1106)에 입력된 신호는 L 레벨로 설정되고, 그에 의해 제 1 및 제 2 스위칭 트랜지스터들(1102 및 1103)이 턴온된다. 따라서 도 12a에 도시된 바와 같이 전류가 흐른다. 즉, 전류원(1201)에 의해 설정된 신호 전류 Idata는 용량소자(1104)와 트랜지스터(1101)로 흐른다. 전류 Ic 및 전류 Itr이 용량소자(1104)와 트랜지스터(1101)로 각각 흐른다면, $Ic + Itr = Idata$ 가 만족된다.
- [0181] 전류는 오래 전에 용량소자(1104)에 흐르지 않으며, 신호 기록 동작 중에 안정한 상태에 이른다. 따라서 도 12b에 도시된 바와 같이 전류가 흐른다. 트랜지스터(1101)로 흐르는 전류 Itr는 신호 전류 Idata와 동일하다. 즉, 트랜지스터(1101)의 게이트-소스 전압 Vgs은 트랜지스터(1101)의 신호 전류 Idata에 인가하기 위해 필요하다. 트랜지스터(1101)의 게이트-소스 전압 Vgs에 대한 부하는 용량소자(1104) 내에 축적된다.
- [0182] 이때의 트랜지스터(1101)의 게이트 단자 및 제 1 단자의 전위들은 각각 Va 및 Vb로 표시되며, $Vgs = (Va - Vb)$ 가 만족되는 것에 유념한다. 표시 소자(1105)의 순방향 임계 전압이 V_{ELth} 로 표시되면, $(Vb - Vcom) < V_{ELth}$ 이 만족되는 것이 바람직하고, 그에 의해, 신호 기록 동작 중에 표시 소자(1105)에 전류가 인가되지 않는다. 따라서 제 4 배선(1109)에 입력된 전위 V4는 $V3 > V4 > V5$ 를 만족시키도록 설정되는 것이 바람직하다. $V4 = Vcom$ 이 만족되면, 화소들에 필요한 전원들의 수는 감소될 수 있다. 또한 신호 기록 동작 중에 표시 소자(1105)에 역 바이어스가 인가될 수 있다.
- [0183] 표시 소자(1105)에 역 바이어스가 인가될 때에도, 보통 표시 소자(1105)에 전류가 흐르지 않음(만약 흐른다면, 작은 양의 전류이다)에 유념한다. 한편, 표시 소자(1105)가 단락된다면, 단락된 부분에 전류가 흐른다. 그 다음, 단락된 부분은 절연되고, 그에 의해 표시 결함이 개선될 수 있다.
- [0184] 후속적으로, 발광 동작이 도 12c를 참조하여 기술된다. 제 1 배선(1106)에 입력된 신호가 H 레벨로 설정되고, 그에 의해 제 1 및 제 2 스위칭 트랜지스터들(1102 및 1103)이 턴오프된다. 따라서 도 12c에 도시된 바와 같이

전류가 흐른다. 이때, 제 2 스위칭 트랜지스터(1102)는 오프 상태가 된다. 따라서 용량소자(1104)는 트랜지스터(1101)에 신호 전류 Idata를 인가하기 위해 필요한 게이트-소스 전압 Vgs를 유지한다. 따라서 신호 전류 Idata와 거의 동일한 전류가 트랜지스터(1101)에 흐른다.

- [0185] 이때 트랜지스터(1101)의 게이트 단자 및 제 1 단자의 전위들이 각각 Va' 및 Vb'로 표시되고, $V_{gs} = (V_{a'} - V_{b'})$ 가 만족된다는 것에 유념한다. 이것은, $V_{b'} > V_b$ 가 만족되더라도 용량소자(1104)가 게이트-소스 전압 Vgs를 유지함으로 인해 Vb'가 증가됨에 따라 Va'가 증가되기 때문이다.
- [0186] 제 1 배선(1106)에 입력될 L 레벨 신호 및 H 레벨 신호의 전위들이 V1(L) 및 V1(H)로 각각 표시될 때, 다음의 전위들이 바람직함을 유념한다. 제 1 스위칭 트랜지스터(1102) 및 제 2 스위칭 트랜지스터(1103)의 임계 전압들은 Vth1 및 Vth2로 각각 표시된다.
- [0187] 도 12b에 도시된 바와 같이, 표시 소자(1105)의 화소 전극의 전위가 Vb가 될 때에도, 제 1 스위칭 트랜지스터(1102)는 온 상태가 되도록 요구된다. 따라서 $V1(L) < (V_b + V_{th1})$ 이 만족되도록 설정된다. 또한, 제 2 스위칭 트랜지스터(1103)가 온 상태가 되기 위하여, $V1(L) < (V_4 + V_{th2})$ 가 만족되도록 설정된다. 특히, 예를 들면, $V_4 = V_{com}$ 이 만족되면, V1(L)는 Vcom보다 1 내지 8V만큼 더 낮은 전위인 것이 바람직하다.
- [0188] 도 12c에 도시된 바와 같이, 제 1 스위칭 트랜지스터(1102)가 턴오프되도록 $V1(H) > (V_b + V_{th1})$ 이 만족된다. 즉, 신호 흐름이 다른 화소에 기록될 때, 제 2 배선(1107)의 전위는 Vb가 된다. 따라서 이때 선택되지 않은 화소에서는, 제 1 스위칭 트랜지스터(1102)가 오프 상태가 되도록 요구된다. 한편, 제 2 스위칭 트랜지스터(1103)가 오프 상태가 되도록 $V1(H) > (V_4 + V_{th2})$ 가 만족된다. 특히, 예를 들면, $V_4 = V_{com}$ 이 만족될 때, V1(L)은 Vcom보다 1 내지 8V만큼 더 높은 전위인 것이 바람직하다.
- [0189] 이 실시예 모드에서 기술된 화소 구조를 이용함으로써, 신호 기록 동작 중의 트랜지스터의 게이트 전위가 제어되고, 그에 의해 이때 표시 소자에 전류가 흐르는 것을 방지한다.
- [0190] 도 12에 도시된 화소 구조를 이용함으로써, 화소가 p-채널 트랜지스터들로만 형성될 수 있고, 이것은 제조 단계들을 간단하게 할 수 있다.
- [0191] 또한, 본 발명의 구조를 이용함으로써, 신호 기록 동작 중에 $|V_{ds}| > |V_{gs}|$ 가 만족될 수 있다. Vds의 변화는 신호 기록 동작과 발광 동작 사이에서 작게 이루어질 수 있다. 따라서 트랜지스터(1101)의 포화 영역에서의 일정한 전류 특성들(전류의 균일함)이 불량한 경우에도, 전류값들은 신호 기록 동작과 발광 동작 사이에서 거의 일정하다. 특히, 비정질 반도체막(비정질 실리콘과 같이)이 트랜지스터(1101)의 반도체층으로 사용될 때, 트랜지스터(1101)의 포화 영역에서의 일정한 전류 특성들(전류의 균일함)은 저하될 수 있다. 따라서 비정질 반도체막이 트랜지스터(1101)의 반도체층으로 사용되는 경우에 본 발명의 구조가 적용될 때, 표시 결함이 방지될 수 있다.
- [0192] (실시예 모드 4)
- [0193] 이 실시예 모드에서, 특히, 신호 기록 동작과 발광 동작 중에 트랜지스터의 소스-드레인 전압을 감소시키는 구동 방법이 기술된다.
- [0194] 도 1의 화소를 이용하여 기술된다. 화소의 접속 구조가 실시예 모드 1에 기술되었기 때문에, 이 기술은 여기서 생략한다.
- [0195] 이 실시예 모드에서, 신호 기록 동작 중의 대향 전극(110)의 전위는 발광 동작 중의 전위보다 더 높다. 이때의 대향 전극(110)의 전위는 순방향 전류가 신호 기록 동작 중의 표시 소자(105)로 흐르지 않을 때까지 허용 가능하다. 전위는 제 3 배선(108)과 동일하거나 더 높다.
- [0196] 더욱이, 신호 기록 동작에서, 신호는 제 1 배선(106)에 입력되고, 그에 의해 제 1 및 제 2 스위치들(102 및 103)이 턴온된다. 그 다음, 제 2 배선(107)에서 트랜지스터(101)로 흐르는 신호 전류 Idata에 인가할 필요가 있는 게이트-소스 전압을 위한 전하는 용량소자(104) 내에서 축적된다.
- [0197] 이때, 트랜지스터(101)의 게이트 단자가 접속된 제 4 배선(109)의 전위는 미리 결정된 전위이다.
- [0198] 후속적으로, 발광 동작 중에, 신호는 제 1 배선(106)에 입력되고, 그에 의해 제 1 및 제 2 스위치들(102 및 103)이 턴오프된다. 그 다음, 이때의 대향 전극(110)의 전위는 신호 기록 동작의 전위보다 더 낮다.
- [0199] 용량소자(104)는 트랜지스터(101)에 신호 전류 Idata를 인가하는데 필요한 게이트-소스 전압을 유지한다; 따라

서 신호 전류 Idata와 거의 동일한 전류가 트랜지스터(101)로 흐른다. 그 다음, 표시 소자(105)로 전류가 흐른다.

- [0200] 이때의 표시 소자(105)의 화소 전극의 전위는 대향 전극(110)의 전위보다 더 높다. 즉, 트랜지스터(101)의 소스 단자의 전위는 대향 전극(110)의 전위보다 더 높다.
- [0201] 따라서 신호 기록 동작 중에 트랜지스터(101)의 게이트 단자에 입력될 전위와 발광 동작 중에 표시 소자(105)의 대향 전극(110)에 입력될 전위를 공급하기 위한 제 4 배선(109)의 전위가 적절하게 설정되고, 그에 의해 트랜지스터(101)의 제 1 단자의 전위차는 신호 기록 동작과 발광 동작 사이에서 감소될 수 있다. 미리 결정된 전위가 트랜지스터(101)의 제 2 단자에 입력되기 때문에, 트랜지스터(101)의 제 1 단자의 전위가 제어되고, 그에 의해 트랜지스터(101)의 드레인-소스 전압의 차는 신호 기록 동작과 발광 동작 사이에서 작게 만들어질 수 있다.
- [0202] 따라서 트랜지스터(101)의 포화 영역에서의 일정한 전류 특성들(전류의 균일함)이 저하되는 경우에도, 전류값들의 차는 신호 기록 동작과 발광 동작 사이에서 작게 만들어질 수 있다. 따라서 표시의 불균일함이 감소될 수 있다. 특히, 비정질 반도체막(비정질 실리콘과 같이)이 화소의 트랜지스터의 반도체층으로 사용될 때, 일정한 전류 특성들(전류의 균일함)은 종종 저하될 수 있다. 따라서 이 실시예 모드의 구동 방법이 적용되고, 그에 의해 표시 결함을 방지할 수 있다.
- [0203] 또한, 제 4 배선(109)에 입력될 전위는 신호 전류의 양에 따라 화소들의 컬럼마다 설정되고, 그에 의해 트랜지스터(101)의 드레인-소스 전압의 차가 신호 기록 동작과 발광 동작 사이에서 더 작게 만들어 수 있다. 따라서 트랜지스터(101)는 선형 영역에서 동작할 수 있다.
- [0204] (실시예 모드 5)
- [0205] 이 실시예 모드에서, 도 40에 도시된 타이밍도를 사용하여, 본 발명의 화소가 적용될 수 있는 표시 장치의 구동 방법의 한 모드에 대해 기술된다. 또한, 구동 방법이 적용될 수 있는 본 발명의 화소 구조가 기술된다.
- [0206] 수평 방향은 시간의 추이를 나타내고, 수직 방향은 주사선들의 스캔 로우들의 수를 나타낸다.
- [0207] 이미지들이 표시될 때, 기록 동작 및 발광 동작이 반복된다. 하나의 스크린(하나의 프레임)에 대한 기록 동작 및 발광 동작이 수행되는 기간을 프레임 기간이라고 칭한다. 하나의 프레임에 대한 신호들의 처리에 대해 특별한 제한이 없지만, 시청자가 플리커들을 알아채지 못하도록 하나의 프레임 기간들의 수가 적어도 약 초당 60회가 되는 것이 바람직하다.
- [0208] 이 실시예 모드의 표시 장치에서, 비디오 신호는 각각의 화소의 그레이 스케일에 따라 화소 내에 기록된다. 달리 말하면, 아날로그 신호는 화소에 기록된다. 비디오 신호는 신호 전류이다.
- [0209] 발광 기간 중에, 비디오 신호를 유지함으로써 그레이 스케일이 표현된다. 여기에서, 이 실시예 모드의 화소를 포함하는 표시 장치는 소거 동작에 의해 화소에 기록된 신호를 소거한다. 따라서 소거 기간은 다음 프레임 기간까지 제공된다. 즉, 블랙 표시가 삽입되고, 그에 의해 비전의 지속성은 거의 보일 수 없다. 따라서 동화상의 특성들이 개선될 수 있다.
- [0210] 이 실시예 모드의 구동 방법이 적용될 수 있는 화소 구조가 기술된다. 이 실시예 모드의 화소는 스캐닝에 의해 화소를 강제로 발광시키지 않는 수단을 가지는 한 허용 가능하다. 이러한 수단으로서, 도 1에 도시된 화소의 경우에, 트랜지스터(101)를 통해 제 3 배선(108)에서 표시 소자(105)의 대향 전극(110)으로의 전류의 경로는 비도전성으로 이루어지는 것이 바람직하다.
- [0211] 전류의 경로를 비도전성으로 만드는 두 가지 방법들이 있다. 한 방법으로서, 트랜지스터(101)를 통해 제 3 배선(108)에서 표시 소자(105)의 대향 전극(110)으로의 전류의 경로에 다른 스위치가 제공된다. 그 다음, 스위치는 로우마다 화소를 스캐닝하여 턴오프되고, 그에 의해 전류의 경로는 비도전성이 된다.
- [0212] 도 42에 이러한 구조의 예가 도시된다. 도 1과 공통인 부분들은 동일한 번호들로 표시하고 그 설명은 생략하였음을 유념한다.
- [0213] 도 42의 구조에서, 제 3 스위치(4201)는 도 1의 구조에 기초하여 제 1 트랜지스터(101)의 제 2 단자와 제 3 배선(108) 사이에 접속된다. 제 3 스위치(4201)는 제 5 배선(4202)에 입력될 신호에 의해 턴온 또는 턴오프된다. 스위치가 제공되는 부분이 도 42의 구조로 한정되지 않음을 유념한다. 표시 소자(105)의 화소 전극과 트랜지스터(101)의 제 1 단자의 접속 지점이 노드(4203)일 때, 표시 소자(105)의 화소 전극 또는 트랜지스터(101)의 제 1 단자와 노드(4203) 사이에 스위치가 접속될 수 있다.

- [0214] 다른 방법으로서, 트랜지스터(101)는 로우마다 화소를 스캐닝함으로써 강제로 턴오프된다. 따라서 화소는, 트랜지스터(101)의 게이트 단자에 전위를 입력하는 수단 또는 용량소자(104) 내에 축적된 전하를 방전시키는 수단을 가지도록 요구된다.
- [0215] 먼저, 도 38은 용량소자(104) 내에 축적된 전하를 방전하는 수단을 갖는 화소의 일례를 도시한다. 도 1과 공통인 부분들은 동일한 참조 번호들로 표시하였으며 그 설명은 생략되었음을 유념한다. 도 38에서, 용량소자(104) 및 제 3 스위치(3801)는 병렬로 접속된다. 제 3 스위치(3801)는 제 5 배선(3802)에 입력된 신호에 의해 턴온 또는 턴오프되도록 제어된다. 즉, 제 3 스위치(3801)가 턴온되면, 트랜지스터(101)의 게이트 단자 및 제 1 단자는 단락된다. 따라서 트랜지스터(101)의 게이트-소스 전압은 용량소자(104) 내에 유지되며, 0V로 설정될 수 있다. 따라서 트랜지스터(101)는 턴오프될 수 있다.
- [0216] 도 5 또는 도 49의 구조를 이용함으로써, 용량소자(104) 내에 축적된 전하는 로우마다 화소를 스캐닝하여 방전될 수 있음을 유념한다. 이 경우에, 제 2 스위치(103)는 제 5 배선(501)에 공급될 신호에 의해 턴오프된다. 제 2 스위치(103)는 제 1 스위치(102)가 오프 상태로 되는 동안 턴온되고, 그에 의해 용량소자(104) 내에 축적된 전하가 트랜지스터(101)를 통해 방전된다. 따라서 트랜지스터(101)는 턴오프될 수 있다.
- [0217] 또한, 도 39는 트랜지스터(101)의 게이트 단자에 전위를 입력하는 수단을 갖는 화소의 일례를 도시한다. 1과 공통인 부분들은 동일한 참조 번호들로 표시하였으며 그 설명은 생략되었음을 유념한다. 도 39에서, 정류 소자(3901)는 제 1 트랜지스터(101)의 게이트 단자와 제 5 배선(3902) 사이에 접속된다. 정류 소자(3901)는 트랜지스터(101)의 게이트 단자로부터 제 5 배선(3902)으로 흐르는 전류의 방향이 순방향 전류가 되도록 접속된다. 트랜지스터(101)가 강제로 턴오프되는 경우에만, L 레벨 신호가 제 5 배선(3902)에 입력되고, 다른 경우들에서는 H 레벨 신호가 제 5 배선(3902)에 입력된다. 따라서 제 5 배선(3902)이 H 레벨일 때, 정류 소자(3901)에 흐르지 전류가 흐르지 않는 반면, 제 5 배선(3902)이 L 레벨일 때, 트랜지스터(101)에서 제 5 배선(3902)으로 전류가 흐른다. 따라서 트랜지스터(101)의 게이트 단자의 전위는 정류 소자(3901)의 순방향 임계 전압에 의해 L 레벨의 제 5 배선(3902)의 전위보다 더 높다. 이때, 트랜지스터(101)를 통해 용량소자(104)의 제 2 전극 내에도 전하가 축적된다. 그 다음, 트랜지스터(101)의 제 1 단자도 또한 높게 된다. 따라서 트랜지스터(101)는 강제로 턴오프될 수 있다.
- [0218] 트랜지스터(101)의 게이트 단자에 전위를 입력하는 수단을 갖는 화소의 다른 예로서, 도 5의 화소 구조가 이용될 수 있다. 이 경우, 제 2 스위치(103)는 제 5 배선(501)에 신호를 입력함으로써 턴온되고, 그에 의해 트랜지스터(101)를 통해 용량소자(104)의 제 2 전극 내에 전하가 축적된다. 따라서 트랜지스터(101)는 턴오프된다.
- [0219] 또한, 도 41은 트랜지스터(101)의 게이트 단자에 전위를 입력하는 수단을 갖는 화소의 다른 예를 도시한다. 1과 공통인 부분들은 동일한 참조 번호들로 표시하였으며 그 설명은 생략되었음을 유념한다. 도 41에서, 제 3 스위치(4101)는 제 1 트랜지스터(101)의 게이트 단자와 표시 소자(105)의 대향 전극(110) 사이에 접속된다. 제 3 스위치(4101)와 표시 소자(105)의 대향 전극(110)은 배선(4103)을 통해 접속된다. 제 3 스위치(4101)가 제 5 배선(4102)에 신호를 입력함으로써 턴온 또는 턴오프되도록 제어됨을 유념한다. 제 3 스위치(4101)가 제 5 배선(4102)에 신호를 입력함으로써 턴온될 때, 용량소자(104)의 전하는 트랜지스터(101)를 통해 방전된다. 따라서 트랜지스터(101)는 턴오프된다.
- [0220] 도 41에 도시된 화소들을 갖는 표시 패널의 단면도가 도 43을 참조하여 기술됨을 주지한다.
- [0221] 기본막(4302)이 기판(4301) 위에 제공된다. 기판(4301)은 유리 기판, 석영 기판, 플라스틱 기판, 세라믹 기판과 같은 절연 기판, 또는 금속 기판, 반도체 기판 등으로 형성될 수 있다. 기본막(4302)은 CVD 또는 스퍼터링에 의해 형성될 수 있다. 예를 들면, 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 등은 소스 재료로서 SiH₄, N₂O 및 NH₃을 사용하여 CVD에 의해 형성된다. 더욱이, 이들의 적층이 사용될 수도 있다. 불순물들이 기판(4301)으로부터 반도체층으로 분산되는 것을 방지하기 위하여 기본막(4302)이 제공되는 것에 유념한다. 기판(4301)이 유리 기판 또는 석영 기판으로 형성되면, 기본막(4302)은 제공될 필요가 없다.
- [0222] 섬형 반도체층들이 기본막(4302) 위에 형성된다. 반도체층들 각각에서, n-채널이 형성되는 채널 형성 영역(4303), 소스 영역 또는 드레인 영역으로 기능하는 불순물 영역(4304), 및 저농도 불순물 영역(LDD 영역)이 형성된다. 게이트 전극(4307)은 채널 형성 영역(4303) 위에 형성되고, 그 사이에 게이트 절연막(4306)이 삽입된다. 게이트 절연막(4306)으로서, CVD 또는 스퍼터링에 의해 형성된 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 등이 사용될 수 있다. 또한, 알루미늄(Al)막, 구리(Cu)막, 알루미늄 또는 구리를 주 구성성분으로서 함유하는 박막, 크롬(Cr)막, 탄탈(Ta)막, 탄탈 질화물(TaN)막, 티탄(Ti)막, 텅스텐(W)막, 몰리브덴(Mo)막

등이 게이트 전극(4307)으로서 사용될 수 있다.

- [0223] 측벽들(4322)이 게이트 전극(4307)의 측면들 상에 형성된다. 실리콘 화합물, 예를 들면, 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화질화막을 게이트 전극(4307)을 커버하도록 형성한 후에, 측벽들(4322)을 형성하기 위해 에칭-백 처리가 적용된다.
- [0224] LDD 영역들(4305)이 측벽들(4322) 아래에 형성된다. 즉, LDD 영역들(4305)은 자체 정렬 방식으로 형성된다. 측벽들(4322)은 자체 정렬 방식으로 LDD 영역들(4305)을 형성하기 위해 제공되므로 반드시 제공될 필요는 없음을 유념한다.
- [0225] 제 1 층간 절연막이 게이트 전극(4307), 측벽들(4322) 및 게이트 절연막(4306) 위에 형성된다. 제 1 층간 절연막은 하부층으로서 무기 절연막(4318)과 상부층으로서 수지막(4308)을 포함한다. 무기 절연막(4318)으로서, 실리콘 질화막, 실리콘 산화막, 실리콘 산화질화막, 또는 이들 층들에 의해 적층되어 형성된 막이 사용될 수 있다. 수지막(4308)으로서, 폴리이미드, 폴리아미드, 아크릴, 폴리 아미드 아미드, 에폭시 등이 사용될 수 있다.
- [0226] 제 1 전극(4309), 제 2 전극(4324), 제 3 전극(4320) 및 제 4 전극(4321)이 제 1 층간 절연막 위에 형성된다. 제 1 전극(4309), 제 2 전극(4324) 및 제 4 전극(4321)은 접촉 홀들을 통해 불순물 영역들(4304)에 전기적으로 접속된다. 또한, 제 3 전극(4320)은 접촉 홀을 통해 게이트 전극(4307)에 전기적으로 접속된다. 제 3 전극(4320) 및 제 4 전극(4321)은 서로 전기적으로 접속된다. 티탄(Ti)막, 알루미늄(Al)막, 구리(Cu)막, Ti를 함유한 알루미늄막 등이 제 1 전극(4309) 및 제 2 전극(4324)으로서 사용될 수 있다. 제 1 전극(4309), 제 2 전극(4324), 제 3 전극(4320) 및 제 4 전극(4321)과 동일한 층 내의 신호선과 같은 배선을 제공하는 경우에, 낮은 저항을 가진 구리가 사용되는 것이 바람직함을 유념한다.
- [0227] 제 2 층간 절연막(4310)이 제 1 전극(4309), 제 2 전극(4324), 제 3 전극(4320), 제 4 전극(4321) 및 제 1 층간 절연막 위에 형성된다. 제 2 층간 절연막(4310)으로서, 무기 절연막, 수지막 또는 이들 층들을 적층하여 형성된 막이 사용될 수 있다. 무기 절연막으로서, 실리콘 질화막, 실리콘 산화막, 실리콘 산화질화막, 또는 이들 층들에 의해 적층되어 형성된 막이 사용될 수 있다. 수지막으로서, 폴리이미드, 폴리아미드, 아크릴, 폴리 아미드 아미드, 에폭시 등이 사용될 수 있다.
- [0228] 화소 전극(4311) 및 배선(4319)이 제 2 층간 절연막(4310) 위에 형성된다. 화소 전극(4311) 및 배선(4319)은 동일한 재료로 형성된다. 즉, 이들은 동일한 층에서 동시에 형성된다. 화소 전극(4311) 및 배선(4319)용 재료로서, 높은 작업 기능을 갖는 재료가 사용되는 것이 바람직하다. 예를 들면, 티탄 질화물(TiN)막, 크롬(Cr)막, 텅스텐(W)막, 아연(Zn)막, 백금(Pt)막 등의 단층, 주요 구성성분으로서 알루미늄을 함유한 막과 티탄 질화막의 적층, 주요 구성성분으로서 알루미늄을 함유한 막, 티탄 질화막 및 티탄 질화막의 3개 층들의 적층이 사용될 수 있다. 적층 구조에 의해, 배선으로서의 저항이 낮고, 바람직한 저항 접촉이 얻어질 수 있으며, 애노드로서의 다른 기능이 얻어질 수 있다. 광을 반사시키는 금속막을 사용함으로써, 광을 투과시키지 않는 애노드가 형성될 수 있다.
- [0229] 화소 전극(4311) 및 배선(4319)의 끝부분들을 커버하도록 절연체(4312)가 형성된다. 절연체(4312)로서, 예를 들면, 양의 감광 아크릴 수지막이 사용될 수 있다.
- [0230] 유기 화합물을 함유한 층(4313)이 화소 전극(4311) 위에 형성되고, 유기 화합물을 함유한 층(4313)은 절연체(4312)를 부분적으로 오버랩시킨다. 유기 화합물을 함유한 층(4313)이 배선(4319) 위에는 형성되지 않음을 유념한다.
- [0231] 대향 전극(4314)이 유기 화합물을 함유한 층(4313), 절연체(4312) 및 배선(4319) 위에 제공된다. 대향 전극(4314)용으로 사용된 재료로서, 낮은 작업 함수를 갖는 재료가 이용되는 것이 바람직하다. 예를 들면, 알루미늄(Al), 은(Ag), 리튬(Li), 칼슘(Ca), 이들의 합금, MgAg, MgIn, AlLi, CaF₂, Ca₃N₂ 등의 금속 박막이 사용될 수 있다. 이러한 방식으로 금속 박막을 사용함으로써, 광을 투과시킬 수 있는 캐소드가 형성될 수 있다.
- [0232] 유기 화합물을 함유한 층(4313)이 대향 전극(4314)과 화소 전극(4311) 사이에 삽입되는 영역은 발광 소자(4316)에 대응한다.
- [0233] 유기 화합물을 함유한 층(4313)이 절연층(4312)에 의해 분리되는 경우의 영역엿, 결합부(4317)는 대향 전극(4314)과 배선(4319)이 서로 접촉하도록 형성된다. 따라서 배선(4319)은 대향 전극(4314)의 보조 전극으로 기능하고, 그에 의해 대향 전극(4314)의 낮은 저항이 실현된다. 따라서 대향 전극(4314)의 막 두께는 감소될 수 있

어, 광투과성의 증가를 가져온다. 따라서 발광 소자(4316)로부터의 광이 상부 표면으로부터 추출되는 상부 방사 구조에서는 더 높은 휘도가 얻어질 수 있다.

- [0234] 금속 박막과 광투과 도전막(ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO)막 또는 아연 산화물(ZnO)막과 같은)의 적층은 대향 전극(4314)의 낮은 저항을 실현하기 위하여 사용될 수 있다. 이러한 방식으로, 광을 투과할 수 있는 캐소드는 광을 투과할 수 있는 광투과 도전막과 금속 박막을 사용하여 형성될 수 있다.
- [0235] 즉, 트랜지스터(4315)는 도 41의 화소 내의 트랜지스터(101)에 대응하고, 트랜지스터(4323)는 도 41의 화소 내의 제 3 트랜지스터(4101)의 기능을 이행한다. 또한 대향 전극(4314)은 도 41의 화소부의 표시 소자(105)의 대향 전극(110)에 대응한다. 그 외에도 배선(4319)은 도 41의 화소 내의 배선(4103)에 대응한다.
- [0236] 또한, 도 43에 도시된 구조를 갖는 표시 패널은 다른 화소 구조를 갖는 경우에 적용될 수 있다. 예를 들면, 트랜지스터(4315)는 도 48 또는 도 49의 트랜지스터에 대응하고, 트랜지스터(4323)는 도 48 또는 도 49의 제 2 스위치(103)의 기능을 이행한다. 전극(4324)은 도 48 또는 도 49의 제 4 배선(109)에 대응할 수 있고 배선(4319)은 도 48의 제 5 배선(4801) 또는 도 49의 제 6 배선(4901) 대응함을 유념한다. 대안적으로, 배선(4319)은 제 4 배선(109) 및 도 48의 제 5 배선(1801)의 기능 또는 제 4 배선(109)과 도 49의 제 6 배선(4901)의 기능을 이행할 수 있다.
- [0237] 도 43에 도시된 구조를 갖는 표시 패널에서, 대향 전극(4314)의 막은 얇게 형성될 수 있고, 그에 의해 양호한 투과성을 가진 상부 표면으로부터 광이 방사될 수 있다. 따라서 상부 표면의 휘도가 향상될 수 있다. 또한, 대향 전극(4314) 및 배선(4319)을 접속시킴으로써, 대향 전극(4314) 및 배선(4319)의 더 낮은 저항이 실현될 수 있다. 따라서 전력 소비가 감소될 수 있다.
- [0238] 또한, 트랜지스터(101)는 도 2의 화소 구조를 갖는 표시 장치에 의해 강제로 턴오프될 수 있다. 이러한 경우의 구동 방법이 하기에 기술된다.
- [0239] 하나의 수평 기간이 도 44에 2개의 기간들로 나누어진다. 여기에서, 전자의 반은 기록 시간이고 후자의 반은 소거 시간인 것으로 가정하여 설명한다. 나누어진 수평 기간에서, 각각의 주사선이 선택되고, 그 시간에, 대응하는 신호가 신호선에 입력된다. 예를 들면, 어떤 시간 기간의 전자의 반에서 i -번째 로우가 선택되고, 후자의 반에서 j -번째 로우가 선택된다. 그 다음, 2개의 로우들이 하나의 수평 기간에서 동시에 선택되는 경우처럼 동작이 수행될 수 있다. 달리 말하면, 각각의 수평 기간의 전자의 반인 기록 시간을 이용하여 기록 시간 $Tb1$ 내지 $Tb4$ 에서 신호선으로부터 화소들에 비디오 신호들이 기록된다. 그 다음, 이때, 하나의 수평 기간의 후자의 반인 소거 시간 동안 화소가 선택되지 않는다. 그 외에도, 소거 신호는 다른 수평 기간의 후자의 절반인 소거 시간을 이용하여 소거 시간 Te 에서 신호선으로부터 화소에 입력된다. 이때, 하나의 수평 기간의 전자의 반인 기록 시간에서, 화소가 선택되지 않는다. 따라서 높은 개구비를 가진 표시 장치가 제공될 수 있고 수율이 개선될 수 있다.
- [0240] 도 45는 이러한 화소를 포함하는 표시 장치의 예를 도시한다. 표시 장치는 신호선 구동 회로(4501), 제 1 주사선 구동 회로(4502), 제 2 주사선 구동 회로(4505) 및 화소부(4503)를 포함하며, 상기 화소부(4503)에서, 화소들(4504)은 신호선들 $S1$ 내지 Sn 과 주사선들 $G1$ 내지 Gm 에 대응하는 매트릭스로 배열된다. 제 1 주사선 구동 회로(4502)는 펄스 출력 회로(4506) 및 스위치들(4508)을 포함하며, 상기 스위치들(4508)은 주사선들 $G1$ 내지 Gm 의 각각과 펄스 출력 회로(4506) 사이에 접속된다. 제 2 주사선 구동 회로(4505)는 펄스 출력 회로(4507) 및 스위치들(4509)을 포함하며, 상기 스위치들(4509)은 주사선들 $G1$ 내지 Gm 의 각각과 펄스 출력 회로(4507) 사이에 접속된다.
- [0241] 주사선 G_i (주사선들 $G1$ 내지 Gm 중 어느 하나)은 도 2의 제 1 배선(106)에 대응하고, 신호선 S_j (신호선들 $S1$ 내지 Sn 중 어느 하나)은 도 2의 제 2 배선(107)에 대응하는 것에 유념한다.
- [0242] 클럭 신호(G_CLK), 반전된 클럭 신호(G_CLKB), 시작 펄스 신호(G_SP), 제어 신호(WE) 등이 제 1 주사선 구동 회로(4502)에 입력된다. 이들 신호들에 따라, 화소들을 선택하는 신호들은 선택될 화소 로우의 제 1 주사선 G_i (제 1 주사선들 $G1$ 내지 Gm 중 어느 하나)에 출력된다. 이때의 신호들은 도 37의 타이밍도에 도시된 하나의 수평 기간의 전자의 반에 출력된 펄스들임을 유념한다. 스위치들(4508)은 제어 신호(WE)에 의해 턴온 또는 턴오프되도록 제어되고, 그에 의해, 펄스 출력 회로(4506) 및 주사선들 $G1$ 내지 Gm 은 전기적으로 접속되거나 접속 해제될 수 있다.
- [0243] 클럭 신호(G_CLK), 반전된 클럭 신호(G_CLKB), 시작 펄스 신호(G_SP), 제어 신호(WE) 등이 제 2 주사선 구동 회로(4505)에 입력된다. 이들 신호들에 따라, 화소들을 선택하는 신호들은 선택될 화소 로우의 제 2 주사선 R_i (제

2 주사선들 R1 내지 Rm 중 어느 하나)에 출력된다. 이때의 신호들은 도 37의 타이밍도에 도시된 하나의 수평 기간의 후자의 반에 출력된 펄스들임을 유념한다. 스위치들(4509)은 제어 신호(WE')에 의해 턴온 또는 턴오프되도록 제어되고, 그에 의해, 펄스 출력 회로(4507) 및 주사선들 G1 내지 Gm은 전기적으로 접속되거나 접속 해제될 수 있다. 스위치들(4508) 및 스위치들(4509) 중 하나가 전기적으로 접속될 때 다른 하나는 전기적으로 접속 해제됨을 유념한다.

[0244] 클럭 신호(G_CLK), 반전된 클럭 신호(G_CLKB), 시작 펄스 신호(G_SP), 비디오 신호(Digital Video Data), 제어 신호(WE) 등이 신호선 구동 회로(4501)에 입력된다. 이들 신호들에 따라, 각각의 로우의 화소들에 대응하는 비디오 신호는 신호선들 S1 내지 Sn 각각에 출력된다.

[0245] 따라서 신호선들 S1 내지 Sn에 입력될 비디오 신호는, 제 1 주사선 구동 회로(4502)로부터 주사선 Gi(주사선들 G1 내지 Gm 중 어느 하나)에 입력된 신호에 의해 선택된 로우 내에서 각각의 컬럼의 화소(4504)에 기록된다. 그 다음, 각각의 화소 로우는 주사선 G1 내지 Gm 각각을 통해 선택되고, 그에 의해 화소들(4504) 각각에 대응하는 비디오 신호들은 모든 화소들(4504)에 입력된다. 화소들 (4504) 각각은 특정한 기간 동안 기록된 비디오 신호의 데이터를 유지한다. 그 다음, 화소들(4504) 각각은 특정한 기간 동안 비디오 신호의 데이터를 유지함으로써 발광 상태 또는 비발광 상태를 유지할 수 있다.

[0246] 또한, 화소를 발광시키지 않게 하는 신호(소거 신호라고도 칭해짐)는, 제 2 주사선 구동 회로(4505)로부터 스캔 라인 Gi(주사선들 G1 내지 Gm 중 하나)에 입력된 신호에 의해 선택된 로우 내의 각각의 컬럼의 화소(4504)에 신호선들 S1 내지 Sn로부터 기록된다. 그 다음, 각각의 화소 로우는 주사선들 G1 내지 Gm의 각각에 의해 선택되고, 그에 의해, 비발광 기간을 설정한다. 예를 들면, i-번째 로우 내의 화소가 제 2 주사선 구동 회로(4505)로부터 주사선 Gi에 입력된 신호에 의해 선택되고, 신호선들 S1 내지 Sn의 전위들은 도 2의 화소 내의 제 4 배선(109)의 전위와 동일하다. 신호선들 S1 내지 Sn은 이때 부동 상태일 수 있음을 유념한다.

[0247] 따라서 본 발명의 표시 장치를 사용함으로써, 특정한 화소 로우 상에 초점이 맞추어지는 경우에, 특정한 화소 로우에 입력되는 신호가 입력될 신호와 동일할 때, 신호는 화소 로우에 입력되는 것이 방지될 수 있으며, 이것은 주사선 또는 신호선을 충전 및 방전을 수행하는 횟수를 감소시킨다. 결과적으로, 전력 소비가 낮아질 수 있다.

[0248] (실시에 모드 6)

[0249] 이 실시예 모드에서, 실시예 모드 1 내지 3에 기술된 화소 구조를 갖는 표시 패널의 구조들에 대해 도 22a 및 도 22b를 참조하여 기술된다.

[0250] 도 22a는 표시 패널의 상면도이고, 도 22b는 도 22a의 라인 A-A'에 따른 단면도임을 유념한다. 표시 패널은 신호선 구동 회로(2201), 화소부(2202), 제 1 주사선 구동 회로(2203) 및 제 2 주사선 구동 회로(2206)를 포함하며, 이들은 점선으로 도시되어 있다. 또한, 밀봉 기관(2204) 및 밀봉 재료(2205)가 제공된다. 밀봉 재료(2205)에 의해 둘러싸인 부분은 공간(2207)이다.

[0251] 배선(2208)은 제 1 주사선 구동 회로(2203), 제 2 주사선 구동 회로(2206) 및 신호선 구동 회로(2201)에 입력된 신호를 전달하는 배선이고, 외부 입력 단자로서 기능하는 FPC(가용성 인쇄 회로)(2209)로부터 비디오 신호, 클럭 신호 시작 신호 등을 수신한다. IC 칩(메모리 회로, 버퍼 회로 등을 포함하는 반도체 칩)(2219)은 COG(Chip On Glass) 등에 의해 표시 패널과 FPC(2209)의 접속부 위에 장착된다. 여기에서는 FPC(2209)만 도시되었다; 그러나 인쇄 배선 보드(PWB)가 FPC(2209)에 부착될 수 있음을 유념한다. 이 명세 내의 표시 장치는 표시 패널의 본체뿐만 아니라, FPC나PWB가 장착된 표시 패널 본체와 IC 칩 등이 장착된 표시 패널 본체를 포함한다.

[0252] 다음에는 도 22b를 참조하여 단면 구조가 기술된다. 화소부(2202) 및 주변 구동 회로들(제 1 주사선 구동 회로(2203), 제 2 주사선 구동 회로(2206) 및 신호선 구동 회로(2201))은 기관(2210) 위에 형성된다. 여기에서, 신호선 구동 회로(2201) 및 화소부(2202)가 도시된다.

[0253] 신호선 구동 회로(2201)가 n-채널TFT들(2220 및 2221)과 같은 유니폴라 트랜지스터들로 이루어져 있다는 것에 유념한다. 화소 구조에 대해, 화소는 도 2, 13, 14 또는 15의 화소 구조를 적용함으로써 유니폴라 트랜지스터로 이루어질 수 있다. 따라서 주변 구동 회로들은 n-채널 트랜지스터들로 이루어져 있고, 그에 의해 유니폴라 표시 패널이 제조될 수 있다. 말할 필요도 없이, CMOS 회로는 p-채널 트랜지스터뿐만 아니라 유니폴라 트랜지스터로 이루어질 수 있다. 또한, 이 실시예 모드에서, 주변 구동 회로들이 동일한 기관 위에 형성되는 표시 패널이 도시된다; 그러나 본 발명은 이에 한정되지 않는다. 주변 구동 회로들의 전부 또는 일부는 IC 칩 등에 형성될 수 있고, COG 등에 의해 장착될 수 있다. 이러한 경우, 구동 회로는 유니폴라가 될 필요는 없으며, p-채널 트랜지

스터와 조합하여 형성될 수 있다.

- [0254] 또한, 화소부(2202)는 TFT들(2211 및 2212)을 포함한다. TFT(2212)의 소스 전극이 제 1 전극(화소 전극)(2213)에 접속된다는 것에 유념한다. 절연체(2214)는 제 1 전극(2213)의 단부들을 커버하도록 형성된다. 여기에서, 양의 감광성 아크릴 수지막이 절연체(2214)용으로 사용된다.
- [0255] 양호한 커버리지를 얻기 위하여, 굴곡을 갖는 구부러진 표면이 절연체(2214)의 상단부 또는 하단부에 형성되도록 절연체(2214)가 형성된다. 예를 들면, 양의 감광 아크릴을 절연체(2214)용 재료로서 사용하는 경우에, 절연체(2214)의 상단부만이 반경(0.2 내지 3 μ m)을 갖는 구부러진 표면을 가지는 것이 바람직하다. 더욱이, 광에 의해 에천트에서 불용성이 될 수 있는 음의 감광성 아크릴 또는 광에 의해 에천트에서 가용성이 될 수 있는 양의 감광성 아크릴이 절연체(2214)로서 사용될 수 있다.
- [0256] 유기 화합물 및 제 2 전극(대향 전극)(2217)을 포함하는 층(2216)이 제 1 전극(2213) 위에 형성된다. 여기에서, 애노드로서 기능하는 제 1 전극(2213)용으로 사용된 재료로서 높은 작업 기능(work function)을 갖는 재료를 사용하는 것이 바람직하다. 예를 들면, ITO(인듐 주석 산화물)막, 인듐 아연 산화(IZO)막, 티탄 질화막, 크롬막, 텅스텐막, Zn막, Pt막 등의 단층, 티탄 질화막과 주 구성성분으로서 알루미늄을 함유한 막의 적층, 티탄 질화막, 주 구성성분으로서 알루미늄을 함유한 막 및 티탄 질화막의 3층 구조 등이 사용될 수 있다. 적층 구조를 이용함으로써, 배선으로서의 저항이 낮아지고, 양호한 음 접촉이 얻어질 수 있으며, 애노드로서의 기능이 얻어질 수 있음을 유념한다.
- [0257] 유기 화합물을 함유한 층(2216)은 침착 마스크 또는 잉크젯을 사용하여 증착에 의해 형성된다. 원소들의 주기율표의 4족에 속하는 금속 합성물은 유기 화합물을 함유한 층(2216)의 일부에 사용된다. 게다가, 낮은 분자 재료 또는 높은 분자 재료가 마찬가지로 조합하여 사용될 수 있다. 또한, 유기 화합물을 함유한 층(2216)에 사용하기 위한 재료로서, 유기 화합물의 단층 또는 적층이 흔히 사용된다; 그러나 이 실시예 모드에서는 무기 화합물이 유기 화합물로 형성된 막의 일부에 사용될 수 있다. 더욱이, 알려진 3개조 재료가 또한 사용될 수 있다.
- [0258] 또한, 캐소드로서 기능하고 유기 화합물을 함유한 층(2216) 위에 형성된 제 2 전극(2217)에 사용된 재료로서, 낮은 작업 함수를 갖는 재료(Al, Ag, Li, Ca 또는 MaAg, MgIn, AlLi, CaF₂ 또는 Ca₃N₂와 같은 합금)가 사용될 수 있다. 유기 화합물을 함유한 층(2216)으로부터 발생된 광이 제 2 전극(2217)을 통해 투과하는 경우에, 더 얇은 두께의 금속 박막과 광투과 도전막(ITO(인듐 주석 산화물)막), 인듐 주석 아연 산화물 합금(IN₂O₃-ZnO), 아연 산화물(ZnO) 등의 적층이 사용되는 것이 바람직하다.
- [0259] 또한, 밀봉 재료(2205)를 가진 기관(2210)에 밀봉 기관(2204)을 부착함으로써, 발광 소자(2218)는 기관(2210), 밀봉 기관(2204) 및 밀봉 재료(2205)에 의해 둘러싸인 공간(2207) 내에 제공된다. 공간(2207)은 밀봉 재료(2205)뿐만 아니라 비활성 가스(질소, 아르곤 등)로 충전될 수 있다.
- [0260] 에폭시계 수지가 밀봉 재료(2205)용으로 사용되는 것이 바람직하다는 것에 유념한다. 또한, 이들 재료들이 가능한 한 습기 또는 산소를 투과시키지 않아야 하는 것이 바람직하다. 밀봉 기관(2204)용 재료로서, 유리 기관, 석영 기관, FRP(섬유 유리-강화 플라스틱들), PVF(폴리비닐플루오르화물), 밀레르, 폴리에테르, 아크릴로 이루어진 플라스틱 기관 등이 사용될 수 있다.
- [0261] 상술한 바와 같이, 본 발명의 화소 구조를 가진 표시 패널이 얻어질 수 있다. 상술된 구조는 하나의 예를 뿐이며, 표시 패널의 구조가 이에 한정되는 것은 아님을 유념한다.
- [0262] 도 22a 및 도 22b에 도시된 바와 같이, 표시 장치의 비용은, 신호선 구동 회로(2201), 화소부(2202), 제 1 주사선 구동 회로(2203) 및 제 2 주사선 구동 회로(2206)를 동일한 기관 위에 형성함으로써 감소될 수 있다. 또한, 이 경우, 유니폴라 트랜지스터들은 신호선 구동 회로(2201), 화소부(2202), 제 1 주사선 구동 회로(2203) 및 제 2 주사선 구동 회로(2206)에 사용될 수 있고, 그에 의해, 제조 단계들을 간단하게 할 수 있다. 결과적으로, 더 많은 비용 감소를 달성할 수 있다.
- [0263] 표시 패널의 구조가, 신호선 구동 회로(2201), 화소부(2202), 제 1 주사선 구동 회로(2203) 및 제 2 주사선 구동 회로(2206)가 동일한 기관 위에 형성되고, 신호선 구동 회로(2201)에 대응하는 도 28a에 도시된 신호선 구동 회로(2801)가 IC 칩으로 형성되고 COG 등에 의해 표시 패널 상에 장착될 수 있는, 도 22a에 도시된 구조에 한정되지 않는다는 것에 유념한다. 도 28a에 있는 기관(2800), 화소부(2808), 제 1 주사선 구동 회로(2803), 제 2 주사선 구동 회로(2804), FPC(2805), IC 칩들(2806 및 2807), 밀봉 기관(2808), 및 밀봉 재료(2809)가 도 22a에 있는 기관(2210), 화소부(2202), 제 1 주사선 구동 회로(2203), 제 2 주사선 구동 회로(2206), FPC(2209),

IC 칩들(2219 및 2222), 밀봉 기관(2204) 및 밀봉 재료(2205)에 각각 대응한다는 것에 유념한다.

- [0264] 즉, 고속으로 동작하도록 요구되는 신호선 구동 회로만이 CMOS 등을 사용하여 IC 칩상에 형성되고, 그에 의해, 저전력 소비가 달성된다. 또한, IC 칩을 실리콘 웨이퍼 등으로 형성된 반도체 칩 상에 형성함으로써, 고속 동작 및 저전력 소비가 실현된다.
- [0265] 제 2 주사선 구동 회로(2803) 및 제 1 주사선 구동 회로(2804)를 화소부(2802)와 동일한 기관 위에 형성함으로써, 비용 감소가 달성될 수 있다. 또한, 유니폴라 트랜지스터들이 제 2 주사선 구동 회로(2803), 제 1 주사선 구동 회로(2804) 및 화소부(2802)에 이용되고, 그에 의해 더 많은 비용 감소가 달성될 수 있다. 화소부(2802)의 화소 구조에 대해, 실시예 모드 1 내지 4에 기술된 구조들이 적용될 수 있다.
- [0266] 이러한 방식으로, 고해상도 표시 장치의 비용 감소가 실현될 수 있다. 또한, 기능 회로(메모리 또는 버퍼)를 포함하는 IC 칩을 FPC(2805)과 기관(2800)의 접속부에 장착시킴으로써, 기관 영역이 효율적으로 활용될 수 있다.
- [0267] 더욱이, 도 22a에 도시된 신호선 구동 회로(2201), 제 1 주사선 구동 회로(2203) 및 제 2 주사선 구동 회로(2206)에 대응하는 28b에 도시된 신호선 구동 회로(2811), 제 1 주사선 구동 회로(2814) 및 제 2 주사선 구동 회로(2813)는 IC 칩으로 형성될 수 있고 COG 등에 의해 표시 패널 상에 장착될 수 있다. 이 경우, 고해상도 표시 장치의 저전력 소비가 실현될 수 있다. 따라서 더 낮은 전력 소비의 표시 장치를 얻기 위하여, 화소부에서 사용된 트랜지스터의 반도체층에 폴리실리콘을 사용하는 것이 바람직하다. 도 28b에 있는 기관(2810), 화소부(2812), FPC(2815), IC 칩들(2816 및 2817), 밀봉 기관(2818), 및 밀봉 재료(2822)가 도 22a에 있는 기관(2210), 화소부(2202), FPC(2209), IC 칩들(2219 및 2222), 밀봉 기관(2204) 및 밀봉 재료(2205)에 각각 대응한다는 것에 유념한다.
- [0268] 또한, 화소부(2812)의 트랜지스터의 반도체층용으로 비정질 실리콘을 사용함으로써, 더 많은 비용 감소가 달성될 수 있다. 더욱이, 큰 표시 패널이 제조될 수 있다.
- [0269] 또한, 제 2 주사선 구동 회로, 제 1 주사선 구동 회로 및 신호선 구동 회로는 화소들의 로우 방향 및 컬럼 방향으로 제공될 필요가 없다. 예를 들면, 도 29a에 도시된 바와 같이, IC 칩에 형성된 주변 구동 회로(2901)는 도 28b에 도시된 제 1 주사선 구동 회로(2814), 제 2 주사선 구동 회로(2813) 및 신호선 구동 회로(2811)의 기능들을 가질 수 있다. 도 29a에 있는 기관(2900), 화소부(2902), FPC(2904), IC 칩들(2905 및 2906), 밀봉 기관(2907), 및 밀봉 재료(2908)가 도 22a에 있는 기관(2210), 화소부(2202), FPC(2209), IC 칩들(2219 및 2222), 밀봉 기관(2204) 및 밀봉 재료(2205)에 각각 대응한다는 것에 유념한다.
- [0270] 도 29b는 도 29a에 도시된 표시 장치의 배선들의 접속들의 개략도를 도시한다. 기관(2910), 주변 구동 회로(2911), 화소부(2912), 및 FPC들(2913 및 2914)이 제공된다. 신호들 및 전원 전위는 FPC(2913)에서 주변 구동 회로(2911)로 외부적으로 입력된다. 주변 구동 회로(2911)로부터의 출력은 로우 방향으로의 배선들에 입력되고 컬럼 방향으로의 배선들에 입력되며, 이들은 화소부(2912) 내의 화소들에 접속된다.
- [0271] 또한, 도 23a 및 도 23b는 발광 소자(2218)에 적용될 수 있는 발광 소자의 예들을 도시한다. 즉, 도 23a 및 도 23b를 참조하여, 실시예 모드 1 내지 4에 기술된 화소들에 인가될 수 있는 발광 소자의 구조들이 기술된다.
- [0272] 도 23a에 도시된 발광 소자에서, 애노드(2302), 정공 주입 재료로 이루어진 정공 주입층(2303), 정공 전송 재료로 형성된 정공 전송층(2304), 발광층(2305), 전자 전송 재료로 이루어진 전자 전송층(2306), 전자 주입 재료로 이루어진 전자 주입층(2307) 및 캐소드(2308)는 이 순서로 기관(2301) 위에 적층된다. 여기에서, 발광층(2305)은 한 종류의 발광 재료만으로 형성될 수 있다; 그러나 둘 이상의 종류의 재료들로 형성될 수도 있다. 본 발명의 소자의 구조는 이에 한정되지 않는다.
- [0273] 각각의 기능층이 적층되는 도 23a에 도시된 적층 구조 외에도, 고분자 화합물로 이루어진 원소, 발광층에서 3개조 여기 상태에서부터 발광하는 3개조 발광 재료를 이용하는 고효율 소자와 같은 광범위한 변형들이 있다. 정공 블록킹층을 사용하여 캐리어들의 재조합 영역을 제어함으로써, 발광 영역을 2개의 영역들로 나누어 얻어질 수 있는 백색 발광 소자 등에도 또한 적용할 수 있다.
- [0274] 도 23a에 도시된 본 발명의 소자는 애노드(2302)(ITO)를 갖는 기관(2301) 위에 정공 주입 재료, 정공 전송 재료 및 발광 재료를 순차적으로 침착함으로써 형성될 수 있다. 다음에, 전자 전송 재료 및 전자 주입 재료가 침착되고, 최종적으로 캐소드(2808)가 침착된다.
- [0275] 정공 주입 재료, 정공 전송 재료, 전자 전송 재료, 전자 주입 재료 및 발광 재료에 적당한 재료들은 다음과 같

다.

[0276] 정공 주입 재료로서, 포르피린계 화합물, 프탈로시아닌(이후, "H₂Pc"라고 칭해짐), 구리 프탈로시아닌(이후 "CuPc"라고 칭해짐) 등과 같은 유기 화합물이 효과적이다. 또한, 사용될 정공 전송 재료보다 더 작은 값의 이온화 전위를 가지고 정공 전송 기능을 갖는 재료가 정공 주입 재료로서도 또한 사용될 수 있다. 도전성 고분자 화합물을 화학적으로 도핑함으로써 얻어진 재료도 있으며, 이것은 폴리스틸렌 술폰산염(이후, "PSS"라고 칭해짐)으로 도핑된 폴리아닐린 및 폴리에틸렌 디옥시티오펜(이후 "PEDOT"라고 칭해짐)을 포함한다. 또한 절연체의 고분자 화합물은 애노드의 평탄화에 있어서 효과적이고, 폴리이미드(이후 "PI"라고 칭해짐)가 흔히 사용된다. 또한, 무기 화합물이 사용되며, 이것은 금 또는 백금과 같은 금속의 박막 외에도, 초박막의 알루미늄 산화막(이후, "알루미나(alumina)"라고 칭해짐)을 포함한다.

[0277] 방향족 아민계(즉, 벤젠 고리-질소의 결합을 갖는 것) 화합물이 정공 전송 재료로서 가장 광범위하게 사용된다. 광범위하게 사용되는 재료는 4,4'-비스(디페닐아미노)-비페닐(이후 "TAD"라고 칭해짐), 4,4'-비스[N-(3-메틸페닐)-N-페닐아미노]-비페닐(이후 "TPD"라고 칭해짐), 4,4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이후 "α-NPD"라고 칭해짐)과 같은 파생물들, 및 4,4',4"-트리스(N,N-디페닐아미노)트리페닐아민(이후 "TDATA"라고 칭해짐) 및 4,4',4"-트리스[(N-(3-메틸페닐)-N-페닐아미노)-트리페닐아민(이후 "MTDATA"라고 칭해짐)과 같은 스타버스트형 방향족 아미노 화합물들을 포함한다.

[0278] 전자 전송 재료로서, 금속 합성물이 흔히 사용되며, Alq, BAlq, 트리스(4-메탈-8-퀴놀리놀라토)알루미늄(이후 "Almq"라고 칭해짐), 또는 비스(10-하이드록시벤조[h]-퀴놀리놀라토)베릴륨(이후 "BeBq"라고 칭해짐)과 같은 벤조퀴놀린 골격 또는 퀴놀린 골격을 갖는 금속 합성물과, 그 외에도 비즈[2-(2-하이드록시페닐)벤조옥사졸라토]징크(이후 "Zn(BOX)₂"라고 칭해짐) 또는 비즈[2-(2-하이드록시페닐)벤조옥사졸라토]징크(이후 "Zn(BTZ)₂"라고 칭해짐)와 같은 옥사졸계 리간드 또는 티아졸계 리간드를 갖는 금속 합성물을 포함한다. 또한, 금속 합성물들 이외에도, 2-(4-비페닐릴)-5-(4-tert-부틸페닐)-1,3,4-옥사디아졸(이후 "PBD"라고 칭해짐)과 OXD-7과 같은 옥사디아졸 파생물들, 3-(4-tert-부틸페닐)-4-페닐-5-(4-비페닐릴)-1,2,4-티리아졸(이후 "TAZ"라고 칭해짐) 및 3-(4-tert-부틸페닐)-4-(4-에틸페닐)-5-(4-비페닐릴)-1,2,4-티리아졸(이후 "p-EtTAZ"라고 칭해짐)과 같은 티아졸 파생물들, 및 바토펜안트라롤린(이후 "BPhen"라고 칭해짐) 및 BCP와 같은 페난트롤린 파생물들이 전자 전송성을 갖는다.

[0279] 전자 주입 재료로서, 상술된 전자 전송 재료들이 사용될 수 있다. 그 외에도, 초박막의 절연체, 예를 들면 칼슘 플루오르화물, 리튬 플루오르화물, 또는 세슘 플루오르화물과 같은 금속 할로젠, 리튬 산화물과 같은 알칼리 금속 산화물 등이 흔히 사용된다. 또한, 리튬 아세틸 아세토네이트(이후, "Li(acac)"라고 칭해짐) 또는 8-퀴놀리놀라토-리튬(이후 "LiQ"라고 칭해짐)과 같은 알칼리 금속 합성물도 효과적이다.

[0280] 발광 재료로서, Alq, Almq, BeBq, BAlq, Zn(BOX)₂, Zn(BTZ)₂와 같은 상술된 금속 합성물들 외에도, 다양한 형광 안료들이 효과적이다. 형광 안료들은 청색인 4,4'-비스(2,2-디페닐-비닐)-비페닐, 적황색인 4-(디시아노메틸렌)-2-메틸-6-(p-디메틸아미노스티릴)4H-피란 등을 포함한다. 또한, 3개조 발광 재료가 이용 가능하며, 이것은 주로 백금 또는 이리듐을 중심 금속으로 한 합성물을 포함한다. 3개조 발광 재료로서, 트리스(2-페닐피리딘)이리듐, 비스(2-(4'-트릴)피리디나토-N,C^{2'})아세틸아세토나토 이리듐(이후, "acacIr(tpy)₂"라고 칭해짐), 2,3,7,8,12,13,17,18-옥타에틸-21H23H포르피린-백금 등이 알려져 있다.

[0281] 상술된 기능을 각각 갖는 재료들을 조합하여 사용함으로써, 매우 신뢰할 수 있는 발광 소자가 형성될 수 있다.

[0282] 실시예 모드 3에 기술된 도 11의 화소의 경우, 층들이 도 23a의 층들과 반대 순서로 형성된 발광 소자는 도 23b에 도시된 대로 사용될 수 있다. 즉, 캐소드(2318), 전자 주입 재료로 이루어진 전자 주입층(2317), 전자 전송 재료로 이루어진 전자 전송층(2316), 발광층(2315), 정공 전송 재료로 이루어진 정공 전송층(2314), 정공 주입 재료로 이루어진 정공 주입층(2313), 애노드(2312)가 기판(2311) 위에 이 순서로 적층된다.

[0283] 그 외에도, 발광 소자의 발광을 추출하기 위하여, 애노드 및 캐소드 중 적어도 하나가 발광하도록 요구된다. TFT 및 발광 소자가 기판 위에 형성된다; 기판의 대향 표면을 통해 발광이 나오는 상부 방사 구조와, 기판측 상의 표면을 통해 발광이 나오는 하부 방사 구조와, 기판의 대향 표면과 기판 상의 표면을 통해 각각 발광이 나오는 이중 방사 구조를 갖는 발광 소자들이 있다. 본 발명의 화소 구조는 임의의 방사 구조를 갖는 발광 소자에 적용될 수 있다.

- [0284] 도 24a를 참조하여, 상부 방사 구조를 가진 발광 소자에 대해 기술된다.
- [0285] 구동 TFT(2401)은 기판(2400) 위에 형성되고, 제 1 전극(2402)은 구동 TFT(2401)의 소스 전극과 접촉되어 형성되며, 그 위에는 유기 화합물을 함유한 층(2403)과 제 2 전극(2404)이 형성된다.
- [0286] 또한, 제 1 전극(2402)은 발광 소자의 애노드이다. 제 2 전극(2404)은 발광 소자의 캐소드이다. 즉, 유기 화합물을 함유한 층(2403)이 제 1 전극(2402)과 제 2 전극(2404) 사이에 삽입된 영역은 발광 소자에 대응한다.
- [0287] 또한, 애노드로서 기능하는 제 1 전극(2402)용으로 사용된 재료로서, 높은 작업 기능을 가진 재료가 사용되는 것이 바람직하다. 예를 들면, 티탄 질화막, 크롬막, 텅스텐막, Zn막, Pt막 등의 단층, 티탄 질화막과 주 구성성분으로서 알루미늄을 함유한 막의 적층, 티탄 질화막, 주 구성성분으로서 알루미늄을 함유한 막 및 티탄 질화막의 3층 구조 등이 사용될 수 있다. 적층 구조를 이용함으로써, 배선으로서의 저항이 낮아지고, 양호한 음 접촉이 얻어질 수 있으며, 애노드로서의 다른 기능이 얻어질 수 있다. 광을 반사시키는 금속막을 사용함으로써, 광을 투과시키지 않는 애노드가 얻어질 수 있다.
- [0288] 캐소드로서 기능하는 제 2 전극(2404)용으로 사용된 재료로서, 낮은 작업 기능을 갖는 재료(Al, Ag, Li, Ca, 또는 MgAg, MgIn, AlLi, CaF₂ 또는 Ca₃N₂와 같은 합금)로 이루어진 금속 박막의 적층과, (ITO(인듐 주석 산화물), 인듐 아연 산화물(IZO), 아연 산화물(ZnO) 등의) 광투과 도전막이 사용되는 것이 바람직하다. 이러한 방식으로 금속 박막과 광투과 도전막을 사용함으로써, 광을 투과시킬 수 있는 캐소드가 형성될 수 있다.
- [0289] 이러한 방식으로, 발광 소자로부터의 광은 도 24a에서 화살표로 도시된 바와 같이 상부 표면 상으로 추출될 수 있다. 즉, 도 22a에 도시된 표시 패널에 적용하는 경우에, 광은 밀봉 기관(2204)쪽으로 방사된다. 따라서 표시 장치로의 상부 방사 구조를 가진 발광 소자를 사용하는 경우에, 광을 투과시키는 기관은 밀봉 기관(2204)으로서 사용된다.
- [0290] 광막을 제공하는 경우에, 광막은 밀봉 기관(2204) 위에 제공될 수 있다.
- [0291] 실시예 모드 3의 도 11에 도시된 화소 구조의 경우에, MgAg, MgIn 또는 AlLi와 같이, 캐소드로 기능하고 낮은 작업 기능을 가진 재료로 형성된 금속막은 제 1 전극(2402)용으로 사용될 수 있다. 제 2 전극(2404)에 대해, ITO(인듐 주석 산화물)막, 인듐 아연 산화물(IZO)막과 같은 광투과막이 사용될 수 있다. 따라서 이러한 구조를 이용하여, 상부 방사의 투과율이 개선될 수 있다.
- [0292] 또한, 도 24b를 참조하여, 하부 방사 구조를 갖는 발광 소자에 대해 기술된다. 구조들이 발광 구조를 제외하고 동일하기 때문에, 도 24a와 동일한 참조 부호들이 사용된다.
- [0293] 여기에서, 애노드로 기능하는 제 1 전극(2402)용으로 사용된 재료로서, 높은 작업 기능을 가진 재료가 사용되는 것이 바람직하다. 예를 들면, ITO(인듐 주석 산화물)막 또는 인듐 아연 산화물(IZO)막과 같은 광투과막이 사용될 수 있다. 광투과 도전막을 사용함으로써 광을 투과시킬 수 있는 애노드가 형성될 수 있다.
- [0294] 캐소드로서 기능하는 제 2 전극(2404)용으로 사용된 재료로서, 낮은 작업 기능을 갖는 재료(Al, Ag, Li, Ca, 또는 MgAg, MgIn, AlLi, CaF₂ 또는 Ca₃N₂와 같은 합금)로 이루어진 금속막이 사용될 수 있다. 광을 반사시키는 금속막을 사용함으로써, 광을 투과시키지 않는 캐소드가 형성될 수 있다.
- [0295] 이러한 방식으로, 발광 소자로부터의 광은 도 24b에 의해 도시된 바와 같이 하부 표면으로 추출될 수 있다. 즉, 도 22a 및 도 22b에 도시된 표시 패널을 적용하는 경우에, 광은 기관(2210) 쪽으로 방사된다. 따라서 표시 장치로의 하부 방사 구조를 갖는 발광 소자를 사용하는 경우에, 광을 투과시키는 기관이 기관(2210)으로 사용된다.
- [0296] 광막을 제공하는 경우에, 광막은 기관(2210) 위에 제공될 수 있다.
- [0297] 도 24c를 참조하여, 이중 방사 구조를 갖는 발광 소자에 대해 기술된다. 구조들이 발광 구조를 제외하고 동일하기 때문에, 도 24a와 동일한 참조 부호들이 사용된다.
- [0298] 여기에서, 애노드로 기능하는 제 1 전극(2402)용으로 사용된 재료로서, 높은 작업 기능을 가진 재료가 사용되는 것이 바람직하다. 예를 들면, ITO(인듐 주석 산화물)막 또는 인듐 아연 산화물(IZO)막과 같은 광투과막이 사용될 수 있다. 광투과 도전막을 사용함으로써 광을 투과시킬 수 있는 애노드가 형성될 수 있다.
- [0299] 캐소드로서 기능하는 제 2 전극(2404)용으로 사용된 재료로서, 낮은 작업 기능을 갖는 재료(Al, Ag, Li, Ca, 또는 MgAg, MgIn, AlLi, CaF₂ 또는 Ca₃N₂와 같은 합금)로 이루어진 금속막과, 광투과 도전막(ITO(인듐 주석

산화물), 인듐 산화물 아연 산화물(In_2O_3 -ZnO) 합금, 아연 산화물(ZnO 등)의 적층을 사용하는 것이 바람직하다. 이러한 방식으로 금속 박막과 광투과 도전막을 사용함으로써, 광을 투과시킬 수 있는 캐소드가 형성될 수 있다.

- [0300] 이러한 방식으로, 발광 소자로부터의 광은 도 24c에 의해 도시된 바와 같이 양쪽 표면들로 추출될 수 있다. 즉, 도 22a 및 도 22b에 도시된 표시 패널을 적용하는 경우에, 광은 기관(2210) 쪽과 밀봉 기관(2204) 쪽으로 방사된다. 따라서 표시 장치로의 이중 방사 구조를 갖는 발광 소자를 사용하는 경우에, 광을 투과시키는 기관이 기관(2210) 및 밀봉 기관(2204)으로 사용된다.
- [0301] 광막을 제공하는 경우에, 광막은 기관(2210) 및 밀봉 기관(2204) 둘 다의 위에 제공될 수 있다.
- [0302] 본 발명은 백색 발광 소자 및 색 필터를 사용함으로써 풀 컬러 디스플레이를 실현하는 표시 장치에도 또한 적용될 수 있다.
- [0303] 도 25에 도시된 바와 같이, 기본막(2502)이 기관(2500) 위에 형성되고, 구동 TFT(2501)이 그 위에 형성된다. 제 1 전극(2503)은 구동 TFT(2501)의 소스 전극과 접촉하여 형성되고, 유기 화합물을 함유한 층(2504) 및 제 2 전극(2505)이 그 위에 형성된다.
- [0304] 제 1 전극(2503)은 발광 소자의 애노드이다. 제 2 전극(2505)은 발광 소자의 캐소드이다. 즉, 유기 화합물을 함유한 층(2504)이 제 1 전극(2503)과 제 2 전극(2505) 사이에 삽입되는 영역은 발광 소자에 대응한다. 도 25에 도시된 구조에서, 백색 광이 방사된다. 적색 필터(2506R), 녹색 필터(2506G) 및 청색 필터(2506B)는 발광 소자 위에 제공되고, 그에 의해 풀 컬러 표시가 수행될 수 있다. 또한, 이들 색 필터들을 분리하기 위한 흑색 매트릭스(또한 BM이라고 칭해짐)가 제공된다.
- [0305] 발광 소자의 전술된 구조는 조합하여 사용될 수 있고, 본 발명의 화소 구조를 갖는 표시 장치용으로 적절히 사용될 수 있다. 상술된 발광 소자들 및 표시 패널의 구조들은 예들이며, 본 발명의 화소 구조가 다른 구조들을 갖는 표시 장치들에 적용될 수 있음은 말할 필요도 없다.
- [0306] 다음, 표시 패널의 화소부의 부분 단면도가 기술된다.
- [0307] 먼저, 도 26a 및 도 26b와 도 27a 및 도 27b를 참조하여, 트랜지스터의 반도체막으로서 결정 반도체막(폴리실리콘(p-Si:H)막)을 사용하는 경우에 대해 기술된다.
- [0308] 여기에서, 반도체층은 예를 들면 알려진 막 침착 방법에 의해 기관 위에 비정질 실리콘(a-Si)막을 형성함으로써 얻어진다. 반도체막은 비정질 실리콘막에 한정되지 않으며, 비정질 구조를 갖는 임의의 반도체막(미정질 반도체막을 포함하여)이 사용될 수 있음을 유념한다. 또한, 비정질 실리콘 게르마늄막과 같이, 비정질 구조를 갖는 합성 반도체막이 사용될 수 있다.
- [0309] 그 다음, 비정질 실리콘막은 레이저 결정화, RTA 또는 어닐링 용광로를 사용한 열 결정화, 결정화를 촉진시키는 금속 원소를 사용한 열 결정화 등에 의해 결정화된다. 말할 필요도 없이, 이러한 결정화는 조합하여 수행될 수 있다.
- [0310] 전술된 결정화의 결과로서, 결정화된 영역은 비정질 반도체의 일부에 형성된다.
- [0311] 그 외에도, 부분적으로 증가된 결정성을 가진 결정 반도체막은 원하는 형상으로 패터닝되고, 섬형 반도체막(하나의 반도체막을 분리함으로써 형성되는 막들 각각)은 결정화된 영역으로 형성된다. 이 반도체막은 트랜지스터의 반도체층으로 사용된다. 패터닝이 막 형상을 처리하기 위한 것이고, 이것은 포토리소그래피 기술(감광 아크릴로 접촉 홀을 형성하는 단계와 감광 아크릴을 스페이서가 되도록 처리하는 단계를 포함함)에 의해 막 패턴을 형성하고, 포토리소그래피 기술에 의해 마스크 패턴을 형성하고, 마스크 패턴의 사용으로 에칭하는 등을 의미한다는 것에 유념한다.
- [0312] 도 26a에 도시된 바와 같이, 기본막(26102)이 기관(26101) 위에 형성되고, 반도체막이 그 위에 형성된다. 반도체층은, 구동 트랜지스터(26118)에 있는 소스 또는 드레인 영역으로 기능하는 채널 형성 영역(26103) 및 불순물 영역(26105), 용량소자(26119)에 있는 하부 전극으로 기능하는 채널 형성 영역(26106), 저농도 불순물 영역(26107) 및 불순물 영역(26108)을 포함한다. 채널 도핑이 채널 형성 영역들(26103 및 26106)에 수행될 수 있음을 유념한다.
- [0313] 기관으로서, 유리 기관, 석영 기관, 세라믹 기관, 플라스틱 기관 등이 이용될 수 있다. 기본막(26102)은 알루미늄 질화막(AlN), 실리콘 산화막(SiO_2), 실리콘 산화질화막(SiO_xN_y) 등의 단층을 사용하거나, 이들의 적층을 사용

하여 형성될 수 있다.

- [0314] 용량소자의 게이트 전극(26110) 및 상부 전극(26111)은 반도체층 위에 형성되며, 그사이에 절연막(26109)이 삽입된다.
- [0315] 층간 절연막(26111)은 구동 트랜지스터(26118) 및 용량소자(26119)를 커버하도록 형성된다. 그 다음, 층간 절연막(26112) 내에 접촉 홀이 형성되고, 이를 통해, 배선(26113)이 불순물 영역(26105)과 접촉된다. 화소 전극(26114)은 배선(26113)과 접촉하여 형성되고, 층간 절연체(26115)는 배선(26113)과 화소 전극(26114)의 단부들을 커버하도록 형성된다. 여기에서, 층간 절연체(26115)는 양의 감광 아크릴 수지막으로 형성된다. 그 다음, 유기 화합물을 함유한 층(26116)과 대향 전극(26117)은 화소 전극(26114) 위에 형성된다. 따라서 발광 소자(26120)는 화소 전극(26114)과 대향 전극(26117) 사이에 유기 화합물을 함유한 층(26116)이 삽입되는 영역에 대응한다.
- [0316] 그 외에도, 도 26b에 도시된 바와 같이, 저농도 불순물 영역(26202)은, 용량소자(26119)의 하부 전극의 일부를 형성하는 저농도 불순물 영역(26107) 내에서 상부 전극(26111)을 오버랩하도록 제공될 수 있다. 즉, 용량소자(26119)의 하부 전극은 채널 형성 영역(26201), 저농도 불순물 영역들(26202 내지 26107) 및 불순물 영역(26108)으로 형성된다. 도 26a와 동일한 부분들은 동일한 참조 번호들로 표시하였으며, 그 기술은 생략되었음을 유념한다.
- [0317] 그 외에도, 도 27a에 도시된 바와 같이, 제 2 상부 전극(26301)이 제공될 수 있으며, 이것은 구동 트랜지스터(26118)의 불순물 영역(26105)과 접촉하여 배선(26113)과 동일한 층 내에 형성된다. 도 26a와 동일한 부분들은 동일한 참조 번호들로 표시하였으며, 그 기술은 생략되었음을 유념한다. 제 2 용량소자는 제 2 상부 전극(26301)과 상부 전극(26111) 사이에 층간 절연막(26112)을 삽입하여 형성된다. 그 외에도, 제 2 상부 전극(26301)은 불순물 영역(26108)과 접촉되기 때문에, 게이트 절연막(26109)이 상부 전극(26111)과 제 2 상부 전극(26301) 사이에 삽입되는 구조를 갖는 제 1 용량소자와, 층간 절연막(26112)이 상부 전극(26111)과 제 2 상부 전극(26301) 사이에 삽입되는 구조를 갖는 제 2 용량소자가 병렬로 접속되어, 제 1 및 제 2 용량소자들을 갖는 용량소자(26302)가 얻어진다. 용량소자(26302)가 제 1 및 제 2 용량소자들의 총 용량을 가지기 때문에, 큰 용량을 갖는 용량소자가 작은 영역 내에 형성될 수 있다. 즉, 본 발명의 화소 구조에 상기 용량소자를 사용하면, 더욱 개선된 개구비를 유발한다.
- [0318] 대안적으로, 도 27b에 도시된 용량소자의 구조가 채택될 수 있다. 기본막(27102)이 기판(27101) 위에 형성되고, 반도체막이 그 위에 형성된다. 반도체층은 구동 트랜지스터(27118)의 소스 또는 드레인 영역으로 기능하는 채널 형성 영역(26703) 및 불순물 영역(27105)을 포함한다. 채널 도핑이 채널 형성 영역(27103)에 수행될 수 있음을 유념한다.
- [0319] 기판으로서, 유리 기판, 석영 기판, 세라믹 기판, 플라스틱 기판 등이 이용될 수 있다. 기본막(27102)은 알루미늄 질화막(AIN), 실리콘 산화막(SiO₂), 실리콘 산화질화막(SiO_xN_y) 등의 단층을 사용하거나, 이들의 적층을 사용하여 형성될 수 있다.
- [0320] 게이트 전극(27107) 및 제 1 전극(27108)은 반도체층 위에 형성되며, 그사이에 게이트 절연막(27106)이 삽입된다.
- [0321] 제 1 층간 절연막(27109)은 구동 트랜지스터(27118) 및 제 1 전극(27108)을 커버하도록 형성된다. 그 다음, 제 1 층간 절연막(27109) 내에 접촉 홀이 형성되고, 이를 통해, 배선(27110)이 불순물 영역(27105)과 접촉된다. 그 외에도, 제 2 전극(27111)은 배선(27110)과 동일한 재료로 동일한 층 내에 형성된다.
- [0322] 더욱이, 제 2 층간 절연막(27112)은 배선(27110)과 제 2 전극(27111)을 커버하도록 형성된다. 그 다음, 제 2 층간 절연막(27112) 내에 접촉 홀이 형성되고, 이를 통해 화소 전극(27113)이 배선(27110)과 접촉하여 형성된다. 제 3 전극(27114)은 화소 전극(27113)과 동일한 재료로 동일한 층 내에 형성된다. 여기에서, 용량소자(27119)는 제 1 전극(27108), 제 2 전극(27111) 및 제 3 전극(27114)으로 형성된다.
- [0323] 절연체(27115)는 화소 전극(27113)과 제 3 전극(27114)의 단부를 커버하도록 형성되고, 그 위에 유기 화합물을 함유한 층(27116)과 대향 전극(27117)이 형성된다. 그 다음, 발광 소자(27120)는, 유기 화합물을 함유한 층(27116)이 화소 전극(27113)과 대향 전극(27117) 사이에 삽입되는 영역에 대응한다.
- [0324] 상술한 바와 같이, 도 26a 및 도 26b와 도 27a 및 도 27b에 도시된 각각의 구조들은 반도체층용으로 결정 반도체막을 사용한 트랜지스터의 구조로서 주어질 수 있다. 도 26a 및 도 26b와 도 27a 및 도 27b에 도시된 구조들

을 갖는 트랜지스터들은 상부-게이트 구조의 트랜지스터들의 예들임을 유념한다. 즉, 트랜지스터는 p-채널 트랜지스터 또는 n-채널 트랜지스터 중 어느 하나일 수 있다. 트랜지스터가 n-채널 트랜지스터인 경우에, LDD 영역은 게이트 전극을 오버랩하거나 하지 않도록 형성될 수 있거나, LDD 영역의 일부가 게이트 전극을 오버랩하도록 형성될 수 있다. 또한, 게이트 전극은 가늘어진 형상을 가질 수 있고, LDD 영역은 자체 정렬 방식으로 게이트 전극의 가늘어진 부분 아래에 제공될 수 있다. 그 외에도, 게이트 전극들의 수는 2개에 한정되지 않으며, 3개 이상의 게이트 전극들을 가지는 다중 게이트 구조가 이용될 수 있거나, 단일 게이트 구조가 이용될 수도 있다.

- [0325] 본 발명의 화소 내에 포함된 트랜지스터의 반도체층(채널 형성 영역, 소스 영역, 드레인 영역 등)용으로 결정 반도체막을 사용함으로써, 예를 들면, 도 4의 화소부(403)와 동일한 기관 위에 주사전 구동 회로(402) 및 신호선 구동 회로(401)를 형성하는 것이 더욱 용이해질 수 있다.
- [0326] 다음, 반도체층용으로 폴리실리콘(p-Si)을 사용하는 트랜지스터의 구조로서, 도 30a는 기관과 반도체층 사이에 게이트 전극이 삽입된 구조를 갖는 트랜지스터, 즉 게이트 전극이 반도체층 아래에 위치되는 하부-게이트 구조를 갖는 트랜지스터를 사용한 표시 패널의 부분 단면도를 도시한다.
- [0327] 기본막(3002)이 기관(3001) 위에 형성된다. 그 다음, 게이트 전극(3003)이 기본막(3002) 위에 형성된다. 제 1 전극(3004)은 게이트 전극과 동일한 재료로 동일한 층 내에 형성된다. 게이트 전극(3003)의 재료로서, 인이 추가된 다결정 실리콘이 사용될 수 있다. 다결정 실리콘 외에도, 금속과 실리콘의 화합물인 실리콘이 이용될 수 있다.
- [0328] 그 다음, 게이트 절연막(3005)이 게이트 전극(3003) 및 제 1 전극(3004)을 커버하도록 형성된다. 게이트 절연막(3005)으로서, 실리콘 산화막, 실리콘 질화막 등이 사용된다.
- [0329] 반도체층은 게이트 절연막(3005) 위에 형성된다. 반도체층은, 구동 트랜지스터(3022) 내에 있고 소스 또는 드레인 영역으로서 기능하는 채널 형성 영역(3006), LDD 영역(3007) 및 불순물 영역(3008)과, 용량소자(3023)의 제 2 전극으로서 기능하는 채널 형성 영역(3009), LDD 영역(3010), 불순물 영역(3011)을 포함한다. 채널 도핑이 채널 형성 영역(3006 및 3009)에서 수행됨을 유념한다.
- [0330] 기관으로서, 유리 기관, 석영 기관, 세라믹 기관, 플라스틱 기관 등이 이용될 수 있다. 기본막(3002)은 알루미늄 질화막(AIN), 실리콘 산화막(SiO₂), 실리콘 산화질화막(SiO_xN_y) 등의 단층을 사용하거나, 이들의 적층을 사용하여 형성될 수 있다.
- [0331] 제 1 층간 절연막(3012)은 반도체층을 커버하도록 형성된다. 그 다음 접촉 홀이 제 1 층간 절연막(3012) 내에 형성되고, 이를 통해, 배선(3013)이 불순물 영역(3008)과 접촉한다. 제 3 전극(3014)은 배선(3013)과 동일한 재료로 동일한 층 내에 형성된다. 용량소자(3023)는 제 1 전극(3004), 제 2 전극 및 제 3 전극(3014)으로 형성된다.
- [0332] 그 외에도, 개구부(3015)가 제 1 층간 절연막(3012) 내에 형성된다. 제 2 층간 절연막(3016)은 구동 트랜지스터(3022), 용량소자(3023) 및 개구부(3015)를 커버하도록 형성된다. 그 다음, 접촉 홀은 제 2 층간 절연막(3016) 내에 형성되어, 이를 통해 화소 전극(3017)이 형성된다. 그 다음, 절연체(3018)는 화소 전극(3017)의 단부들을 커버하도록 형성된다. 예를 들면, 양이 감광 아크릴 수지막이 사용될 수 있다. 후속적으로, 유기 화합물을 함유한 층(3019) 및 대향 전극(3020)이 화소 전극(3017) 위에 형성된다. 따라서 발광 소자(3021)는 유기 화합물을 함유한 층(3019)이 화소 전극(3017)과 대향 전극(3020) 사이에 삽입되는 영역에 대응한다. 개구부(3015)는 발광 소자(3021) 아래에 위치된다. 즉, 발광 소자(3021)로부터 방사된 광이 기관측으로부터 추출되는 경우에, 투과율은 개구부(3015)의 존재로 인해 개선될 수 있다.
- [0333] 더욱이, 제 4 전극(3024)은 도 30b에 도시된 구조를 얻기 위하여, 도 30a의 화소 전극(3017)과 동일한 재료로 동일한 층 내에 형성될 수 있다. 이러한 경우, 용량소자(3025)는 제 1 전극(3004), 제 2 전극, 제 3 전극 및 제 4 전극(3024)으로 형성될 수 있다.
- [0334] 다음, 트랜지스터의 반도체층으로서 비정질 실리콘(a-Si:H)을 사용하는 경우에 대해 기술된다. 도 31a 및 도 31b는 상부-게이트 트랜지스터이고, 도 32a, 도 32b, 도 30a 및 도 30b는 하부-게이트 트랜지스터의 경우들이다.
- [0335] 도 31a는 순방향으로 엇갈리는 구조(forward staggered structure)를 가지고 반도체층으로서 비정질 실리콘을 사용하고 있는 트랜지스터의 단면도를 도시한다. 기본막(3102)은 기관(3101) 위에 형성된다. 또한, 화소 전극(3103)은 기본막(3102) 위에 형성된다. 그 외에도, 제 1 전극(3104)은 화소 전극(3103)과 동일한 재료로 동일한

층 내에 형성된다.

- [0336] 기관으로서, 유리 기관, 석영 기관, 세라믹 기관, 플라스틱 기관 등이 이용될 수 있다. 기본막(3102)은 알루미늄 질화막(AIN), 실리콘 산화막(SiO₂), 실리콘 산화질화막(SiO_xN_y) 등의 단층을 사용하거나, 이들의 적층을 사용하여 형성될 수 있다.
- [0337] 배선들(3105 및 3106)은 기본막(3102) 위에 형성되고, 화소 전극(3103)의 단부는 배선(31085)과 접촉된다. 각각 N형 도전성을 갖는 N형 반도체층들(3107 및 3108)은 배선들(3105 및 3106) 위에 각각 형성된다. 그 외에도, 반도체층(3109)은 배선들(3105 및 3106) 사이에 형성되고 기본막(3102) 위에 형성되며, N형 반도체층들(3107 및 3108)을 커버하도록 부분적으로 연장된다. 이 반도체층은 미결정 반도체(μ -Si:H)막 또는 비정질 실리콘(a-Si:H)막과 같은 비정질 반도체막으로 형성됨을 유념한다. 그 다음, 게이트 절연막(3110)은 반도체층(3109) 위에 형성되고, 절연막(3111)은 게이트 절연막(3110)과 동일한 재료로 동일한 층 내에 형성되고, 또한 제 1 전극(3104) 위에도 형성된다. 게이트 절연막(3110)으로서, 실리콘 산화막, 실리콘 질화막 등이 사용될 수 있음을 유념한다.
- [0338] 게이트 전극(3112)은 게이트 절연막(3110) 위에 형성된다. 그 외에도, 제 2 전극(3113)은 게이트 전극과 동일한 재료로 동일한 층 내에 형성되며, 제 1 전극(3104) 위에 형성되고 절연막(3111)이 그 사이에 삽입된다. 용량소자(3119)는 절연막(3111)이 제 1 전극(3104)과 제 2 전극(3113) 사이에 삽입되는 영역에 대응한다. 절연체(3114)는 화소 전극(3103), 구동 트랜지스터(3118) 및 용량소자(3119)의 단부들을 커버하도록 형성된다.
- [0339] 유기 화합물을 함유하는 층(3115) 및 대향 전극(3116)이 절연체(3114) 및 상기 절연체(3114)의 개구부 내에 위치한 화소 전극(3103) 위에 형성된다. 따라서 발광 소자(3117)는 유기 화합물을 함유하는 층(3115)이 화소 전극(3103)과 대향 전극(3116) 사이에 삽입되는 영역에 대응한다.
- [0340] 도 31a에 도시된 제 1 전극(3104)은 도 31b에 도시된 제 1 전극(3120)과 같이 형성된다. 제 1 전극(3120)은 배선들(3105 및 3106)과 동일한 재료로 동일한 층 내에 형성된다.
- [0341] 도 32a 및 도 32b는 반도체층으로서 비정질 실리콘을 사용하는 하부-게이트 트랜지스터를 갖는 표시 패널의 부분 단면도들이다.
- [0342] 기본막(3202)은 기관(3201) 위에 형성된다. 게이트 전극(3203) 및 제 1 전극(3204)은 기본막(3202) 위에 동일한 재료로 동일한 층 내에 형성된다. 게이트 전극(3203)의 재료로서, 인이 첨가되는 다결정 실리콘이 사용될 수 있다. 다결정 실리콘 외에도, 금속과 실리콘의 화합물인 규화물이 사용될 수 있다.
- [0343] 그 다음, 게이트 절연막(3205)은 게이트 전극(3203)과 제 1 전극(3204)을 커버하도록 형성된다. 게이트 절연막(3205)으로서, 실리콘 산화막, 실리콘 질화막 등이 사용된다.
- [0344] 반도체층(3206)은 게이트 절연막(3205) 위에 형성된다. 그 외에도, 반도체층(3207)은 반도체층(3206)과 동일한 재료로 동일한 층 내에 형성된다.
- [0345] 기관으로서, 유리 기관, 석영 기관, 세라믹 기관, 플라스틱 기관 등이 이용될 수 있다. 기본막(3202)은 알루미늄 질화막(AIN), 실리콘 산화막(SiO₂), 실리콘 산화질화막(SiO_xN_y) 등의 단층을 사용하거나, 이들의 적층을 사용하여 형성될 수 있다.
- [0346] N형 도전성을 갖는 N형 반도체층들(3208 및 3209)이 반도체층(3206) 위에 형성되고, N형 반도체층(3210)은 반도체층(3207) 위에 형성된다.
- [0347] 배선들(3211 및 3212)은 N형 반도체층들(3208 및 3209) 위에 각각 형성되고, 도전층(3213)은 N형 반도체층(3210) 위에 배선들(3211 및 3212)과 동일한 재료로서 동일한 층 내에 형성된다.
- [0348] 따라서 제 2 전극은 반도체층(3207), N형 반도체층(3210) 및 도전층(3213)으로 형성된다. 게이트 절연막(3205)이 제 2 전극과 제 1 전극(3204) 사이에 삽입되는 구조를 가진 용량소자(3220)가 형성됨을 유념한다.
- [0349] 배선(3211)의 하나의 단부가 연장되고, 화소 전극(3214)은 연장된 배선(3211)의 상부와 접촉되도록 형성된다.
- [0350] 그 외에도, 절연체(3215)는 화소 전극(3214), 구동 트랜지스터(3219) 및 용량소자(3220)의 단부들을 커버하도록 형성된다.
- [0351] 그 다음, 유기 화합물을 함유한 층(3216) 및 대향 전극(3217)이 화소 전극(3214) 및 절연체(3215) 위에 형성된다. 발광 소자(3218)는 화소 전극(3214)과 대향 전극(3217) 사이에 유기 화합물을 함유한 층(3216)이 삽입되는

영역에 대응한다.

- [0352] 용량소자의 제 2 전극의 일부가 되는 N형 반도체층(3210) 및 반도체층(3207)은 요구될 필요가 없다. 즉, 제 2 전극은 도전층(3213)이 될 수 있어서, 용량소자는 게이트 절연막이 제 1 전극(3204)과 도전층(3213) 사이에 삽입되는 구조를 가질 수 있다.
- [0353] 도 32a의 배선(3211)을 형성하기 전에 화소 전극(3214)이 형성될 수 있고, 그에 의해 도 32b에 도시된 용량소자(3222)가 얻어질 수 있으며, 게이트 절연막(3205)이 화소 전극(3214)으로 형성된 제 1 전극(3204)과 제 2 전극(3221) 사이에 삽입되는 구조를 가진다는 것에 유념한다.
- [0354] 도 32a 및 도 32b가 반전된 엇갈리는 채널-에칭 트랜지스터들을 도시하였지만, 채널-보호 트랜지스터가 사용될 수 있다. 채널-보호 트랜지스터들의 기술이 도 33a 및 도 33b를 참조하여 기술된다.
- [0355] 도 33a에 도시된 채널-보호 트랜지스터는, 에칭 마스크로서 기능하는 절연체(3301)가 반도체층(3206) 내에 채널 형성 영역 위에 제공되는 도 32a에 도시된 채널-에칭 구동 트랜지스터(3219)와 상이하다. 그 그분을 제외한 공통 부분들은 동일한 참조 번호들로 표시하였다.
- [0356] 도 33b에 도시된 유사하게, 채널 보호 트랜지스터는 에칭 마스크로서 기능하는 절연체(3301)가 반도체층(3206) 내에 채널 형성 영역 위에 제공되는 도 32a에 도시된 채널-에칭 구동 트랜지스터(3219)와 상이하다. 그 그분을 제외한 공통 부분들은 동일한 참조 번호들로 표시하였다.
- [0357] 본 발명의 화소에 포함된 트랜지스터의 반도체층(채널 형성 영역, 소스 영역, 드레인 영역 등)으로 비정질 반도체막을 이용함으로써, 제조 비용이 감소될 수 있다. 예를 들면, 비정질 반도체막은 도 2에 도시된 화소 구조를 사용함으로써 적용될 수 있다.
- [0358] 본 발명의 화소 구조가 적용될 수 있는 트랜지스터들 및 용량소자들의 구조들이 상술된 구조에 한정되지 않고, 다양한 구조들의 트랜지스터들 및 용량소자들이 사용될 수 있음을 주지한다.
- [0359] (실시예 모드 7)
- [0360] 본 발명의 표시 장치는 다양한 전자 기기, 특히 전자 기기들의 표시부에 적용될 수 있다. 전자 기기들은, 비디오 카메라 및 디지털 카메라와 같은 카메라, 고글형 표시, 네비게이션 시스템, 오디오 재생 장치(차량 오디오 컴포넌트 스테레오, 오디오 컴포넌트 스테레오 등), 컴퓨터, 게임기, 휴대 정보 단말기(예를 들면, 모바일 컴퓨터, 이동 전화, 휴대용 게임기, 전자북 등), 기록 매체가 장착된 영상 재생 장치(구체적으로, 디지털 비디오 디스크(DVD; digital versatile disc)와 같은 기록 매체를 재생할 수 있고 그 영상을 표시할 수 있는 표시를 갖는 장치) 등을 포함한다.
- [0361] 도 34a는 하우징(34001), 지지 기반(34002), 표시부(34003), 스피커부(34004), 비디오 입력 단자(34005) 등을 포함하는 표시를 도시한다. 본 발명의 화소 구조를 갖는 표시 장치는 표시부(34003)에 사용될 수 있다. 표시는 개인용 컴퓨터와 같이 정보를 표시하고, 텔레비전 방송을 수신하고 광고를 표시하기 위한 모든 표시 장치들을 포함할 수 있음을 유념한다. 표시부(34003)용으로 본 발명의 화소부를 가진 표시 장치를 사용하는 표시는 전력 소비를 감소시키고 표시 결함을 방지할 수 있다. 또한 비용 감소가 달성될 수 있다.
- [0362] 최근에는, 표시의 크기의 증대에 대한 요구가 증가하였다. 표시의 확대에 따라, 가격의 증가가 문제가 되었다. 따라서 가능한 제조 비용을 감소시키고 고품질의 제품이 가능한 저렴한 비용으로 제공되는 것이 목적이다.
- [0363] 예를 들면, 도 2, 도 11 등의 화소 구조를 표시 패널의 화소부에 적용함으로써, 유니폴라 트랜지스터들로 이루어진 표시 패널이 제공될 수 있다. 따라서 제조 단계들이 감소될 수 있으며, 이것은 제조 비용의 감소를 유발한다.
- [0364] 그 외에도, 도 22a에 도시된 기관과 동일한 기관 위에 화소부 및 주변 구동 회로를 형성함으로써, 유니폴라 트랜지스터들을 포함하는 회로들에 의해 표시 패널이 구성될 수 있다.
- [0365] 그 외에도, 화소부를 구성하는 회로의 트랜지스터의 반도체층으로서 비정질 반도체(비정질 실리콘(a-Si:H)과 같은)를 사용함으로써, 제조 단계들이 간단해질 수 있고, 또한 비용 감소가 실현될 수 있다. 이 경우, 화소부의 주변부의 구동 회로는 도 28b 및 도 29a에 도시된 바와 같이 IC 칩으로 형성될 수 있고 COG 등에 의해 표시 패널 상에 장착될 수 있는 것이 바람직하다. 이러한 방식으로, 비정질 반도체를 사용함으로써, 표시의 크기의 증대를 용이하게 할 수 있다.

- [0366] 도 34b는 본체(34101), 표시부(34102), 영상 수신부(34103), 작동키들(34104), 외부 접속부(34105), 셔터(34106) 등을 포함하는 카메라를 도시한다.
- [0367] 최근에, 디지털 카메라 등의 성능의 진보에 따라, 그 경쟁적인 제조가 증가되었다. 따라서 가능한 낮은 가격으로 더 높은 성능의 제품을 제공되는 것이 중요하다. 표시부(34102) 용으로 본 발명의 화소부를 갖는 표시 장치를 사용하는 디지털 카메라는 전력 소비를 감소시킬 수 있고 표시 결함을 방지할 수 있다. 또한 비용 감소가 달성될 수 있다.
- [0368] 화소부에 대해 도 2 또는 도 11의 화소 구조를 사용함으로써, 유니폴라 트랜지스터들에 의해 화소부가 구성될 수 있다. 그 외에도, 도 28a에 도시된 바와 같이, 동작 속도가 높은 신호선 구동 회로를 IC 칩으로 형성하고, 화소부와 동일한 기판 위에 유니폴라 트랜지스터들에 의해 구성된 회로로 동작 속도가 상대적으로 낮은 주사선 구동 회로를 형성함으로써, 더 높은 성능이 실현될 수 있고, 비용 감소가 달성될 수 있다. 그 외에도, 화소부 내의 트랜지스터의 반도체층용으로 비정질 실리콘과 같은 비정질 반도체를 사용하고 화소부와 동일한 기판 위에 주사선 구동 회로를 형성함으로써, 더 많은 비용 감소가 달성될 수 있다.
- [0369] 도 34c는 본체(34201), 하우징(34202), 표시부(34203), 키보드(34204), 외부 접속부(34205), 포인팅 마우스(34206) 등을 포함하는 컴퓨터를 도시한다. 표시부(34203)에 대해 본 발명의 화소 구조를 갖는 표시 장치를 사용하는 컴퓨터는 전력 소비를 감소시킬 수 있고 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.
- [0370] 도 34d는 본체(34301), 표시부(34302), 스위치(34303), 작동키들(34304), 적외선 포트(34305) 등을 포함하는 모바일 컴퓨터를 도시한다. 표시부(34302)용으로 본 발명의 화소 구조를 갖는 표시 장치를 사용하는 모바일 컴퓨터는 전력 소비를 감소시킬 수 있고 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.
- [0371] 도 34e는 본체(34401), 하우징(34402), 표시부 A(34403), 표시부 B(34404), 기록 매체(DVD 등) 판독부(34405), 작동키(34406), 스피커부(34407) 등을 포함하는 기록 매체를 갖는 휴대용 영상 재생 장치(특히, DVD 재생 장치)를 도시한다. 표시부 A(34403)는 주로 영상 데이터를 표시하고, 표시부 B(34404)는 주로 문자 데이터를 표시한다. 표시부 A(34403) 및 표시부 B(34404)용으로 본 발명의 화소 구조를 갖는 표시 장치를 사용하는 휴대용 영상 재생 장치는 전력 소비를 감소시킬 수 있고 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.
- [0372] 도 34f는 본체(34501), 표시부(34502) 및 아암부(34503)를 포함하는 고글형 표시를 도시한다. 표시부(34502)용으로 본 발명의 화소 구조를 갖는 표시 장치를 사용하는 고글형 표시는 전력 소비를 감소시킬 수 있고 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.
- [0373] 도 34g는 본체(34601), 표시부(34602), 하우징(34603), 외부 접속부(34604), 원격 제어 수신부(34605), 화상 수신부(34606), 배터리(34607), 오디오 입력부(34608), 작동키들(34609), 접안부(34610) 등을 포함하는 비디오 카메라를 도시한다. 표시부(34602)용으로 본 발명의 화소 구조를 갖는 표시 장치를 사용하는 비디오 카메라는 전력 소비를 감소시킬 수 있고 표시 결함을 방지할 수 있다. 또한, 비용 감소가 달성될 수 있다.
- [0374] 도 34h는 본체(34701), 하우징(34702), 표시부(34703), 오디오 입력부(34704), 오디오 출력부(34705), 작동키들(34706), 외부 접속부(34707), 안테나(34708) 등을 포함하는 이동 전화를 도시한다.
- [0375] 최근에, 이동 전화는 게임 기능, 카메라 기능, 전자 머니 기능 등이 제공되었고, 고부가 이동 전화의 필요성이 증가하였다. 또한, 고해상도 표시가 요구되었다. 표시부(34703)용으로 본 발명의 화소 구조를 갖는 표시 장치를 사용하는 이동 전화는 전력 소비를 감소시킬 수 있고 표시 결함을 방지할 수 있다. 또한, 화소의 개구비가 증가되고 고해상도 표시가 수행될 수 있다. 그 외에도, 비용 감소가 달성될 수 있다.
- [0376] 예를 들면, 화소부에 대해 도 2의 화소 구조를 적용함으로써, 화소의 개구비가 개선될 수 있다. 특히, n-채널 트랜지스터를 발광 소자를 구동하기 위한 구동 트랜지스터로서 이용함으로써, 화소의 개구비가 개선된다. 결과적으로, 고해상도 표시부를 갖는 이동 전화가 제공될 수 있다.
- [0377] 그 외에도, 개구비가 개선되기 때문에, 고해상도 표시부를 갖는 고부가 이동 전화는 표시부에 대해 도 24c에 도시된 이중 방사 구조를 갖는 표시 장치를 사용하여 제공될 수 있다.
- [0378] 이동 전화가 다기능이고 그 사용의 빈도가 증가된 한편, 충전당 수명이 길어지도록 요구되었다.
- [0379] 예를 들면, 도 28b 및도 29a에 도시된 바와 같이 주변 구동 회로를 IC 칩으로 형성하고 CMOS 등을

사용함으로써, 전력 소비가 감소될 수 있다.

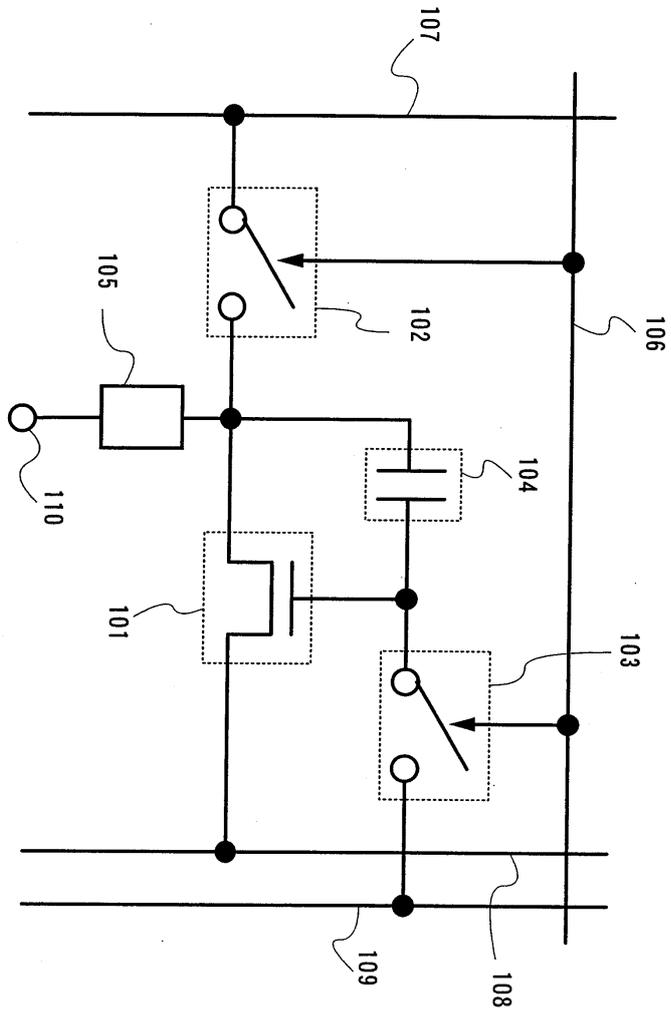
- [0380] 따라서 본 발명은 다양한 전자 기기에 적용될 수 있다.
- [0381] (실시예 모드 8)
- [0382] 이 실시예 모드에서, 도 37을 참조하여, 본 발명의 화소부를 사용하는 표시부를 갖는 이동 전화의 구조예가 기술된다.
- [0383] 표시 패널(3710)은 자유롭게 탈부착되도록 하우징(3700) 내에 포함된다. 하우징(3700)의 형상 및 크기는 표시 패널(3710)의 크기에 따라 적절히 변경될 수 있다. 표시 패널(3710)이 구비된 하우징(3700)은 모듈로서 조립되도록 인쇄 회로 보드(3701) 내에 적당하다.
- [0384] 표시 패널(3710)은 FPC(3711)을 통해 인쇄 회로 보드(3701)에 접속된다. 스피커(3702), 마이크로폰(3703), 전송 및 수신 회로(3704), 및 CPU, 컨트롤러 등을 포함하는 신호 처리 회로(3705)가 인쇄 회로 보드(3701) 상에 형성된다. 이러한 모듈, 입력 수단(3706) 및 배터리(3707)가 조합되어 하우징(3709) 내에 저장된다. 표시 패널(3710)의 화소부는 하우징(3709) 내에 포함된 오픈 윈도우로부터 보일 수 있도록 배치된다.
- [0385] 표시 패널(3710)은, 동일한 기관 위에 TFT들을 사용하여 주변 구동 회로들(복수의 구동 회로들 중 동작 주파수가 낮은 구동 회로)의 일부 및 화소부를 형성하고; 주변 구동 회로들(복수의 구동 회로들 중 동작 주파수가 높은 구동 회로)의 일부를 IC 칩으로 형성하고; COG(Chip On Glass)에 의해 표시 패널(3710) 상에 IC 칩을 장착함으로써 형성될 수 있다. IC 칩은 대안적으로 TAB(Tape Automated Bonding)나 인쇄 회로 보드를 사용함으로써 유리 기관에 접속될 수 있다. 도 28a는, 주변 구동 회로들의 일부가 화소부와 동일한 기관 위에 형성되고, 주변 구동 회로들의 다른 부분이 제공된 IC 칩이 COG 등에 의해 장착된 표시 패널의 구조예를 도시한다. 상술된 구조를 이용함으로써, 표시 장치의 전력 소비는 감소될 수 있고, 이동 전화의 충전당 수명은 길어질 수 있다. 그 외에도, 이동 전화의 비용 감소가 달성될 수 있다.
- [0386] 화소부에 대해, 실시예 모드 1 내지 4에 기술된 화소 구조들이 적절히 적용될 수 있다.
- [0387] 예를 들면, 실시예 모드 1에 기술된 도 2의 화소 구조나, 실시예 모드 3에 기술된 도 11의 화소 구조를 적용함으로써, 제조 단계들이 감소될 수 있다. 즉, 화소부와 동일한 기관 위에 형성된 화소부 및 주변 구동 회로는 비용 감소를 달성하기 위하여 유니폴라 트랜지스터들에 의해 구성될 수 있다.
- [0388] 그 외에도, 도 28b 및 도 29a에 도시된 바와 같이, 전력 소비를 더 감소시키기 위하여, 화소부는 기관 위에 TFT들을 사용하여 형성될 수 있고, 주변 구동 회로들 모두는 IC 칩으로 형성될 수 있고, IC 칩은 COG(Chip On Glass) 등에 의해 표시 패널에 장착될 수 있다. 도 2의 화소 구조는 화소부에 대해 이용되며, 비정질 반도체막은 트랜지스터의 반도체층용으로 이용되고, 그에 의해 제조 비용이 감소될 수 있다.
- [0389] 이 실시예 모드에서 기술된 구조는 이동 전화의 예이고, 본 발명의 화소 구조는 상술된 구성을 갖는 이동 전화뿐만 아니라 다양한 구조들을 갖는 이동 전화들에도 적용될 수 있음을 유념한다.
- [0390] (실시예 모드 9)
- [0391] 도 35는 표시 패널(3501) 및 회로 보드(3502)를 조합한 EL 모듈을 도시한다. 표시 패널(3501)은 화소부(3503), 주사선 구동 회로(3504) 및 신호선 구동 회로(3505)를 포함한다. 제어 회로(3506), 신호 구동 회로(3507) 등은 회로 보드(3502) 위에 형성된다. 표시 패널(3501) 및 회로 보드(3502)는 접속 배선(3508)에 의해 서로 접속된다. 접속 배선으로서, FPC 등이 사용될 수 있다.
- [0392] 표시 패널(3501)은 동일한 기관 위에 TFT들을 사용하여 주변 구동 회로들(복수의 구동 회로들 중 동작 주파수가 낮은 구동 회로)의 일부 및 화소부를 형성하고; 주변 구동 회로들(복수의 구동 회로들 중 동작 주파수가 높은 구동 회로)의 일부를 IC 칩으로 형성하고; COG(Chip On Glass) 등에 의해 표시 패널(3501) 상에 IC 칩을 장착함으로써 형성될 수 있다. IC 칩은 대안적으로 TAB(Tape Automated Bonding)나 인쇄 회로 보드를 사용함으로써 표시 패널(3501) 상에 장착될 수 있다. 도 28a는, 주변 구동 회로들의 일부가 화소부와 동일한 기관 위에 형성되고, 주변 구동 회로들의 다른 부분이 제공된 IC 칩이 COG 등에 의해 장착된 표시 패널의 구조예를 도시함을 유념한다.
- [0393] 화소부에 대해, 실시예 모드 1 내지 4에 기술된 화소 구조들이 적절히 적용될 수 있다.
- [0394] 예를 들면, 실시예 모드 1에 기술된 도 2의 화소 구조나, 실시예 모드 3에 기술된 도 11의 화소 구조를 적용함

으로써, 제조 단계들이 감소될 수 있다. 즉, 화소부와 동일한 기판 위에 형성된 화소부 및 주변 구동 회로는 비용 감소를 달성하기 위하여 유니폴라 트랜지스터들에 의해 구성될 수 있다.

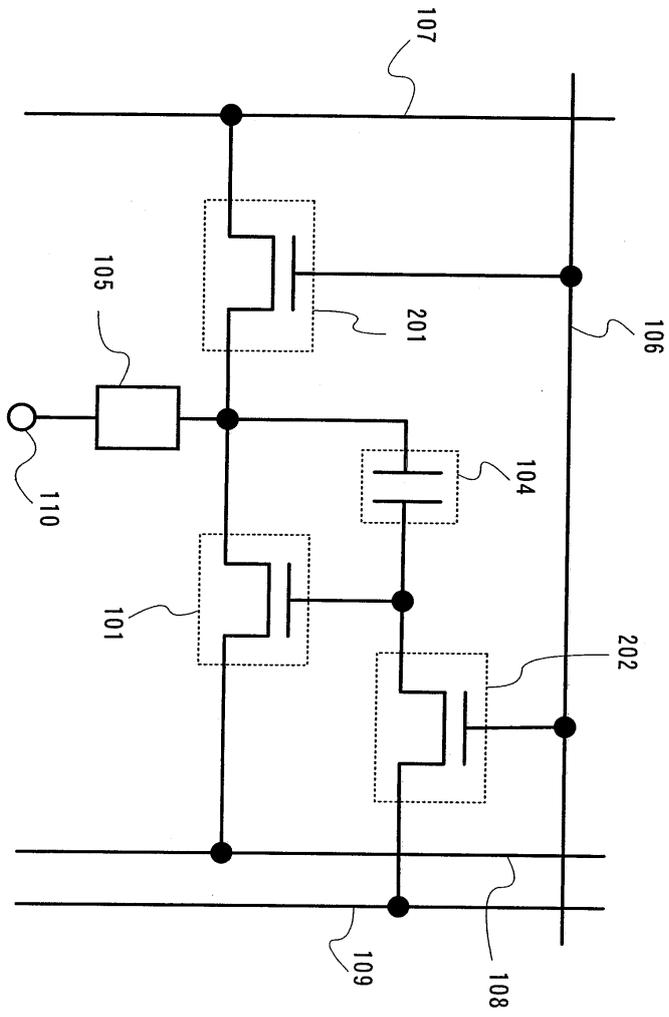
- [0395] 그 외에도, 전력 소비를 더 감소시키기 위하여, 화소부는 유리 기판 위에 TFT들을 사용하여 형성될 수 있고, 주변 구동 회로들 모두는 IC 칩으로 형성될 수 있고, IC 칩은 COG(Chip On Glass) 등에 의해 표시 패널에 장착될 수 있다.
- [0396] 그 외에도, 실시예 모드 1의 도 2에 도시된 화소 구조를 적용함으로써, 화소들은 n-채널 트랜지스터들만으로 구성될 수 있어서, 비정질 반도체(비정질 실리콘과 같은)는 트랜지스터의 반도체층에 적용될 수 있다. 즉, 균등한 결정질 반도체막을 형성하는 것이 어려운 대형 표시 장치가 제조될 수 있다. 또한, 화소를 구성하는 트랜지스터의 반도체층용으로 비정질 반도체막을 사용함으로써, 제조 단계들이 감소될 수 있고, 제조 비용의 감소가 달성될 수 있다.
- [0397] 비정질 반도체막이 화소를 구성하는 트랜지스터의 반도체층에 적용되는 경우에, 화소부는 기판 위에 TFT들을 사용하여 형성되고, 주변 구동 회로들 모두는 IC 칩으로 형성되고, IC 칩은 COG(Chip On Glass)에 의해 표시 패널 상에 장착되는 것이 바람직하다. 도 28b는 화소부가 기판 위에 형성되고, 주변 구동 회로들이 제공된 IC 칩이 COG 등에 의해 장착된 구조의 구조예를 도시함을 유념한다.
- [0398] EL 텔레비전 수신기는 상술된 EL 모듈로 완성될 수 있다. 도 36은 EL 텔레비전 수신기의 주요 구조를 도시한 블록도이다. 동조기(3601)는 비디오 신호와 오디오 신호를 수신한다. 비디오 신호들은 비디오 신호 증폭기 회로(3602)와, 비디오 신호 증폭기 회로(3506)로부터 출력된 신호를 적색, 녹색 및 청색 각각에 대응하는 색 신호로 변환하기 위한 비디오 신호 처리 회로(3603)와, 비디오 신호를 구동 회로의 입력 명세로 변환하기 위한 제어 회로(3506)에 의해 처리된다. 제어 회로(3506)는 주사선측과 신호선측의 각각으로 신호를 출력한다. 디지털 방식으로 구동하는 경우에, 입력 디지털 신호를 m개의 신호들로 나누어 공급하기 위하여 신호 분할 회로(3507)가 신호선측 상에 제공되는 구조가 이용될 수 있다.
- [0399] 동조기(3601)에 의해 수신된 오디오 신호는 오디오 신호 증폭기 회로(3604)에 전송되고, 그 출력은 오디오 신호 처리 회로(3605)를 통해 스피커(3606)에 공급된다. 제어 회로(3607)는 수신국(수신된 주파수) 및 볼륨 제어 데이터를 입력부(3608)로부터 수신하고, 동조기(3601) 및 오디오 신호 처리 회로(3605)에 신호들을 전송한다.
- [0400] 도 35에 도시된 EL 모듈을 하우징(34001)에 포함시킴으로써, TV 수신기는 도 34a에 도시된 바와 같이 완성될 수 있다. 표시부(34003)는 EL 모듈에 의해 구성된다. 그 외에도, 스피커부(34004), 비디오 입력 단자(34005) 등이 적절하게 제공된다.
- [0401] 본 발명이, 개인용 컴퓨터의 모니터, 특히 역 또는 공항에서의 정보 표시 패널과 같은 대형 표시 매체나 거리의 광고 보드와 같은, TV 수신기 이외의 다양한 기기들에 적용될 수 있음은 말할 필요도 없다.
- [0402] 본 출원은, 2005년 6월 30일 일본 특허청에 출원되고, 이것의 전체 내용들이 본 명세서에 참조로 포함된 일본 특허 출원 번호 제2005-191145호에 기초하고 있다.

도면

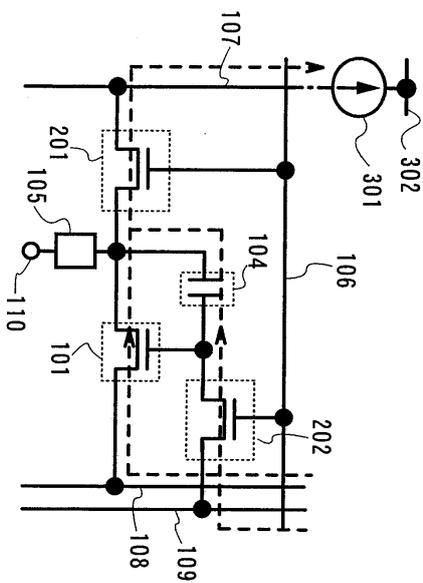
도면1



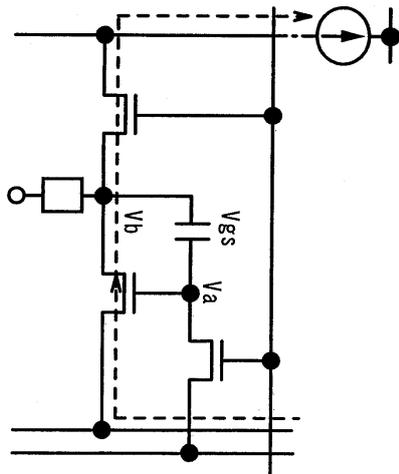
도면2



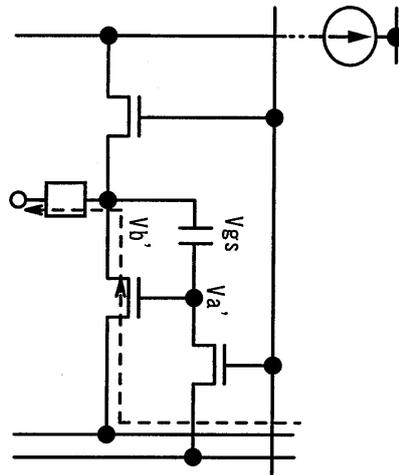
도면3a



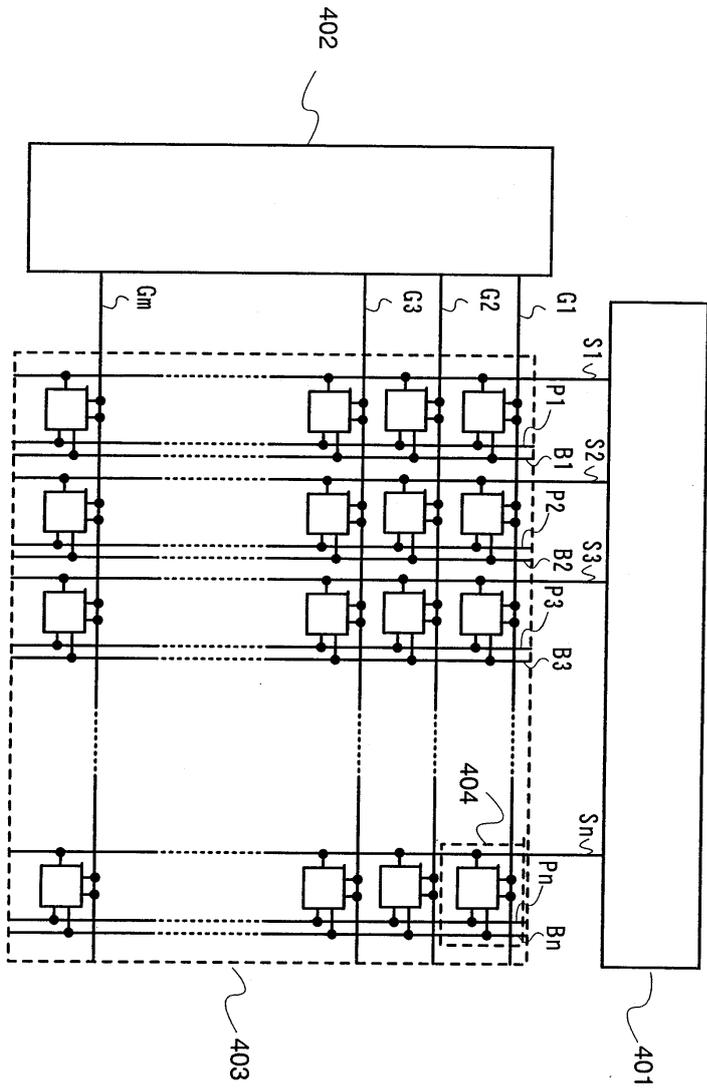
도면3b



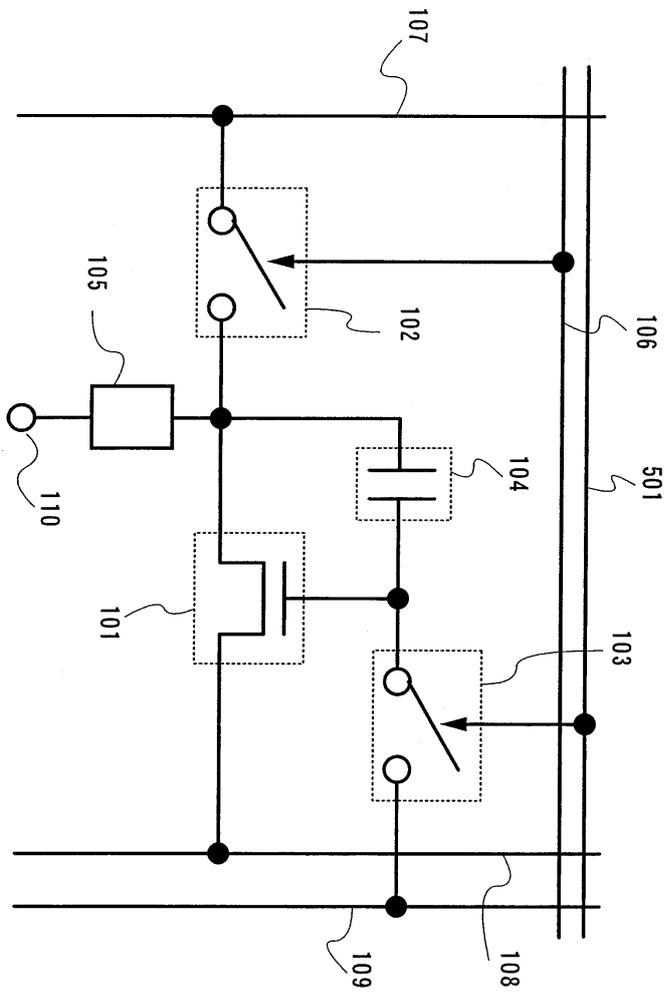
도면3c



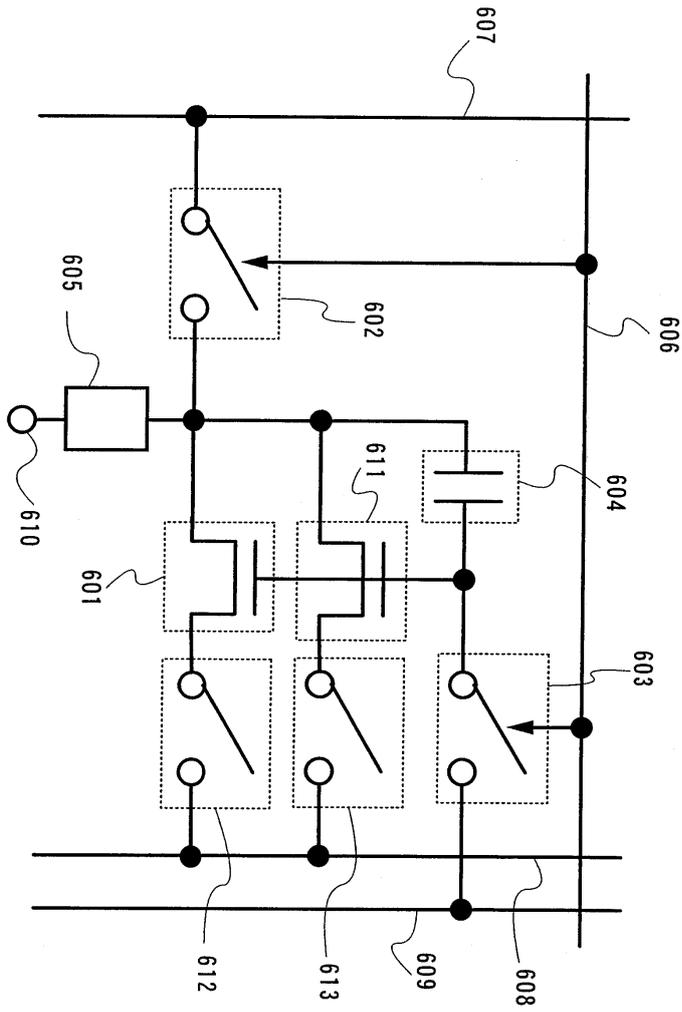
도면4



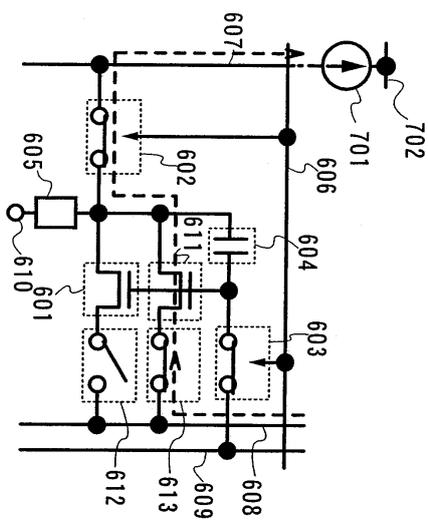
도면5



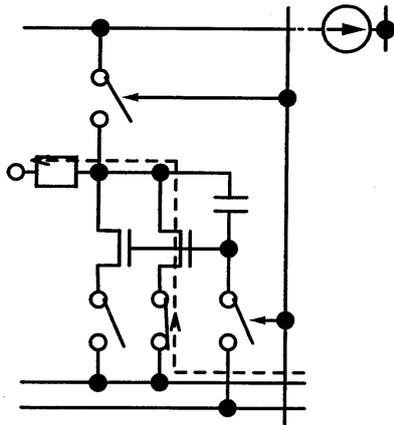
도면6



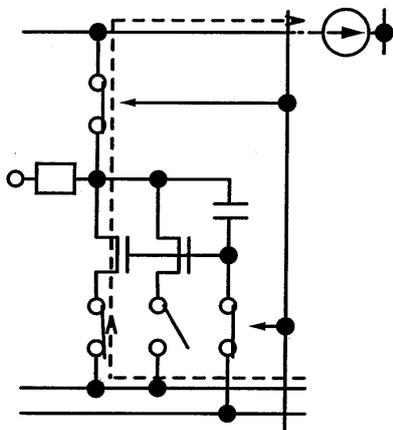
도면7a



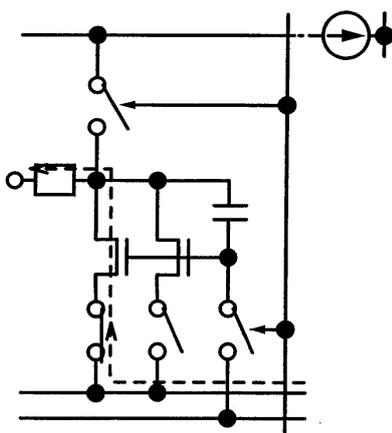
도면7b



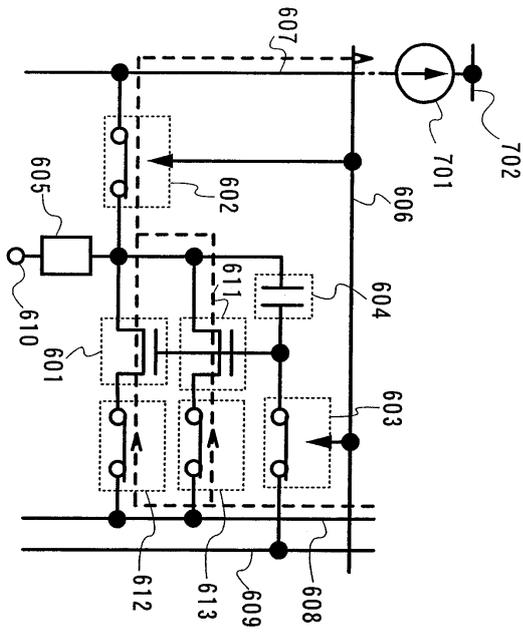
도면7c



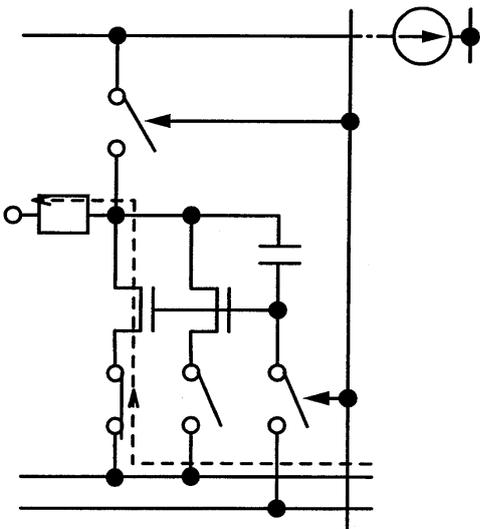
도면7d



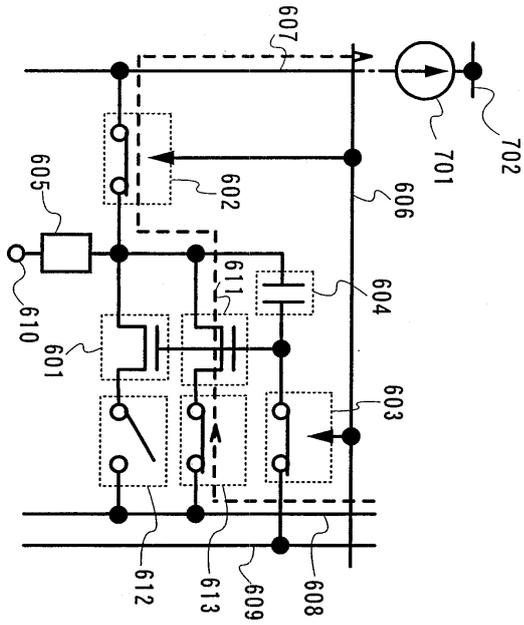
도면8a



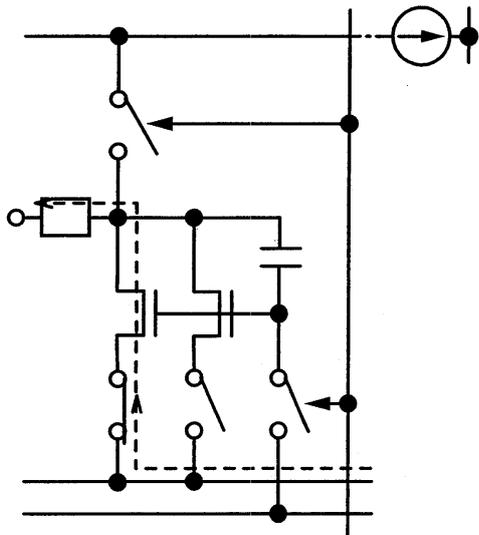
도면8b



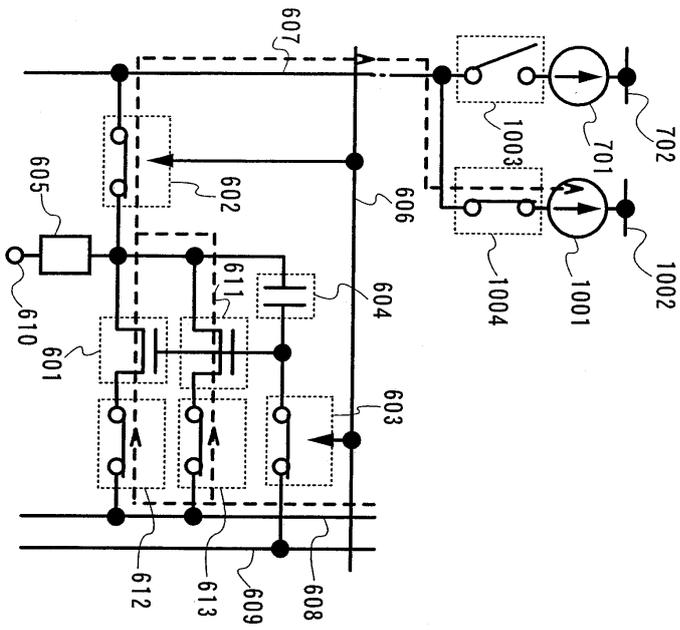
도면9a



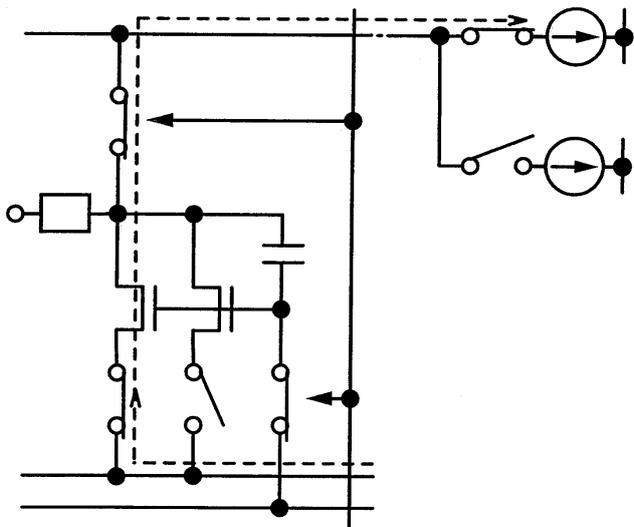
도면9b



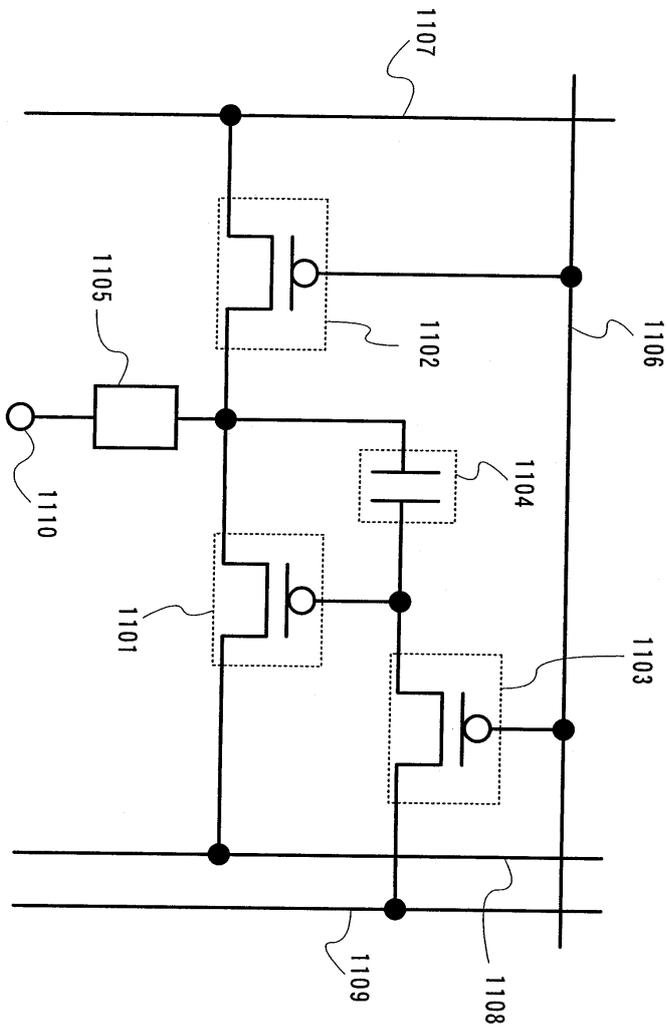
도면10a



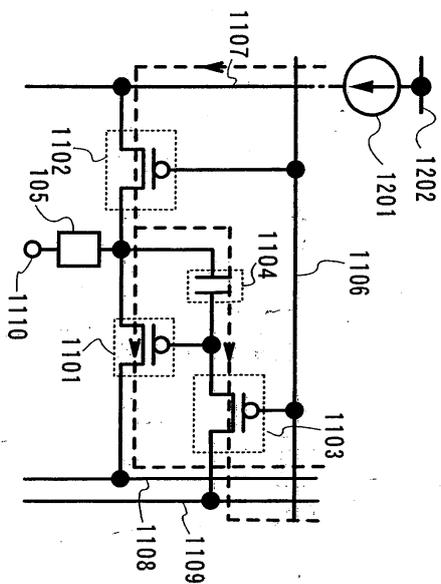
도면10b



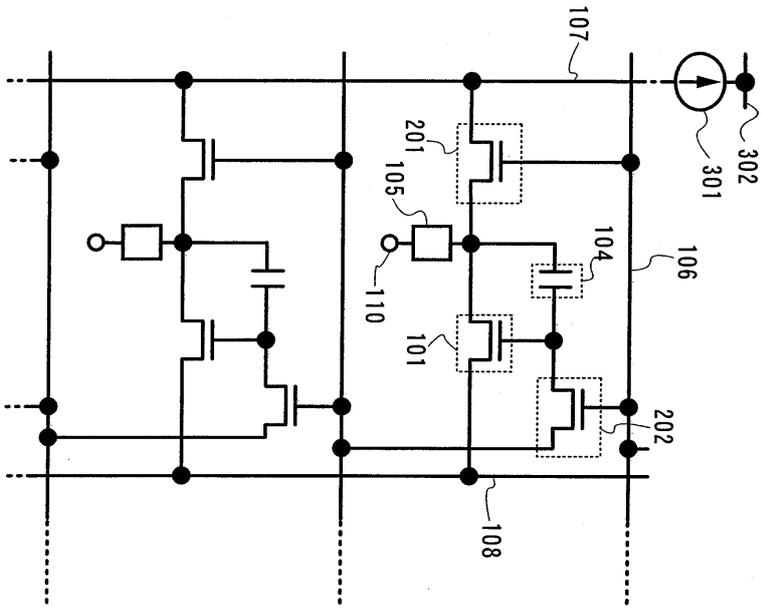
도면11



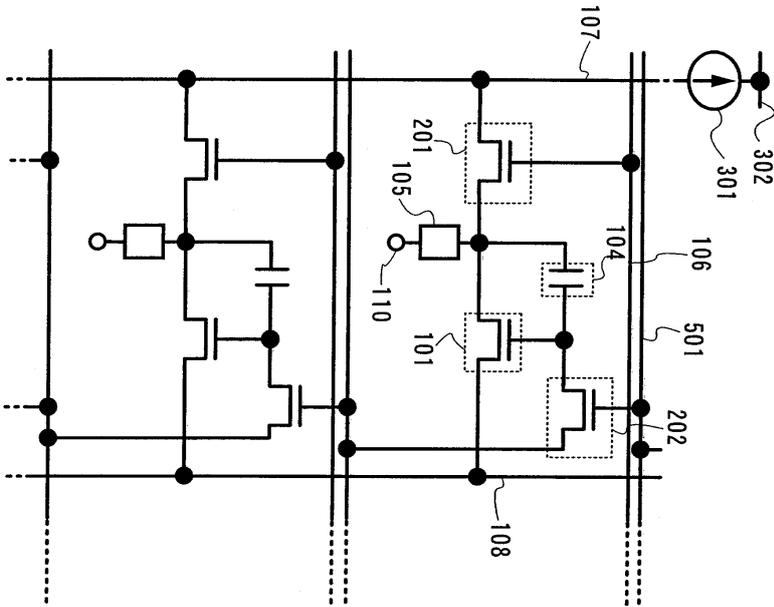
도면12a



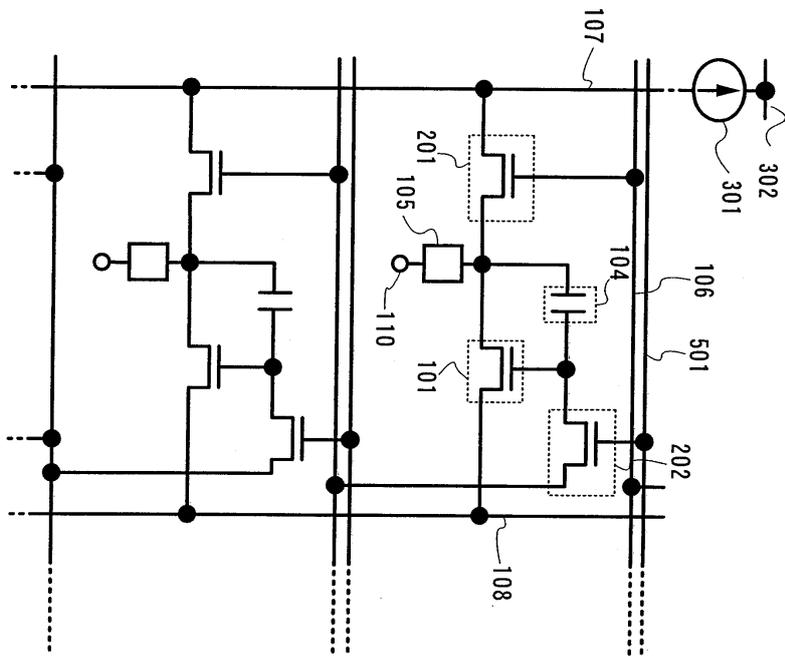
도면13



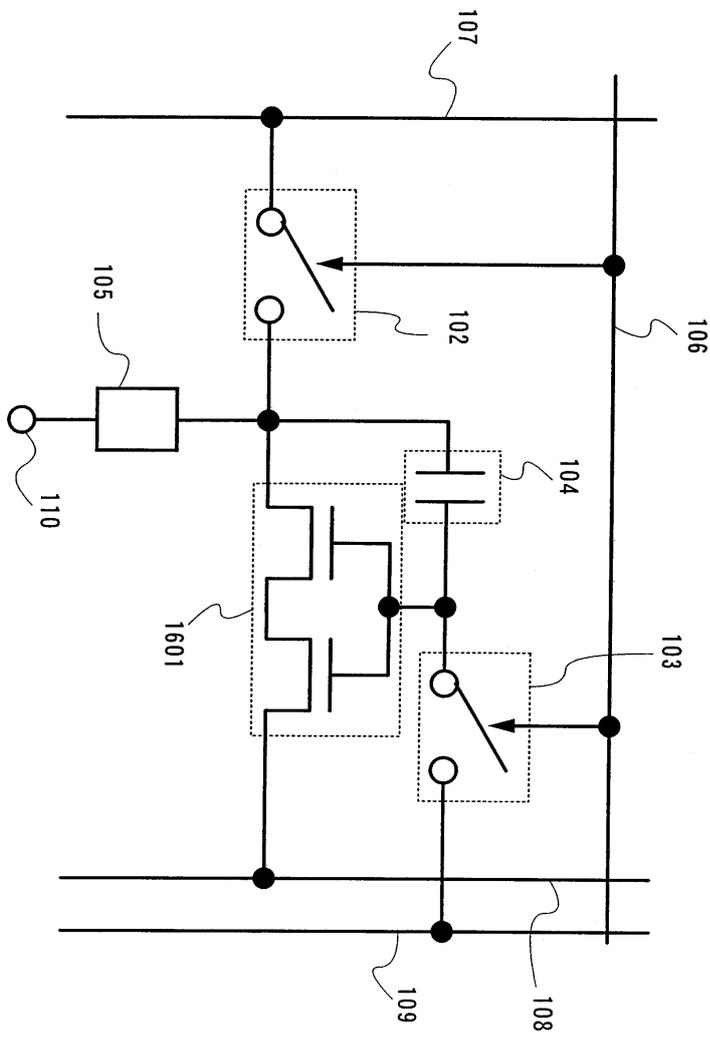
도면14



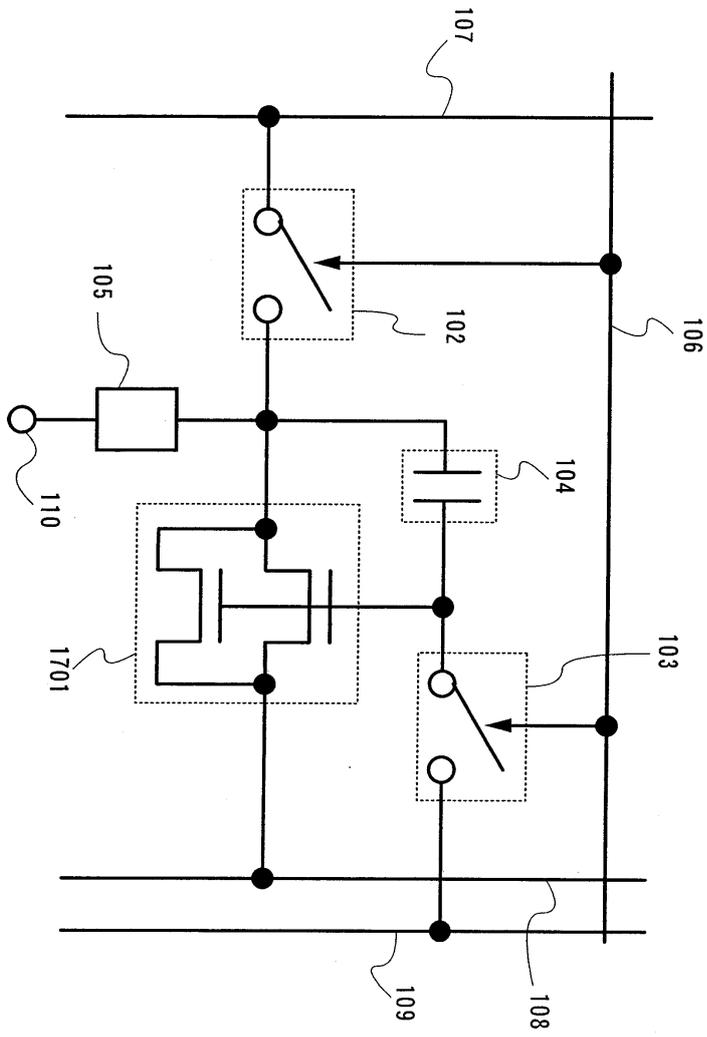
도면15



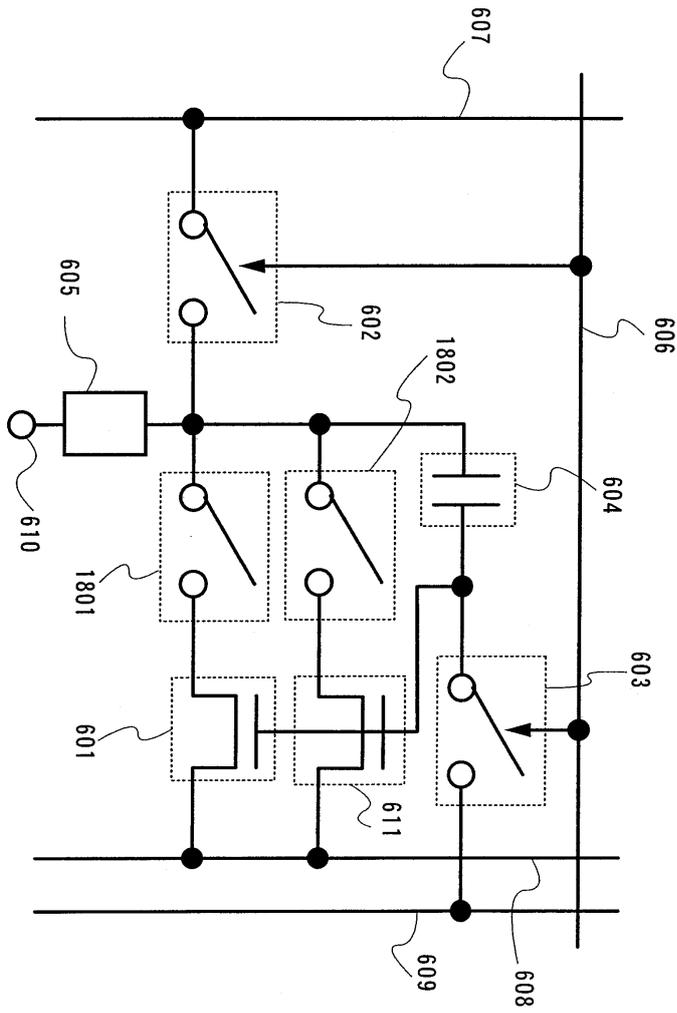
도면16



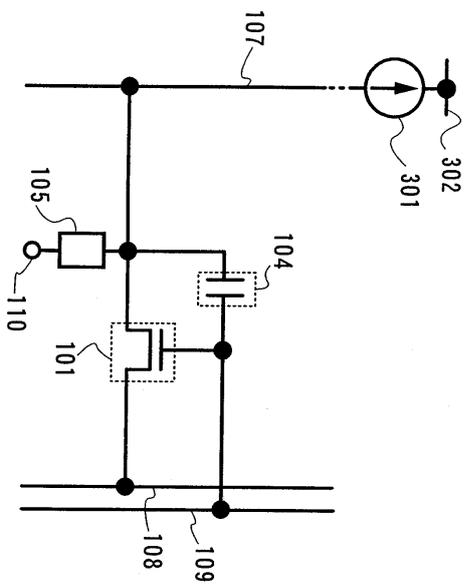
도면17



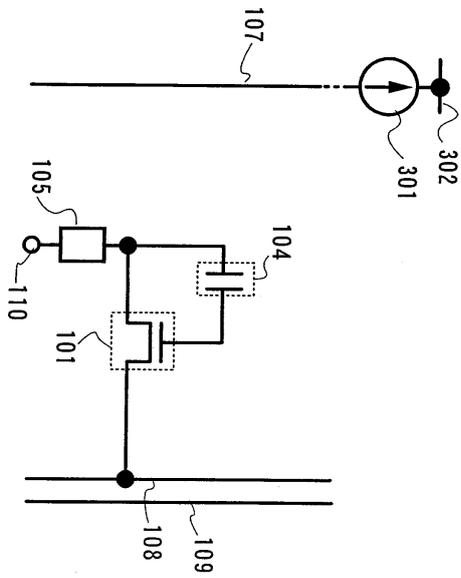
도면18



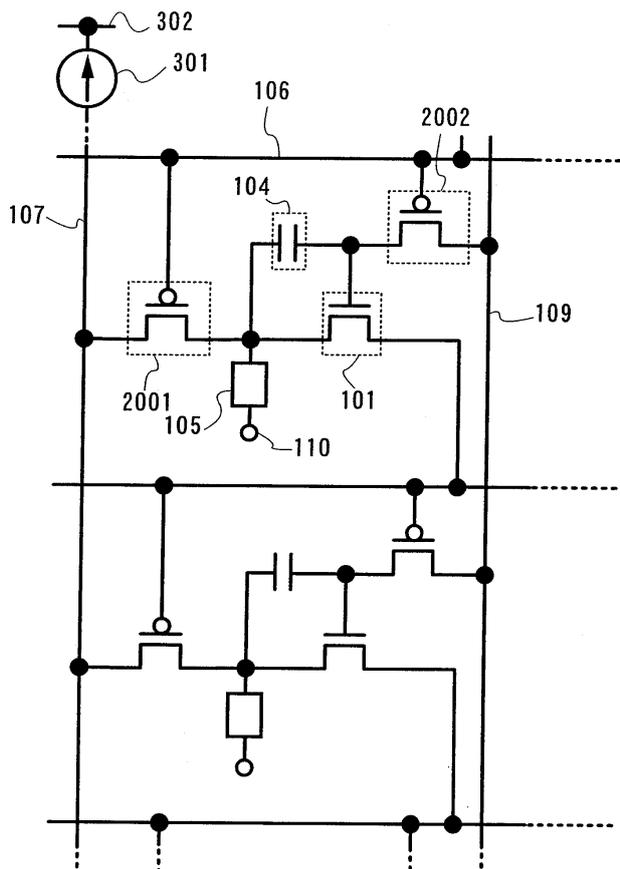
도면19a



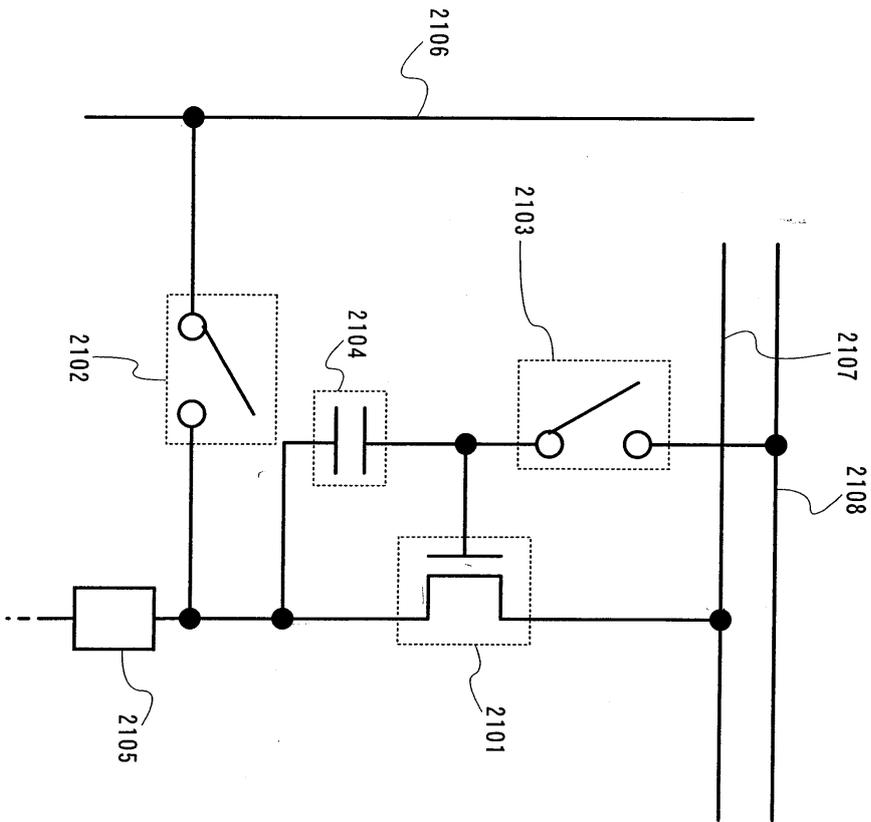
도면19b



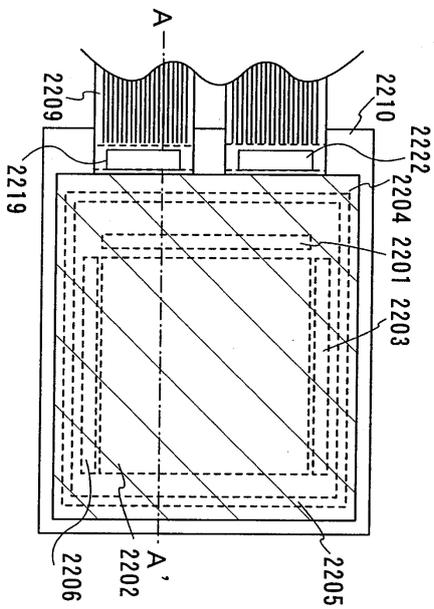
도면20



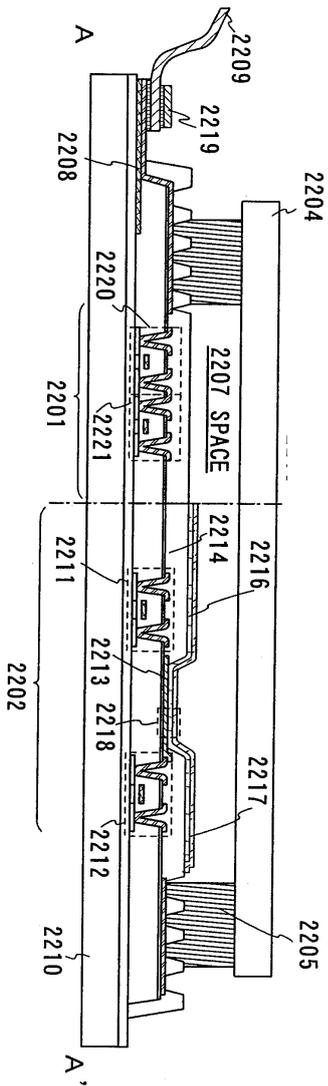
도면21



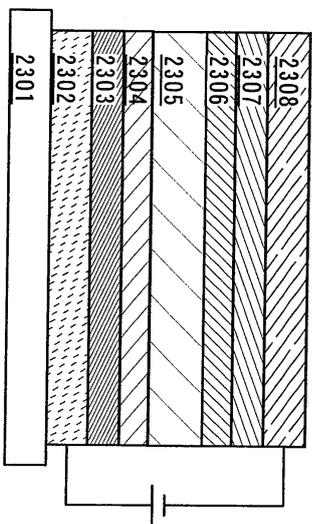
도면22a



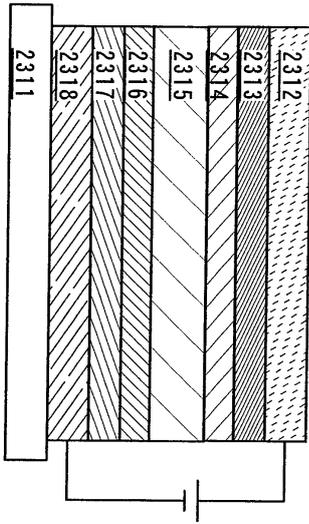
도면22b



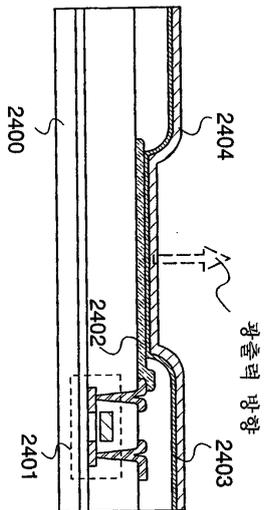
도면23a



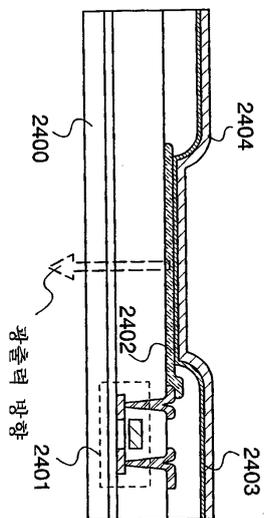
도면23b



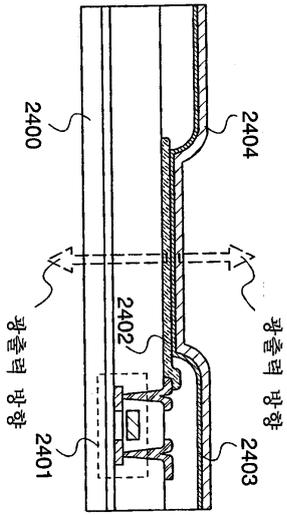
도면24a



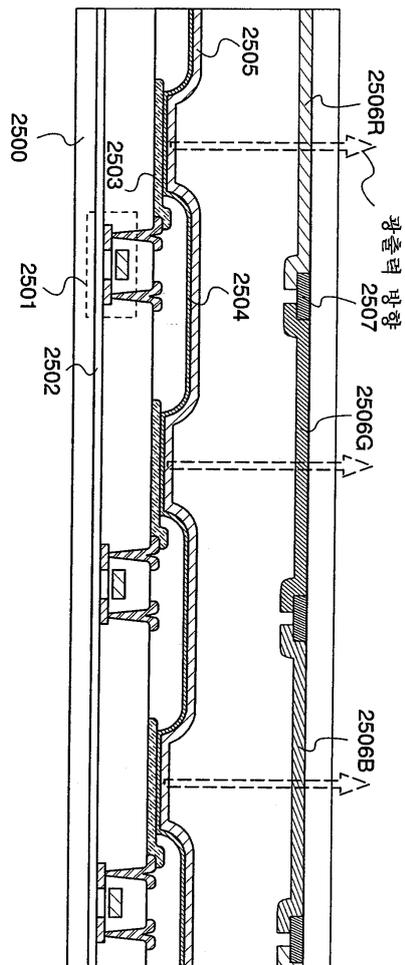
도면24b



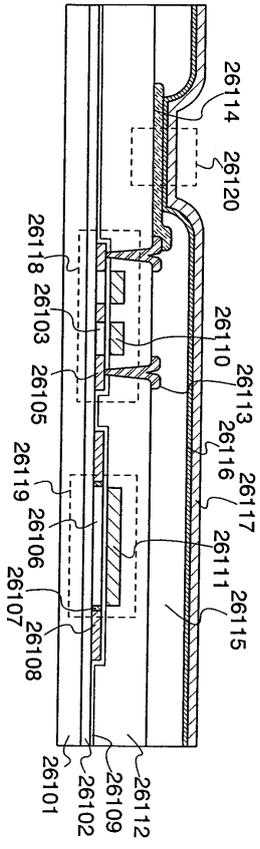
도면24c



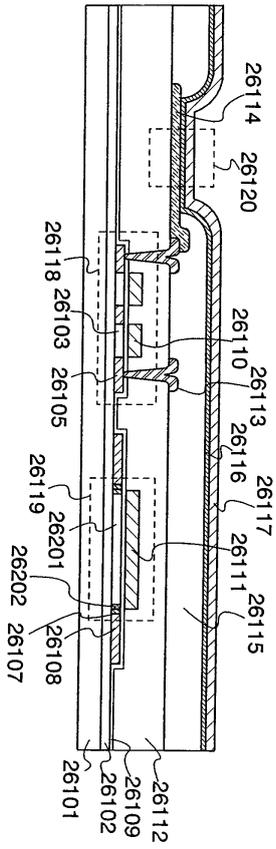
도면25



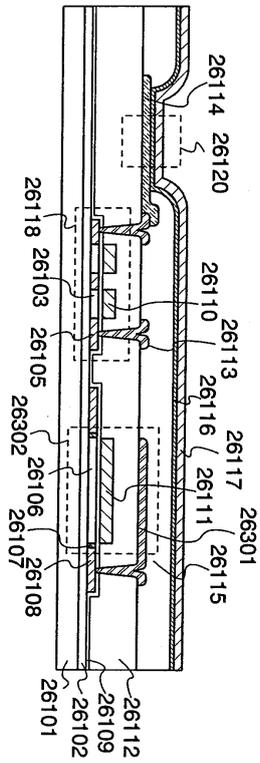
도면26a



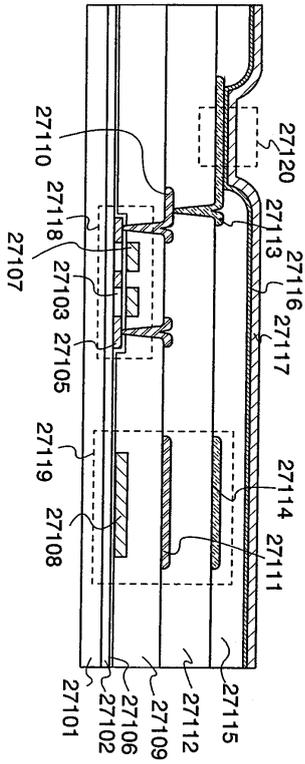
도면26b



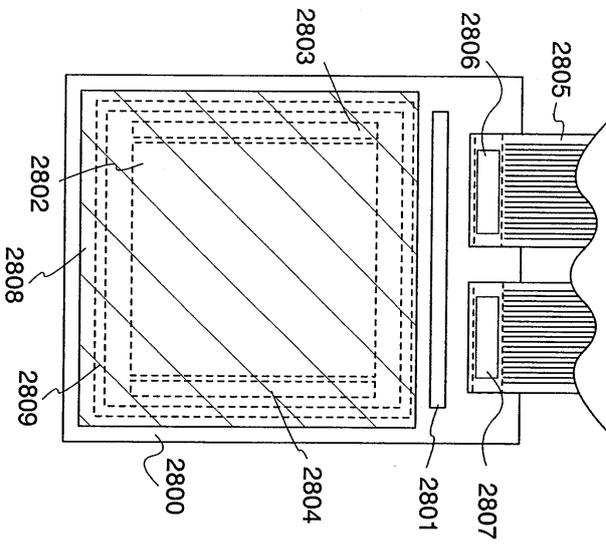
도면27a



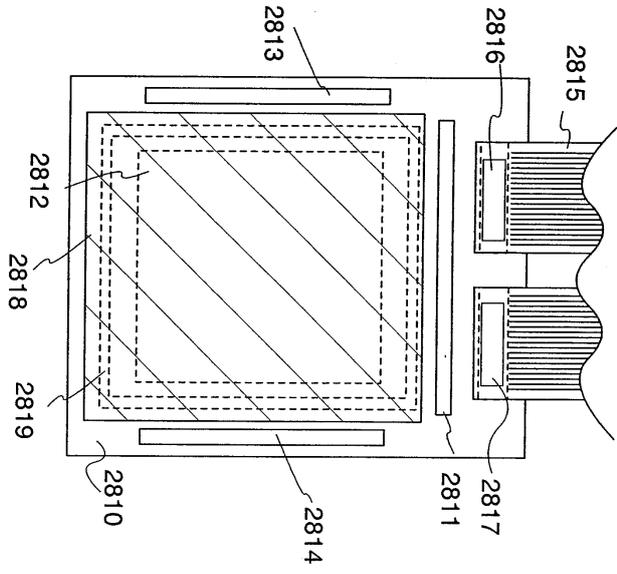
도면27b



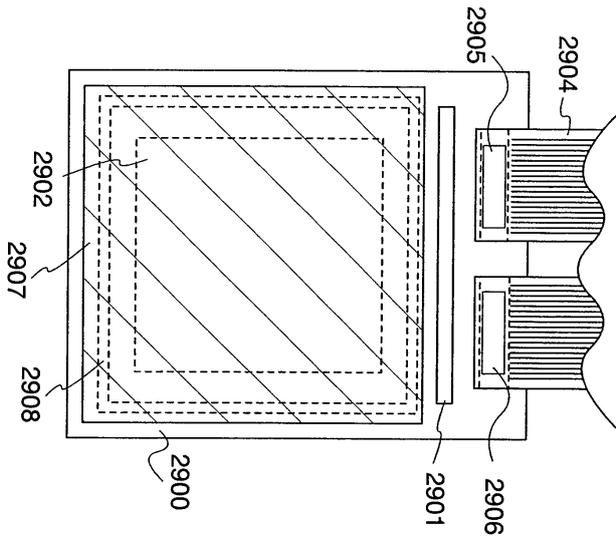
도면28a



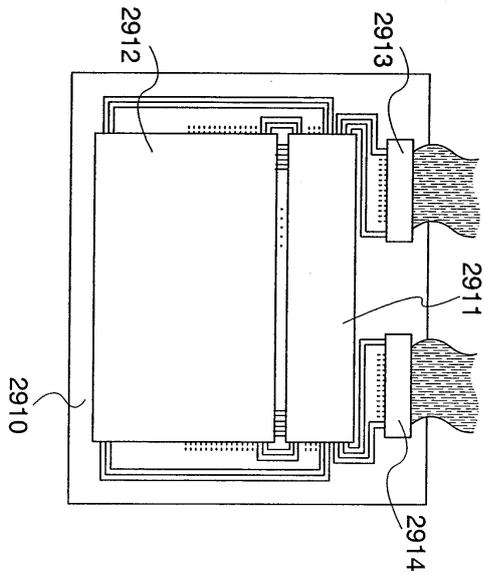
도면28b



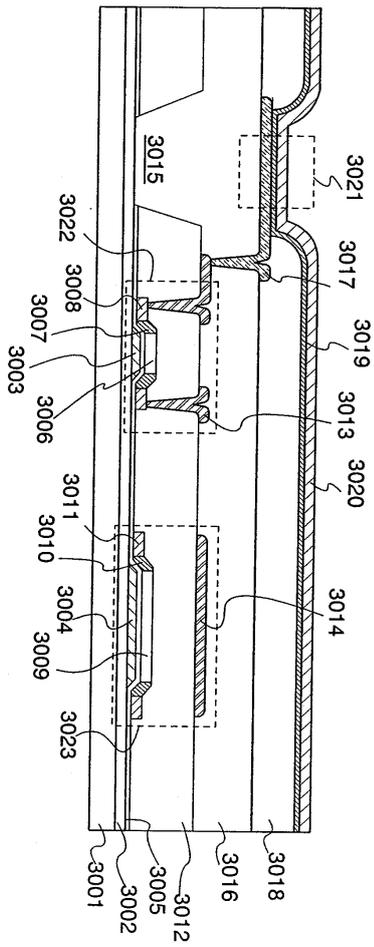
도면29a



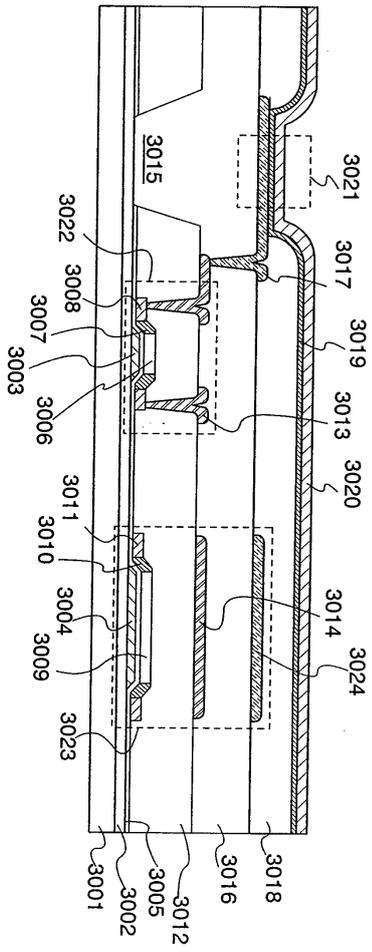
도면29b



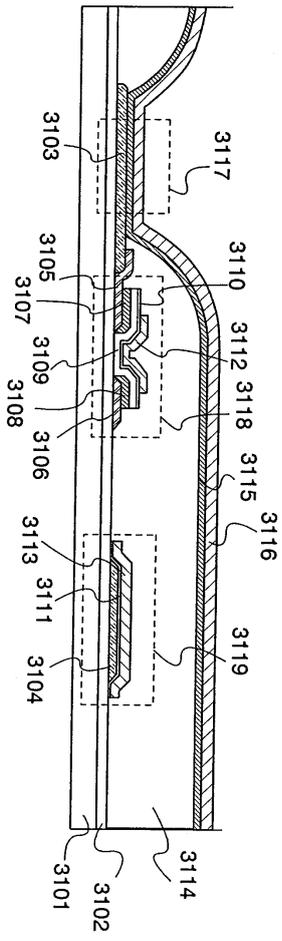
도면30a



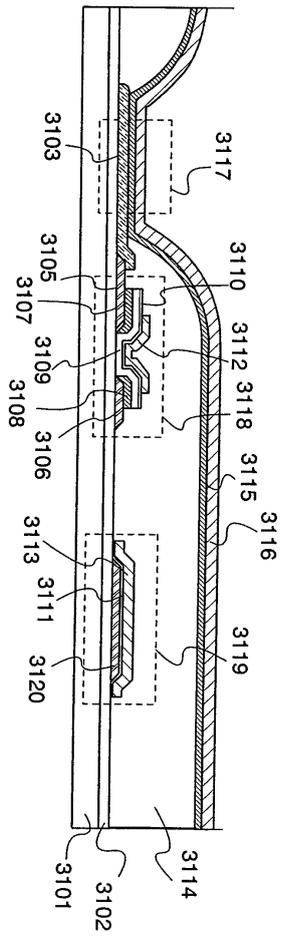
도면30b



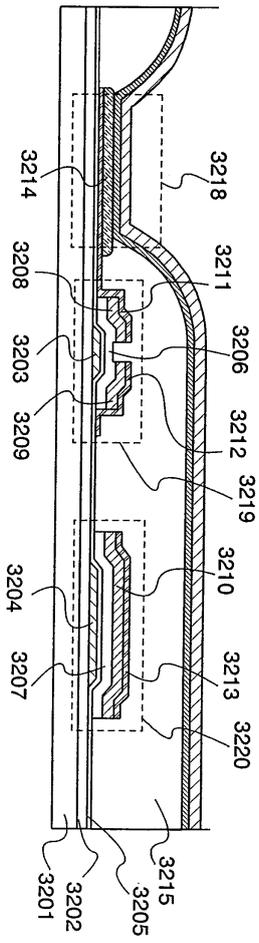
도면31a



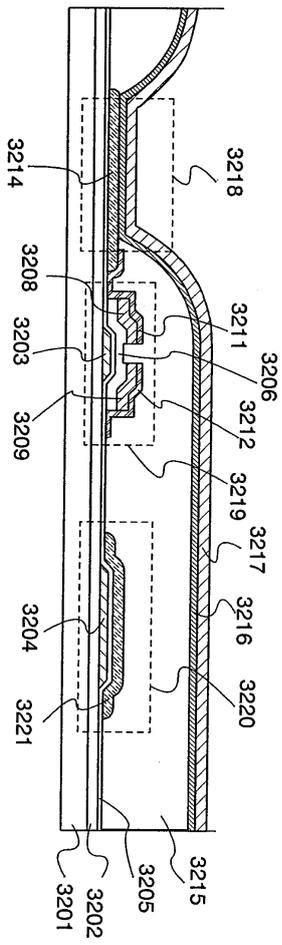
도면31b



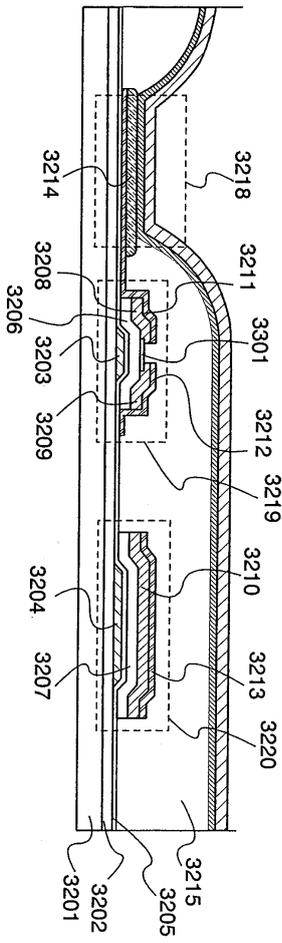
도면32a



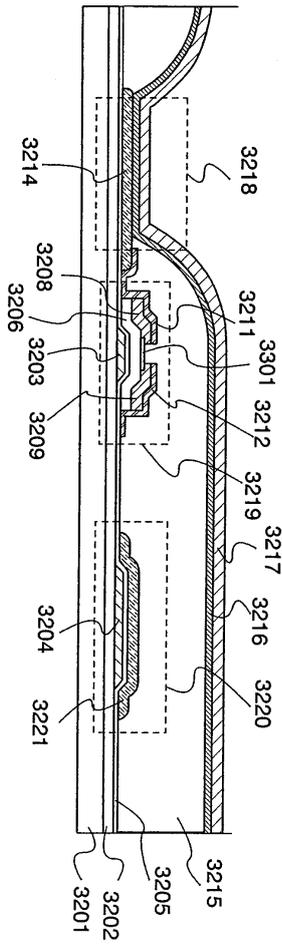
도면32b



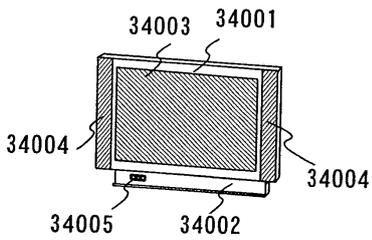
도면33a



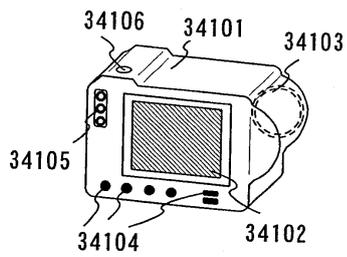
도면33b



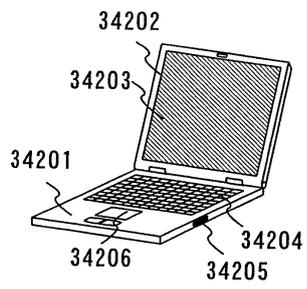
도면34a



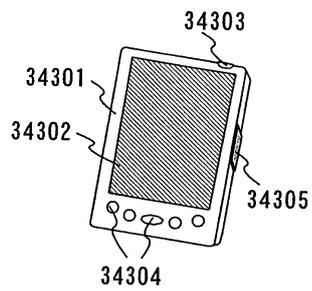
도면34b



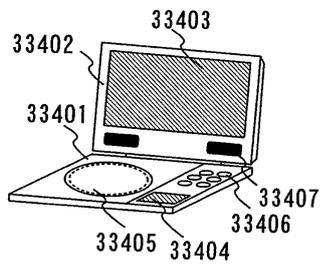
도면34c



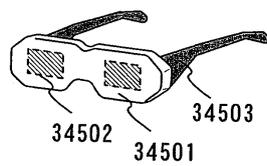
도면34d



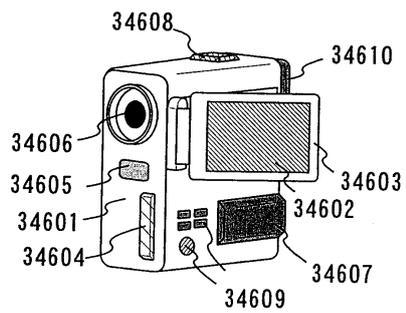
도면34e



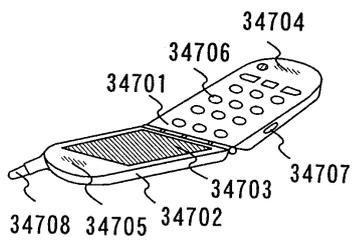
도면34f



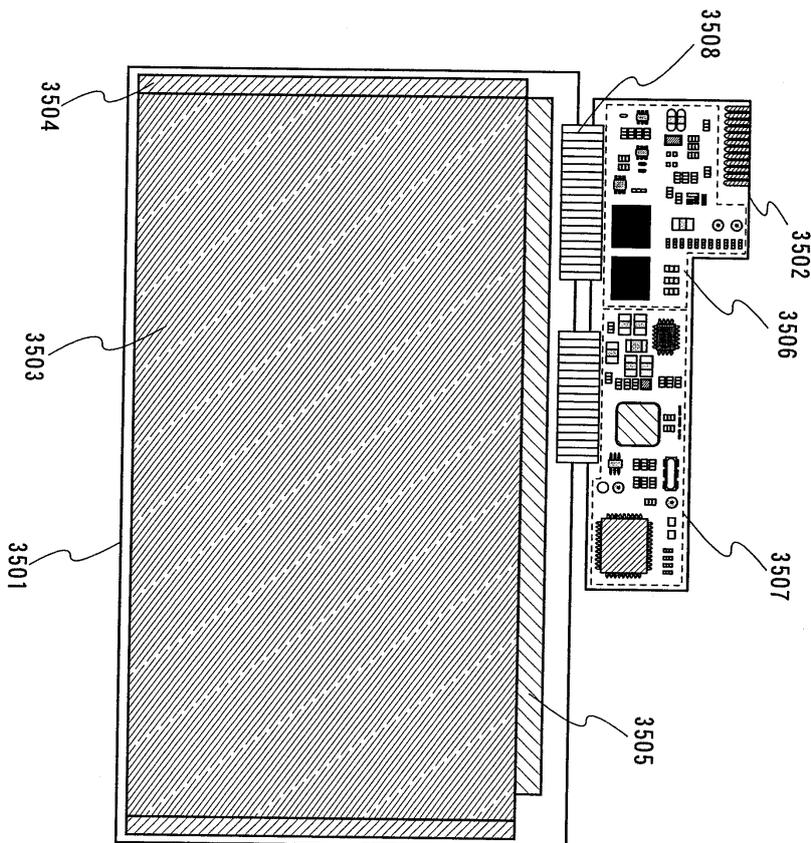
도면34g



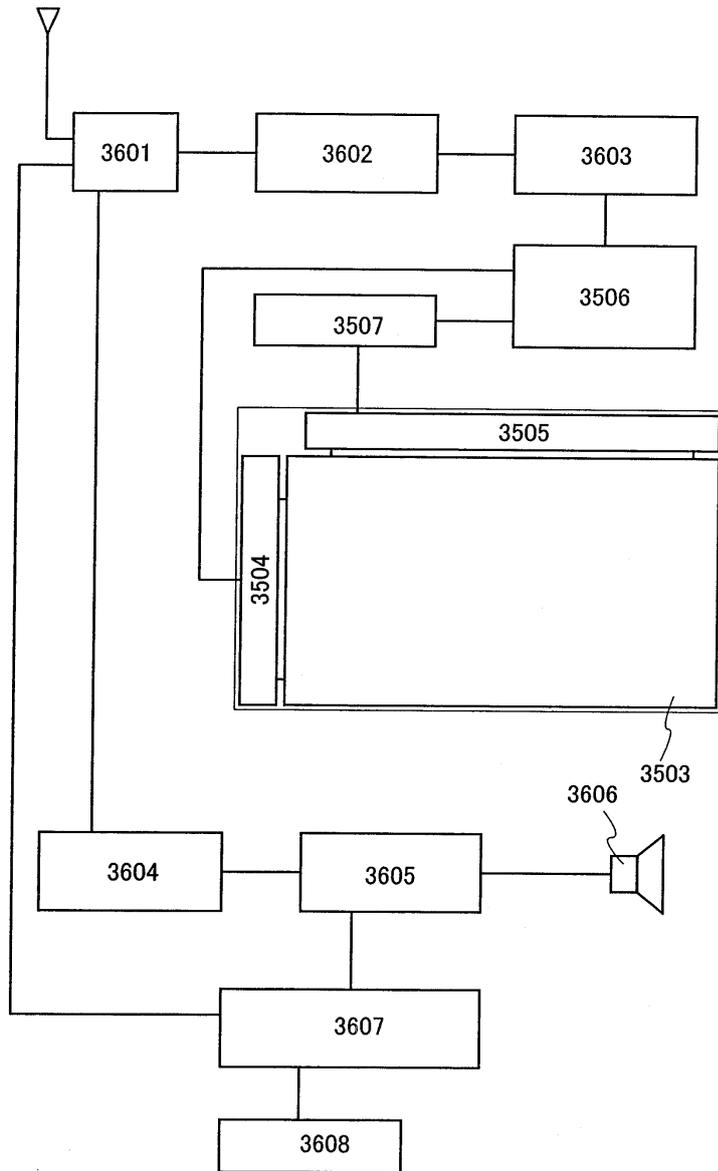
도면34h



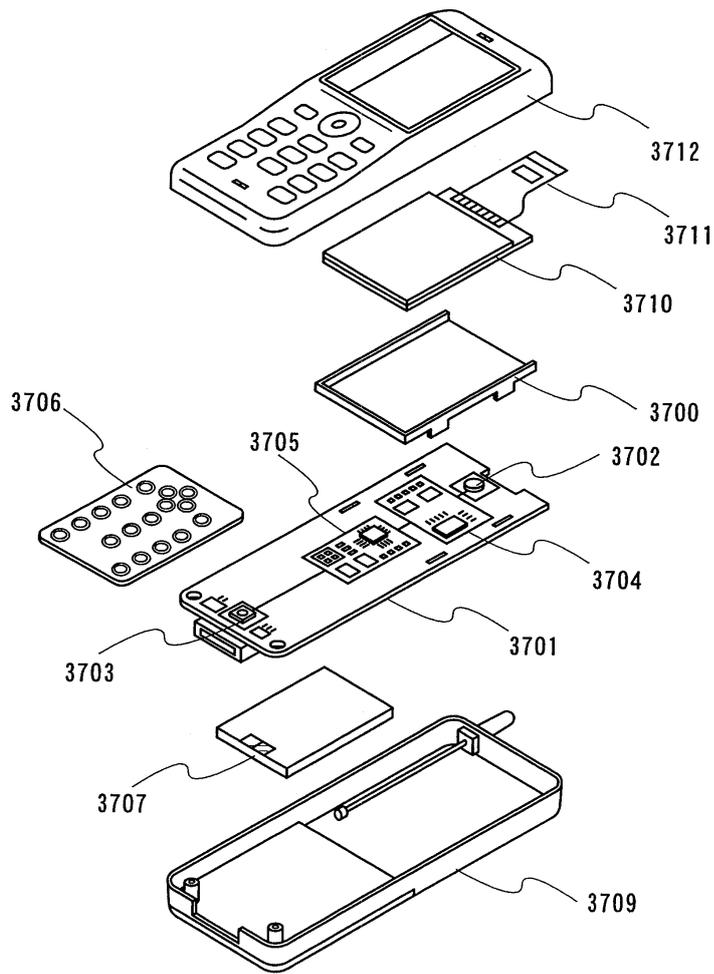
도면35



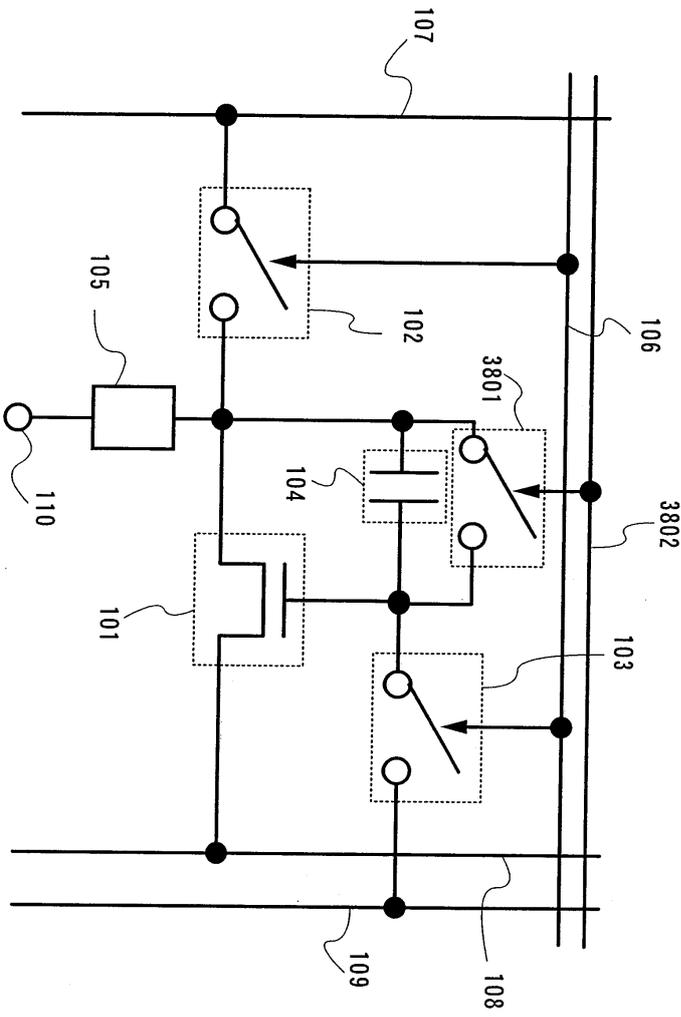
도면36



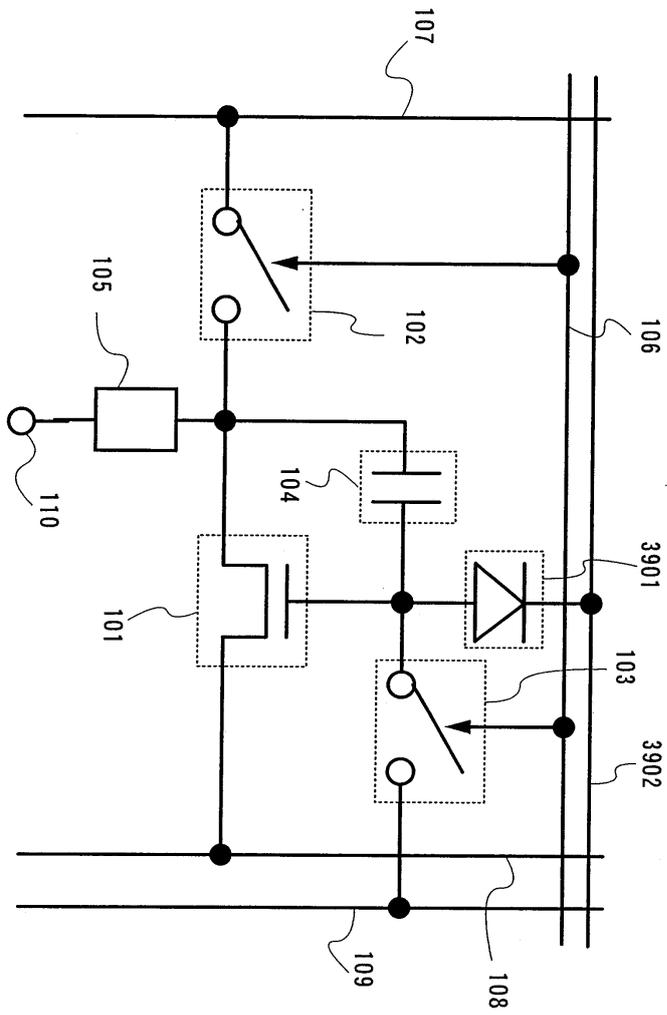
도면37



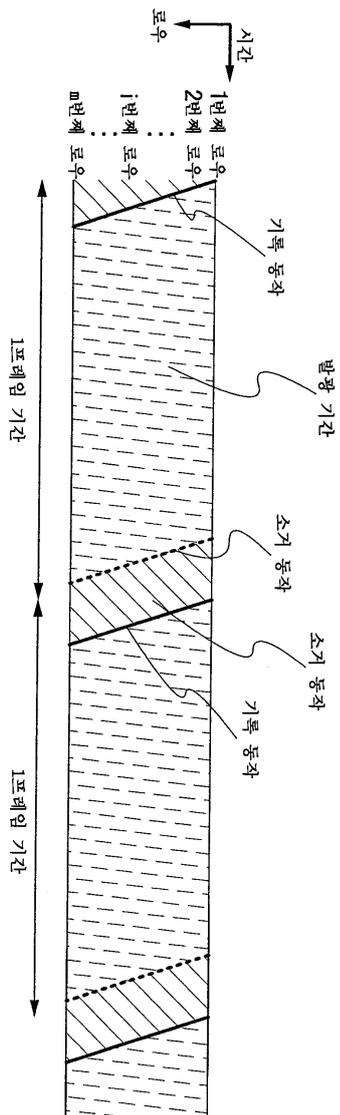
도면38



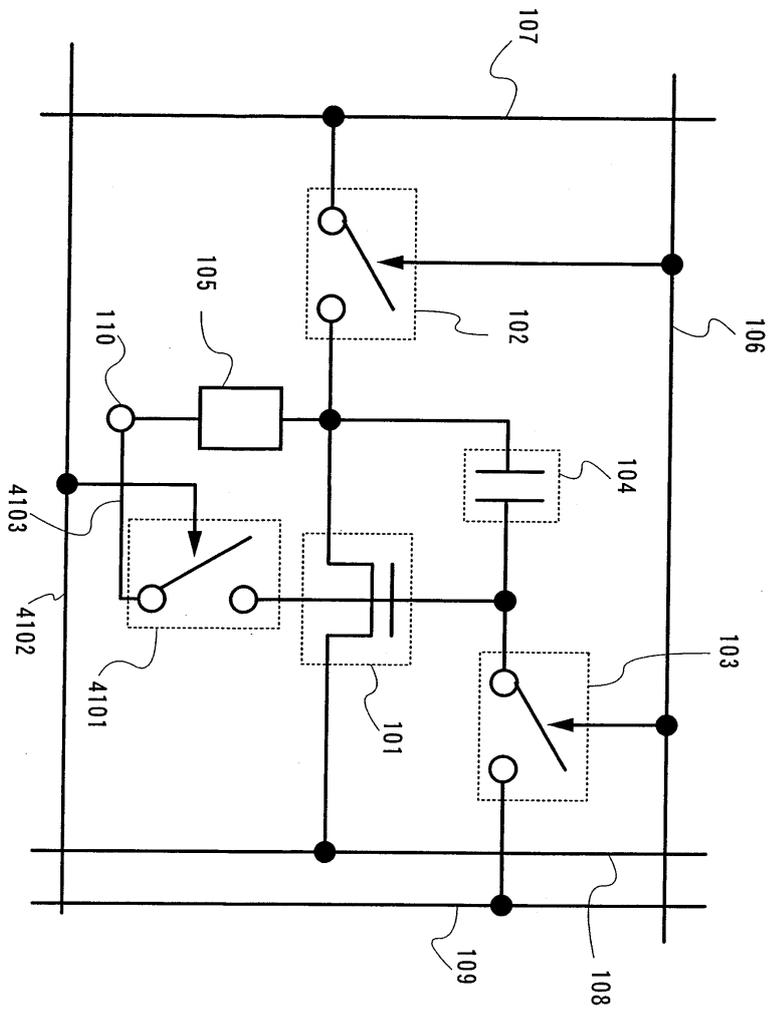
도면39



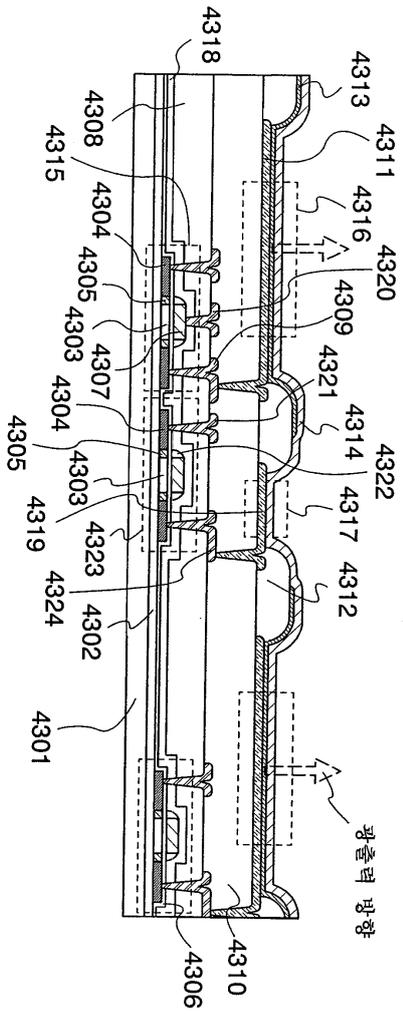
도면40



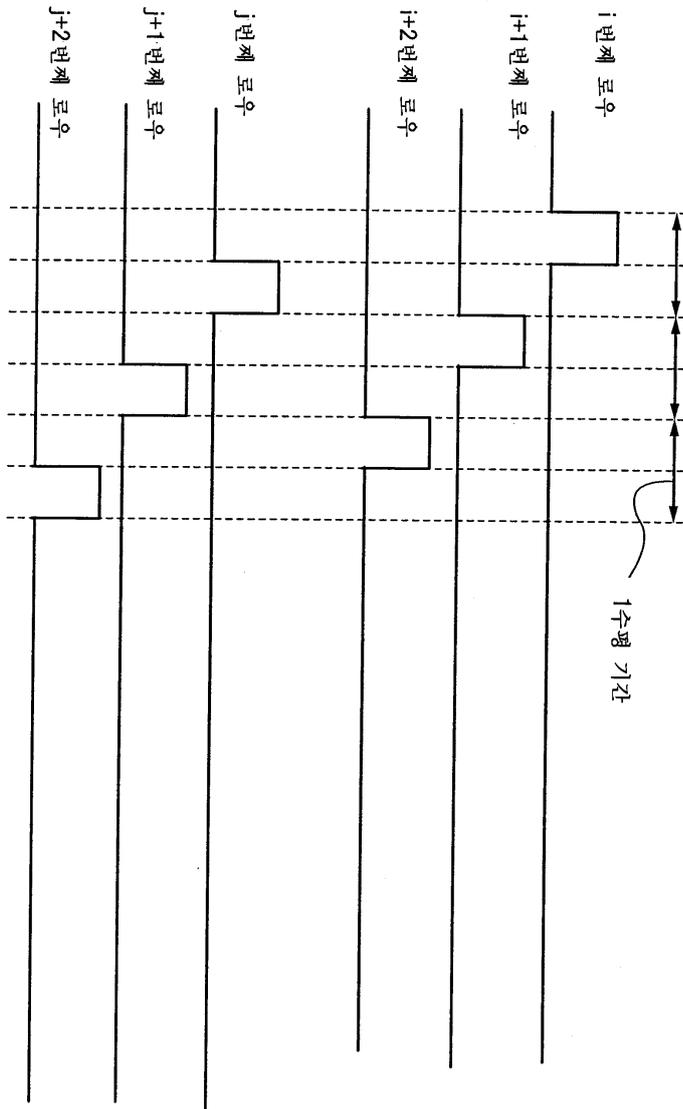
도면41



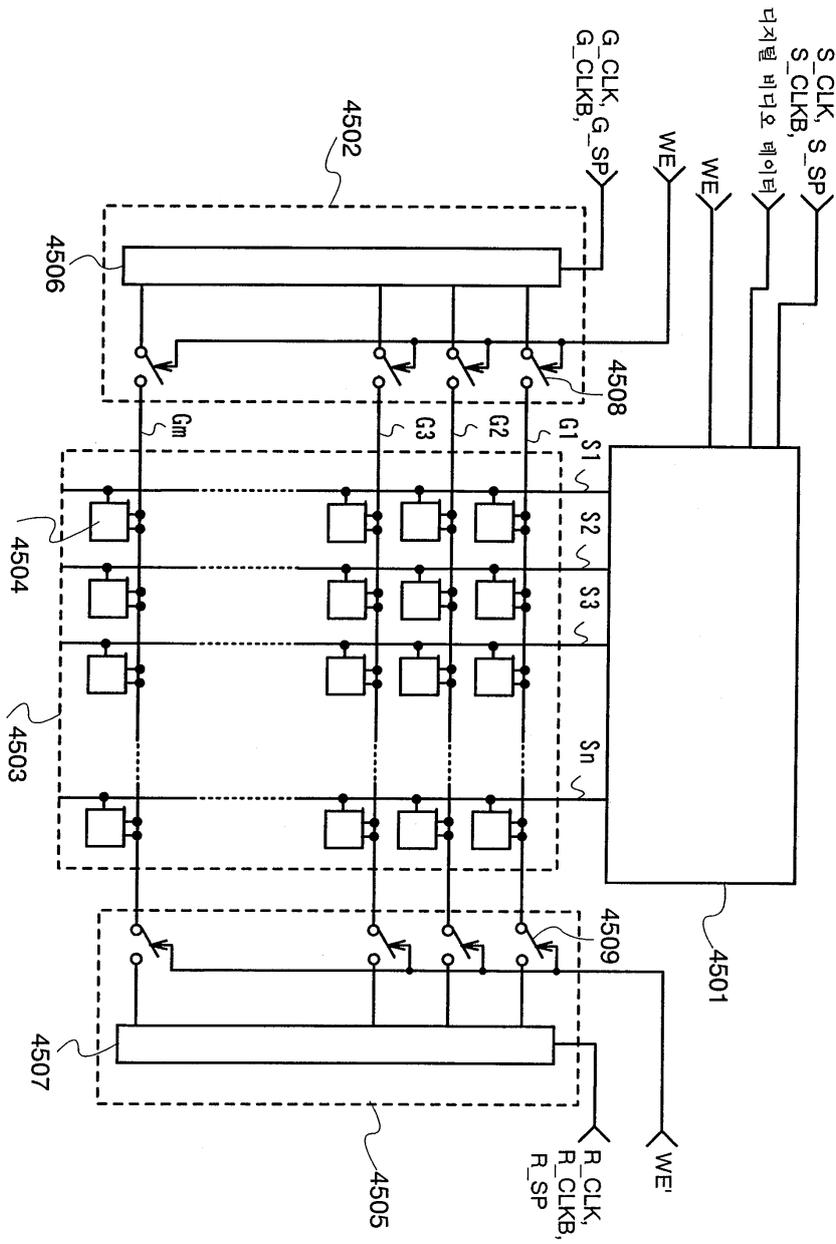
도면43



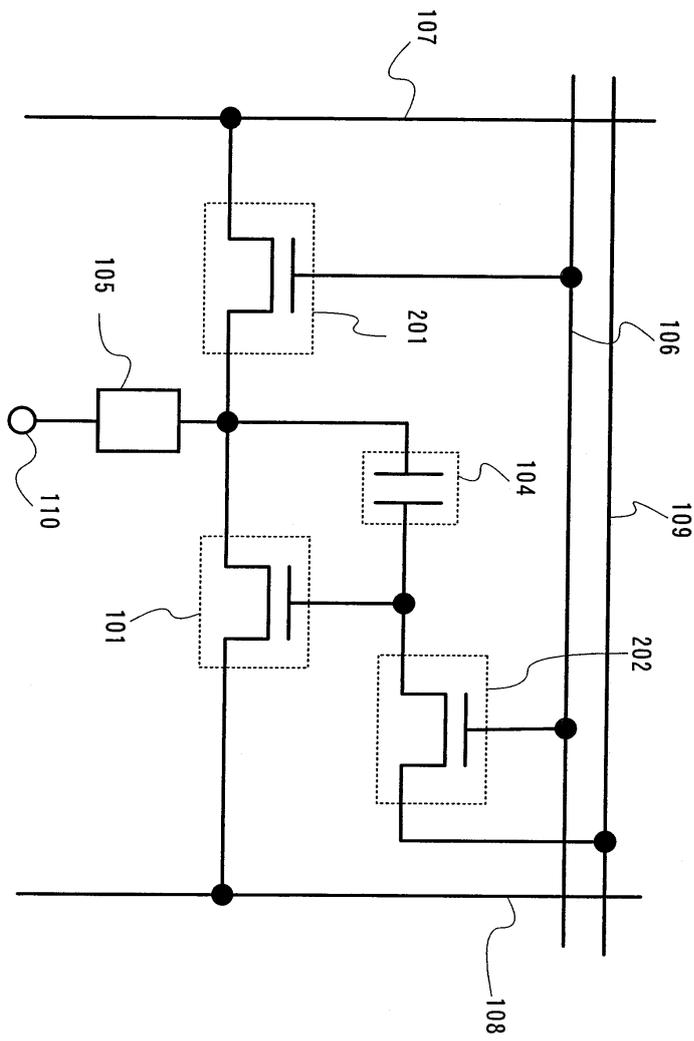
도면44



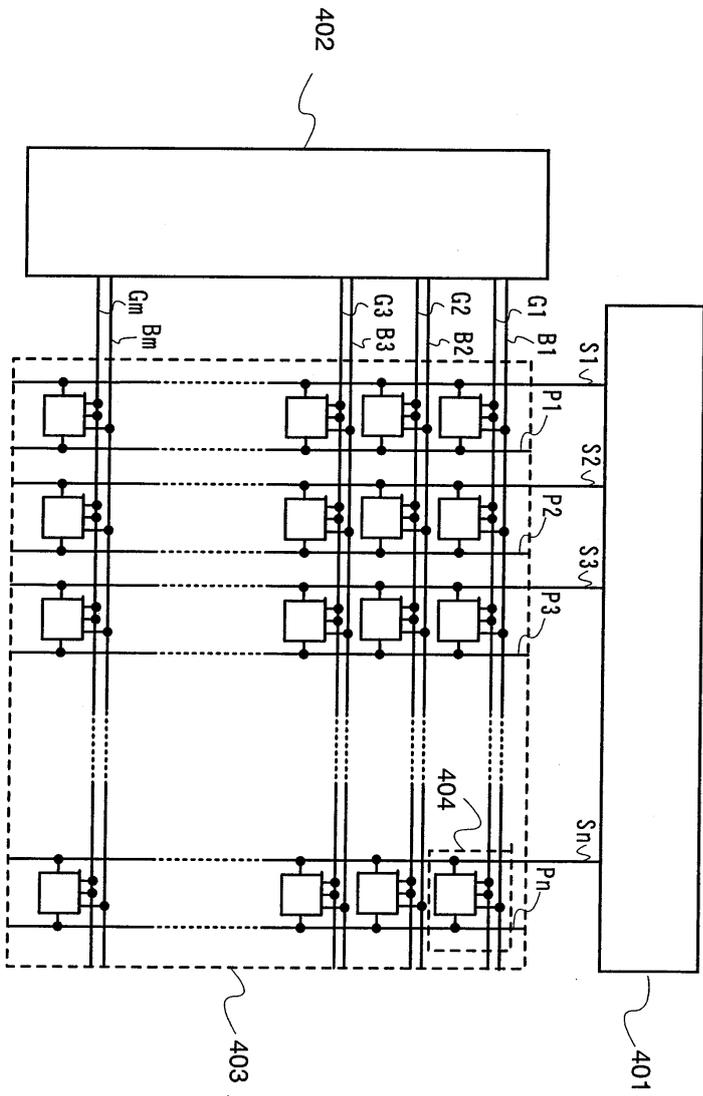
도면45



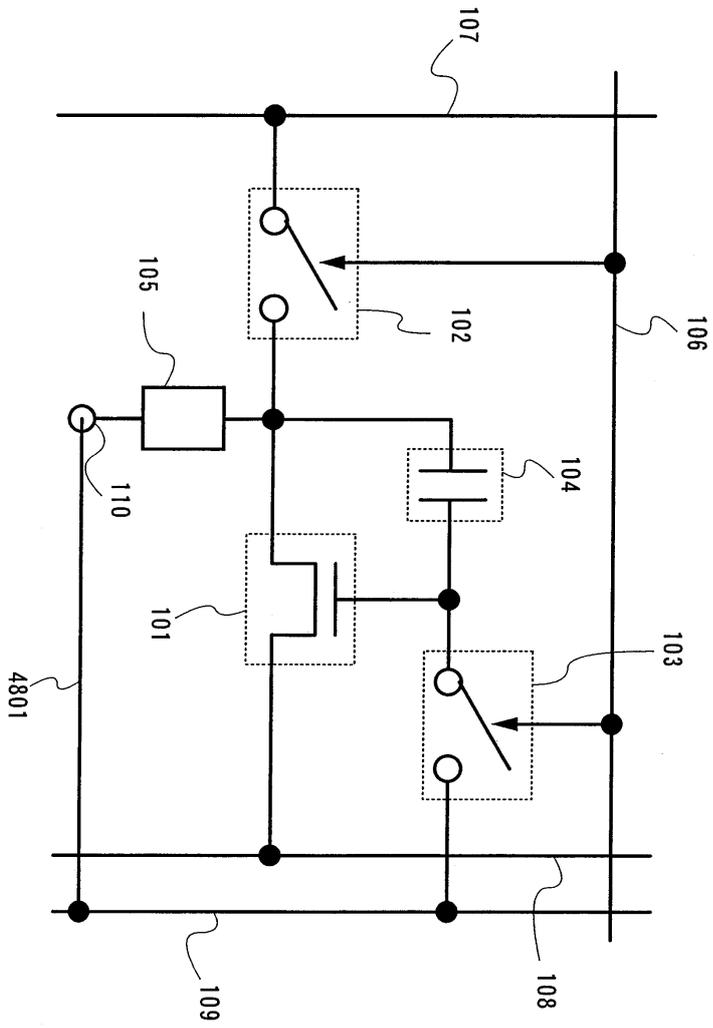
도면46



도면47



도면48



도면49

