



(12) 发明专利申请

(10) 申请公布号 CN 103715254 A

(43) 申请公布日 2014. 04. 09

(21) 申请号 201310462189. 1

(22) 申请日 2013. 09. 30

(30) 优先权数据

2012-222724 2012. 10. 05 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 三浦喜直

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 29/40(2006. 01)

H01L 29/872(2006. 01)

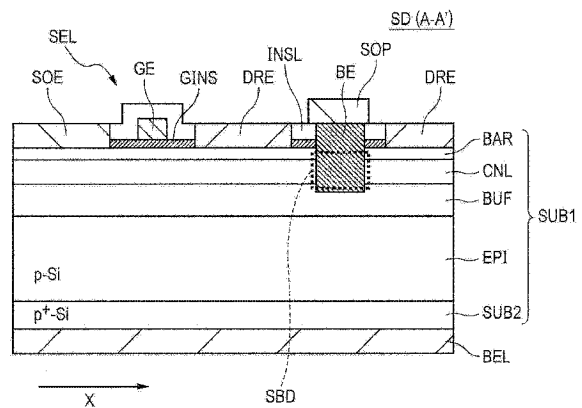
权利要求书1页 说明书7页 附图11页

(54) 发明名称

半导体器件

(57) 摘要

通过使用化合物半导体层(沟道层 CNL) 形成晶体管 SEL。沟道层 CNL 形成于缓冲层 BUF 之上。在其中布置晶体管 SEL 的漏极电极 DRE、栅极电极 GE 和源极电极 SOE 的第一方向上,掩埋电极 BE 的至少一部分关于栅极电极 GE 被定位于与源极电极相对的侧上。掩埋电极 BE 连接到晶体管 SEL 的源极电极 SOE。掩埋电极 BE 的顶端侵入到缓冲层 BUF 中。



1. 一种半导体器件,包括

衬底,具有基部层、形成于所述基部层之上的缓冲层以及形成于所述缓冲层之上的化合物半导体层,

晶体管,具有形成于所述化合物半导体层中的沟道,并且具有漏极、栅极电极和源极,以及

掩埋电极,被掩埋于所述化合物半导体层中,具有侵入到所述缓冲层中的顶端,并且其至少一部分在第一方向上关于所述栅极电极被定位于与所述源极相对的侧上,在所述第一方向上布置所述漏极、所述栅极电极和所述源极,以及

连接构件,用于连接所述掩埋电极和所述源极。

2. 根据权利要求 1 所述的半导体器件,其中

从所述掩埋电极到所述漏极的距离在所述第一方向上比从所述漏极到所述栅极电极的距离更短。

3. 根据权利要求 1 所述的半导体器件,其中

所述漏极在所述第一方向上被定位于所述掩埋电极和所述栅极电极之间。

4. 根据权利要求 3 所述的半导体器件,其中

第一晶体管和第二晶体管并排并且在第一方向上在相反方向上布置,并且所述掩埋电极被定位于所述第一晶体管的漏极和所述第二晶体管的漏极之间。

5. 根据权利要求 1 所述的半导体器件,其中

所述掩埋电极在所述第一方向上被定位于所述漏极和所述栅极电极之间。

6. 根据权利要求 5 所述的半导体器件,其中

所述栅极电极在与所述第一方向垂直的第二方向上延伸,并且被划分成多个部分,并且具有

栅极互连,形成于在所述栅极电极以上的层中,以及

多个接触,用于将所述栅极互连连接到所划分的栅极电极中的每个栅极电极,其中

所述掩埋电极在所述第二方向上被定位于所划分的栅极电极之间并且在所述第一方向上与所述栅极电极在一部分处重叠。

7. 根据权利要求 1 所述的半导体器件,其中

所述化合物半导体层包括 Ga 和 N,

所述缓冲层具有重复堆叠 AlN 层和 GaN 层的结构,并且

所述掩埋电极的所述顶端至少侵入到在最顶层处的所述 AlN 层中。

8. 根据权利要求 1 所述的半导体器件,其中

所述掩埋电极由用杂质掺杂的半导体形成。

半导体器件

[0001] 相关申请的交叉引用

[0002] 包括说明书、说明书附图和说明书摘要的、于 2012 年 10 月 5 日提交的第 2012-222724 号日本专利申请的公开内容通过引用整体并入于此。

技术领域

[0003] 本发明涉及半导体器件,并且涉及可应用于具有在化合物半导体层中形成的晶体管的半导体器件的技术。

背景技术

[0004] 由于化合物半导体(诸如 GaN)具有比硅的带隙更大的带隙并且具有更大的临界电场,因此化合物半导体可以容易地形成具有低损耗的高电压晶体管。然而,难以获得 p 型化合物半导体。因此,难以形成 p/n 结二极管作为用于晶体管的保护器件。

[0005] 作为对策,第 2007-59589 号日本待审查专利申请描述了使用肖特基势垒二极管作为用于晶体管的保护器件。在第 2007-59589 号日本待审查专利申请中,肖特基电极形成于肖特基势垒二极管的肖特基结中的 GaN 层的表面之上。

[0006] 第 2001-210657 号日本待审查专利申请描述了在一个相同衬底之上布置耗尽型晶体管和增强型晶体管。在第 2001-210657 号日本待审查专利申请中,衬底具有包括以如下顺序堆叠的 p 型 GaN 层、n 型 GaN 层和 AlGaIn 层的结构。随后,在 n 型 GaN 层和 AlGaIn 层中,向定位于增强型晶体管的栅极电极之下的区域中引入受主(P 型杂质)。

发明内容

[0007] 根据由本发明人进行的调查,已经发现电场在第 2007-59589 号日本待审查专利申请中描述的结构中趋向于集中到肖特基电极的与栅极电极相对的下表面的边缘处的区域。在这一情况下,在向肖特基势垒二极管施加电压并且肖特基势垒二极管开始作为保护器件操作时,电流趋向于集中到半导体层的形成与栅极电极相对的肖特基结的区域。在这一情况下,温度在电流集中到的部分处增加,从而导致肖特基势垒二极管遭受损坏的可能。鉴于本说明书的描述和所附附图,其它目的和新颖特征将变得明显。

[0008] 根据本发明的一个实施例,通过使用化合物半导体层形成晶体管。化合物半导体层形成于缓冲层之上。在其中布置晶体管的漏极、栅极电极和源极的第一方向上,掩埋电极的至少一部分定位于关于栅极电极与源极相对的侧上。掩埋电极借由连接构件连接至晶体管的源极。随后,掩埋电极的顶端侵入(intrude)到缓冲层中。

[0009] 根据上述实施例,肖特基势垒二极管在作为保护器件操作期间可以免于经历损坏。

附图说明

[0010] 图 1 是图示根据第一实施例的半导体器件的配置的平面图;

- [0011] 图 2 是沿着图 1 中的线 A-A' 的截面图；
- [0012] 图 3 是其中从图 1 去除漏极电极、漏极焊盘、源极电极和源极焊盘的图；
- [0013] 图 4 是图示制造图 1 至图 3 中所示的半导体器件的方法的截面图；
- [0014] 图 5 是图示制造图 1 至图 3 中所示的半导体器件的方法的截面图；
- [0015] 图 6 是图示沿着 A-A' 截面的图 2 的第一修改实施例的图；
- [0016] 图 7 是图示沿着 A-A' 截面的图 2 的第二修改实施例的图；
- [0017] 图 8 是图示沿着 A-A' 截面的图 2 的第三修改实施例的图；
- [0018] 图 9 是图示沿着 A-A' 截面的图 2 的第四修改实施例的图；
- [0019] 图 10 是图示沿着 A-A' 截面的图 2 的第五修改实施例的图；
- [0020] 图 11 是图示沿着 A-A' 截面的图 2 的第六修改实施例的图；
- [0021] 图 12 是图示根据第二实施例的半导体器件的配置的平面图；
- [0022] 图 13 是图示沿着图 12 中的线 B-B' 的截面的图；
- [0023] 图 14 是图示沿着图 12 中的线 C-C' 的截面的图；
- [0024] 图 15 是根据第三实施例的半导体器件的电路的电路图；以及
- [0025] 图 16A 和图 16B 是用于说明图 15 中所示的肖特基势垒二极管的操作的图。

具体实施方式

[0026] 将参考附图描述本发明的优选实施例。贯穿附图，相同的构成元件采用相同的标号，针对相同标号将可选地省略重复操作。

[0027] 第一实施例

[0028] 图 1 是图示根据第一实施例的半导体器件 SD 的配置的平面图。图 2 是沿着图 1 中的线 A-A' 的截面图。图 3 是其中从图 1 去除漏极电极 DRE、漏极焊盘 DRP、源极电极 SOE 和源极焊盘 SOP 的图。如图 2 中所示，半导体器件 SD 具有衬底 SUB1、晶体管 SEL 和掩埋电极 BE。

[0029] 如图 2 中所示，衬底 SUB1 具有第一传导类型外延硅层 BP1（基部层）、缓冲层 BUF 和沟道层 CNL（化合物半导体层）。晶体管 SEL 形成于衬底 SUB1 中。具体而言，晶体管 SEL 的沟道形成于沟道层 CNL 中。此外，晶体管 SEL 具有漏极电极 DRE、栅极电极 GE 和源极电极 SOE（源极）。掩埋电极 BE 被掩埋于沟道层 CNL 中并且在顶端处侵入到缓冲层 BUF 中。在其中布置漏极电极 DRE、栅极电极 BE 和源极电极 SOE 的第一方向（附图中的方向 X）上，掩埋电极 BE 的至少一部分设置于关于栅极电极 GE 与源极电极 SOE 相对的侧上。此外，掩埋电极 BE 借由源极焊盘 SOP（连接构件）连接到源极电极 SOE。

[0030] 在上述配置中，由于掩埋电极 BE 与沟道层 CNL 之间的边界形成肖特基结，因此该部分作为肖特基势垒二极管 SBD 操作。此外，肖特基势垒二极管 SBD 的掩埋电极 BE 电连接到源极电极 SOE。沟道层 CNL 也电连接到漏极电极 DRE。肖特基势垒二极管 SBD 因而作为晶体管 SEL 的保护器件操作。

[0031] 此外，掩埋电极 BE 的顶端被掩埋于缓冲层 BUF 中。因此，形成肖特基势垒二极管 SBD 的肖特基结形成于掩埋电极 BE 的侧边上。因此，可以抑制电场免于集中到肖特基结形成区域中的掩埋电极 BE 的特定部分。因此，在肖特基势垒二极管 SBD 作为保护器件操作期间，可以抑制由于电流向肖特基势垒二极管 SBD 的特定部分的局部化而引起的对肖特基势

垒二极管 SBD 的损坏。

[0032] 将假设第一传导类型为 p 型并且第二传导类型为 n 型来具体地描述半导体器件 SD 的配置。备选地,第一传导类型可以是 n 型并且第二传导类型可以是 p 型。此外,在图 1 和图 3 中,为了便于说明而未示出层间绝缘膜 INSL 等。

[0033] 首先,将参考图 3 描述半导体器件 SD 的平面布局。器件隔离区域 EI 形成于衬底 SUB1 中。器件隔离区域 EI 将器件形成区域 EA 与其它区域隔离。器件隔离区域 EI 是如下区域,在该区域中例如向阻挡层 BAR (随后将参考图 2 描述细节)和沟道层 CNL 中引入高浓度杂质(例如 B)以增加电阻。器件隔离区域 EI 的下端被定位到缓冲层 BUF 的表面层。多个晶体管 SEL 形成于器件形成区域 EA 中。

[0034] 在第一方向(方向 X)上布置晶体管 SEL。晶体管 SEL 中的每个晶体管具有栅极电极 GE。栅极电极 GE 在第二方向(方向 Y)上相互平行地延伸。具体而言,器件形成区域 EA 具有矩形形状。栅极电极 GE 平行于器件形成区域 EA 的更短侧延伸。栅极电极 GE 例如由含 Au 或者 Al 的金属形成。

[0035] 栅极电极 GE 的两端定位于器件隔离区域 EI 之上。随后,栅极电极 GE 的一端借由栅极互连 GEI 连接到栅极焊盘 GEP。栅极互连 GEI 形成于器件隔离区域 EI 之上并且在第一方向(方向 X)上延伸。也就是说,栅极电极 GE 具有梳形(comb-shape)。

[0036] 掩埋电极 BE 设置于在器件形成区域 EA 中的栅极电极 GE 之间的区域中。具体而言,在器件形成区域 EA 的栅极电极 GE 之间的区域中,交替地定位具有掩埋电极 BE 的区域和不具有掩埋电极 BE 的区域。在栅极电极 GE 之间的区域中,具有掩埋电极 BE 的区域用作晶体管 SEL 的漏极。此外,在栅极电极 GE 之间的区域中,不具有掩埋电极 BE 的区域用作晶体管 SEL 的源极。

[0037] 尽管在图 3 中未示出,但是源极电极 SOE 和漏极电极 DRE 形成于衬底 SUB1 之上。源极电极 SOE 定位于在用作源极的区域之上的器件形成区域 EA 中,并且漏极电极 DRE 定位于用作漏极的器件形成区域 EA 中。

[0038] 随后,将参考图 1 描述源极电极 SOE 和漏极电极 DRE 的平面布局。在这一实施例中,源极电极 SOE、栅极电极 GE、漏极电极 DRE、掩埋电极 BE、漏极电极 DRE 和栅极电极 GE 以这一顺序在第一方向(方向 X)上重复布置于器件形成区域 EA 中。也就是说,晶体管 SEL 中的多个晶体管在第一方向上并排布置。两个相邻晶体管 SEL 在相反方向上。掩埋电极 BE 定位于两个相邻晶体管的漏极之间。以这样的配置,可以减少掩埋电极 BE 的数目以减小半导体器件 SD 的尺寸。

[0039] 随后,借由源极焊盘 SOP 相互平行地连接源极电极 SOE 中的多个源极电极,并且借由漏极焊盘 DRP 将漏极电极 DRE 中的多个漏极电极相互连接。源极焊盘 SOP 和漏极电极 DRE 在平面图中与器件隔离区域 EI 重叠。源极焊盘 SOP 的一部分在平面图中在掩埋电极 BE 之上延伸并且连接到掩埋电极 BE。

[0040] 由于源极焊盘 SOP 与源极电极 SOE 集成,可以说源极焊盘 SOP 是源极电极 SOE 的一部分。以相同方式,由于漏极焊盘 DRP 与漏极电极 DRE 集成,可以说漏极焊盘 DRP 是漏极电极 DRE 的一部分。也就是说,在这一实施例中,源极电极 SOE 和漏极电极 DRE 中的每个电极具有梳齿形状(comb-teeth shape)。源极电极 SOE 和漏极电极 DRE 例如由 Al 或者 Al 合金形成。

[0041] 随后,将参考图 2 描述半导体器件 SD 的截面结构。衬底 SUB1 具有如下配置,该配置包括在衬底 SUB2 以上以如下顺序外延地生长的外延硅层 EPI、缓冲层 BUF、沟道层 CNL 和阻挡层 BAR。衬底 SUB1 例如是 p^+ 型体硅衬底。外延硅层 EPI 是 P 型外延层并且形成于衬底 SUB2 之上。缓冲层 BUF 是沟道层 CNL 和外延硅层 EPI 之间的缓冲区。缓冲层 BUF 例如包括氮化物半导体层,在氮化物半导体层中重复堆叠 AlN 层和 GaN 层。沟道层 CNL 是在缓冲层 BUF 之上外延地生长的层。沟道层 CNL 例如包括 GaN,但是其也可以是例如包括 AlGaIn 的其它氮化物半导体层。也就是说,沟道层 CNL 是具有 Ga 和 N 的层。阻挡层 BAR 由具有与沟道层 CNL 的晶格常数不同的晶格常数的材料形成。阻挡层 BAR 例如包括 AlGaIn。当形成阻挡层 BAR 时,生成二维电子气(electron gas)作为沟道层 CNL 中的载流子。

[0042] 在这一实施例中,晶体管 SEL 是常导通类型晶体管,在常导通类型晶体管中,生成二维电子气作为沟道层 CNL 中的载流子。然而,晶体管 SEL 也可是如将在下文描述的修改实施例中的常关断类型晶体管。

[0043] 器件隔离区域 EI 被掩埋于阻挡层 BAR、沟道层 CNL 和缓冲层 BUF 中。具体而言,器件隔离区域 EI 穿透阻挡层 BAR 和沟道层 CNL,并且被定位于缓冲层 BUF 中的下表面处。

[0044] 如上所述,掩埋电极 BE 的下端侵入到缓冲层 BUF 中。掩埋电极 BE 的侵入到缓冲层 BUF 中的区域的深度例如是 100nm 或者更多。然而,该深度可以少于 100nm 并且例如其可以足以使下端穿透在最顶层处的 ALN 层。以这样的配置,可以充分抑制电场向掩埋电极 BE 的下端局部化。掩埋电极 BE 的上表面与层间绝缘膜 INSL 的上表面共面。

[0045] 此外,在附图中的方向 X (第一方向)上,从掩埋电极 BE 到漏极电极 DRE 的距离比从漏极电极 DRE 到栅极电极 GE 的距离更短。以这样的配置,掩埋电极 BE 和漏极电极 DRE 之间的电场增加至在漏极电极 DRE 和栅极电极 GE 之间的电场增加到引起雪崩击穿这样的程度之前引起雪崩击穿这样的程度。因此,肖特基势垒二极管 SBD 容易地作为用于晶体管 SEL 的保护器件操作。在这一实施例中,漏极电极 DRE 定位于掩埋电极 BE 和栅极电极 GE 之间。

[0046] 掩埋电极 BE 例如由被引入杂质的半导体(例如多晶硅)形成。以这样的配置,掩埋电极 BE 和沟道层 CNL 之间的连接趋向于形成肖特基结。在这一实施例中,使用 p 型杂质作为杂质。掩埋电极 BE 也可以由金属形成,只要掩埋电极 BE 和沟道层 CNL 之间的连接形成肖特基结。

[0047] 随后,向在阻挡层 BAR 之上的形成栅极电极 GE 的区域形成栅极绝缘膜 GINS。栅极绝缘膜 GINS 例如包括处于非晶态的 Al₂O₃ 或者 SiO₂。栅极绝缘膜 GINS 也可以形成于器件隔离区域 EI 之上。栅极互连 GEI 形成于定位于器件隔离区域 EI 之上的栅极绝缘膜 GINS 之上。

[0048] 层间绝缘膜 INSL 形成于栅极绝缘膜 GINS 之上和栅极电极 GE 之上。层间绝缘膜 INSL 例如由 SiN 膜形成。此外,源极焊盘 SOP 和漏极焊盘 DRP 形成于层间绝缘膜 INSL 之上。随后,掩埋电极 BE 的上端暴露于层间绝缘膜 INSL 之上并且在暴露部分处与源极焊盘 SOP 连接。

[0049] 背部电极 BEL 形成于衬底 SUB2 的背部处。背部电极例如由堆叠的 Au/Ti 膜形成。在背部电极 BEL 上施加参考电势(例如与用于源极焊盘 SOP 的电势相等的电势)。

[0050] 图 4 和图 5 是图示制造在图 1 至图 3 中所示的半导体器件的方法的截面图。首先,

如图 4 中所示,以如下顺序在衬底 SUB2 以上外延地生长外延硅层 EPI、缓冲层 BUF、沟道层 CNL 和阻挡层 BAR。随后,在阻挡层 BAR 和沟道层 CNL 中形成器件隔离区域 EI。

[0051] 随后,例如通过使用 CVD 方法在阻挡层 BAR 和器件隔离区域 EI 之上形成栅极绝缘膜 GINS。随后,通过溅射方法在栅极绝缘膜 GINS 之上形成传导膜以形成栅极电极 GE、栅极互连 GEI 和栅极焊盘 DEP。随后,例如通过使用抗蚀剂图案蚀刻来选择性地去除传导膜。因此,形成栅极电极 GE、栅极互连 GEI 和栅极焊盘 GEP。随后,通过 CVD 方法在栅极电极 GE 之上和在栅极绝缘膜 GINS 之上形成层间绝缘膜 INSL。

[0052] 随后,如图 5 中所示,在层间绝缘膜 INSL 之上形成掩膜图案(未示出),并且使用掩膜图案作为掩膜蚀刻栅极绝缘膜 GINS、沟道层 CNL 和缓冲层 BUF。因此,形成用于对掩埋电极 BE 进行掩埋的沟槽。沟槽的顶端(底部)侵入到缓冲层 BUF 中。随后,去除掩膜图案。

[0053] 随后,在沟槽中并且在层间绝缘膜 INSL 之上嵌入传导膜以形成掩埋电极 BE。随后,回蚀传导膜。因此,形成掩埋电极 BUF。

[0054] 接下来,层间绝缘膜 INSL 的定位于器件形成区域 BA 之上的部分定位于其中将形成源极电极 SOE 和漏极电极 DRE 的区域之上。例如通过溅射方法在层间绝缘膜 INSL 之上、在掩埋电极 BE 之上并且在定位于器件形成区域 EA 中的阻挡层 BAR 之上形成金属膜以形成源极电极 SOE 和漏极电极 DRE。随后,选择性地去除金属膜。因此,形成源极电极 SOE、源极焊盘 SOP、漏极电极 DRE 和漏极焊盘 SOP。此外,在衬底 SUB2 的背部处形成背部电极 BEL。

[0055] 根据这一实施例,掩埋电极 BE 的侧边与沟道层 CNL 接触并且它们之间的边界形成肖特基结。因此,该部分作为肖特基势垒二极管 SBD 操作。随后,将肖特基势垒二极管 SED 的掩埋电极 BE 电连接到源极电极 SOE。此外,将沟道层 CNL 与漏极电极 DRE 电连接。因此,肖特基势垒二极管 SBD 作为用于晶体管 SEL 的保护器件操作。

[0056] 此外,掩埋电极 BE 的顶端侵入到缓冲层 BUF 中。因此,可以抑制电场向掩埋电极 BE 的形成肖特基结的区域中的特定部分的局部化。因此,在肖特基势垒二极管 SBD 作为保护器件操作期间,可以抑制电流向肖特基势垒二极管 SBD 的特定部分的局部化对肖特基势垒二极管 SED 的损坏。

[0057] 晶体管 SEL 的结构并不限于上述结构。

[0058] 图 6 图示沿着截面 A-A' 的图 2 的第一修改实施例的图。在该图中所示的实施例除了掩埋电极 BE 的上表面与栅极绝缘膜 GINS 的上表面共面之外与图 2 中所述的实施例相同。可以在形成栅极绝缘膜 GINS 之后并且在形成层间绝缘膜 INSL 之前通过执行形成掩埋电极 BL 的步骤来实现这一配置。

[0059] 图 7 图示沿着截面 A-A' 的图 2 的第二修改实施例的图。在该图中所示的实施例除了掩埋电极 BE 的上表面与阻挡层 BAR 的上表面共面之外与图 2 中所述的实施相同。可以在形成阻挡层 BAR 之后并且在形成栅极绝缘膜 GINS 之前通过执行形成掩埋电极 BE 的步骤来实现这一配置。

[0060] 图 8 图示图 2 中的第三修改实施例的图。在该图中所示的示例除了从栅极电极 GE 到漏极电极 DRE 的距离大于从栅极电极 GE 到源极电极 SOE 的距离之外与图 2 中所述的实施例相同。根据在该图中所示的实施例,可以增加栅极电极 GE 和漏极电极 DRE 之间的耐电压(withstanding voltage)。

[0061] 图 9 图示沿着截面 A-A' 的图 2 的第四修改实施例的图。在该图中所示的实施例

中,晶体管 SEL 是 MIS-HJ-FET (金属绝缘体半导体异质结场效应晶体管)。具体而言,绝缘膜 INS 形成于阻挡层 BAR 之上。绝缘膜 INS 例如包括 SiN 膜。随后,栅极电极 GE 和栅极绝缘膜 GINS 的一部分被掩埋在绝缘膜 INS 中。栅极电极 GE 借由栅极绝缘膜 GINS 与阻挡层 BAR 连接。栅极绝缘膜 GINS 也形成于绝缘膜 INS 之上。

[0062] 在这一实施例中,形成于沟道层 CNL 中的二维电子气在定位于栅极电极 GE 之下的部分处断开。因此,在其中未在栅极电极 GE 上施加电压的状态下,电流不在沟道层 CNL 中流动。随后,当在栅极电极 GE 上施加电压时,电流在沟道层 CNL 中流动。也就是说,晶体管是常关断类型。

[0063] 图 10 图示沿着截面 A-A' 的图 2 的第五修改实施例的图。在该图所示的是示例中,晶体管 SEL 是 MIS-FET (金属绝缘体半导体场效应晶体管),MIS-FET 是常关断类型晶体管。具体而言,在该图中所示的实施例除了栅极电极 GE 的一部分和层间绝缘膜 INSL 侵入到沟道层 CNL 中之外与图 9 中所示的实施例相同。

[0064] 在这一实施例中,形成于沟道层 CNL 中的二维电子气由栅极电极 GE 断开。因此,在其中未在栅极电极 GE 上施加电压的状态下,电流不在沟道层 CNL 中流动。随后,当在栅极电极 GE 上施加电压时,电流在沟道层 CNL 中流动。

[0065] 图 11 图示沿着截面 A-A' 的图 2 的第六修改实施例的图。在该图所示的是示例中,晶体管 SEL 是 J-FET (结型场效应晶体管),J-FET 是常关断类型晶体管。具体而言,第一传导类型层 SEM 形成于阻挡层 BAR 和栅极电极 GE 之间。第一传导类型层 SEM 例如包括 AlGaIn。第二实施例

[0066] 图 12 是图示根据第二实施例的半导体器件 SD 的配置的平面图。根据这一实施例的半导体器件 SD 与根据第一实施例的半导体器件的配置除了以下描述之外相同。

[0067] 首先,在第一方向(图中的方向 X)上,掩埋电极 BE 定位于栅极电极 GE 和漏极电极 DRE 之间。也在这一实施例中,由于从掩埋电极 BE 到漏极电极 DRE 的距离比从漏极电极 DRE 到栅极电极 GE 的距离更短,可以获得与第一实施例中的效果相同的效果。

[0068] 此外,在该图中所示的实施例中,在第二方向(图中的方向 Y)上将栅极电极 GE 划分成多个部分。借由接触 CON 向被划分的栅极电极 GE 中的每个栅极电极施加电压。在第二方向上,掩埋电极 BE 定位于多个栅极电极 GE 之间并且在第一方向上与栅极电极 GE 部分地重叠。因此,可以抑制晶体管 SEL 在第一方向(图中的方向 X)上的尺寸中的增加。

[0069] 此外,源极电极 SOE 的与栅极电极 GE 之间的部分在第二方向(图中的方向 Y)上重叠的部分在第一方向(图中的方向 X)上延伸并且与掩埋电极 BE 连接。

[0070] 图 13 是图示沿着图 12 中的线 B-B' 的截面的图。在这一实施例中,栅极互连 GEI 形成于层间绝缘膜 INSL 之上,并且源极焊盘 SOP 和漏极焊盘 DRP 形成于器件隔离区域 EI 上。随后,栅极互连 GEI 借由在层间绝缘膜 INSL 中掩埋的接触 CON 连接到多个栅极电极 GE 中的每个栅极电极。

[0071] 图 14 是图示沿着图 12 中的线 C-C' 的截面的图。如上所述,源极电极 SOE 的与栅极电极 GE 之间的部分在第二方向(图中的方向 Y)上重叠的部分在第一方向(图中的方向 X)上延伸并且与掩埋电极 BE 连接。具体而言,掩埋电极 BE 的上表面与栅极绝缘膜 GINS 的上表面共面。源极电极 SOE 的在第一方向上延伸的部分定位于栅极绝缘膜 GINS 之上。源极电极 SOE 的定位于栅极绝缘膜 GINS 之上的部分与掩埋电极 BE 连接。

[0072] 制造这一实施例的半导体器件 SD 的方法除了在形成源极电极 SOE 和漏极电极 DRE 之后形成层间绝缘膜 INSL 以及在形成层间绝缘膜 INSL 之后形成接触 CON 之外与制造图 6 中所示的半导体器件 SD 的方法相同。

[0073] 也在这一实施例中,可以获得与第一实施例的效果相同的效果。此外,掩埋电极 BE 部分地与栅极电极 GE 在第一方向(图中的方向 X)上重叠。因此,可以抑制晶体管 SEL 在第一方向(图中的方向 X)上的尺寸中的增加。

[0074] 第三实施例

[0075] 图 15 是根据第三实施例的半导体器件 SD 的电路的电路图。该图中所示的电路是 DC/DC 变换器,在该 DC/DC 变换器中第一晶体管 SEL 和第二晶体管 SEL 串联连接。肖特基势垒二极管 SBD 与两个晶体管 SEL 中的每个晶体管并联连接。DC/DC 变换器的输出端子连接到第一晶体管 SEL 和第二晶体管 SEL 的连接部分。此外,电容器件 C 连接在 DC/DC 变换器的输出端子和接地端子之间。晶体管 SEL 的配置和肖特基势垒二极管 SBD 的配置与第一实施例或者第二实施例的配置相同。

[0076] 图 16 是用于说明图 15 中所示的肖特基势垒二极管 SBD 的操作的曲线图。图 16A 示出流经第一晶体管 SEL 的电流的改变,而图 16B 示出第一晶体管 SEL 的漏极电压(VDS)的改变。

[0077] 在图 15 中所示的电路中,第一晶体管 SEL (高侧)和第二晶体管(低侧)通过高频波交替地接通和关断。随后,根据两个晶体管 SEL 的导通时间比将 DC 输入电压 V_{in} 变换成 DC 输出电压 V_{out} 。

[0078] 本文考虑如下实例,其中第一晶体管 SEL (高侧)从导通状态变成关断状态。冲击电压假定通过晶体管 SEL 的浮动电感的效应而在 VDS。当冲击电压足够高时,肖特基势垒二极管 SBD 在第一晶体管 SEL 中产生雪崩击穿之前操作。因此,肖特基势垒二极管 SBD 可以保护第一晶体管 SEL。当导通电流相当大时(例如在激励 DC/DC 变换器时),这样的情形趋向于发生。

[0079] 另一方面,当在第一晶体管 SEL 的漏极侧上施加负偏置时,电流在肖特基势垒二极管的正向上流动。在这一情况下,也在第二晶体管 SEL 的漏极侧上施加负偏置,并且作为结果,电流也在与第二晶体管 SEL (低侧)并联的肖特基势垒二极管 SBD 中在正向上流动。

[0080] 根据这一实施例如上所述的那样,可以通过使用化合物半导体制造 DC/DC 变换器。

[0081] 虽然已经基于优选实施例具体描述由本发明人进行的发明,但是本发明并不限于实施例,而是可以在不背离本发明的主旨的范围内进行各种修改。

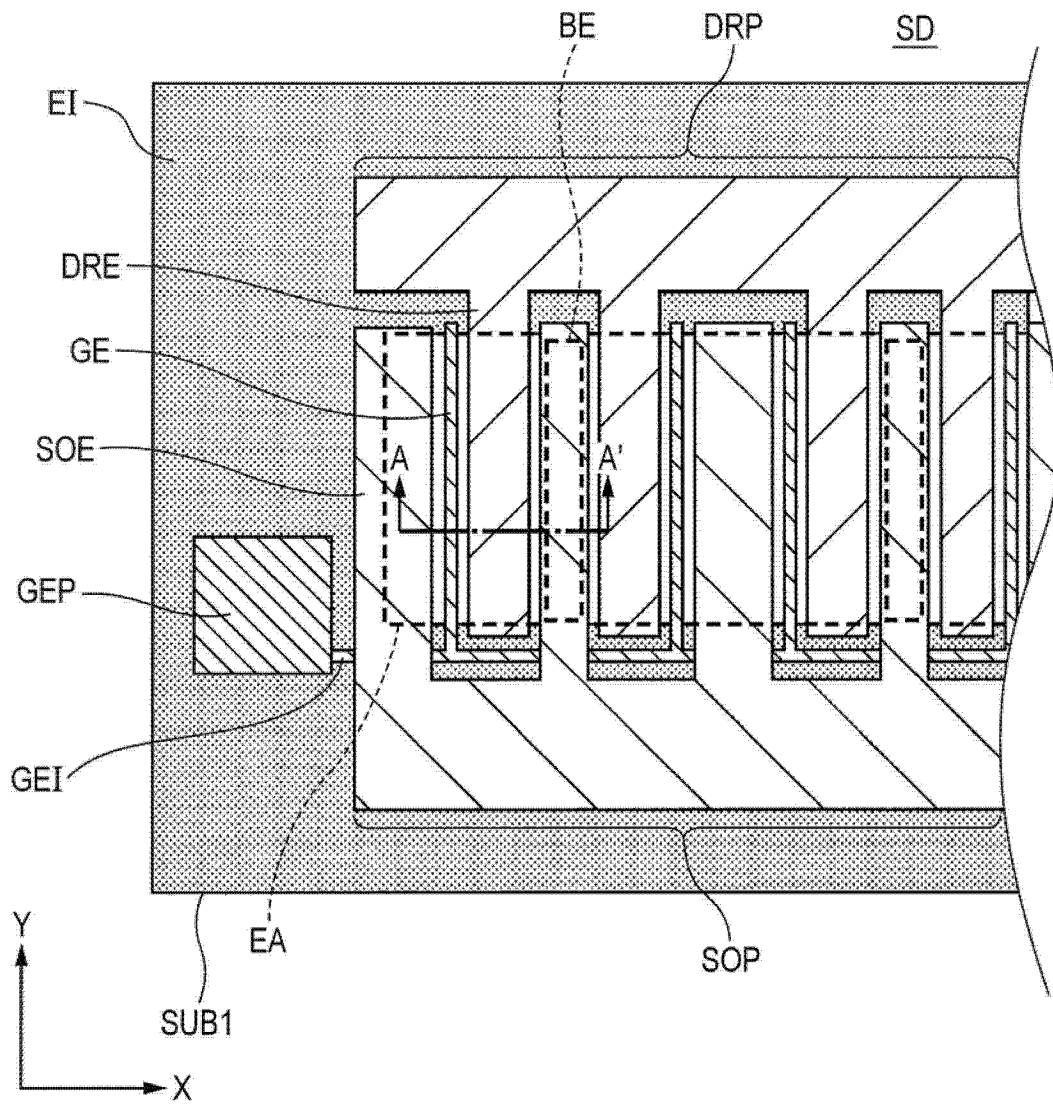


图 1

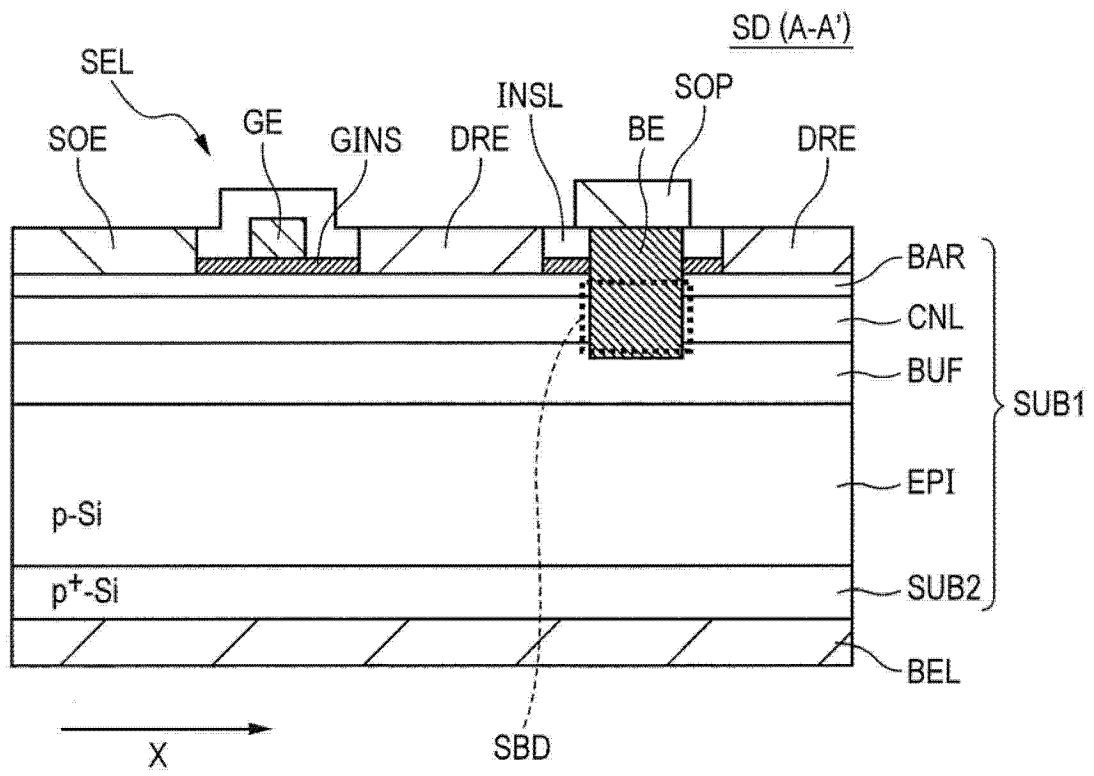


图 2

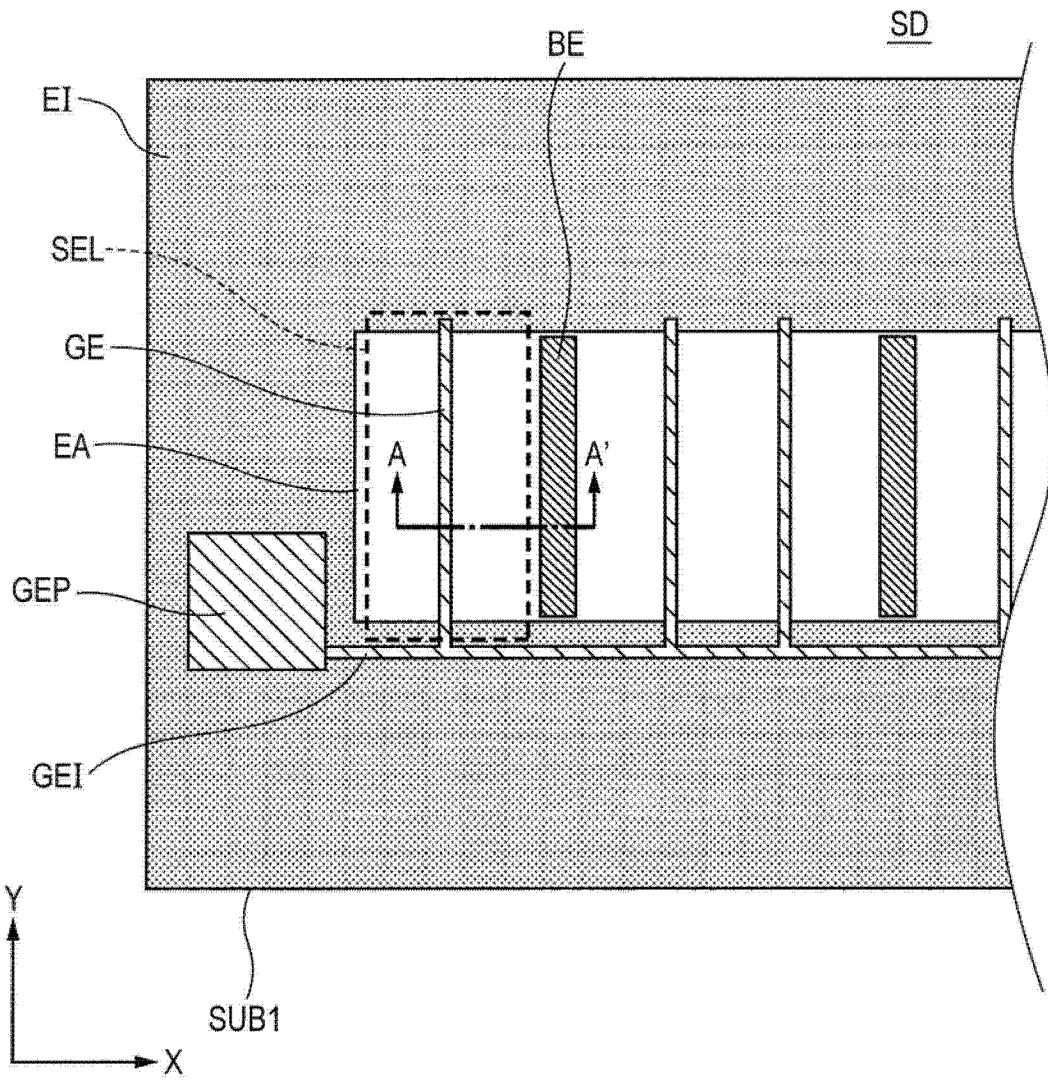


图 3

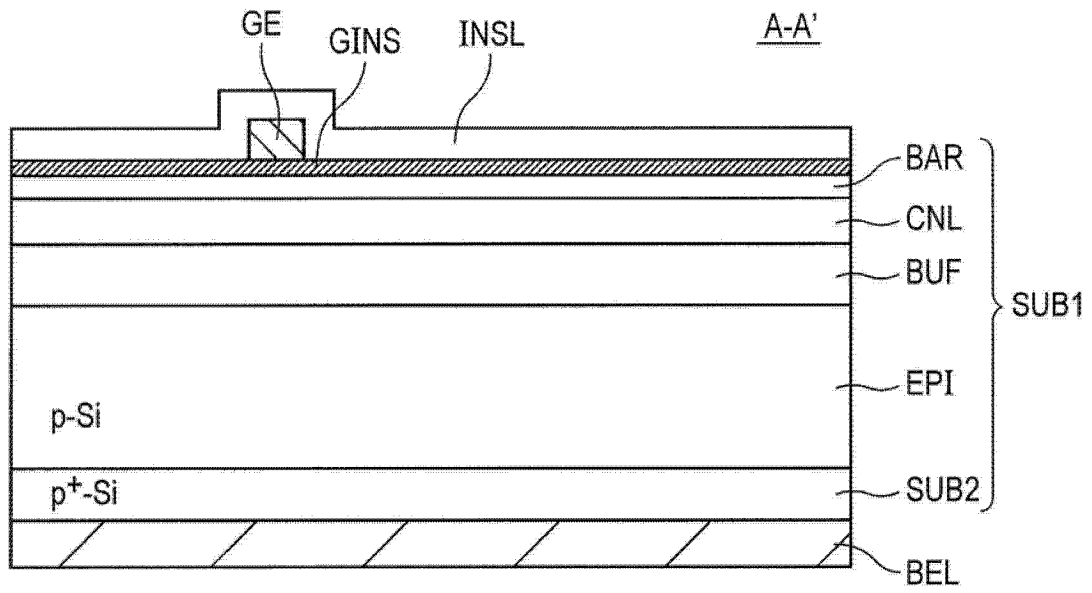


图 4

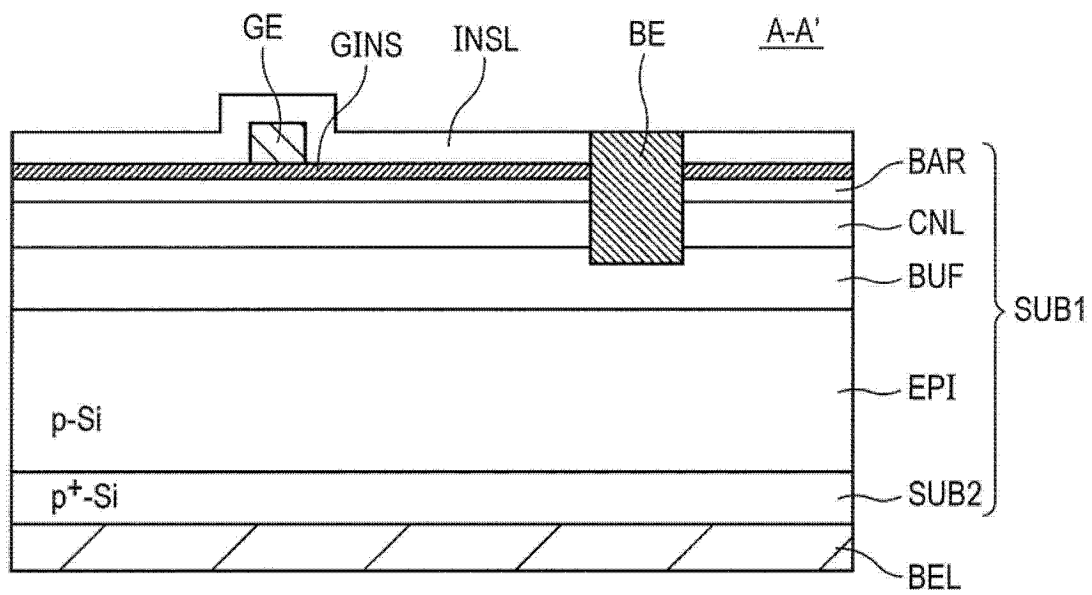


图 5

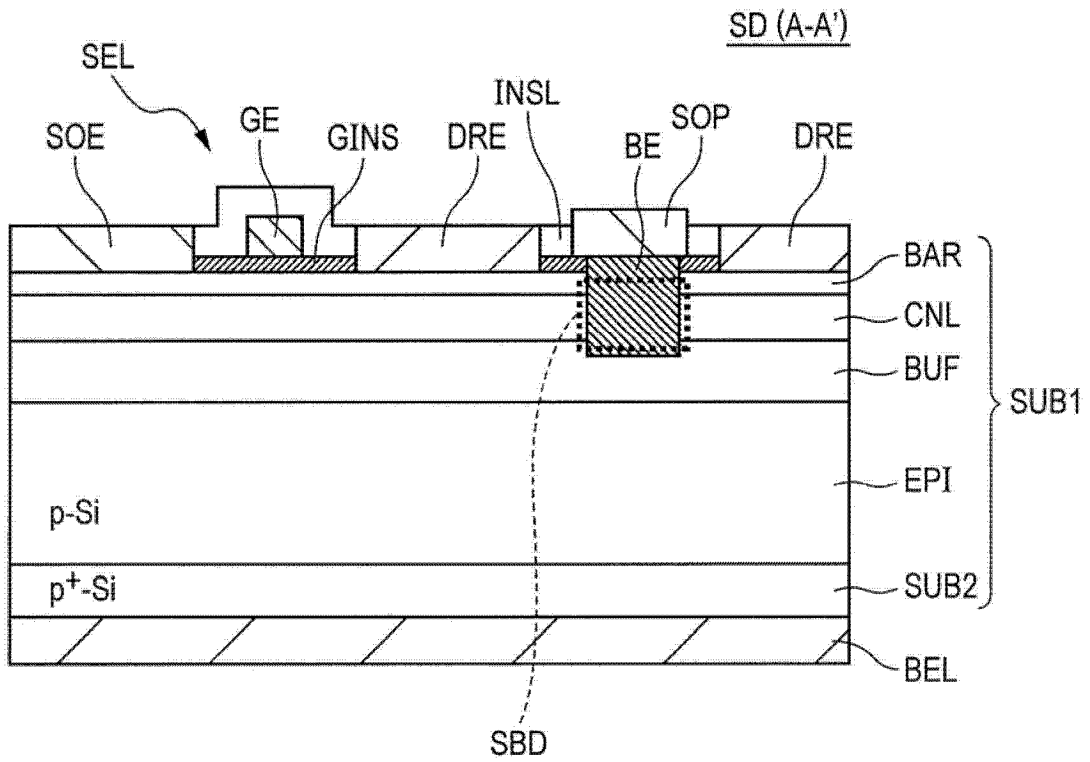


图 6

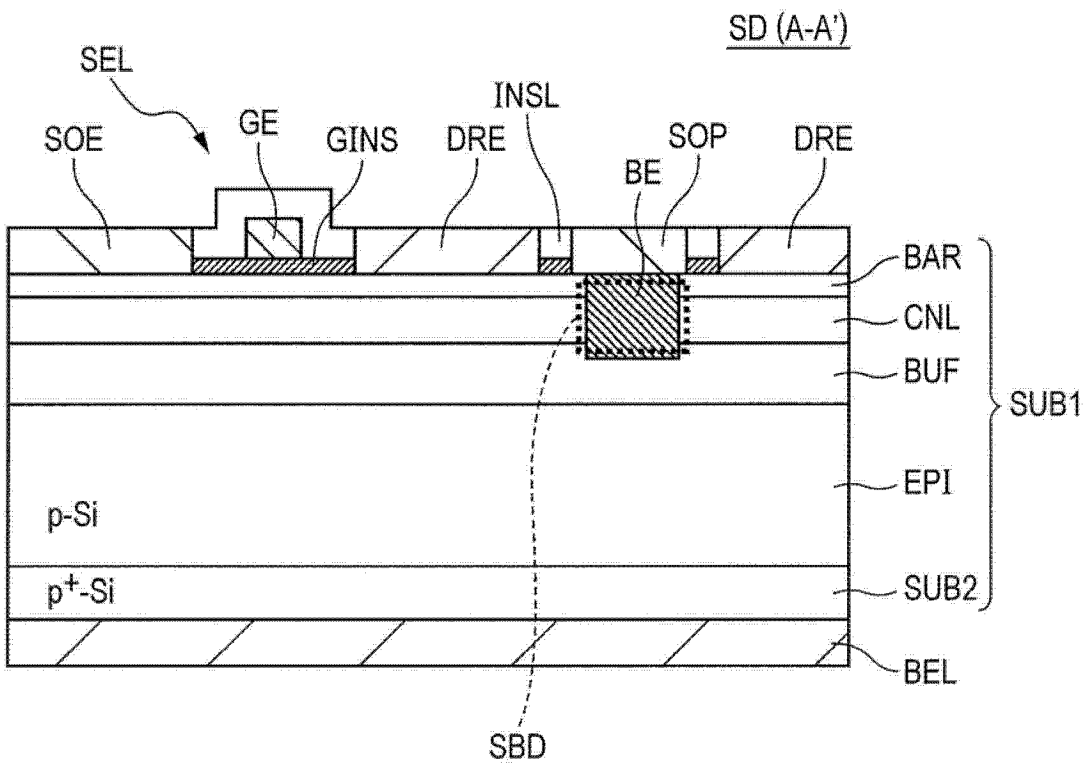


图 7

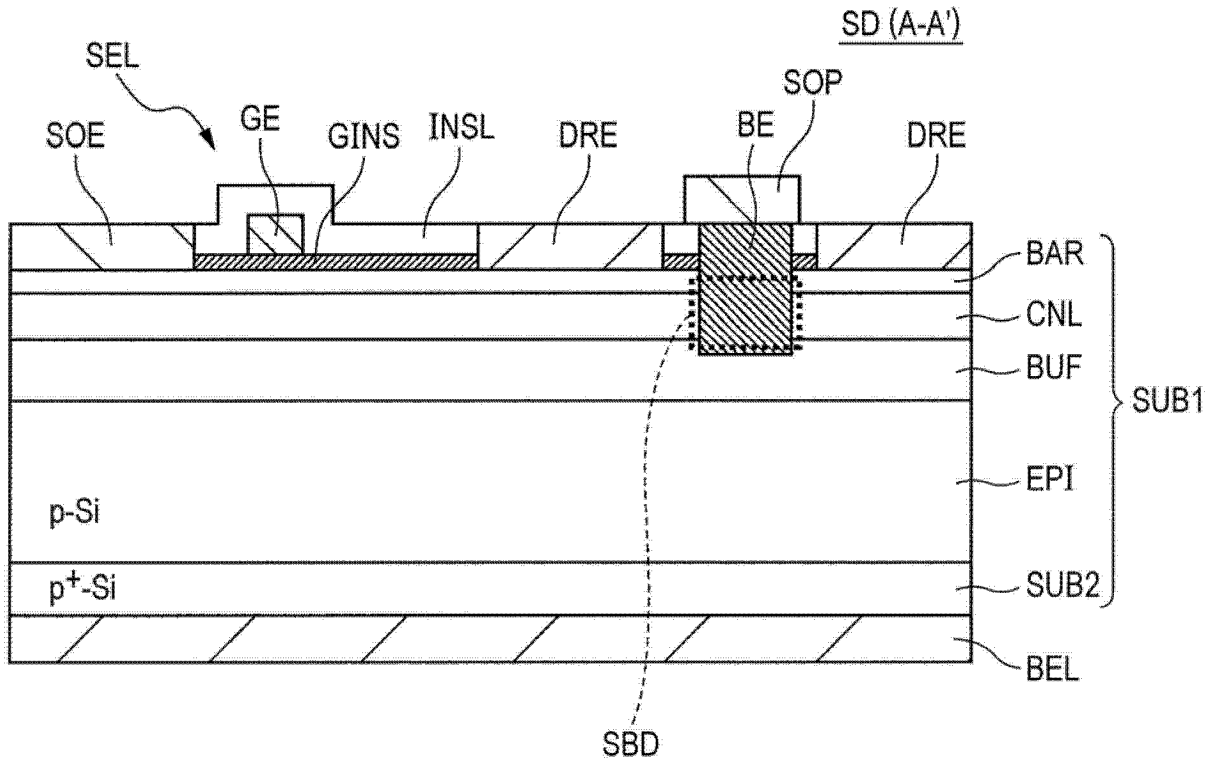


图 8

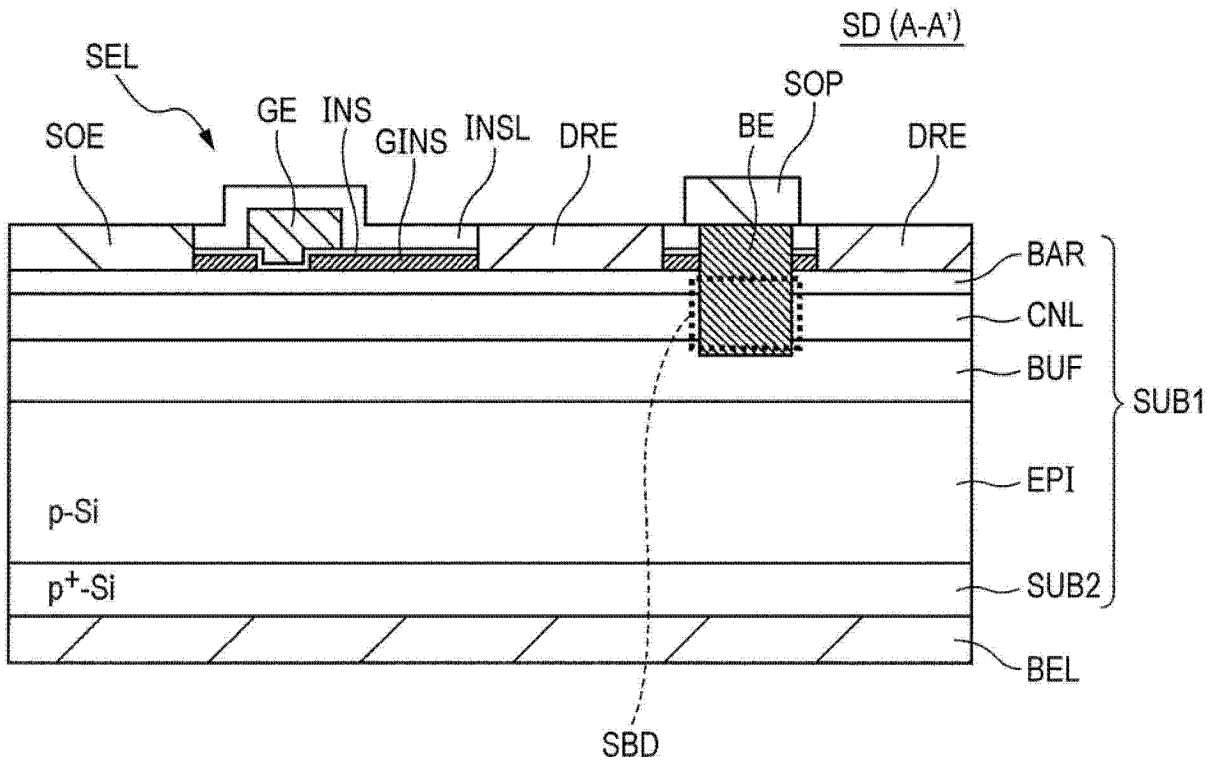


图 9

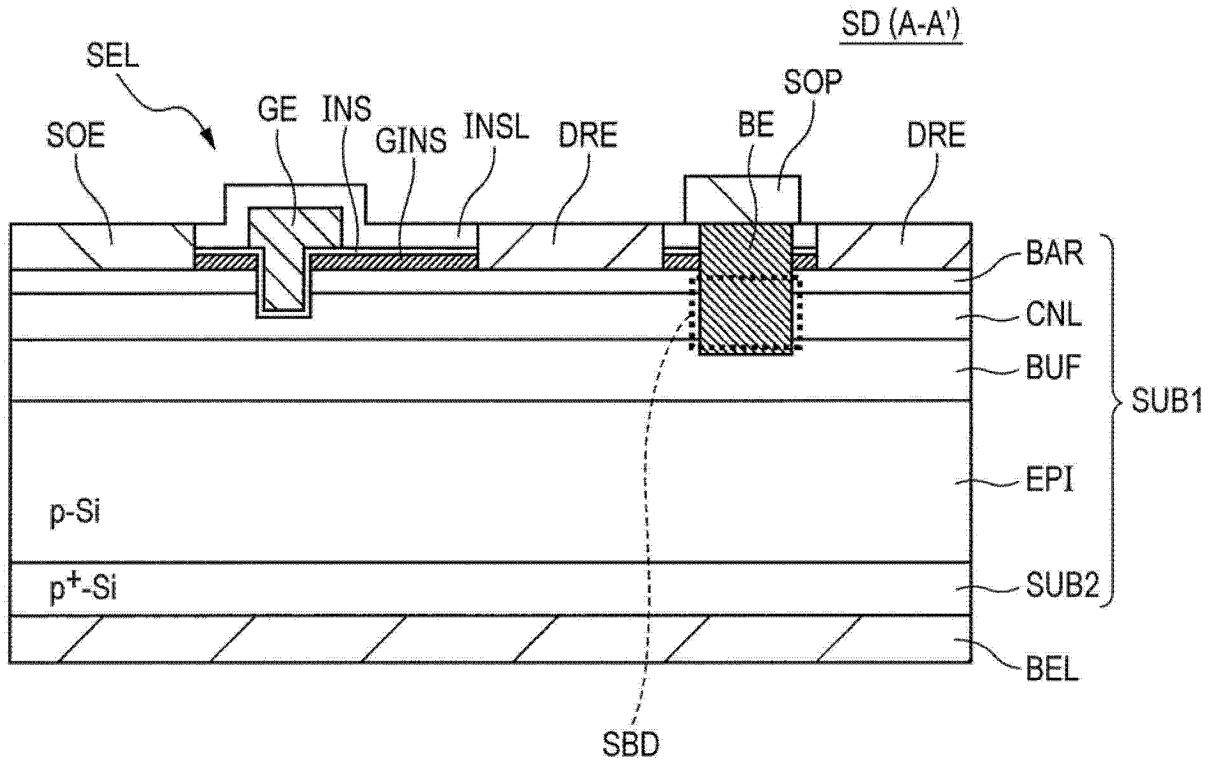


图 10

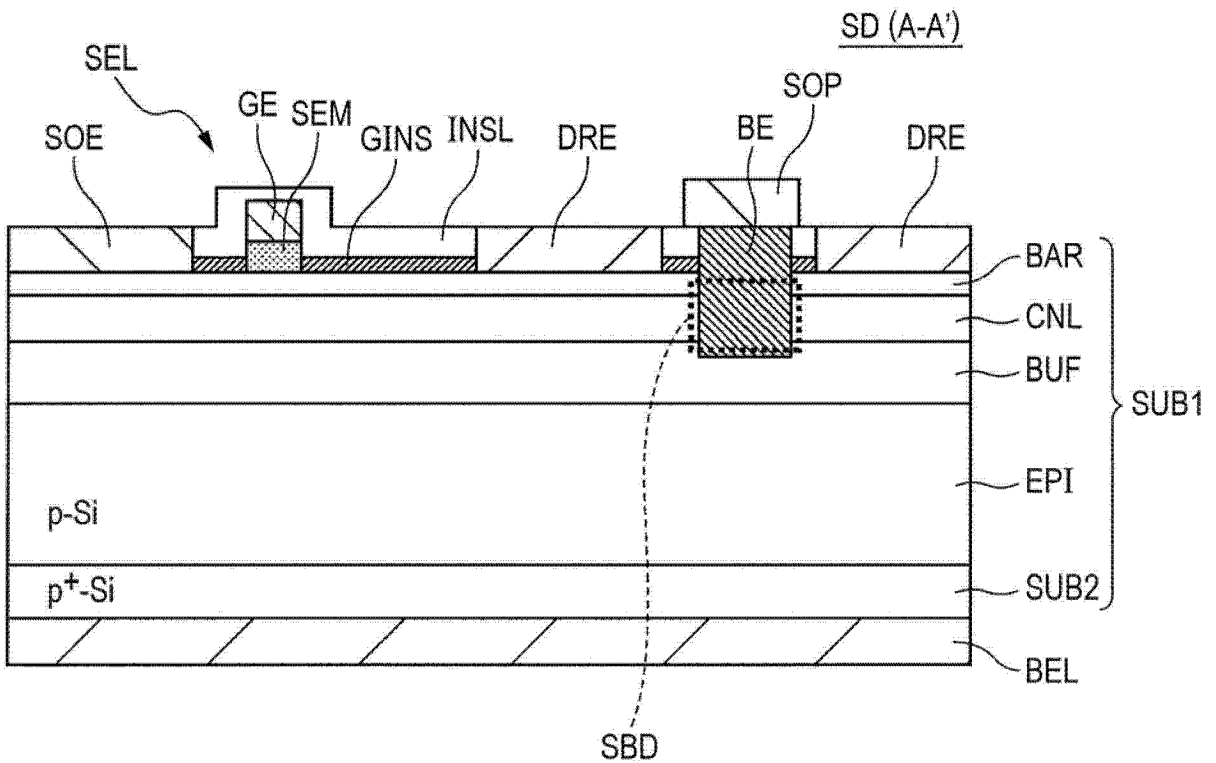


图 11

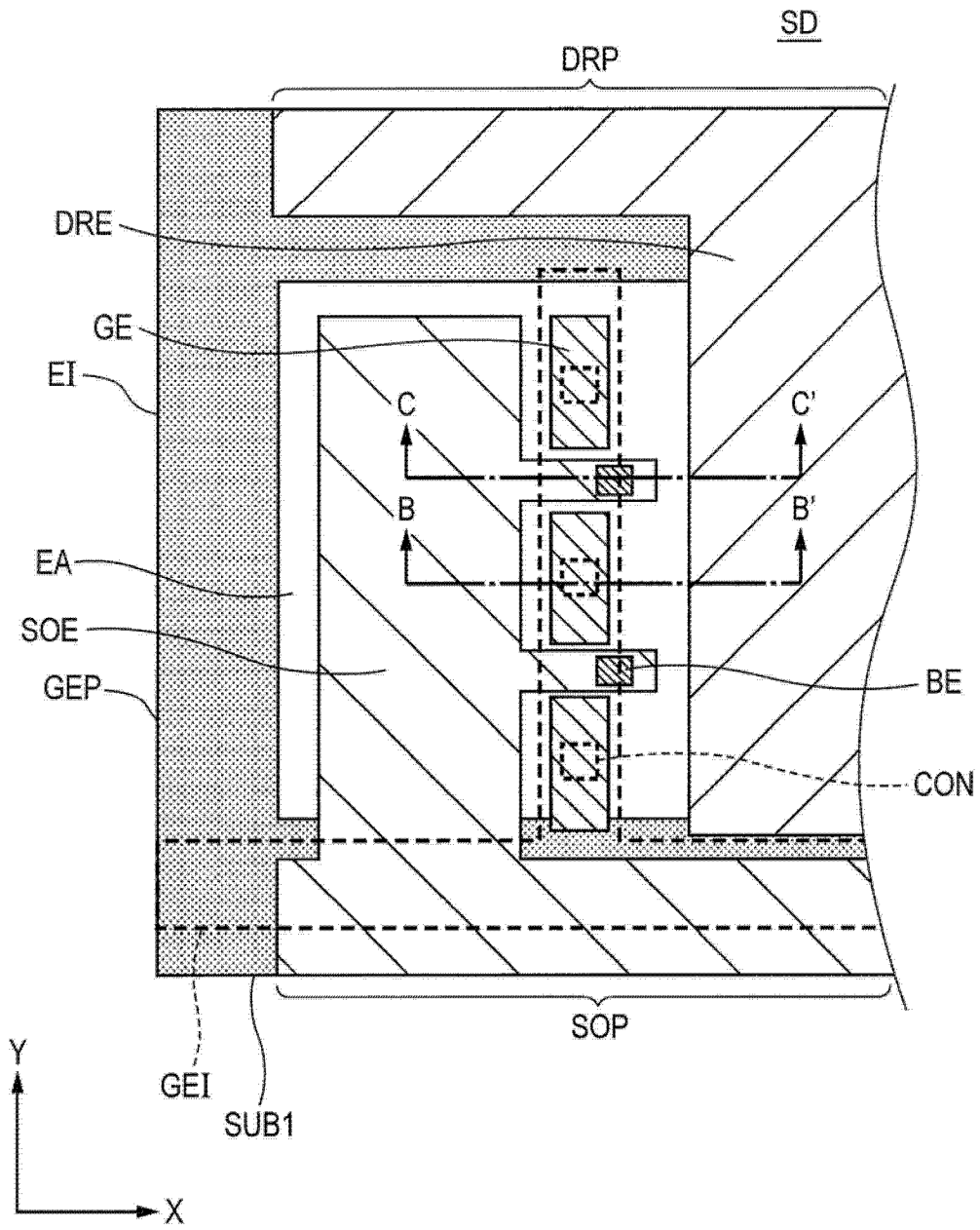


图 12

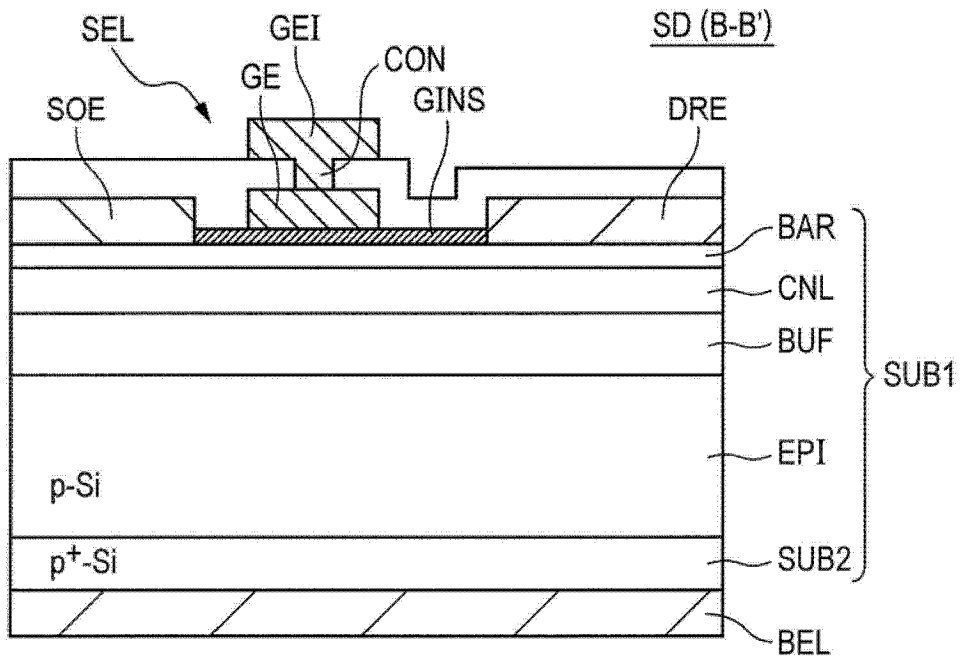


图 13

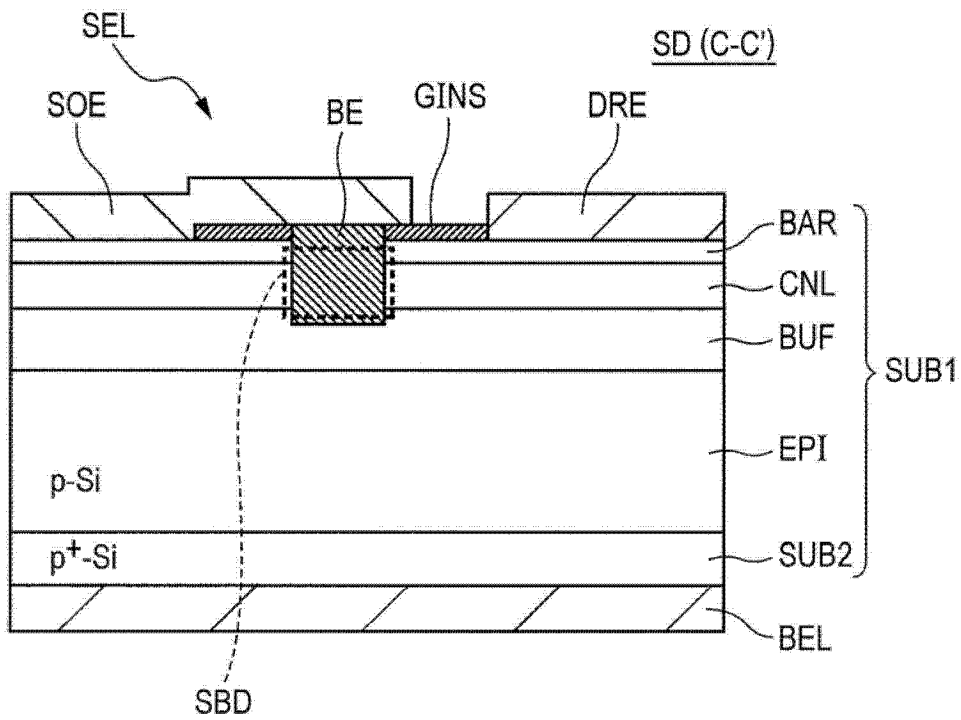


图 14

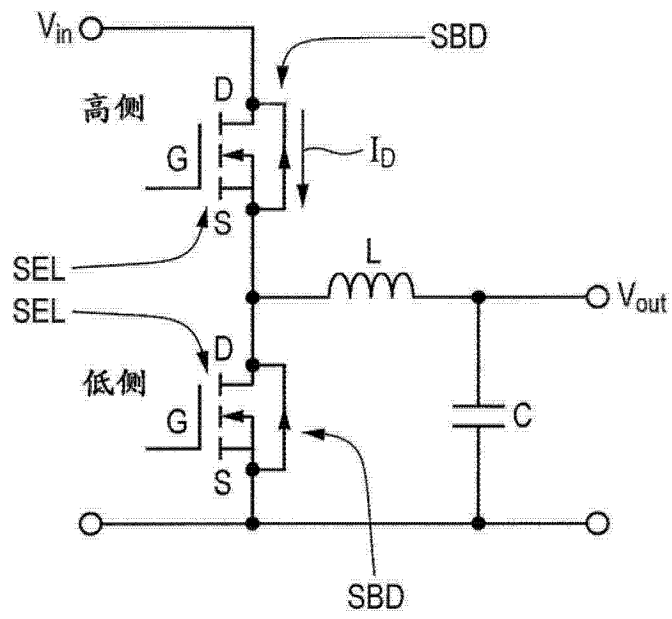


图 15

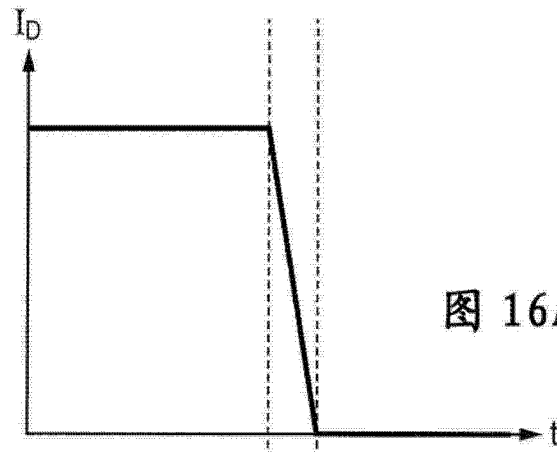


图 16A

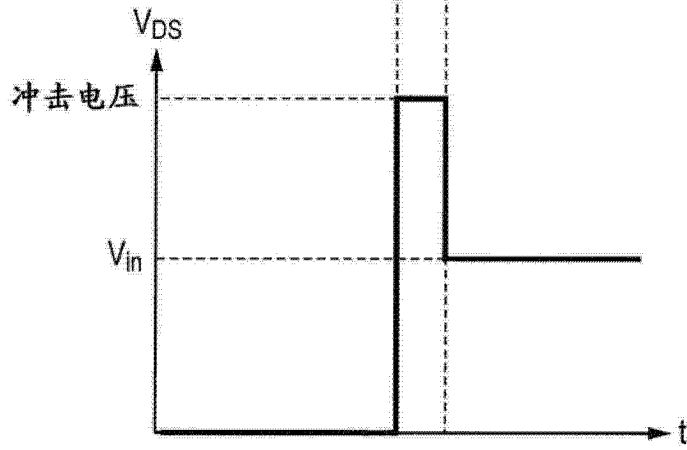


图 16B