



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년03월10일  
 (11) 등록번호 10-0887444  
 (24) 등록일자 2009년02월27일

- (51) Int. Cl.  
 HO1L 21/203 (2006.01) HO1L 21/285 (2006.01)  
 HO1L 21/3205 (2006.01) HO1L 21/3065 (2006.01)
- (21) 출원번호 10-2007-7008713
- (22) 출원일자 2007년04월17일  
 심사청구일자 2007년04월17일  
 번역문제출일자 2007년04월17일
- (65) 공개번호 10-2007-0055603
- (43) 공개일자 2007년05월30일
- (86) 국제출원번호 PCT/JP2005/019124  
 국제출원일자 2005년10월18일
- (87) 국제공개번호 WO 2006/043554  
 국제공개일자 2006년04월27일
- (30) 우선권주장  
 JP-P-2004-00304921 2004년10월19일 일본(JP)
- (56) 선행기술조사문헌  
 JP13223181 A\*  
 JP04014831 A  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
 도쿄엘렉트론가부시키키가이샤  
 일본 도쿄도 미나토쿠 아카사카 5초메 3반 1코
- (72) 발명자  
 이케다 다로  
 일본 야마나시켄 니라사키시 호사카초 미즈자와  
 650 동경엘렉트론 에이티 주식회사 내  
 스즈키 겐지  
 미국 뉴욕주 알바니 풀러 로드 255 사우스 나노팜  
 300티이엘 테크놀로지 센터 아메리카 엘엘씨 내  
 (뒷면에 계속)
- (74) 대리인  
 김창세

전체 청구항 수 : 총 12 항

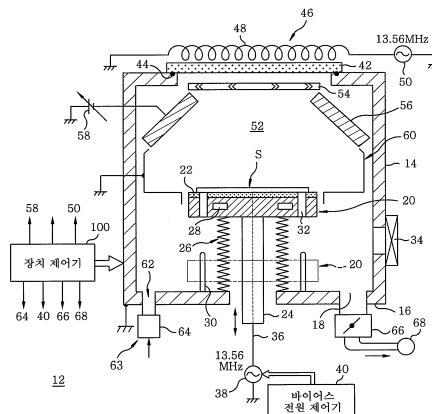
심사관 : 이별섭

**(54) 플라즈마 스퍼터링에 의한 성막방법 및 성막장치**

**(57) 요약**

본 발명은 반도체 웨이퍼 등의 피처리체의 상면과, 이 상면에 개구된 오목부의 표면에 대해, 플라즈마 스퍼터링 기법에 의해 금속의 박막을 형성하기 위한 기술에 관한 것이다. 본 발명의 성막방법은 처리용기내에서 방전가스의 플라즈마에 의해 금속타겟을 스퍼터하여 금속이온을 발생시킴과 동시에, 피처리체의 상면에 있어서 금속이온의 인입에 의한 금속막의 퇴적과 방전가스의 플라즈마에 의한 스퍼터 에칭이 동시에 생기도록 바이어스 전력을 탐재대에 가하는 것에 의해 오목부의 측벽에 금속막을 형성하는 성막공정임을 특징으로 한다.

**대표도**



(72) 발명자

**하타노 다츠오**

일본 야마나시켄 니라사키시 호사카초 미즈자와  
650 동경엘렉트론 에이티 주식회사 내

**미즈사와 야스시**

미국 뉴욕주 알바니 풀러 로드 255 사우스 나노팜  
300티이엘 테크놀로지 센터 아메리카 엘엘씨 내

---

**특허청구의 범위**

**청구항 1**

성막 방법에 있어서,

상면과, 이 상면에 개구된 오목부를 갖는 피처리체를 진공처리용기내의 탑재대상에 탑재하는 준비공정과,

상기 처리용기 내에서 방전가스의 플라즈마에 의해 금속타겟을 스퍼터하여 금속이온을 발생시킴과 동시에, 상기 피처리체의 상면에 있어서 상기 금속이온의 인입에 의한 금속막의 퇴적과 상기 방전가스의 플라즈마에 의한 스퍼터 에칭이 동시에 생길도록 바이어스 전력을 상기 탑재대에 가해서, 상기 오목부의 측벽에 상기 금속막을 퇴적시키는 성막공정을 구비하되,

상기 성막공정에 있어서의 바이어스 전력은 상기 피처리체의 상면에 있어서, 상기 금속이온의 인입에 의한 금속막의 성막 레이트와, 상기 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트가 균형을 이루는 바와 같은 크기로 설정되는 것을 특징으로 하는 성막 방법.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서,

상기 준비공정과 상기 성막공정의 사이에, 상기 피처리체의 상면 및 오목부 표면에 상기 금속막과는 다른 물질로 이루어지는 하지층을 형성하는 공정을 더 구비하는 것을 특징으로 하는 성막 방법.

**청구항 4**

제 3 항에 있어서,

상기 성막공정에 있어서의 바이어스 전력은 상기 하지층을 스퍼터 에칭하지 않는 크기로 설정되는 것을 특징으로 하는 성막 방법.

**청구항 5**

제 1 항에 있어서,

상기 준비공정과 상기 성막공정의 사이에, 상기 피처리체의 상면 및 오목부 표면에 상기 금속막과 동일한 금속으로 이루어지는 초기 금속막을 형성하는 공정을 더 구비하는 것을 특징으로 하는 성막 방법.

**청구항 6**

제 1 항에 있어서,

상기 성막공정은

상기 피처리체의 상면 및 오목부 표면에 제1 금속막을 형성하는 제1부공정과,

상기 제1 금속막의 위에 상기 제1 금속막과는 다른 금속으로 이루어지는 제2 금속막을 형성하는 제2 부공정을 갖는 것을 특징으로 하는 성막 방법.

**청구항 7**

제 6 항에 있어서,

상기 준비공정과 상기 성막공정의 사이에, 상기 피처리체의 상면 및 오목부 표면에 상기 금속막과는 다른 물질로 이루어지는 하지층을 형성하는 공정을 더 구비하고,

상기 성막공정은 상기 제1 부공정과 상기 제2 부공정의 사이에, 상기 오목부의 바닥부에 위치하는 하지층을 에

칭에 의해 깎아내는 제3 부공정을 더 갖는 것을 특징으로 하는 성막 방법.

**청구항 8**

제 1 항에 있어서,  
상기 금속막은 탄탈막인 것을 특징으로 하는 성막 방법.

**청구항 9**

제 6 항에 있어서,  
상기 제1 금속막은 탄탈막이고, 상기 제2 금속막은 동막인 것을 특징으로 하는 성막 방법.

**청구항 10**

제 7 항에 있어서,  
상기 제1 금속막은 탄탈막이고, 상기 제2 금속막은 동막인 것을 특징으로 하는 성막 방법.

**청구항 11**

제 10 항에 있어서,  
상기 하지층은 질화 탄탈막인 것을 특징으로 하는 성막 방법.

**청구항 12**

성막 장치에 있어서,  
진공처리용기와,  
상기 처리용기내에 마련되고, 상면과, 이 상면에 개구된 오목부를 갖는 피처리체를 탑재하기 위한 탑재대와,  
상기 처리용기내로 방전가스를 포함하는 처리가스를 공급하는 가스공급 시스템과,  
상기 처리용기내에서 상기 방전가스의 플라즈마를 발생시키는 플라즈마 발생 시스템과,  
상기 처리용기내에 마련되고, 상기 플라즈마에 의해 스퍼터되어 금속이온을 발생시키는 금속타겟과,  
상기 탑재대에 바이어스 전력을 가하는 바이어스 전원과,  
상기 피처리체의 상면에 있어서 상기 금속이온의 인입에 의한 금속막의 퇴적과 상기 방전가스의 플라즈마에 의한 스퍼터 에칭이 동시에 생기도록 바이어스 전력을 상기 탑재대에 가해서, 상기 오목부의 측벽에 상기 금속막을 퇴적시키도록 상기 바이어스 전원을 제어하는 바이어스 전원 제어기를 구비한 것을 특징으로 하는 성막장치.

**청구항 13**

제 12 항에 있어서,  
상기 바이어스 전원 제어기는 상기 성막공정에 있어서의 바이어스 전력이, 상기 피처리체의 상면에 있어서 상기 금속이온의 인입에 의한 금속막의 성막 레이트와, 상기 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트가 균형을 이루는 바와 같은 크기로 되도록, 상기 바이어스 전원을 제어하는 것을 특징으로 하는 성막 장치.

**명세서**

**기술분야**

<1> 본 발명은 반도체 웨이퍼 등의 피처리체에 있어서의 상면과, 이 상면에 개구된 오목부의 표면에 대해, 플라즈마 스퍼터링에 의해 금속의 박막을 형성하기 위한 개량된 성막방법 및 성막장치에 관한 것이다.

**배경기술**

<2> 일반적으로, 반도체 디바이스를 제조하기 위해서는 반도체 웨이퍼에 성막처리나 패턴에칭처리 등의 각종의 처리를 반복해서 실행하여 원하는 디바이스를 제조한다. 반도체 디바이스의 가일층의 고집적화 및 고미세화의 요청

으로부터, 선풍이나 홀직경이 점점 미세화되고 있다. 그리고, 배선재료나 매립재료로서는 각종 치수의 미세화에 의해, 더욱 전기저항을 작게 또한 저렴한 Cu(동)를 이용하는 경향에 있다(일본 특허공개공보 제2000-77365호). 배선재료나 매립재료로서 Cu를 이용하는 경우에는 그 아래의 배리어층으로서, 밀착성 등을 고려하여, 탄탈금속막이나 질화탄탈막 등이 일반적으로 이용된다.

- <3> 이 배리어층을 형성하기 위해서는 플라즈마 스퍼터 장치내에서 웨이퍼 상면과, 이 상면에 개구된 오목부의 표면에 우선, 하지층으로서 질화탄탈막(이하, 「TaN 막」이라고도 함)을 형성한다. 다음에, 동일한 플라즈마 스퍼터 장치내에서, TaN막의 위에 탄탈막(이하, 「Ta막」이라고도 함)을 형성한다. 그 후, 이 배리어층의 표면에 Cu막으로 이루어지는 얇은 시드막을 형성한다. 다음에, 웨이퍼 표면 전체(상면 및 오목부의 표면)에 Cu 도금처리를 실시하는 것에 의해, 오목부내를 매립하도록 하고 있다.
- <4> 도 8은 일반적인 플라즈마 스퍼터링에 의한 방법으로 성막된 반도체웨이퍼의 오목부 주변의 종단면을 부분적으로 나타내고 있다. 이 반도체 웨이퍼 S에는 비어홀, 스루홀, 홈(트렌치나 Dual Damascene 구조) 등에 대응하는 오목부(2)가 상면에 개구되도록 형성되어 있다. 이 오목부(2)는 설계물의 미세화에 수반해서 에스펙트비가 매우 크게(예를 들면 3~4정도로) 되어 있다. 예를 들면, 오목부(2)의 폭 내지 내경은 0.01 $\mu$ m 정도로 되어 있다.
- <5> 도 8에 나타내는 웨이퍼 S의 표면 전체(상면 및 오목부(2)의 표면)에는 대략 균일하게, TaN막으로 이루어지는 하지층(4)이 플라즈마 스퍼터 장치에 형성되어 있다. 하지층(4)의 위에는 마찬가지로 플라즈마 스퍼터 장치에 Ta막으로 이루어지는 금속막(6)이 형성된다. 하지층(4)이나 금속막(6)을 플라즈마 스퍼터 장치내에서 형성할 때, 웨이퍼 S를 탑재하는 탑재대에 고주파 바이어스 전력을 인가해서, 금속이온의 인입을 실행한다. 또한, 금속막(6)의 표면 전체에 얇은 Cu막으로 이루어지는 시드막을 형성하고, 그 위에 Cu 도금처리를 실시하는 것에 의해, 오목부(2)내를 Cu막으로 매립하도록 하고 있다.
- <6> 그런데, 일반적으로 플라즈마 스퍼터 장치내에서 성막을 실행하는 경우, 상술한 바와 같이 반도체 웨이퍼를 탑재하는 탑재대에 바이어스 전력을 인가해서 웨이퍼 표면에 금속이온을 인입하는 것에 의해, 성막 레이트를 크게 한다. 이 경우, 바이어스 전력을 과도하게 크게 하면, 플라즈마를 발생시키기 위해 장치내에 도입되어 있는 방전가스(플라즈마에 의해 활성화되어도 그 자체는 퇴적물을 생기게 하지 않는 가스), 예를 들면 Ar(아르곤) 가스에 의해 웨이퍼 표면이 스퍼터되어, 모처럼 퇴적한 금속막이 깎아내어져 버린다. 이 때문에, 바이어스 전력은 그다지 크게는 설정되어 있지 않다.
- <7> 그와 같이 해서 Ta막으로 이루어지는 금속막을 형성한 경우, 도 8에 나타내는 바와 같은 상태에서 오목부(2)내의 금속막(6)의 형성이 이루어지는 경향이 있다. 즉, 오목부(2)내의 바닥부 및 측벽의 상부에는 금속막(6)이 부착되지만, 오목부(2)의 개구에 있어서의 금속막(6)의 부분에, 개구를 사이에 배치하는 바와 같은 형태로 돌출된 오버행부(8)이 발생해 버린다. 또한, 오목부(2)의 측벽의 하부에 금속막(6)의 미형성부분(10)이 발생해 버리는 경우가 있다. 그 이유는 스퍼터에 의해 발생한 금속이온의 직진성이 약하기 때문에, 바이어스 전력이 그다지 크지 않은 상태에서는 금속이온이 측벽 하부에 도달하기 전에 측벽 상부에 충돌해 버리기 때문이다. 이 때문에, 후에 오목부(2)를 도금 등에 의해 Cu막으로 매립해도, 내부가 충분히 메워지지 않아 보이드가 발생한다고 하는 문제가 있다.

<8>

**발명의 상세한 설명**

- <9> 본 발명의 목적은 피처리체의 상면에 개구된 오목부의 측벽에 균일하게 금속막을 형성할 수 있는, 플라즈마 스퍼터링에 의한 성막방법 및 성막장치를 제공하는 것에 있다.
- <10> 본 발명자들은 플라즈마 스퍼터링에 의한 성막방법에 대해 예의 연구한 결과, 탑재대에 공급하는 바이어스 전력을 제어하여, 금속이온에 대한 인입에 의한 성막과 방전가스의 플라즈마에 의한 스퍼터 에칭을 동시에 균형있게 생기게 하는 것에 의해서, 반도체 웨이퍼 표면(피처리체의 상면)에 형성되어 있는 매우 미세한 오목부의 측벽에도 금속막을 균일하게 형성할 수 있다라는 지견을 얻는 것에 의해, 본 발명에 이른 것이다.
- <11> 그래서, 본 발명은
- <12> 상면과, 이 상면에 개구된 오목부를 갖는 피처리체를 진공처리용기내의 탑재대상에 탑재하는 준비공정과,
- <13> 상기 처리용기내에서 방전가스의 플라즈마에 의해 금속타겟을 스퍼터하여 금속이온을 발생시킴과 동시에, 상기 피처리체의 상면에 있어서 상기 금속이온의 인입에 의한 금속막의 퇴적과 상기 방전가스의 플라즈마에 의한 스

퍼터 에칭이 동시에 생기도록 바이어스 전력을 상기 탑재대에 가해서, 상기 오목부의 측벽에 상기 금속막을 퇴적시키는 성막공정을 구비한 것을 특징으로 하는 성막방법을 제공한다.

- <14> 예를 들면, 상기 금속막은 탄탈막이다.
- <15> 이 성막방법에 있어서, 상기 성막공정에 있어서의 바이어스 전력은 상기 피처리체의 상면에 있어서, 상기 금속 이온의 인입에 의한 금속막의 성막 레이트와, 상기 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트가 대략 균형을 이루는 바와 같은 크기로 설정되는 것이 바람직하다.
- <16> 이 성막방법에 있어서, 상기 준비공정과 상기 성막공정 사이에, 상기 피처리체의 상면 및 오목부 표면에 상기 금속막과는 다른 물질로 이루어지는 하지층을 형성하는 공정을 더 구비하고 있어도 좋다.
- <17> 그 경우, 상기 성막공정에 있어서의 바이어스 전력은 상기 하지층을 스퍼터 에칭하지 않는 바와 같은 크기로 설정되는 것이 바람직하다.
- <18> 또, 이 성막방법에 있어서, 상기 준비공정과 상기 성막공정 사이에, 상기 피처리체의 상면 및 오목부 표면에 상기 금속막과 동일한 금속으로 이루어지는 초기 금속막을 형성하는 공정을 더 구비하고 있어도 좋다.
- <19> 이 성막방법에 있어서, 상기 성막공정은
- <20> 상기 피처리체의 상면 및 오목부 표면에 제1 금속막을 형성하는 제1 부공정과,
- <21> 상기 제1 금속막의 위에 상기 제1 금속막과는 다른 금속으로 이루어지는 제2 금속막을 형성하는 제2 부공정을 갖고 있어도 좋다.
- <22> 또한, 이 성막방법에 있어서, 상기 준비공정과 상기 성막공정 사이에, 상기 피처리체의 상면 및 오목부 표면에 상기 금속막과는 다른 물질로 이루어지는 하지층을 형성하는 공정을 더 구비하고,
- <23> 상기 성막공정은 상기 제1 부공정과 상기 제2 부공정의 사이에, 상기 오목부의 바닥부에 위치하는 하지층을 에칭에 의해 깎아내는 제3 부공정을 더 갖고 있어도 좋다.
- <24> 또, 제2 부공정을 제1 부공정과는 다른 처리용기내에서 실행할 필요가 있는 경우에는 제1 부공정과 제2 부공정의 사이에 또한 준비공정 그 밖의 공정이 개재될 수 있다.
- <25> 예를 들면, 상기 제1 금속막은 탄탈막이며, 상기 제2 금속막은 동막이다.
- <26> 예를 들면, 상기 하지층은 질화탄탈막이다.
- <27> 또한, 본 발명은
- <28> 진공처리용기와,
- <29> 상기 처리용기내에 마련되고, 상면과, 이 상면에 개구된 오목부를 갖는 피처리체를 탑재하기 위한 탑재대와,
- <30> 상기 처리용기내로 방전가스를 포함하는 처리가스를 공급하는 가스공급 시스템과,
- <31> 상기 처리용기내에서 상기 방전가스의 플라즈마를 발생시키는 플라즈마 발생 시스템과,
- <32> 상기 처리용기내에 마련되고, 상기 플라즈마에 의해 스퍼터되어 금속이온을 발생시키는 금속타겟과,
- <33> 상기 탑재대에 바이어스 전력을 가하는 바이어스 전원과,
- <34> 상기 피처리체의 상면에 있어서 상기 금속이온의 인입에 의한 금속막의 퇴적과 상기 방전가스의 플라즈마에 의한 스퍼터 에칭이 동시에 생기도록 바이어스 전력을 상기 탑재대에 가해서, 상기 오목부의 측벽에 상기 금속막을 퇴적시키도록 상기 바이어스 전원을 제어하는 바이어스 전원 제어기를 구비한 것을 특징으로 하는 성막장치를 제공한다.
- <35> 이 성막장치에 있어서는 상기 바이어스 전원 제어기는 상기 성막공정에 있어서의 바이어스 전력이, 상기 피처리체의 상면에 있어서 상기 금속이온의 인입에 의한 금속막의 성막 레이트와, 상기 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트가 대략 균형을 이루는 바와 같은 크기로 되도록, 상기 바이어스 전원을 제어하는 것이 바람직하다.
- <36> 이상과 같은 성막방법 및 성막장치에 따르면, 탑재대에 가하는 바이어스 전력을 제어해서, 금속이온의 인입에 의한 금속막의 퇴적과 방전가스의 플라즈마에 의한 스퍼터 에칭을 동시에 밸런스 좋게 발생시키는 것에 의해,

피처리체의 상면에 개구된 오목부의 측벽에 금속막을 균일하게 형성할 수 있다. 그 결과, 피처리체의 상면에 개구된 오목부를, 그 후의 도금처리를 실행하는 것에 의해 예를 들면 Cu 등의 금속에 의해 보이드를 발생시키는 일 없이 적정하게 매립할 수 있다.

**실시예**

- <45> 이하에, 본 발명에 관한 성막방법 및 성막장치의 1실시형태를 첨부도면에 의거하여 상세하게 기술한다.
- <46> 도 1은 본 발명에 관한 성막장치의 일예를 나타내는 단면도이다. 여기서는 성막장치로서 ICP(Inductively Coupled Plasma)형 플라즈마 스퍼터 장치를 예로 들어 설명한다. 이 성막장치(12)는 예를 들면 알루미늄에 의해 중공의 원주형상으로 성형된 진공처리용기(14)를 갖고 있다. 이 처리용기(14)는 접지되어 있다. 처리용기(14)는 그의 바닥부(16)에 배기구(18)가 마련되어 있다. 배기구(18)에는 스로틀밸브(66)를 거쳐서 진공펌프(68)가 접속되어 있다.
- <47> 이 처리용기(14)내에는 예를 들면 알루미늄으로 이루어지는 원판형상의 탑재대(20)가 마련되어 있다. 탑재대(20)의 상면에는 피처리체인 반도체웨이퍼 S를 흡착 유지하기 위한 정전척(22)이 설치되어 있다. 이 정전척(22)에는 도시하지 않은 흡착용의 직류 전압이 필요에 따라서 인가된다. 정전척(22)에는 배선(36)을 거쳐서, 예를 들면 13.56MHz의 고주파를 발생하는 고주파전원으로 이루어지는 바이어스 전원(38)이 접속되어 있다. 이 바이어스 전원(38)은 예를 들면 마이크로컴퓨터로 이루어지는 바이어스 전원 제어기(40)에 의해, 출력하는 바이어스 전력이 제어된다.
- <48> 탑재대(20)는 하면 중앙으로부터 아래쪽으로 연장하는 지주(24)에 의해 지지되어 있다. 이 지주(24)는 처리용기 바닥부(16)를 관통하며, 도시하지 않은 승강기구에 접속되어 있다. 이것에 의해, 처리용기(14)내에서 탑재대(20)를 승강할 수 있도록 되어 있다. 지주(24)를 둘러싸도록 하여 신축 가능한 금속 벨로우즈(26)가 마련되어 있다. 이 금속 벨로우즈(26)는 그의 상단이 상기 탑재대(20)의 하면에 기밀하게 접합되고, 또한 하단이 바닥부(16)의 상면에 기밀하게 접합되어 있다. 탑재대(20)에는 웨이퍼 S를 냉각하기 위한 냉매를 흘리는 냉매 순환로(28)가 형성되어 있다.
- <49> 또한 용기 바닥부(16)에는 복수의 지지핀(30)이 기립되어 마련되어 있다. 탑재대(20)에는 각 지지핀(30)에 대응한 핀 삽입통과구멍(32)이 형성되어 있다. 따라서, 탑재대(20)를 강하시켰을 때에, 삽입통과구멍(32)을 관통한 지지핀(30)의 상단에서 웨이퍼 S를 지지하여, 도시하지 않은 반송아암과의 사이에서 웨이퍼 S의 탑재 이송을 할 수 있도록 되어 있다. 처리용기(14)의 하부 측벽에는 반송아암을 진입시키기 위해 개폐가능하게 이루어진 게이트밸브(34)가 마련되어 있다.
- <50> 또한, 처리용기 바닥부(16)에는 방전가스와 Ar 가스를 포함하는 처리가스를 처리용기(14)내에 도입하기 위한 가스 도입구(62)가 마련된다. 또한, 이 도입구(62)를 통해서 처리용기(14)내로 처리가스를 공급하는 가스 공급 시스템(63)이 구비되어 있다. 가스 공급 시스템(63)은 도시하지 않은 가스원과, 가스 유량 제어기나 밸브 등으로 이루어지는 가스 제어기(64)를 갖고 있다.
- <51> 처리용기(14)의 위쪽에는 질화 알루미늄 등의 유전체로 이루어지고 고주파에 대해 투과성이 있는 투과관(42)이 시일 부재(44)를 거쳐서 기밀하게 부착되어 있다. 이 투과관(42)의 위에는 처리용기(14)내의 처리공간(52)에 있어서 방전가스(Ar 가스)의 플라즈마를 발생시키기 위한 플라즈마 발생 시스템(46)이 마련된다. 이 플라즈마 발생 시스템(46)은 투과관(42)상에 배치된 유도코일(48)과, 이 코일(48)에 접속된 예를 들면 13.56MHz의 고주파전원(50)을 갖고 있다.
- <52> 투과관(42)의 바로 아래에는 유도코일(48)로부터 투과관(42)을 통해 처리용기(14)내에 도입되는 고주파를 확산시키기 위한 예를 들면 알루미늄으로 이루어지는 배플 플레이트(54)가 마련된다. 이 배플 플레이트(54)의 아래 쪽에는 처리공간(52)의 상부를 둘러싸도록 해서, 위쪽으로 좁아지는 환상의 금속타겟(56)이 배치되어 있다. 이 금속타겟(56)에는 가변직류전원(58)이 접속되어 있다. 금속타겟(56)의 재료로서는 예를 들면 탄탈이나 Cu 등이 이용된다. 금속타겟(56)은 방전가스(Ar 가스)의 플라즈마에 의해 스퍼터되고 금속이온을 발생시킨다. 구체적으로는 플라즈마중의 Ar 이온의 충돌에 의해 금속타겟(56)으로부터 금속의 원자 내지 원자단(團)이 방출되고, 그들 원자 내지 원자단이 플라즈마내를 통과할 때에 이온화되어 금속이온으로 된다.
- <53> 금속타겟(56)의 아래쪽에는 처리공간(52)을 둘러싸도록 해서, 예를 들면 알루미늄으로 이루어지는 원통형상의 보호커버(60)가 마련되어 있다. 이 보호커버(60)는 접지됨과 동시에, 그 하부가 내측으로 굴곡되어 탑재대(20)의 측부 근방까지 연장되어 있다.

- <54> 성막장치(12)는 그 각 부의 동작을 제어하는 장치제어기(100)를 구비하고 있다. 구체적으로는 장치 제어기(100)가 바이어스 전원 제어기(40), 고주파 전원(50), 가변 직류 전원(58), 가스 제어기(64), 스톱밸브(66), 진공펌프(68) 등의 동작을 제어함으로써, 성막장치(12)에 의해 대략 다음과 같은 처리가 실행되도록 한다.
- <55> 우선, 진공펌프(68)를 동작시키는 것에 의해 진공으로 된 처리용기(14)내에 가스제어기(64)를 통해 가스를 흘리고, 스톱밸브(66)를 제어하여 처리용기(14)내를 소정의 진공도로 유지한다. 그 후, 가변 직류 전원(58)으로부터 DC 전력을 금속타겟(56)에 인가하고, 또한 고주파전원(50)으로부터 유도코일(48)에 고주파전력을 인가한다. 또한, 바이어스 전원 제어기(40)의 제어 하에서 바이어스 전원(38)로부터 탐재대(20)에 소정의 바이어스 전력을 인가한다.
- <56> 그러면, 처리공간(52)내에 있어서, 금속타겟(56) 및 유도코일(48)에 인가된 전력에 의해 Ar 가스의 플라즈마가 생성된다. 그리고, 플라즈마중의 Ar 이온이 금속타겟(56)에 충돌하고, 금속타겟(56)이 스퍼터된다. 스퍼터된 금속타겟(56)의 금속원자 내지 원자단은 플라즈마내를 통과할 때에 이온화되어 금속이온으로 된다. 이들 금속이온은 탐재대(20)에 인가된 바이어스 전력에 끌여당겨지고, 웨이퍼 S의 표면에 퇴적한다.
- <57> 후술하는 바와 같이, 장치 제어기(100)에 의해 바이어스 전원 제어기(40)를 제어해서, 탐재대(20)에 가하는 바이어스 전력을 더욱 크게 하는 것에 의해, 플라즈마중의 Ar 이온도 탐재대(20)를 향해 끌여당기는 것이 가능하게 된다.
- <58> 또, 장치 제어기(100)에 의한 제어는 미리 작성된 제어 프로그램에 의거하여 실행된다. 그 제어 프로그램은 자기 기억 매체, 광학 기억 매체, 반도체메모리 등의 각종 기억 매체에 저장한 것을 판독하도록 하는 것도 가능하다.
- <59> 다음에, 도 2 및 도 3을 참조하여, 이상과 같이 구성된 성막장치를 이용하여 실행되는 본 발명 방법의 원리에 대해서 설명한다.
- <60> 우선, 본 발명 방법의 특징은 플라즈마 스퍼터링에 의한 금속막의 형성을 실행할 때에, 탐재대에 가하는 바이어스 전력을 적절한 크기로 제어하는 것에 의해, 오목부가 형성된 웨이퍼의 상면에 있어서의 금속이온의 인입에 의한 금속막의 퇴적과 방전가스의 플라즈마(Ar 이온)에 의한 스퍼터 에칭이 동시에 생기도록 해서, 오목부의 측벽에 집중적으로 금속막을 퇴적시키도록 한 점이다. 구체적으로는 이 때의 바이어스 전력은 금속이온의 인입에 의한 금속막의 성막 레이트와, 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트가 대략 균형을 이루는 바와 같은 크기로 되도록 제어된다.
- <61> 이 점에 대해서 상세하게 설명한다. 우선, 성막량을 고려하지 않고 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트에 대해 그 특성을 검토하면, 스퍼터면의 각도와 에칭 레이트의 관계는 도 2에 나타내는 그래프와같이 된다. 여기서 스퍼터면의 각도는 스퍼터면의 법선이 Ar 이온의 입사방향과 이루는 각도를 가리킨다. 예를 들면, 스퍼터면이 웨이퍼 상면 및 오목부의 바닥부인 경우에는 스퍼터면의 각도는 모두 0도이다. 또한, 스퍼터면이 오목부 측벽인 경우에는 스퍼터면의 각도는 90도이다. 이 그래프로부터 명백한 바와 같이, 스퍼터면의 각도 0도(웨이퍼 상면)에서는 어느 정도 스퍼터 에칭이 실행되지만, 스퍼터면의 각도 90도(오목부의 측벽)에서는 거의 스퍼터 에칭이 실행되지 않는다. 또한, 스퍼터면의 각도 40~80도 정도(오목부의 개구 부근)에서는 상당히 심하게 스퍼터 에칭된다.
- <62> 그런데, 도 1에 나타내는 바와 같은 ICP형 스퍼터장치로 이루어지는 성막장치에서 플라즈마 발생을 위한 고주파 전력이 일정하다는 조건하에서 웨이퍼 S측에 인가하는 바이어스 전력과, 웨이퍼 S의 상면(오목부의 측벽은 아님)에의 금속막의 성막량의 관계는 도 3에 나타내는 바와 같이 된다. 즉, 바이어스 전력이 그다지 크지 않은 경우에는 금속 이온의 인입에 의해 높은 성막량이 얻어진다. 그러나, 더욱 바이어스 전력이 증가하면, 바이어스 전력에 의해 가속된 방전가스의 플라즈마중의 이온에 의해 웨이퍼 상면이 스퍼터 에칭되는 경향이 점차 강해진다(도 2 참조). 그 결과, 모처럼 퇴적한 금속막이 에칭에 의해 제거되어 버리게 된다.
- <63> 따라서, 웨이퍼 상면에 있어서의 금속이온의 인입에 의한 성막 레이트와 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트가 동일하게 되면, 성막과 에칭이 상쇄되어, 웨이퍼 상면의 실질적인 성막량이 제로로 된다. 이 때의 조건은 도 3 중의 점 X1(바이어스 전력 350W)에 대응한다. 또한, 도 3중의 바이어스 전력이나 성막량은 단지 일예를 나타낸 것에 불과하며, 장치나 성막시간 등에 따라서 이들 수치가 변동하는 것은 물론이다.
- <64> 종래, 이러한 종류의 스퍼터장치에서 일반적으로 이용되는 조건은 도 3의 영역 A1에 상당한다. 이 영역 A1은 바이어스 전력을 그다지 크게 하지 않고, 높은 성막량(성막 레이트)을 벌 수 있는 영역이다. 이것에 대해, 본 발



명 방법에서는 웨이퍼 상면에 있어서 금속이온의 인입에 의한 성막 레이트와 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트가 대략 균형을 이루는 바와 같은 영역 A2에서 성막을 실행한다. 여기서 「대략 균형」이라고 하는 것은 웨이퍼 상면의 실질적인 성막량이 제로인 경우 뿐만 아니라, 영역 A1에 있어서의 성막량의 3/10 정도까지의 성막량이 생기는 경우도 포함하는 취지이다.

<65> 다음에, 본 발명 방법의 더욱 구체적인 실시형태에 대해, 제1, 제2 및 제3 실시형태로 나누어서 설명한다.

<66> <제1 실시형태>

<67> 도 1에 있어서, 우선, 탑재대(20)를 아래쪽으로 강하시킨 상태에서, 게이트벨브(34)를 통해 처리용기(14)내에 웨이퍼 S를 반입하고, 이것을 지지핀(30)상에 지지시킨다. 다음에 탑재대(20)를 상승시켜 탑재대(20) 상면에 웨이퍼 S를 탑재하고, 웨이퍼 S를 정전척(22)에 의해 흡착 유지한다(준비공정). 또, 웨이퍼 S에는 도 8에 있어서 설명한 바와 같이 비어홀이나 스트루홀이나 홈과 같은 오목부(2)가 미리 상면에 개구되도록 형성되어 있다.

<68> 그리고, 처리용기(14)내를 소정의 압력으로 진공배기한 후에, 플라즈마 발생 시스템(46)의 유도코일(48)에 고주파전력을 인가하고, 바이어스 전원(38)으로부터 소정의 바이어스 전력을 탑재대(20)의 정전척(22)에 인가하여 성막을 실행한다. 여기서는 TaN막을 형성하기 위해, 금속타겟(56)의 재료로서 Ta(탄탈)를 이용함과 동시에, 방전가스인 Ar 가스 이외에 질화가스인 N<sub>2</sub>가스를 포함하는 처리가스를 처리용기(14)내에 공급한다. 이것에 의해, 도 4a에 나타내는 바와 같이, 웨이퍼 S의 표면 전체(상면 및 오목부(2)의 표면)에 하지층(4)으로서 TaN막을 대략 균일하게 형성한다. 이 때의 바이어스 전력은 종래의 일반적인 성막조건과 동일한 도 3 중의 영역 A1에 상당하고, 구체적으로는 100W(와트)정도이다. 이 경우, TaN막으로 이루어지는 하지층(4)의 두께는 매우 얇으므로, 오목부(2)의 개구부에 오버행이 생기는 일은 없다.

<69> 다음에, 본 발명의 특징으로 하는 성막공정을 실행한다. 이 성막공정에서는 탑재대(20)에 가하는 바이어스 전력을 도 3중의 영역 A2내에 상당하는 값까지 증가시킨다. 예를 들면, 웨이퍼 상면의 성막량을 제로로 되도록, 바이어스 전력을 도 3중의 포인트 X1에 상당하는 값, 구체적으로는 350W로 설정해서, 제1 금속막인 Ta막의 성막을 실행한다(제1 부공정). 이 때, 가스도입구(62)로부터는 질화가스의 공급을 정지시키고, 처리가스로서 Ar 가스를 공급한다. 이것에 의해, 도 4b에 나타내는 바와 같이 웨이퍼 S의 상면이나 오목부(2)내의 바닥부에는 제1 금속막(6)은 거의 퇴적하지 않고, 오목부(2)내의 측벽에만 Ta막으로 이루어지는 제1 금속막(6)이 대략 균일하게 퇴적하게 되며, 또한 오목부(2)의 개구에도 오버행이 생기는 일도 없다.

<70> 그 이유는 다음과 같이 설명된다. 즉, 바이어스 전력의 크기를 도 3중의 영역 A2, 특히 포인트 X1에 상당하는 값으로 하는 것에 의해, 금속이온의 인입 방향과 직교하게 되는 웨이퍼 상면은 금속 이온의 인입에 의한 성막 레이트와 방전가스의 플라즈마에 의한 스퍼터 에칭의 에칭 레이트가 대략 균형을 이룬다. 이 때문에, 웨이퍼 상면에 있어서는 결과적으로 금속막의 성막량이 대략 제로로 되는 것이다. 또한, 오목부(2)내의 바닥부에 관해서는 이 부분으로부터 스퍼터에 의해 비산된 금속이 오목부(2)내의 측벽에 부착되어 퇴적하게 된다. 그 결과, 오목부(2)내의 바닥부의 성막량도 대략 제로로 되며, 그 뿐만이 측벽에 부착되어 측벽 부분의 막두께의 균일성 향상에 기여하게 된다. 또한 오목부(2)의 개구에 오버행부분(8)(도 8)이 발생하지 않는 이유도, 상기한 바와 같이 성막현상과 에칭현상이 서로 상쇄하도록 작용한 결과에 의거한다.

<71> 이와 같이 금속이온의 인입에 의한 성막 레이트와, 방전가스의 플라즈마에 의한 에칭 레이트를 대략 균형을 이루게 하는 성막방법에 있어서 중요한 점은 성막에 기여하는 금속은 플라즈마중에 있어서 중성 금속 원자를 포함하지 않고, 대략 모두(95%이상, 바람직하게는 99% 이상)가 이온화되어 있다는 것이다. 이를 위해서는 플라즈마 발생 시스템(46)의 고주파 전력을 높게 설정하면 좋다(5000~6000W).

<72> 성막종으로서 중성 금속 원자를 포함하고 있으면, 웨이퍼 상면에서의 성막량이 제로이어도 오목부(2)내의 바닥부에 있어서는 에칭쪽이 우세하게 되며, 하지막인 배리어층(4)이 손상을 받으므로, 바람직하지 못하다. 중성 금속 원자는 웨이퍼 상면에는 퇴적하지만, 웨이퍼 S에 대한 수직성이 낮기 때문에 오목부(2)의 바닥부에는 도달할 수 없다. 이 때문에, 오목부(2)의 바닥부에 있어서는 금속 이온보다도 방전가스의 플라즈마의 이온쪽이 많아져, 에칭쪽이 우세하게 되어 버린다.

<73> 여기서는 설명을 단순화하기 위해, 방전가스의 플라즈마의 이온 1개의 충돌에 의해, 일단 퇴적한 금속원자(혹은 금속이온) 1개가 튀어나가는(에칭되는) 것으로 상정하고 있다. 또, 본 발명에 의한 성막방법에서는 오목부(2)의 측벽에 금속막을 퇴적시키고 있기 때문에, 금속 이온의 웨이퍼에 대한 수직성은 어느 정도 낮은 쪽이 바람직하다. 이 때문에 처리용기(14)내의 압력을 종래의 성막방법보다도 높게 유지하여 저진공상태(1~100mTorr, 더욱 바람직하게는 3~10mTorr)로 하고, 금속이온의 평균 자유 행정을 짧게 한다. 이것에 의해 금속이온이 방전가스

의 플라즈마에 충돌하는 회수가 증가하고, 웨이퍼에 대한 수직성을 낮게 할 수 있다.

- <74> 이 점에 대해, 도 5를 참조하면서 설명한다. 도 5는 바이어스 전력 및 프로세스 압력에 따른 금속이온의 수직성을 나타내는 그래프이다. 도 5에 있어서 A, B 및 C로 나타내어지는 각 타원은 웨이퍼 상면에 있어서 단위면적당 퇴적하는 금속이온의 양과 그 입사각을 나타내고 있다. 구체적으로는 원점에서 각 타원에 대해 교차하는 직선을 긋는 경우, 원점에서 그 교점까지의 길이가 금속 이온량이 되고, 그 직선이 X축과 이루는 각도가 입사각이 된다. 단, 웨이퍼 상면에 대해 수직으로 입사하는 경우가 입사각 0도로 된다. 예를 들면, 타원 A는 도 3의 영역 A1에서 성막한 경우에 상당하며, 타원 B는 프로세스 압력이 저진공이고 또한 도 3의 포인트 X1에서 성막한 경우에 상당하며, 타원 C는 프로세스 압력이 고진공(0.5mTorr 이하)이고 또한 포인트 X1에서 성막한 경우에 상당한다. 또한, 직선 L1, L2는 도 5의 하부에 나타내는 바와 같이, 오목부(2)의 바닥부에 도달가능한 금속이온의 임계각  $\theta$ 를 나타내는 것이다.
- <75> 도 5에 나타내는 임계값  $\theta$ 보다 작은 입사각으로 웨이퍼 상면에 도달한 금속 이온은 오목부(2)의 측벽에도 성막하지만, 바닥부에도 성막한다. 또한 임계각  $\theta$ 보다도 큰 각도로 입사한 금속이온은 측벽에만 성막하고, 또한 그 각도가 클수록 측벽의 상측에 성막하는 경향이 있다. 따라서, 본 발명과 같이 오목부(2)의 측벽 전체에 걸쳐 효율 좋게 성막하기 위해서는 타원 C보다도 임계각  $\theta$  부근의 성분을 많이 포함하고 있는 타원 A, 더 나아가서는 타원 B의 조건쪽이 더욱 바람직하다.
- <76> 또한, 이 때, 바이어스 전력을 영역 A2내의 포인트 X1 이외의 곳으로 설정해서, 영역 A1의 경우에 비하면 훨씬 얇은 제1 금속막(6)을 웨이퍼 상면에 형성하도록 해도 좋다. 또한, 바이어스 전력은 TaN막으로 이루어지는 하지층(4)이 스퍼터에 의해 손상(에칭)을 받지 않는 범위내의 크기에 머무른다.
- <77> 이와 같이, 제1 부공정에 의해, Ta막으로 이루어지는 제1 금속막(6)을 형성하여, 도 4b에 나타내는 바와 같이 TaN막과 Ta막의 적층구조로 이루어지는 배리어층을 형성한 후, 계속해서 제2 부공정을 실행한다. 이 제2 부공정에서는 금속타겟(56)의 재료를 탄탈에서 Cu로 변경한 것 이외는 도 1에 나타낸 제1 성막장치(12)와 동일한 구성의 제2 성막장치의 탑재대(20)상으로 웨이퍼 S를 탑재 이송한다. 그리고, 제1 부공정과 동일한 플라즈마 전력의 조건(도 3의 포인트 X1)으로, 도 4c에 나타내는 바와 같이 오목부(2)내의 측벽에 형성된 Ta막의 제1 금속막(6)상에, 이것과는 다른 금속으로 이루어지는 제2 금속막으로서 Cu막으로 이루어지는 금속막(70)을 형성한다. 이 경우에도, 금속막(70)은 오목부(2)내의 측벽상에 균일하게 형성되게 된다.
- <78> 이 경우, 제2 성막장치의 처리용기를, 진공배기 가능하게 이루어진 트랜스퍼 챔버를 거쳐서 제1 성막장치의 처리용기(14)와 연결해 두는 것에 의해 반도체웨이퍼 S를 대기에 노출시키는 일 없이 제2 성막장치로 이동시킬 수 있다.
- <79> 계속해서, 제2 처리장치에 있어서, 플라즈마 전력을 도 3중의 영역 A1로 설정하고, 도 4d에 나타내는 바와 같이 웨이퍼 S의 표면 전체(상면 및 오목부(2)의 표면)에 도금용의 전극인 Cu막(72)을 형성한다. 이 Cu막(72)의 두께를 예를 들면 90nm 이하로 비교적 얇게 함으로써, 오목부(2)의 개구에서의 오버행 부분의 발생을 방지할 수 있다.
- <80> 다음에, 웨이퍼 S를 제2 성막장치로부터 꺼내고, 이것에 통상의 도금처리를 실시하는 것에 의해, 도 4e에 나타내는 바와 같이, 오목부(2)내를 Cu(74)에 의해 완전히 매립한다. 이 경우, 도 8에 나타내는 종래 방법의 경우와 달리, 오목부(2)의 개구에는 오버행 부분은 발생하고 있지 않으므로, 보이드 등을 생기게 하지 않으며, 오목부(2)내를 Cu(74)에 의해 완전히 매립 할 수 있다. 또, 도 1에 나타내는 장치제어기(100)에 의해서 제어되는 플라즈마 스퍼터링 성막시의 프로세스 조건은 예를 들면 다음과 같다. 타겟용의 직류전원(58)의 출력은 0~12000W, Ar 가스의 유량은 50~1000sccm, 바이어스 전력은 320~350W 정도, N<sub>2</sub>가스의 유량은 5~500sccm이다.
- <81> <제2 실시형태>
- <82> 다음에, 도 6a 내지 도 6d에 나타내는 본 발명 방법의 제2 실시형태에 대해서 설명한다.
- <83> 본 실시형태는 상기 제1 실시형태와 대략 마찬가지로의 제1 부공정(도 6a)과 제2 부공정(도 6c)의 사이에, 오목부(2)의 바닥부에 위치하는 하지층(4)을 에칭에 의해 깎아내는 제3 부공정(도 6b)을 추가한 것이다.
- <84> 본 실시형태의 제1 부공정은 다음의 점에서 상기 제1 실시형태의 제1 부공정(도 4b)과 다르다. 즉, 도 3중의 영역 A2내의 영역 A3(포인트 X1보다 조금 위쪽의 영역)에 상당하는 바이어스 전력(예를 들면 320W 정도)을 인가해서, 도 6a에 나타내는 바와 같이 다음공정의 에칭에 대비해서 웨이퍼 S의 상면에도 약간의 두께  $\Delta H$ 의 금속막(6A)을 형성한다. 이 때, 오목부(2)의 바닥부에도, 웨이퍼 S 상면에 있어서의 금속막(6A)의 두께  $\Delta H$ 의 20% 정

도의 두께의 금속막(도시하지 않음)이 퇴적된다.

- <85> 다음의 제3 부공정에서, 도 6b에 나타내는 바와 같이 오목부(2)의 바닥부에 위치하는 TaN막의 하지층(4)만을 에칭으로 깎아낸다. 이 제3 부공정은 도 1에 나타내는 성막장치(12)에서 금속타겟(56)을 떼어낸 것을 이용해서, Ar 가스의 플라즈마에 의한 스퍼터 에칭으로서 실행된다. 그 때, 웨이퍼 S의 상면도 스퍼터 에칭되지만, 미리 형성된 얇은 금속막(6A)이 보호막으로서 작용하므로, 웨이퍼 S 상면이 손상을 받는 일은 없다.
- <86> 다음의 제2 부공정에서, 도 6c에 나타내는 바와 같이 Cu막으로 이루어지는 제2 금속막(70)을 형성한다. 그리고, 도 6d에 나타내는 Cu막(72)의 형성을 실행한 후, 상기 제1 실시형태와 마찬가지로 도금처리(도 4e)에 의해 오목부(2)내를 Cu(74)로 매립한다. 그런데, 오목부(2)의 아래에는 일반적으로 Cu로 이루어지는 배선 등이 존재한다. 따라서, 본 실시형태에 의하면, 오목부(2)의 바닥부에 있어서 TaN막(4)이 개재하는 일이 없는 Cu-Cu 콘택트가 실현되며, 이 부분에 있어서의 전기 저항을 대폭 저감하는 것이 가능해진다.
- <87> <제3 실시형태>
- <88> 다음에, 도 7a 내지 도 7e에 나타내는 본 발명 방법의 제3 실시형태에 대해 설명한다.
- <89> 본 실시형태는 상기 제1 실시형태의 TaN막으로 이루어지는 하지층(4)을 형성하는 공정(도 4a) 대신에, 스토퍼층으로서 제1 금속막(6)과 동일한 금속으로 이루어지는 초기 금속막(Ta막)(80)을 형성하는 공정(도 7a)을 구비한 것이다.
- <90> 구체적으로는 우선 도 7a에 나타내는 바와 같이, 웨이퍼 S의 표면전체(상면 및 오목부(2)의 표면)에, 종래와 마찬가지로 플라즈마 스퍼터링 성막에 의해, Ta막을 초기 금속막(80)으로서 형성한다. 이 때, 도 3중의 영역 A1에 상당하는 바이어스 전력을 이용하여, 충분한 두께(예를 들면 100nm 이상)의 초기 금속막(80)을 퇴적시킨다. 이 경우, 오목부(2)의 바닥면 뿐만 아니라 측벽에도 Ta막이 퇴적되지만, 오목부(2)의 개구에는 오버행 부분(82)이 형성되어 버린다. 그러나, 이 오버행 부분(82)의 문제는 다음의 공정에서 해결되게 된다.
- <91> 다음의 제1 부공정에서, 도 7b에 나타내는 바와 같이, Ta막으로 이루어지는 제1 금속막(6)을 형성한다. 이 때의 바이어스 전력은 제1 실시형태의 제1 부공정(도 4b)과 마찬가지로, 도 3중의 포인트 X1로 설정한다. 이것에 의해, 오목부(2)내의 벽면에만 제1 금속막(6)이 형성된다. 이 때, 웨이퍼 S의 상면에 있어서는 금속 이온의 인입에 의한 성막과 방전가스의 플라즈마(A 이온)에 의한 스퍼터 에칭이 동시에 평형상태로 되도록 발생하고 있으므로, 웨이퍼 S 상면의 초기 금속막(80)의 두께 H는 거의 변화하는 일은 없다. 또한 오목부(2)의 개구 부분은 다 방향으로부터 Ar 이온에 의해 스퍼터를 받기 쉬우므로, 오버행 부분(82)(도 7a)이 깎아 내어져, 비교적 좋은 개구형상으로 되돌아가게 된다.
- <92> 다음의 제2 부공정에서, 도 7c에 나타내는 바와 같이, Cu막으로 이루어지는 제2 금속막(70)을 형성한다. 그리고, 도 7d에 나타내는 Cu막(72)의 형성을 실행한 후, 도 7e에 나타내는 도금처리에 의해 오목부(2)내를 Cu(74)로 매립한다. 이 경우에도, 제1 실시형태의 경우와 마찬가지로 작용효과를 나타내며, 예를 들면 오목부(2)내에 보이드 등이 발생하는 것을 방지할 수 있다.
- <93> 이상의 실시형태에 있어서의 각 수치는 단순한 예시이며, 이들에 한정되지 않지 않는 것은 물론이다. 또한, TaN/Ta/Cu(제1 및 제2 실시형태) 혹은 Ta/Cu(제3 실시형태)로 되는 것과 같은 배리어막/시드막의 적층 구조를 예로 들어 설명했지만, 본 발명은 이들 적층 구조에도 한정되지 않는다. 예를 들면, TiN/Ti/Cu 적층 구조, TiN/Ti/Ru 적층 구조, 더 나아가서는 Ti/Cu 적층 구조, Ti/Ru 적층 구조에 대해서도 본 발명을 적용할 수 있는 것은 물론이다.
- <94> 또한, 각 고주파전원의 주파수도 13.56MHz에 한정되는 것은 아니며, 다른 주파수, 예를 들면 27.0MHz를 이용하는 것도 가능하다. 또한, 방전가스로서는 Ar 가스에 한정되지 않으며, 다른 불활성가스, 예를 들면 He나 Ne 등을 이용해도 좋다. 또한, 여기서는 피처리체로서 반도체 웨이퍼를 예로 들어 설명했지만, 이것에 한정되지 않으며, LCD기판, 유리 기판 등에도 본 발명을 적용할 수 있다.

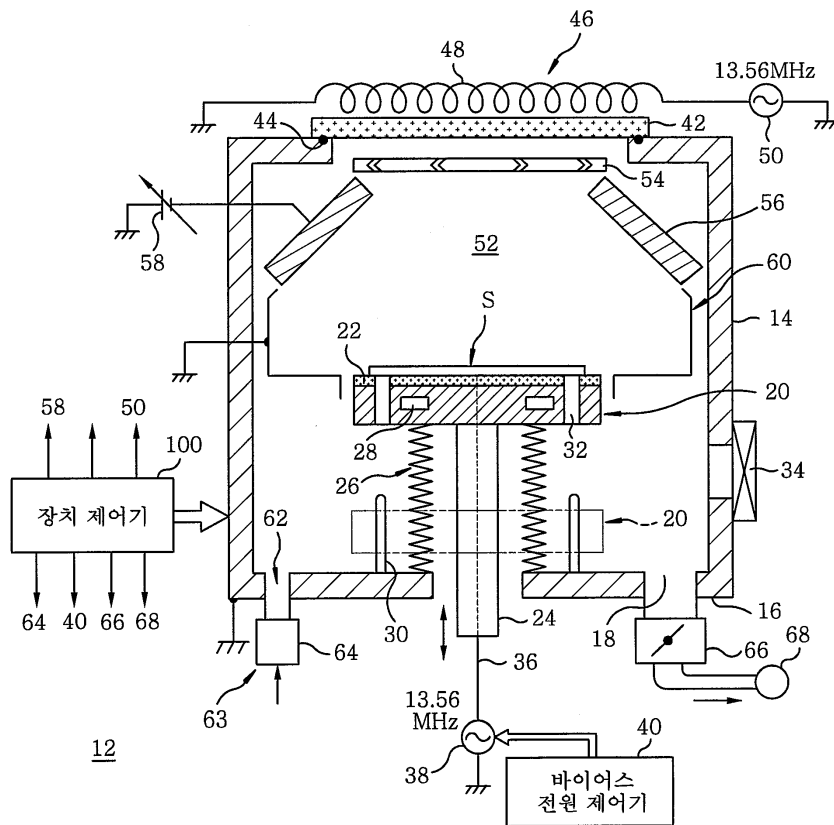
**도면의 간단한 설명**

- <37> 도 1은 본 발명에 대한 성막장치의 1실시형태를 나타내는 단면도.
- <38> 도 2는 스퍼터 에칭의 각도 의존성을 나타내는 그래프.
- <39> 도 3은 바이어스 전력과 웨이퍼 상면의 성막량의 관계를 나타내는 그래프.

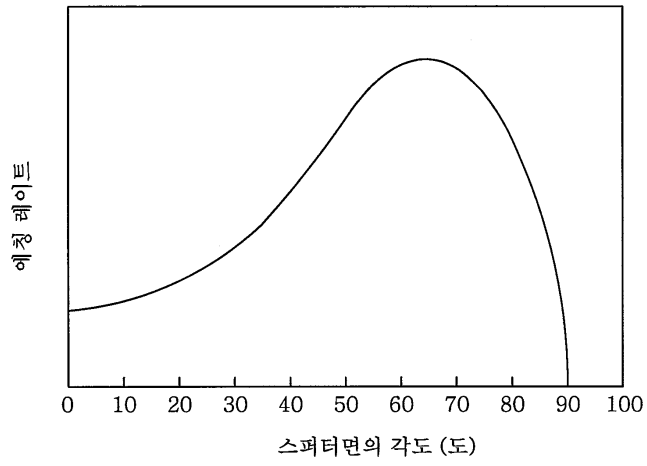
- <40> 도 4a 내지 도 4e는 본 발명 방법의 제1 실시형태의 각 공정을 나타내는 반도체 웨이퍼의 오목부 주변 종단면도.
- <41> 도 5는 바이어스 전력이나 프로세스 압력과, 금속 이온의 수직성의 관계를 나타내는 그래프.
- <42> 도 6a 내지 도 6d는 본 발명 방법의 제2 실시형태의 일부의 각 공정을 나타내는 반도체 웨이퍼의 오목부 주변 종단면도.
- <43> 도 7a 내지 도 7e는 본 발명 방법의 제3 실시형태)의 각 공정을 나타내는 반도체 웨이퍼의 오목부 주변 종단면도.
- <44> 도 8은 일반적인 플라즈마 스퍼터링에 의한 방법에 의해 성막된 반도체 웨이퍼의 오목부 주변을 나타내는 종단면도.

**도면**

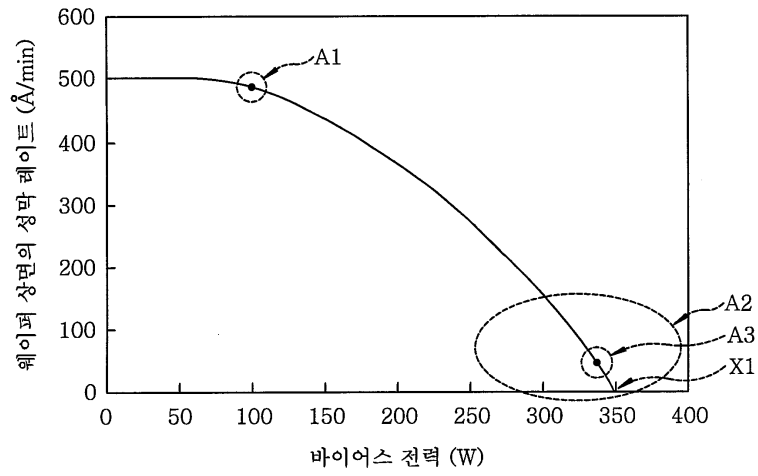
**도면1**



도면2

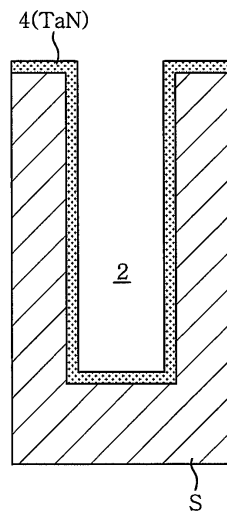


도면3



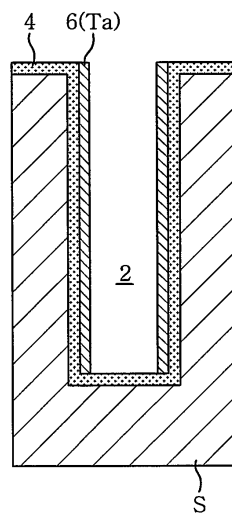
도면4a

(A1 영역)

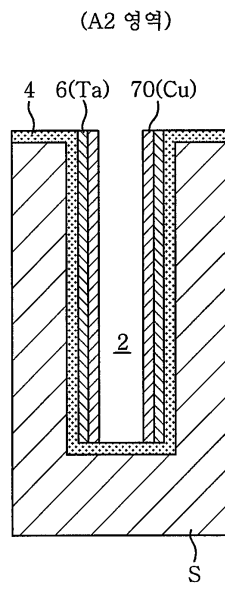


도면4b

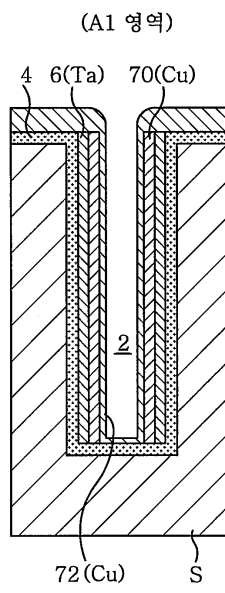
(A2 영역)



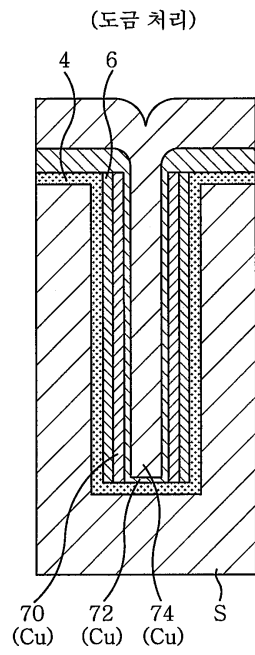
도면4c



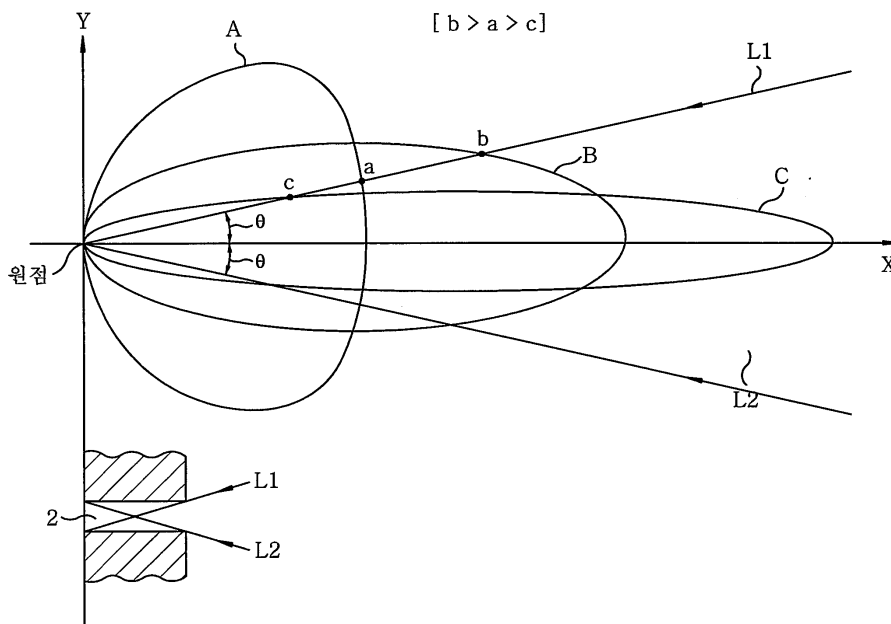
도면4d



도면4e

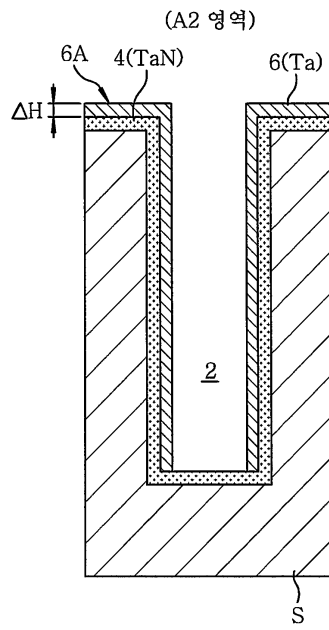


도면5

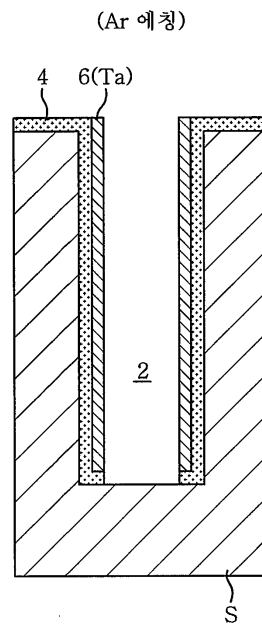




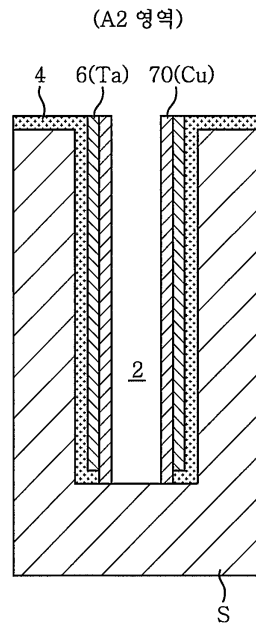
도면6a



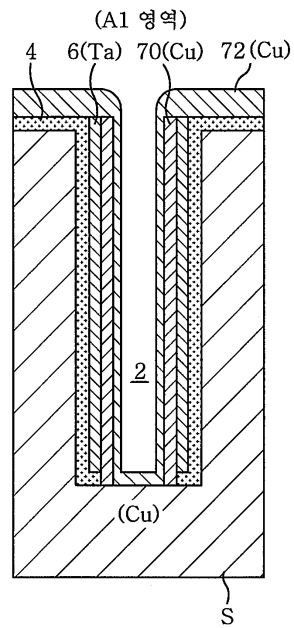
도면6b



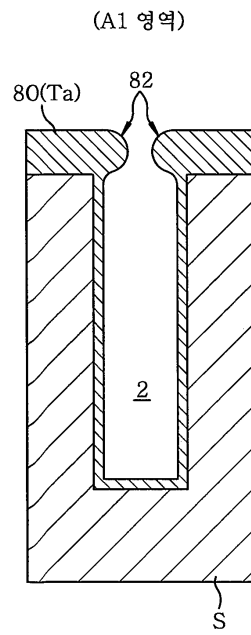
도면6c



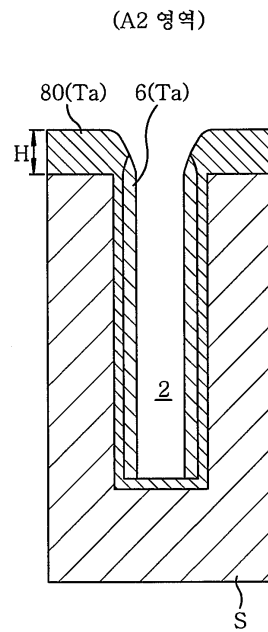
도면6d



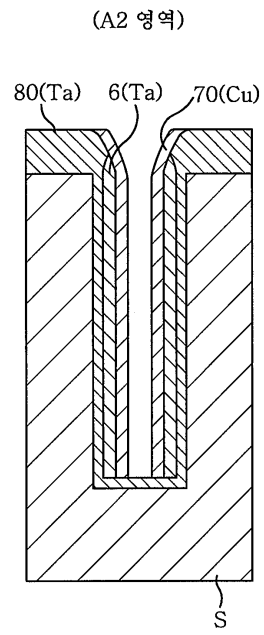
도면7a



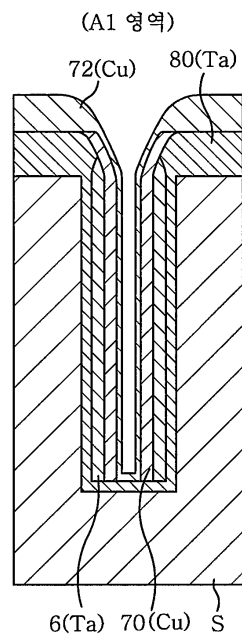
도면7b



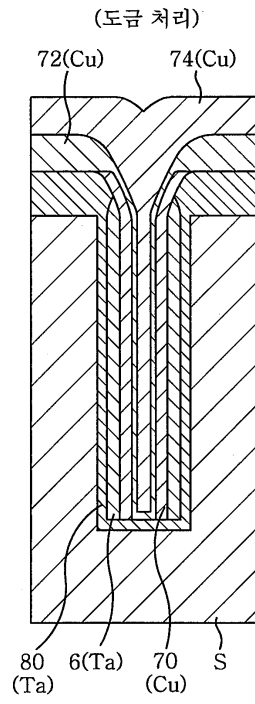
도면7c



도면7d



도면7e



도면8

