

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-159197

(P2005-159197A)

(43) 公開日 平成17年6月16日(2005.6.16)

(51) Int. Cl.⁷

F I

テーマコード (参考)

H O 1 L 25/04

H O 1 L 25/04

Z

H O 1 L 25/07

H O 1 L 25/04

C

H O 1 L 25/18

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2003-398519 (P2003-398519)

(22) 出願日 平成15年11月28日(2003.11.28)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74) 代理人 100089233

弁理士 吉田 茂明

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 安藤 正之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

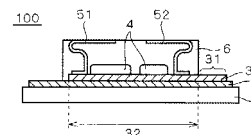
(54) 【発明の名称】 半導体モジュール及び半導体装置

(57) 【要約】

【課題】電極端子のインダクタンスを小さくすることで、それに起因して半導体モジュールの特性が低下することを防止する。

【解決手段】半導体モジュール100は、金属板1と絶縁基板2、半導体素子4とを備える。絶縁基板2は、金属板1に積層され、金属板1とは反対側の面上に回路パターン3を有する。回路パターン3は、回路配線部32と電極端子部31とを含む。電極端子部31は回路配線部32と接続されている。半導体素子4は絶縁基板2上に載置される。半導体素子4は回路配線部32と接続されている。半導体素子4と回路配線部32とが絶縁物6により覆われる。電極端子部31は、絶縁基板2の表面上に露出しており、直線状に延在している。

【選択図】 図2



3 : 回路パターン
4 : 半導体素子
3 2 : 回路配線部

【特許請求の範囲】

【請求項 1】

金属板と、
前記金属板上に積層され、前記金属板とは反対側の面上に回路パターンを有する絶縁基板と、
前記絶縁基板上に載置される半導体素子と
を備え、
前記回路パターンは、回路配線部と電極端子部とを含み、
前記電極端子部は直線状であり、
前記半導体素子と前記回路配線部とを絶縁物により覆うと共に、前記電極端子部の一端を前記絶縁物の周囲より露出させたことを特徴とする、半導体モジュール。 10

【請求項 2】

前記半導体素子は、ゲートを有するトランジスタとフリーホイールダイオードとを含み、
前記電極端子部を介して、前記トランジスタと前記フリーホイールダイオードとにコンデンサが接続される、請求項 1 に記載の半導体モジュール。

【請求項 3】

前記半導体素子は、ゲートを有するトランジスタを含み、
前記ゲートの電圧をクランプして制御する回路素子が前記電極端子部を介して前記トランジスタに接続される、請求項 1 に記載の半導体モジュール。 20

【請求項 4】

請求項 1 に記載の半導体モジュールを複数備え、
前記半導体モジュール同士が、それぞれが備える前記電極端子部を介して接続される、半導体装置。

【請求項 5】

前記半導体モジュール同士は、少なくとも相手が位置する側に前記電極端子部を有する、請求項 4 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体モジュール及び半導体装置に関する。 30

【背景技術】

【0002】

従来からの半導体モジュールは、半導体素子の動作や半導体素子に印加される電圧等を制御するための回路が半導体モジュールの製造と並行して作製されていた。このため、制御用の回路が変更されるごとに半導体モジュールの製造工程を変更する必要がある、コストが高くなる等の問題が生じていた。

【0003】

そこで、電圧を印加するための電極端子とは別の電極端子が設けられた半導体モジュールが開発されている。この電極端子は、絶縁基板に対して傾斜して延在しており、制御用の回路を有する素子等が後付けされる。 40

【0004】

なお、混成集積回路装置においてインダクタンスを低減する技術が特許文献 1 に開示されている。半導体パワーモジュールにおいて主回路で発生する熱を放散できる技術が特許文献 2 に開示されている。半導体装置において主電流端子の高い耐圧とインダクタンスの低減と実現する技術が特許文献 3 に開示されている。

【0005】

【特許文献 1】特開 2000 - 313576 号公報

【特許文献 2】特開 2000 - 133768 号公報

【特許文献 3】特開平 9 - 121019 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

半導体モジュールは、回路部分、すなわち半導体素子や電極端子等が、シリコンゲル等の絶縁物で覆われる。シリコンゲル等は水分を吸収するため膨張する。このため電極端子に応力が生じ、この応力により電極端子が劣化しやすかった。このため、電極端子の形状をバンド状にすることで、電極端子の強度を高めていた。制御用の回路素子等が後付け可能な電極端子についても同様に、形状をバンド状にすることで強度を高めていた。

【0007】

一般的に、電極端子の形状がバンド状である場合、電極端子のインダクタンスが高くなる。特に制御用の回路素子が後付け可能な電極端子のインダクタンスが高くなると、制御機能が低下する可能性があった。このため、半導体モジュールの特性が低下する等の問題が生じる可能性もあった。

10

【0008】

本発明は、上述の事情に鑑みてなれたものであり、電極端子のインダクタンスを小さくすることで、それに起因して半導体モジュールの特性が低下することを防止する。

【課題を解決するための手段】

【0009】

この発明にかかる半導体モジュールは、金属板と、前記金属板上に積層され、前記金属板とは反対側の面上に回路パターンを有する絶縁基板と、前記絶縁基板上に載置される半導体素子とを備え、前記回路パターンは、回路配線部と電極端子部とを含み、前記電極端子部は直線状であり、前記半導体素子と前記回路配線部とを絶縁物により覆うと共に、前記電極端子部の一端を前記絶縁物の周囲より露出させたことを特徴とする。

20

【発明の効果】

【0010】

この発明にかかる半導体モジュールによれば、電極端子部が直線状であるので、インダクタンスが小さくなる。よって、インダクタンスが原因となって半導体モジュールの特性が低下することを防止することができる。また、電極端子部は絶縁基板に対して傾斜しないため、製造コストの低減、生産性の向上、ケースの小型化等が可能になる。

【発明を実施するための最良の形態】

30

【0011】

実施の形態 1 .

図 1 は、本実施の形態にかかる半導体モジュールの概念的な平面図である。図 2 は、図 1 に示される半導体モジュール 100 の位置 A - A における断面図である。

【0012】

半導体モジュール 100 は、金属板 1 と絶縁基板 2、半導体素子 4 とを備える。絶縁基板 2 は、金属板 1 に積層され、金属板 1 とは反対側の面上に回路パターン 3 を有する。回路パターン 3 は、回路配線部 32 と電極端子部 31 とを含む。電極端子部 31 は回路配線部 32 と接続されている。半導体素子 4 は絶縁基板 2 上に載置される。半導体素子 4 は回路配線部 32 と接続されている。半導体素子 4 と回路配線部 32 とが絶縁物 6 により覆われる。

40

【0013】

電極端子部 31 は、その一端が絶縁物 6 の周囲から絶縁基板 2 の表面上に露出しており、位置 A - A の方向と平行な方向へと直線状に延在している。図 1 では、電極端子部 31 が三つの電極端子 311, 312, 313 を含む場合が示されている。例えば、半導体素子 4 がトランジスタを含む場合においては、エミッタ (E)、コレクタ (C)、ベース (B) に電極端子 311, 312, 313 がそれぞれ接続されてもよい。

【0014】

図 1 と図 2 では、半導体モジュール 100 が電極端子 51, 52 を更に備える場合が示されている。電極端子 51, 52 は、絶縁物 6 に覆われ、端部の一方を回路配線部 32 と

50

接続し、他方を絶縁物 6 の表面に露出させている。また電極端子 5 1 , 5 2 は、形状がバンド状である。

【 0 0 1 5 】

上述の半導体モジュール 1 0 0 によれば、電極端子部 3 1 が直線状であるので、インダクタンスが小さくなる。よって、インダクタンスが原因となって半導体モジュール 1 0 0 の特性が低下することを防止することができる。また、電極端子部 3 1 は絶縁基板 2 に対して傾斜しないため、製造コストの低減、生産性の向上、ケースの小型化等が可能になる。

【 0 0 1 6 】

半導体モジュール 1 0 0 が、図 3 に示されるように電極端子部 3 1 が電極端子 3 1 1 , 3 1 2 を二つだけ含む場合であってもよい。例えば、半導体素子 4 がトランジスタを含む場合においては、エミッタ (E)、コレクタ (C)、ベース (B) のいずれか二つに電極端子 3 1 1 , 3 1 2 が接続されてもよい。

【 0 0 1 7 】

実施の形態 2 .

本実施の形態では、実施の形態 1 で説明された電極端子部 3 1 に、外部からコンデンサを接続する。図 4 は、本実施の形態にかかる半導体モジュールの回路図である。

【 0 0 1 8 】

図 4 では、半導体素子 4 が絶縁型バイポーラトランジスタ (I G B T) とフリーホイールダイオード (F W D) とを含む場合が示されている。I G B T は、エミッタ (E) ・コレクタ (C) ・ゲート (G) を有し、ゲート (G) を有するトランジスタと把握できる。F W D は、エミッタとコレクタの間で I G B T と並列に接続される。

【 0 0 1 9 】

電極端子 3 1 1 , 3 1 2 は、コレクタ (C) とエミッタ (E) にそれぞれ接続されている。図中の斜線部は、電極端子 3 1 1 , 3 1 2 が絶縁基板 2 の表面上に露出していることを示す。以下の実施の形態で説明される図 5 と図 7 についても同様である。

【 0 0 2 0 】

電極端子 5 1 , 5 2 は、コレクタ (C) とエミッタ (E) にそれぞれ接続される。電極端子 5 1 , 5 2 がそれぞれ有するインダクタンス L 1 , L 2 は、電極端子 5 1 とコレクタ (C) 及び電極端子 5 2 とエミッタ (E) の間にそれぞれ示されている。電極端子 5 1 , 5 2 には、例えば電源が接続され、I G B T 及び F W D に電圧を印加する。

【 0 0 2 1 】

コンデンサは、I G B T 及び F W D と並列に電極端子 3 1 1 , 3 1 2 の間に接続される。つまり、コンデンサが、電極端子 3 1 1 , 3 1 2 を含む電極端子部 3 1 を介して、I G B T と F W D とに接続されると把握することができる。

【 0 0 2 2 】

上述の半導体モジュールによれば、コンデンサが I G B T 及び F W D と並列に接続されるので、I G B T 及び F W D に印加される電圧が振動することを抑制することができる。

【 0 0 2 3 】

実施の形態 3 .

本実施の形態では、実施の形態 1 で説明された電極端子部 3 1 に、外部からツェナーダイオードを接続する。図 5 は、本実施の形態にかかる半導体モジュールの回路図である。図 5 に示される半導体素子 4 及び電極端子 5 1 , 5 2 については実施の形態 2 と同様の内容である。

【 0 0 2 4 】

電極端子 3 1 1 , 3 1 2 は、ゲート (G) とエミッタ (E) にそれぞれ接続される。互いに逆向きで直列に接続された二つのツェナーダイオードは、I G B T と並列に電極端子 3 1 1 , 3 1 2 の間に接続される。ツェナーダイオードは、ゲート (G) の電圧をクランプして制御する。つまり、ツェナーダイオードは外部から接続される回路素子と把握することができる。

10

20

30

40

50

【0025】

この場合、半導体素子4は、ゲートを有するトランジスタ（IGBT）を含み、回路素子は、電極端子311，312を含む電極端子部31を介して、トランジスタに接続されると把握することもできる。

【0026】

上述の半導体モジュールによれば、ツェナーダイオードがゲート（G）とエミッタ（E）を介してトランジスタに並列に接続されるので、インダクタンスが原因となってゲートの電圧が急激に変化することを抑制することができる。

【0027】

実施の形態4.

本実施の形態では、半導体装置が、実施の形態1で説明された半導体モジュールを複数備える。図6は、本実施の形態にかかる半導体装置を概念的に示す平面図である。

【0028】

図6では、半導体装置が二つの半導体モジュール100，101を備える場合が示されている。半導体モジュール100，101は、図3に示される半導体モジュールと同様である。ただし半導体モジュール101において、電極端子53，54は電極端子51，52に、電極端子部31が有する電極端子314，315は電極端子311，312にそれぞれ対応する。

【0029】

半導体モジュール100，101は、それぞれが備える電極端子部31を介して接続される。図6では、電極端子311と電極端子314及び電極端子312と電極端子315が、銅材等でできた配線21によりそれぞれ接続される場合が示されている。

【0030】

上述される半導体装置によれば、インダクタンスの小さい半導体モジュールが備えられるので、半導体装置のインダクタンスも小さくなる。

【0031】

上述の半導体装置においては図6に示されるように、半導体モジュール100，101同士が、相手が位置する側に電極端子部31を有することが望ましい。これにより、半導体モジュール100，101をできるだけ短い配線21で接続することができるので、配線に起因するインダクタンスを小さくすることができる。よって、半導体装置のインダクタンスをより小さくすることができる。

【0032】

図7は、上述の半導体装置において、半導体モジュール100，101にそれぞれ備えられる半導体素子4がIGBTとFWDとを含む場合の回路図である。半導体モジュール100，101に対応する回路図は、図4で示される回路図においてコンデンサが省かれた場合と同様である。ただし半導体モジュール101に対応する回路図において、インダクタンスL3，L4はインダクタンスL1，L2に対応する。

【0033】

上述の回路図に示される半導体装置によれば、IGBTのコレクタに接続された電極端子311，314が、IGBTのエミッタに接続された電極端子312，315が、それぞれ配線21により接続されるので、半導体モジュール100，101のそれぞれの半導体素子4に印加される電圧を均一化することができる。

【0034】

上述いずれの実施の形態においても、用途に応じて回路素子を後付けすることができる。ここで回路素子は、実施の形態2においてはコンデンサを、実施の形態3においてはツェナーダイオードを、実施の形態3においては一方の半導体モジュールを、それぞれ示す。よって、半導体素子4の近傍での回路設計が容易になる。

【図面の簡単な説明】

【0035】

【図1】実施の形態1で説明される、半導体モジュールの概念的な平面図である。

10

20

30

40

50

【図2】実施の形態1で説明される、半導体モジュールの概念的な断面図である。

【図3】実施の形態1で説明される、半導体モジュールの概念的な平面図である。

【図4】実施の形態2で説明される、半導体モジュールの概念的な回路図である。

【図5】実施の形態3で説明される、半導体モジュールの概念的な回路図である。

【図6】実施の形態4で説明される、半導体装置の概念的な平面図である。

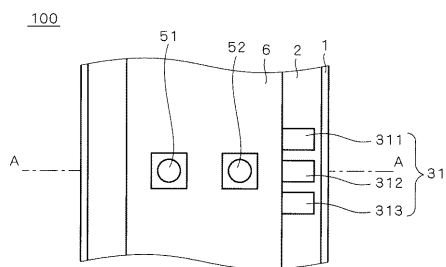
【図7】実施の形態4で説明される、半導体装置の概念的な回路図である。

【符号の説明】

【0036】

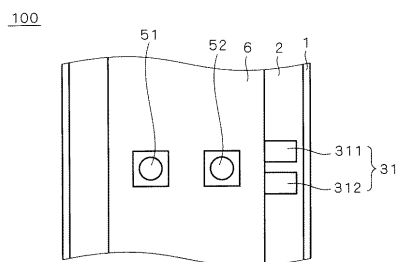
1 金属板、2 絶縁基板、3 回路パターン、4 半導体素子、31 電極端子部、
32 回路配線部、100, 101 半導体モジュール。

【図1】

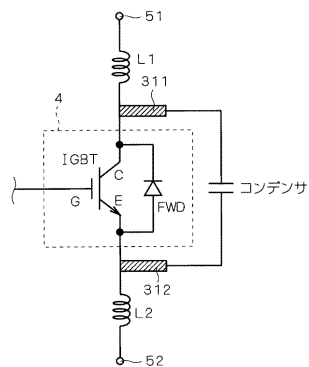


1: 金属板
2: 絶縁基板
3: 回路パターン
4: 半導体素子
100: 半導体モジュール

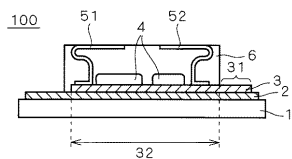
【図3】



【図4】

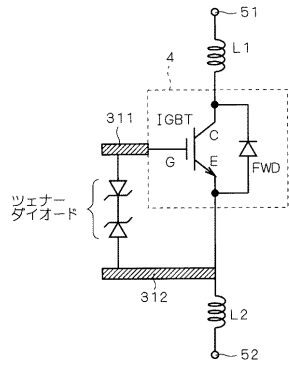


【図2】

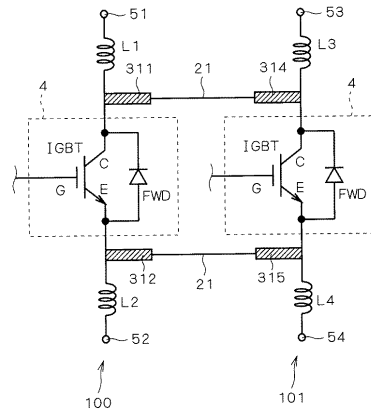


3: 回路パターン
4: 半導体素子
32: 回路配線部

【図5】



【図7】



【図6】

