



(12) 发明专利

(10) 授权公告号 CN 102683289 B

(45) 授权公告日 2014. 04. 02

(21) 申请号 201210136000. 5

(22) 申请日 2012. 05. 04

(73) 专利权人 上海华力微电子有限公司

地址 201210 上海市浦东新区张江高科技园
区高斯路 568 号

(72) 发明人 俞柳江

(74) 专利代理机构 上海新天专利代理有限公司

31213

代理人 王敏杰

(51) Int. Cl.

H01L 21/8244(2006. 01)

审查员 潘元真

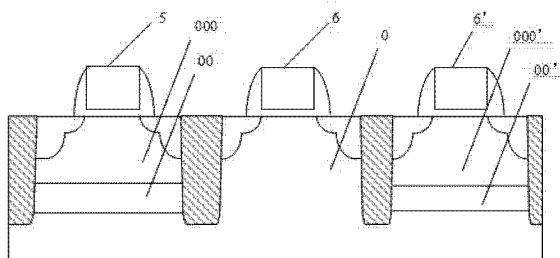
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种提高静态随机存储器写入冗余度的方法

(57) 摘要

本发明公开了一种提高静态随机存储器读出冗余度的方法,包括下列步骤:提供静态随机存储器衬底,所述衬底上包括依次相邻的NMOS区域、第一PMOS区域和第二PMOS区域,所述第一NMOS区域用于制备普通NMOS器件、控制管和下拉管,所述第一PMOS区域用于制备普通PMOS器件,所述第二PMOS区域用于制备上拉管;在所述NMOS区域、所述第一PMOS区域和所述第二PMOS区域之间形成浅槽隔离区;同时对所述NMOS区域和所述第二PMOS区域采取局部应变硅技术,使得所述NMOS区域和所述第二PMOS区域均位于锗硅虚拟衬底之上的外延硅薄膜之中。本发明降低了上拉管空穴迁移率,增大了上拉管的等效电阻,提高了随机存储器写入冗余度。



1. 一种提高静态随机存储器写入冗余度的方法,其特征在于,包括下列步骤:

提供静态随机存储器衬底,所述衬底上包括依次相邻的 NMOS 区域、第一 PMOS 区域和第二 PMOS 区域,所述 NMOS 区域用于制备普通 NMOS 器件、控制管和下拉管,所述第一 PMOS 区域用于制备普通 PMOS 器件,所述第二 PMOS 区域用于制备上拉管;

在所述 NMOS 区域、所述第一 PMOS 区域和所述第二 PMOS 区域之间形成浅槽隔离区;

同时对所述 NMOS 区域和所述第二 PMOS 区域采取局部应变硅技术,使得所述 NMOS 区域和所述第二 PMOS 区域均位于锗硅虚拟衬底之上的外延硅薄膜之中。

2. 如权利要求 1 所述的提高静态随机存储器写入冗余度的方法,其特征在于,在完成所述 NMOS 区域或者所述第一 PMOS 区域或者所述第二 PMOS 区域的制作过程中包括在硅薄膜上沉积栅极材料,刻蚀形成栅极并制作侧墙。

3. 如权利要求 2 所述的提高静态随机存储器写入冗余度的方法,其特征在于,所述沉积方法采用化学气相法。

4. 如权利要求 2 所述的提高静态随机存储器写入冗余度的方法,其特征在于,所述刻蚀采用干法刻蚀。

5. 如权利要求 2 所述的提高静态随机存储器写入冗余度的方法,其特征在于,所述硅薄膜为氮化硅或者氧化硅。

6. 如权利要求 1 所述的提高静态随机存储器写入冗余度的方法,其特征在于,所述衬底为硅衬底。

一种提高静态随机存储器写入冗余度的方法

技术领域

[0001] 本发明涉及半导体制备技术领域,尤其涉及一种提高静态随机存储器写入冗余度的方法。

背景技术

[0002] 静态随机存储器(SRAM)作为半导体存储器中的一类重要产品,在计算机、通信、多媒体等高速数据交换系统中得到了广泛的应用。图1所示的是一个90纳米以下的通常的SRAM单元的版图结构,包括有源区、多晶硅栅、和接触孔这三个层次,图中区域1所标示出来的为控制管(Pass Gate),该器件为一NMOS器件,区域2所标示出来的为下拉管(Pull Down MOS),该器件同样为一NMOS器件,区域3所标示出来的为上拉管(Pull Up MOS),该器件为一PMOS器件。

[0003] 写入冗余度(Write Margin)是衡量SRAM单元写入性能的一个重要参数,图2是一个SRAM器件在写入时的工作示意图,图中4为控制管,5为下拉管,6为上拉管,假设节点7存储数据为低电位(即存储数据为“0”),而相应的,节点8存储数据为高电位(即存储数据为“1”),现在以向节点7写入高电位而节点8写入低电位为例,在写入动作前,位线9会被预充到高电位,位线10会被预充到低电位,写入动作开始时,字线11打开,由于节点7初始存储的数据为低电位,所以初始状态时,上拉管6打开而下拉管5关闭。由于上拉管6和控制管4都是打开的,所以节点8的电位不再是“1”,而是位于某一中间电位。该中间电位由上拉管6和控制管4的等效电阻所决定。为了完成写入动作,节点8的中间电位必须小于一定数值,即控制管和4和上拉管6的等效电阻的比例必须要小于一定数值,中间电位值越低,SRAM单元的写入冗余度就越大。如果增大上拉管的等效电阻,就可以降低节点8的中间电位,从而增大SRAM单元的写入冗余度。

[0004] 随着工艺代的进步,特别是在65纳米以下工艺代中,会采用局部应变硅技术制备CMOS器件。局部应变硅技术是指在制备CMOS器件时,对于NMOS器件,其沟道会位于锗硅虚拟衬底上外延生长的硅薄膜之中,由于硅的晶格常数小于锗硅,因此,在锗硅虚拟衬底上外延生长的硅薄膜之中会存在张应力,这个张应力对提高NMOS器件的电子迁移率有益。而对于PMOS器件,由于沟道中的张应力会降低空穴的迁移率,因此PMOS器件的沟道仍然位于普通的体硅之中,而不会采用锗硅虚拟衬底外延硅薄膜的方法。由于只是在NMOS器件的局部区域采用锗硅虚拟衬底上外延硅薄膜的方法,因此被称为局部应变硅技术。特别的,对于SRAM的上拉管,由于其也为一PMOS器件,所以在通常工艺中,如图3所示,普通PMOS器件6、上拉管6'的沟道是位于普通的体硅0之中。

发明内容

[0005] 针对上述存在的问题,本发明的目的是提供一种提高静态随机存储器写入冗余度的方法,使得上拉管沟道中张应力增大,从而降低了上拉管空穴迁移率,增大了上拉管的等效电阻,提高了随机存储器写入冗余度。

- [0006] 本发明的目的是通过下述技术方案实现的：
- [0007] 一种提高静态随机存储器读出冗余度的方法，其中，包括下列步骤：
- [0008] 提供静态随机存储器衬底，所述衬底上包括依次相邻的 NMOS 区域、第一 PMOS 区域和第二 PMOS 区域，所述第一 NMOS 区域用于制备普通 NMOS 器件、控制管和下拉管，所述第一 PMOS 区域用于制备普通 PMOS 器件，所述第二 PMOS 区域用于制备上拉管；
- [0009] 在所述 NMOS 区域、所述第一 PMOS 区域和所述第二 PMOS 区域之间形成浅槽隔离区；
- [0010] 同时对所述 NMOS 区域和所述第二 PMOS 区域采取局部应变硅技术，使得所述 NMOS 区域和所述第二 PMOS 区域均位于锗硅虚拟衬底之上的外延硅薄膜之中。
- [0011] 上述提高静态随机存储器读出冗余度的方法，其中，在完成所述 NMOS 区域或者所述第一 PMOS 区域或者所述第二 PMOS 区域的制作过程中包括在硅薄膜上沉积栅极材料，刻蚀形成栅极并制作侧墙。
- [0012] 上述提高静态随机存储器读出冗余度的方法，其中，所述沉积方法采用化学气相法。
- [0013] 上述提高静态随机存储器读出冗余度的方法，其中，所述刻蚀采用干法刻蚀。
- [0014] 上述提高静态随机存储器读出冗余度的方法，其中，所述硅薄膜为氮化硅或者氧化硅。
- [0015] 上述提高静态随机存储器读出冗余度的方法，其中，所述衬底为硅衬底。
- [0016] 与已有技术相比，本发明的有益效果在于：
- [0017] 1、不增加现有工艺步骤；
- [0018] 2、通过逻辑运算 (Logic Operation)，当采取局部应变硅技术以提高 NMOS 器件电子迁移率的时候，在制备局部锗硅虚拟衬底的工艺过程中，使得上拉管区域同样被打开，最终上拉管也位于锗硅虚拟衬底之上的外延硅薄膜之中，而不是如同普通 PMOS 器件一样位于普通体硅之中，从而增大了上拉管沟道之中的张应力，降低了上拉管器件的载流子迁移率，增大了上拉管的等效电阻；
- [0019] 3、在写入过程中，降低了节点 8 的电位，从而提高了随机存储器的写入冗余度。

附图说明

- [0020] 图 1 是现有技术中 SRAM 版图示意图；
- [0021] 图 2 是现有技术中 SRAM 电路结构示意图。
- [0022] 图 3 是现有技术中局部应变硅技术后 NMOS 器件、PMOS 器件以及上拉管的截面示意图；
- [0023] 图 4 是本发明一种提高静态随机存储器写入冗余度的方法中 NMOS、PMOS 和上拉管的截面示意图。

具体实施方式

- [0024] 下面结合原理图和具体操作实施例对本发明作进一步说明。
- [0025] 如图 4 所示，本发明提高静态随机存储器读出冗余度的方法，其包括下列步骤：
- [0026] 提供静态随机存储器衬底 0，衬底 0 上包括依次相邻的 NMOS 区域 5、第一 PMOS 区

域 6 和第二 PMOS 区域 6', 第一 NMOS 区域 5 用于制备普通 NMOS 器件、控制管和下拉管, 第一 PMOS 区域 6 用于制备普通 PMOS 器件, 所述第二 PMOS 区域 6' 用于制备上拉管;

[0027] 在 NMOS 区域 5、第一 PMOS 区域 6 和第二 PMOS 区域 6' 之间分别形成浅槽隔离区 (STI);

[0028] 同时对 NMOS 区域 5 和第二 PMOS 区域 6' 采取局部应变硅技术, 即通过逻辑运算 (Logic Operation), 当采取局部应变硅技术以提高 NMOS 器件电子迁移率的时候, 在制备局部锗硅虚拟衬底的工艺过程中, 使得上拉管区域同样被打开, 最终使得 NMOS 区域 5 和第二 PMOS 区域 6' 均位于锗硅虚拟衬底 00、00' 之上的外延硅薄膜 000、000' 之中, 而第一 PMOS 区域 6 仍然处于体硅 0 之中, 从而增大了上拉管沟道之中的张应力, 降低了上拉管器件的载流子迁移率, 增大了上拉管的等效电阻, 在写入过程中, 降低了节点 8 的电位, 从而提高了随机存储器的写入冗余度。应变硅由在 SiGe 等原子距离较大的衬底上外延生长 Si 而成, 其形成的基本原理是利用一种成本相对较低、可大规模应用的方法来加大硅原子间距, 从而减小电子通行所受到的阻碍, 也就相当于减小了电阻, 因此发热量和能耗都会降低, 运行速度则得以提升。

[0029] 优选地, 在完成 NMOS 区域 5 或者第一 PMOS 区域 6 或者第二 PMOS 区域 6' 的制作过程中包括在硅薄膜上沉积栅极材料, 刻蚀形成栅极并制作侧墙。

[0030] 优选地, 沉积方法采用化学气相法, 刻蚀采用干法刻蚀。

[0031] 进一步地, 硅薄膜为氮化硅或者氧化硅, 衬底为硅衬底。

[0032] 本发明可应用在 45nm 静态随机存储器制备工艺中, 以提高其写入冗余度。

[0033] 综上, 本发明通过逻辑运算 (Logic Operation), 当采取局部应变硅技术以提高 NMOS 器件电子迁移率的时候, 在制备局部锗硅虚拟衬底的工艺过程中, 使得上拉管区域同样被打开, 最终上拉管也位于锗硅虚拟衬底之上的外延硅薄膜之中, 而不是如同普通 PMOS 器件一样位于普通体硅之中, 从而增大了上拉管沟道之中的张应力, 降低了上拉管器件的载流子迁移率, 增大了上拉管的等效电阻。

[0034] 以上对本发明的具体实施例进行了详细描述, 但本发明并不限于以上描述的具体实施例, 其只是作为范例。对于本领域技术人员而言, 任何等同修改和替代也都在本发明的范畴之中。因此, 在不脱离本发明的精神和范围下所作出的均等变换和修改, 都应涵盖在本发明的范围内。

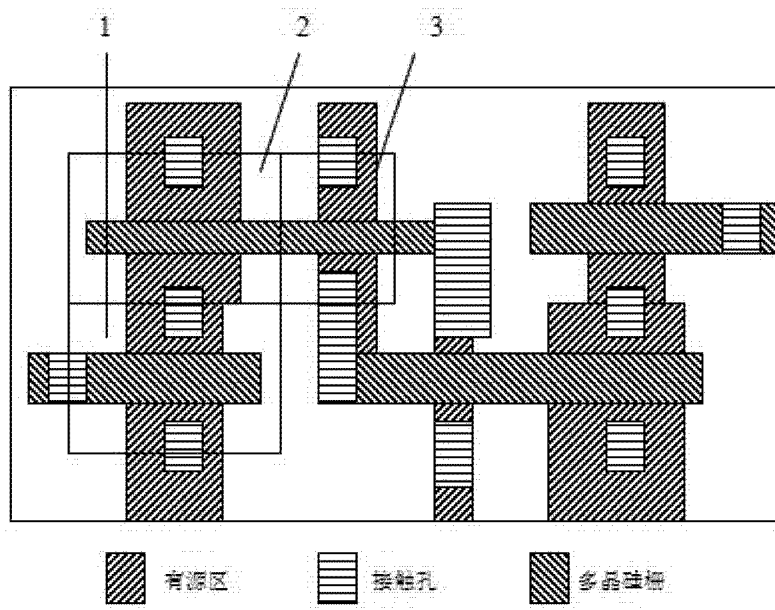


图 1

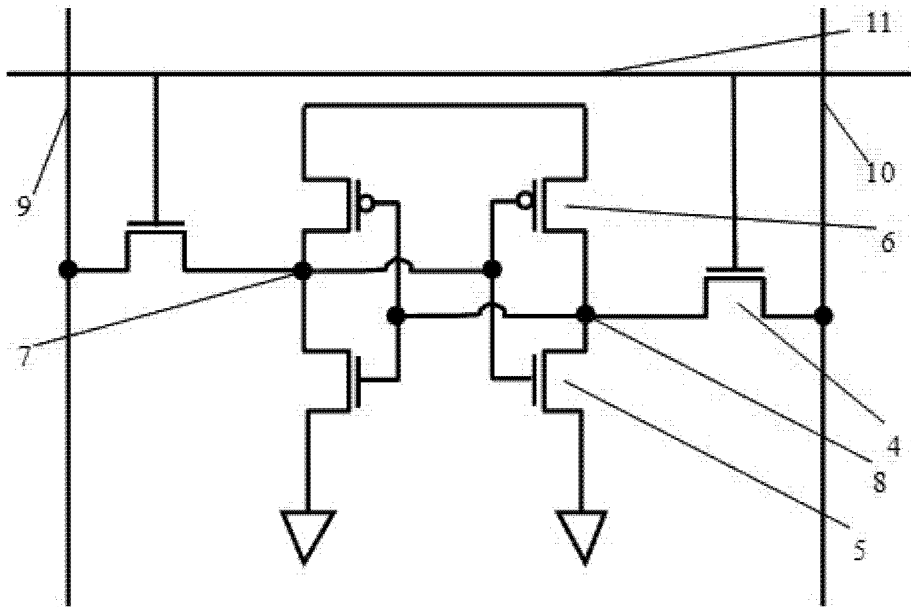


图 2

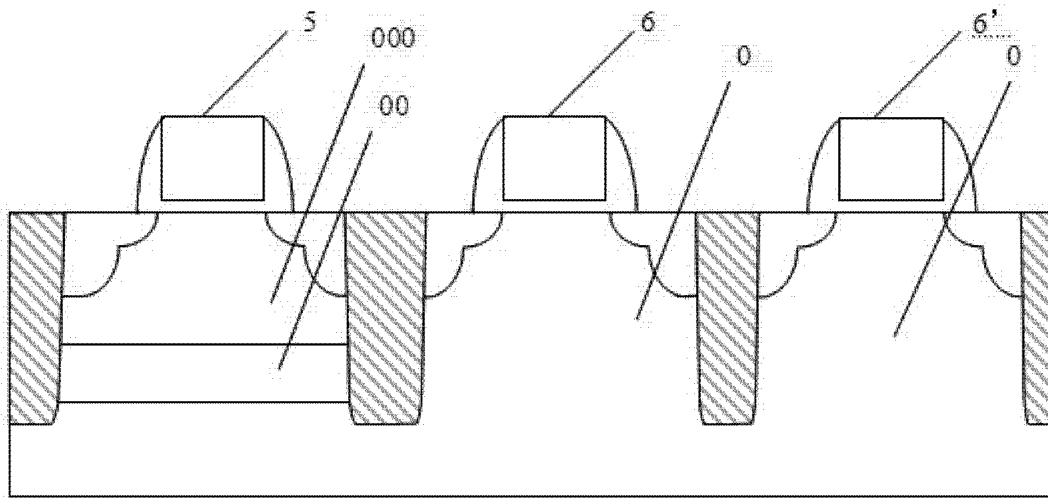


图 3

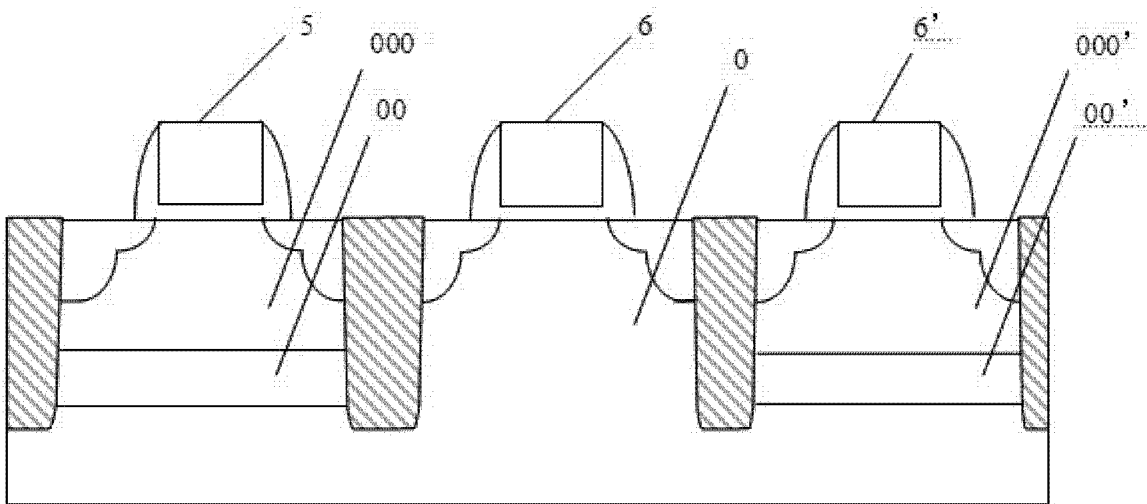


图 4