

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 21/82	(45) 공고일자 1996년 12월 20일	(11) 공고번호 특 1996-0016773
(21) 출원번호 특 1994-0006232	(24) 등록일자 1996년 12월 20일	(65) 공개번호 특 1995-0028065
(22) 출원일자 1994년 03월 28일	(43) 공개일자 1995년 10월 18일	

(73) 특허권자	삼성전자주식회사 김광호
(72) 발명자	김형섭
(74) 대리인	이영필, 박영우, 조현실

심사관 : 김용정 (책자공보 제4760호)

(54) 매몰 비트라인과 실린더형 게이트셀 및 그 제조방법

요약

요약없음

대표도

도 1a

명세서

[발명의 명칭]

매몰 비트라인과 실린더형 게이트셀 및 그 제조방법

[도면의 간단한 설명]

제 1A~C도 내지 제 10도는 본 발명의 제 1 실시예에 의한 반도체장치의 제조방법을 설명하기 위한 평면도 및 단면도들.

제 11도 내지 제 17도는 본 발명의 제 2 실시예에 의한 반도체장치의 제조방법을 설명하기 위한 평면도 및 단면도들.

제 18도 내지 제 26도는 본 발명의 제 3 실시예에 의한 반도체장치의 제조방법을 설명하기 위한 평면도 및 단면도들.

\* 도면의 주요부분에 대한 부호의 설명

10, 50, 100 : p<sup>-</sup>반도체기판 12, 60, 116 : 분리영역

18, 52, 122 : 매몰 비트라인 23, 25, 62, 66 : n<sup>-</sup>에피층

24, 64 : p<sup>-</sup> 에피층 26, 68, 130 : 게이트절연막

28, 70, 132 : 게이트라인 30, 70, 134 : 평탄화층

32, 72, 136 : 제 1 절연층 34, 74, 138 : 제 2 절연층

36, 76, 140 : 절연스페이서 46, 80, 144 : 스토리지 노드

[발명의 상세한 설명]

본 발명은 반도체장치 및 그 제조방법에 관한 것으로, 특히 매몰 비트라인 및 실린더형 게이트셀 구조를 갖는 반도체장치 및 그 제조방법에 관한 것이다.

반도체 메모리셀, 특히 디램(DRAM)셀의 집적도를 증가시키기 위해서는, 가장 작은 면적에 가장 많은 수의 소자를 집적시키는 것이 중요하다.

차세대 소자인 Giga 비트급 DRAM 셀은 하나의 트랜지스터와 하나의 커패시터로 이루어지는 메모리셀의 면적이 0.3 $\mu\text{m}^2$  이하의 수준으로, 이는 Mega 비트급 DRAM셀에서 상호접속(Interconnection)을 위한 콘택홀 하나의 면적에 불과하다. 이와 같이 작은 면적에 단위 셀 구성을 위해 트랜지스터, 커패시터, 및 상호 접속을 위한 콘택홀을 각각 하나씩 함께 형성시키는 것은 거의 불가능하다.

지금까지 사용되어온 대부분의 메모리셀들은, 트랜지스터, 커패시터 및 콘택홀이 평면 레이아웃 상, 래터럴(lateral)로 이루어져 있으며, 상기 각각의 면적의 합이 메모리셀 면적을 결정하는 요인으로 작용하였

다. 따라서, Giga비트급의 메모리셀을 구성하려면 약  $.03\mu\text{m}^2$  이하의 면적안에 트랜지스터, 커패시터, 및 소오스, 드레인영역의 접속을 위한 콘택홀이 모두 형성되어야 하므로, 면적의 한계를 극복하기 위해서는 3차원적인 셀 구조가 필요하게 되고, 래터럴 레이아웃에서 버티컬(vertical) 레이아웃 구조로 셀 구조를 변경시켜야 한다.

또한, 불리영역들간의 간격을 축소하여 활성영역의 면적을 최대화하고, 추가적인 활성영역의 손실을 가져 오지 않는 콘택홀을 형성함으로써 유효 활성영역의 면적을 최대로 활용하는 것이 필수적이다.

케이. 스노우치 (K.Sunouchi) 등은 단위 메모리셀을 구성하는 모든 소자가 매트릭스식의 트랜치에 의해 분리된 실리콘 필라 내에 형성되는 SGT셀을 제안하였다(참조문헌; IEDM'89, 'A Surrounding Gate Transistor(SGT) Cell for 64/256Mbit DRAMs').

그러나, 상기 SGT셀의 제조방법은 다음과 같은 문제점들을 갖는다.

첫째로, 실리콘 필라와 커패시터를 형성하는 공정이 복잡하고, 둘째, 메모리셀 간의 분리특성이 취약하며, 셋째, 게이트전극의 형성시 커패시터 플레이트 노드와 게이트전극간에 쇼트가 발생할 가능성이 크다.

따라서, 본 발명의 목적은 상술한 종래방법의 문제점들을 해결할 수 있는 고집적 반도체장치를 제공하는 데 있다.

본 발명의 다른 목적은 상기 반도체장치를 제조하는데 특히 적합한 고집적 반도체장치의 제조방법을 제공하는 데 있다.

상기 목적을 달성하기 위하여 본 발명은, 반도체기판; 상기 반도체기판에 활성영역을 한정하기 위하여 형성된 트랜치 분리영역; 상기 트랜치 분리영역이 형성된 장도체기판 상에 형성된 비트라인; 상기 비트라인 상에 형성되고, 그 하부로부터 상부로 트랜지스터의 드레인, 채널, 및 소오스영역이 차례로 형성된 실리콘 필라; 상기 실리콘 필라를 둘러싸며 차례로 형성된 게이트절연막 및 게이트라인; 인접한 상기 게이트라인들 사이에 형성된 평탄화층; 상기 게이트라인 상에 형성되고, 상기 트랜지스터의 소오스영역을 노출시키는 콘택홀을 갖는 절연층; 및 상기 절연층 상에 형성되고, 상기 콘택홀을 통해 상기 트랜지스터의 소오스영역에 접속되는 커패시터의 스토리지노드를 구비하는 것을 특징으로 하는 반도체장치를 제공한다.

본 발명의 반도체장치의 다른 실시예에 의하면, 반도체기판; 상기 반도체기판에 활성영역을 한정하기 위하여 형성된 다수의 제1트랜치 분리영역들, 상기 제1트랜치 분리영역들 사이에 형성되고, 상기 반도체기판의 표면부 위에서 벌크쪽으로 차례로 형성된 트랜지스터의 소오스, 채널 및 드레인영역으로 이루어진 실리콘 필라; 상기 실리콘 필라의 일측면에 접하여 상기 실리콘 필라의 드레인영역까지 형성된 제2트랜치; 상기 제2트랜치의 하부에 형성된 비트라인; 상기 제2트랜치의 내부를 매립하는 절연막; 상기 실리콘 필라의 타측면을 둘러싸며 차례로 형성된 게이트절연막 및 게이트라인; 인접한 상기 게이트라인들 사이에 형성된 평탄화층; 상기 게이트라인 상에 형성되고, 상기 트랜지스터의 소오스영역을 노출시키는 콘택홀을 갖는 절연층; 및 상기 절연층 상에 형성되고, 상기 콘택홀을 통해 상기 트랜지스터의 소오스영역에 접속되는 커패시터의 스토리지노드를 구비하는 것을 특징으로 하는 반도체장치를 제공한다.

상기 다른 목적을 달성하기 위하여 본 발명은, 반도체기판에 활성영역을 한정하기 위하여 트랜치 분리영역을 형성하는 단계; 상기 트랜치 분리영역이 형성된 반도체기판 상에 비트라인을 형성하는 단계; 상기 트랜치 분리 영역 상에만 제1절연막에 제2절연막이 적층되어 이루어진 절연막 기둥을 형성하는 단계; 상기 절연막 기둥에 의해 노출된 상기 반도체기판 상에, 그 하부로부터 상부로 트랜지스터의 드레인, 채널 및 소오스영역이 차례로 형성되는 실리콘 필라를 형성하는 단계; 상기 제2절연막을 제거하는 단계; 상기 실리콘 필라를 둘러싸도록 게이트절연막 및 게이트라인을 차례로 형성하는 단계; 상기 게이트라인이 형성된 결과물 상에 절연물질을 침적하고 이를 에치백하여 평탄화층을 형성하는 단계; 상기 평탄화층이 형성된 결과물 상에 절연층을 형성하는 단계; 상기 절연층을 부분적으로 식각하여 상기 실리콘 필라의 소오스영역을 노출시키는 콘택홀을 형성하는 단계; 및 상기 콘택홀이 형성된 결과물 상에, 상기 콘택홀을 통해 소오스영역에 접속되는 커패시터의 스토리지노드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법을 제공한다.

본 발명의 반도체장치 제조방법의 다른 실시예에 의하면, 제1도전형의 반도체기판 상에 도전층 및 물질층을 차례로 형성하는 단계; 상기 물질층, 도전층, 및 반도체기판을 식각하여 비트라인을 형성함과 동시에 트랜치를 형성하는 단계; 상기 트랜치의 내부를 절연물질로 매립하여 트랜치 분리영역을 형성하는 단계; 상기 물질층을 제거하는 단계; 상기 트랜치 분리영역을 제외한 상기 반도체기판 상에, 그 하부로부터 상부로 트랜지스터의 드레인, 채널 및 소오스영역이 차례로 형성되는 실리콘 필라를 형성하는 단계; 상기 트랜치 분리영역 내부의 절연물질층을 상기 실리콘 필라의 드레인영역까지 식각하는 단계; 상기 실리콘 필라를 둘러싸도록 게이트절연막 및 게이트라인을 차례로 형성하는 단계; 상기 게이트라인이 형성된 결과물 상에 절연물질을 침적하고 이를 에치백하여 평탄화층을 형성하는 단계; 상기 평탄화층이 형성된 결과물 상에 절연층을 형성하는 단계; 상기 절연층을 부분적으로 식각하여 상기 실리콘 필라의 소오스영역을 노출시키는 콘택홀을 형성하는 단계; 및 상기 콘택홀이 형성된 결과물 상에, 상기 콘택홀을 통해 소오스영역에 접속되는 커패시터의 스토리지노드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법을 제공한다.

본 발명의 반도체장치 제조방법의 또 다른 실시예에 의하면, 제1도전형의 반도체기판 내에 제2도전형의 매몰 불순물층을 형성하는 단계; 상기 매몰 불순물층이 형성된 반도체기판의 표면에 제2도전형의 표면 불순물층을 형성하는 단계; 상기 표면 불순물층이 형성된 반도체기판에 활성영역을 한정하기 위하여 제1트랜치 분리영역을 형성하는 단계; 상기 활성영역 부위의 반도체기판을 매몰 불순물층보다 깊게 식각하여 제2트랜치를 형성하는 단계; 상기 제2트랜치의 하부에 비트라인을 형성하는 단계; 상기 비트라인이 형성된 제2트랜치의 내부를 절연물질로 매립하는 단계; 상기 제1트랜치 분리영역을 상기 매몰불순물층까지 식각하여, 상기 제2도전형의 매몰불순물층, 제1도전형의 반도체기판, 및 제2도전형의 표면 불순물층으로 이루어진 실리콘 필라를 형성하는 단계; 상기 실리콘 필라를 둘러싸도록 게이트절연막 및 게이트라인을 차례로 형성하는 단계; 상기 게이트라인이 형성된 결과물 상에 절연물질을 침적하고 이를 에치백하여 평탄

화층을 형성하는 단계; 상기 절연층을 부분적으로 식각하여 상기 실리콘 필라의 소오스영역을 노출시키는 콘택홀을 형성하는 단계; 및 상기 콘택홀이 형성된 결과물상에, 상기 콘택홀을 통해 소오스영역에 접속되는 커패시터의 스토리지노드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법을 제공한다.

본 발명에 의하면, 매몰 비트라인 구조 및 실리콘 필라를 둘러싸는 버티컬 게이트구조를 사용함으로써 유효활성영역의 면적을 최대한 활용할 수 있다.

이하, 첨부가 도면을 참조하여 본 발명을 더욱 상세하게 설명한다.

제1A~C도 내지 제10도는 본 발명의 제1실시예에 의한 반도체장치의 제조방법을 설명하기 위한 평면도 및 단면도들이다.

제1A~C도는 트렌치 분리영역(12)을 형성하는 단계를 도시하며, 제1B도 및 제1C도는 각각, 제1A도의 AA'선 및 BB'선에 따른 단면도들이다. 제1도전형, 예컨대 p<sup>-</sup>형의 반도체기판(10) 상에 질화물을 침적하고 이를 사진식각 공정으로 패터닝함으로써 상기 반도체기판(10)의 활성영역이 형성될 부위에만 질화물패턴(11)을 형성한다. 이어서, 상기 질화물패턴(11)을 식각마스크로 이용하여 상기 기판(10)을 소정깊이로 식각하여 트렌치(도시되지 않음)를 형성한 후, 소자간의 전기적 절연을 강화시키기 위하여 p<sup>+</sup>형의 불순물 이온을 주입함으로써 상기 트렌치의 저부영역에 p<sup>+</sup> 불순물층(14)을 형성한다. 다음에, 상기 트렌치가 형성된 기판(10) 전면에 절연물질, 예컨대 산화물을 침적하고, 이를 에치백(etch back)하여 상기 트렌치의 내부를 절연물질로 매립함으로써 트렌치 분리영역(12)을 형성한다.

제2A~C도는 비트라인(18)을 형성하는 단계를 도시하며, 제2A도 및 제2B도는 각각, 제2A도의 AA'선 및 B B'선에 따른 단면도들이다. 상기 활성영역 상의 질화물패턴(11)을 제거한 다음, 반도체기판(10)의 전면에 제2도전형, 예컨대 n<sup>+</sup>형의 불순물 이온을 주입하여 상기 기판(10)의 표면에 n<sup>+</sup>형의 불순물층(16)을 형성한다. 상기 n<sup>+</sup>형의 불순물층(16)은 후속공정에서 형성될 비트라인과 트랜지스터의 드레인영역간의 콘택저항을 감소시키기 위하여 제공된다. 이어서, 상기 n<sup>+</sup>형의 불순물층(16)이 형성된 기판(10) 상에 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적하고 이를 사진식각 공정으로 패터닝함으로써 비트라인(18)을 형성한다.

제3A~C도는 절연막 기둥(20,22)을 형성하는 단계를 도시하며, 제3B도 및 제3C도는 각각, 상기 제2A도의 AA'선 및 BB'에 따른 단면도들이다. 상기 비트라인(18)이 형성된 결과물 전면에, 예컨대 질화물 및 산화물을 차례로 침적하여 제1절연막(20) 및 제2절연막(22)을 형성한 후, 사진식각 공정으로 상기 제2절연막(22) 및 제1절연막(20)을 패터닝함으로써 절연막 기둥을 형성한다.

제4A~D도는 트랜지스터의 드레인(23), 채널(24) 및 소오스영역(25)을 형성하는 단계를 도시하며, 제4B도 및 제4C도는 각각, 상기 제4A도의 AA'선 및 BB'선에 따른 단면도들이고, 제4D도는 상기 BB'선에 따른 사시도이다. 상기 절연막 기둥(20,22)에 의해 노출된 반도체기판을 시드(seed)로 이용하여 n<sup>-</sup>형의 제1에피택시얼 반도체층(23)을 성장시킨 후, 계속해서 그 위에 p<sup>-</sup>형의 제2에피택시얼 반도체층(24) 및 n<sup>-</sup>형의 제3에피택시얼 반도체층(25)을 연속하여 성장시킴으로서 실리콘 필라를 완성한다. 상기 n<sup>-</sup>형의 제1에피택시얼 반도체층(23)은 nMOS 트랜지스터의 드레인영역으로 이용되고, p<sup>-</sup>형의 제2에피택시얼 반도체층(24) 및 n<sup>-</sup>형의 제3에피택시얼 반도체층(25)은 각각 nMOS 트랜지스터의 채널 및 소오스영역으로 이용된다. 여기서, 드레인영역(23)으로 이용되는 상기 n<sup>-</sup>형의 제1에피택시얼 반도체층은 비트라인(18)과 접속된다.

또한, 상기 절연막 기둥(20,22)에 의해 노출된 기판을 시드로 이용하여 nMOS 트랜지스터의 채널영역으로 이용될 p<sup>-</sup>형의 에피택시얼 반도체층을 상기 절연막 기둥의 상부까지 성장시킨 다음, n<sup>-</sup>형의 불순물 이온을 고에너지 및 저에너지로 각각 2회 주입하여 상기 p<sup>-</sup>형 에피택시얼 반도체층의 하부 및 상부에 드레인(23) 및 소오스영역(25)을 형성할 수도 있다.

이어서, 상기 절연막 기둥을 구성하고 있는 제2절연막(22)을 제거하며, 그 결과물이 제4D도에 도시되어 있다.

제5A~C도는 게이트절연막(26) 및 게이트라인(28)을 형성하는 단계를 도시하며, 제5B도 및 제5C도는 각각 제5A도의 AA'선 및 BB'선에 따른 단면도들이다. 트랜지스터의 드레인(23), 채널(24) 및 소오스(25)로 이용되는 실리콘 필라가 형성된 결과물 상에 열산화 공정을 실시하여 상기 실리콘 필라의 표면 상에 게이트절연막(26)을 형성한다. 이어서, 상기 게이트절연막(26)이 형성된 결과물 상에 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적한 후, 사진식각 공정으로 상기 도전층을 패터닝함으로써 상기 실리콘 필라를 둘러싸는 게이트라인(28)을 형성한다. 이때, 트렌치 분리영역(12) 상의 비트라인(18)과 상기 게이트라인(28)은 제1절연막(20)에 의한 상호 절연된다.

제6A~B도는 평탄화층(30)을 형성하는 단계를 도시한다. 상기 게이트라인(28)이 형성된 결과물 상에 절연물질을 침적한 후, 게이트라인(28)의 상부표면이 노출된 때까지 상기 절연물질층을 에치백함으로써, 상기 실리콘 필라에 의한 단차를 조절하기 위한 평탄화층(30)을 형성한다.

제7A~B도는 콘택홀 및 제1도전층(40)을 형성하는 단계를 도시한다. 상기 평탄화층(30)이 형성된 결과물상에 절연물질, 예컨대 고온산화물 및 질화물을 차례로 침적하여 제1절연층(32) 및 제2절연층(34)을 형성한다. 이때, 상기 제2절연층(34) 상에, 예컨대 고온산화물로 이루어진 제3절연층을 더 형성할 수도 있다. 이어서, 사진식각 공정으로 상기 트랜지스터의 소오스영역(25) 상에 적층된, 제2절연층(34), 제1절연층(32), 게이트라인(28), 및 게이트절연막(26)을 식각하여 소오스영역(25)을 노출시키는 콘택홀(도시되지 않음)을 형성한다. 다음에, 상기 콘택홀이 형성된 결과물 상에 절연물질, 예컨대 고온산화물을 침적하고 이를 에치백하여 상기 콘택홀의 측면부에 절연스페이서(36)를 형성한다. 여기서, 상기 절연스페이서(36)

는 게이트라인(28)과 후속공정에서 형성될 커패시터의 스토리지노드와의 전기적 단락을 방지하기 위해 제공된다. 이어서, 상기 절연스페이서(36)가 형성된 결과물 상에  $n^+$ 형의 불순물 이온을 주입하여 상기 소오스 영역(25)의 상부표면에  $n^+$ 형의 플러그층(38)을 형성한다. 상기  $n^+$ 형 플러그층은 후속공정에서 형성된 스토리지노드와 소오스영역 (25)간의 콘택저항을 감소시키기 위하여 제공된다. 다음에, 상기  $n^+$ 형의 플러그층(38)이 형성된 결과물 상에 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적하여 제1도전층(40)을 형성한다.

제8A~B도는 물질패턴(42) 및 제2도전층(44)을 형성하는 단계를 도시하며, 제8A도는 제8B도에 도시된 물질패턴(42)을 위에서 본 평면도이다. 상기 제1도전층(40)이 형성된 결과물 상에, 임의이 이 방성식각 공정에 대해 상기 제1도전층(40)을 구성하는 물질과는 다른 식각율을 갖는 물질, 예컨대 고온산화물을 침적하여 물질층(도시되지 않음)을 형성한 다음, 사진식각 공정으로 상기 물질층을 패터닝하여 물질패턴(42)을 형성한다. 이어서, 상기 물질패턴(42)이 형성된 결과물 상에, 임의의 이 방성식각 공정에 대하여 상기 물질패턴(42)을 구성하는 물질과는 다른 식각율을 갖고 상기 제1도전층(40)을 구성하는 물질과는 비슷한 식각율을 는 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적하여 제2도전층(44)을 형성한다.

제9도 및 제10도는 커패시터의 스토리지노드(46)를 형성하는 단계를 도시한다. 상기 물질패턴(42)을 식각 마스크로 이용하여 제1 및 제2도전층(40,44)을 에치백함으로써, 트랜지스터의 소오스영역(25)에 접속되는 이종의 원통형 스토리지노드(46)를 형성한다. 다음에, 상기 물질패턴(42)을 제거한다.

제11도 내지 제17도는 본 발명의 제2실시예에 의한 반도체장치의 제조방법을 설명하기 위한 평면도 및 단면도들이다.

제11도는  $n^+$ 형의 에피택시얼 반도체층(52a)과 제1 및 제2물질층(54,56)을 형성하는 단계를 도시한다.  $p^-$ 형의 반도체기판(50) 상에, 상기 기판을 시드로 이용하여  $n^+$ 형의 에피택시얼 반도체층(52a)을 성장시킨다. 여기서, 상기  $n^+$ 형의 반도체층(52a)은 이온주입 공정으로 형성할 수도 있음은 물론이다. 이어서, 상기  $n^+$ 형의 에피택시얼 반도체층(52a)이 형성된 결과물 상에, 예컨대 산화물 및 질화물을 차례로 침적하여 제1물질층(54) 및 제2물질층(56)을 형성한다. 이때, 상기 제2물질층(56)은 트랜지스터가 형성될 높이만큼 충분히 높게 형성되어야 한다.

제12A~C도는 비트라인 (52) 및 트렌치 분리영역(60)을 형성하는 단계를 도시하며, 제12B도는 제12A도의 BB'선에 따른 활성영역을 도시한 평면도이고, 제12C도는 제12A도의 AA'선에 따른 단면도이다. 사진식각 공정으로 분리영역이 형성될 부위의 상기 제2및 제1물질층(56,54)을 식각한 후, 잔여하는 제2및 제1물질층(56,54)을 마스크로 이용하여 상기  $n^+$ 형의 에피택시얼 반도체층(52a)을 식각하고, 계속해서 상기 기판(50)을 소정 깊이로 식각하여 트렌치(도시되지 않음)를 형성한다. 이 때, 상기 식각공정에 의하여  $n^+$ 형의 에피택시얼 반도체층(52a)이 패터닝되어 매몰비트라인(52)이 형성되며, 또한 분리영역으로 이용될 트렌치가 동시에 형성된다. 따라서, 활성영역과 매몰 비트라인(52)은 동일하게 형성되며, 상기 비트라인 방향(제12A도의 BB'방향)으로의 활성영역은 분리영역없이 계속 연결되어진다.

이어서, 소자간의 전기적 절연을 강화시키기 위하여 상기 비트라인(52) 및 트렌치가 형성된 결과물 상에  $p^+$ 형의 불순물 이온(57)을 주입함으로써, 상기 트렌치의 저부영역에  $p^+$  불순물층(58)을 형성한다. 다음에, 상기 기판(50) 전면에 절연물질, 예컨대 산화물을 침적하고, 이를 에치백하여 상기 트렌치의 내부를 절연물질로 매립함으로써 트렌치 분리영역(60)을 형성한다. 이때, 충분히 높은 제2물질층(56)에 의해 상기 트렌치 분리영역 (60)을 매립하는 절연물질층도 상당히 높아지게 된다.

제13도는 트랜지스터의 드레인(62), 채널(64) 및 소오스영역 (66)을 형성하는 단계를 도시한다. 상기 제1 및 제2물질층(54,56)을 제거한 후, 트렌치 분리영역(60)을 제외한 반도체기판 상에, 상기 기판을 시드로 이용하여  $n^-$ 형의 제1에피택시얼 반도체층(62)을 성장시킨다. 계속해서, 상기  $n^-$ 형의 제1에피택시얼 반도체층(62) 상에  $p^-$ 형의 제2에피택시얼 반도체층(64) 및  $n^-$ 형의 제3에피택시얼 반도체층(66)을 연속하여 성장시킴으로서 실리콘 필라를 완성한다. 상기  $n^-$ 형의 제1에피택시얼 반도체층(62)은 nMOS 트랜지스터의 드레인영역으로 이용되고,  $p^-$ 형의 제2에피택시얼 반도체층(64) 및  $n^-$ 형의 제3에피택시얼 반도체층(66)은 각각 nMOS 트랜지스터의 채널 및 소오스영역으로 이용된다. 여기서, 드레인영역(62)으로 이용되는 상기  $n^-$ 형의 제1에피택시얼 반도체층은 비트라인(52)으로 이용되는  $n^-$ 형의 에피택시얼 반도체층과 접속된다.

또한, 상기 트렌치 분리영역 (60)을 제외한 기판을 시드로 이용하여 nMOS 트랜지스터의 채널영역으로 이용될  $p^-$ 형의 에피택시얼 반도체층을 상기 트렌치 분리영역 (60)의 상부까지 성장시킨 다음,  $n^-$ 형의 불순물 이온을 고에너지 및 저에너지로 각각 2회 주입하여 상기  $p^-$ 형 에피택시얼 반도체층의 하부 및 상부에 드레인(62) 및 소오스영역 (66)을 형성할 수도 있다.

제14도는 게이트절연막(68)을 형성하는 단계를 도시한다. 트랜지스터의 드레인 (62), 채널 (64) 및 소오스(66)로 이용되는 실리콘 필라를 노출시키기 위하여, 상기 트렌치 분리영역(60) 내부의 절연물질층을 상기 드레인영역 (62)까지 식각한다. 이어서, 상기 결과물상에 열산화 공정을 실시하여 상기 실리콘 필라의 표면 상에 게이트절연막(68)을 형성한다.

제15A~B도는 게이트라인(70)을 형성하는 단계를 도시하며, 제15A도는 제15B도에 도시된 평면도의 AA'선에 따른 단면도이고, 제15B도에 도시된 단면도는 상기 평면도의 BB'선에 따른 단면도이다. 상기 게이트절연막(68)이 형성된 결과물 상에 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적한 후, 사진식각 공정으로 상기 도전층, 게이트절연막(68), 및 실리콘 필라를 식각함으로써 상기 실리콘 필라를 둘러싸는 게이트라인(70)을 형성한다. 이때, 비트라인 방향(BB'방향)으로 각 트랜지스터들을 절연시키기 위하여, 상기 게이트라인(70)을 형성하기 이전 식각공정시 실리콘 필라의 드레인 영역(62)까지 식각한다.

제16도는 평탄화층(72)을 형성하는 단계를 도시한다. 상기 게이트라인(70)이 형성된 결과물 상에 절연물질을 침적한 후, 게이트라인(70)의 상부표면이 노출될 때까지 상기 절연물질층을 에치백함으로써, 상기 실리콘 필라에 의한 단차를 조절하기 위한 평탄화층(72)을 형성한다. 이때, 상기 평탄화층(72)은 이전의 게이트라인 형성을 위한 식각공정시 형성된 홀을 완전히 매립한다.

제17도는 콘택홀 및 제1도전층(82)을 형성하는 단계를 도시한다. 상기 평탄화층(72)이 형성된 결과물 상에 절연물질, 예컨대 고온산화물 및 질화물을 차례로 침적하여 제1절연층(74) 및 제2절연층(76)을 형성한다. 이어서, 사진식각 공정으로 상기 트랜지스터의 소오스영역(66)상에 적층된 제2절연층(76), 제1절연층(74), 게이트라인(70), 및 게이트절연막(68)을 식각하여 소오스영역(66)을 노출시키는 콘택홀(도시되지 않음)을 형성한다. 다음에, 상기 콘택홀이 형성된 결과물 상에 절연물질, 예컨대 고온산화물을 침적하고 이를 에치백하여 상기 콘택홀의 측면부에 절연스페이서(78)를 형성한다. 이어서, 상기 절연스페이서(78)가 형성된 결과물 상에  $n^+$ 형의 불순물 이온을 주입하여 상기 소오스영역(66)의 상부표면에  $n^+$ 형의 플러그층(80)을 형성한다. 다음에, 상기  $n^+$ 형의 플러그층(80)이 형성된 결과물 상에 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적하여 제1도전층(82)을 형성한다. 이어서, 도시하지는 않았지만, 상기 제1실시예에서 설명한 방법을 참조하여 커패시터의 스토리지노드 제조공정을 완성한다.

상술한 본 발명의 제2실시예에 의하면, 고농도로 도우프된 에피택시얼 반도체층을 활성영역 및 비트라인으로 동시에 이용하며, 1회의 사진식각 공정만으로 트랜치 분리영역 및 실리콘 필라를 형성할 수 있으므로 2회의 사진식각 공정을 생략할 수 있다. (상술한 제1실시예에 의하면, 트랜치 분리영역의 형성 후 비트라인 및 실리콘 필라를 형성하기 위한 절연막 기둥을 형성하는 사진식각 공정이 필요하였다.)

제18도 내지 제26도는 본 발명의 제3실시예에 의한 반도체장치의 제조방법을 설명하기 위한 평면도 및 단면도들이다.

제18도는  $n^+$ 형의 매몰 불순물층(102)을 형성하는 단계를 도시한다.  $p^-$ 형의 반도체기판(100) 전면에  $n^+$ 형의 제1불순물 이온(101)을 고에너지로 주입하여 상기 기판(100)의 소정깊이에  $n^+$ 형의 매몰 불순물층(102)을 형성한다. 이때, 상기  $n^+$ 형의 매몰 불순물층(102)을 에피택시얼 공정에 의해 형성할 수도 있음은 물론이며, 이 경우에는 매몰 불순물층(102)이 기판(100) 상에 형성된다.

제19도는  $n^+$ 형의 표면 불순물층(104)을 형성하는 단계를 도시한다. 상기  $n^+$ 형의 매몰 불순물층(102)이 형성된 기판(100) 전면에  $n^+$ 형의 제2불순물 이온(103)을 주입하여, 상기 기판(100)의 표면에  $n^+$ 형의 표면 불순물층(104)을 형성한다. 상기  $n^+$ 형의 표면 불순물층(104)은 nMOS 트랜지스터의 소오스영역으로 이용되고,  $n^+$ 형의 매몰 불순물층(102)은 드레인영역으로 이용되며, 이들 사이의  $p^-$ 형 기판(100)은 채널영역으로 이용된다.

여기서, 상기 제18도에서 설명한 바와 같이 상기  $n^+$ 형의 매몰 불순물층(102)을 에피택시얼 공정으로 형성하는 경우는,  $n^+$ 형의 매몰 불순물층(102) 상에  $p^-$ 형의 에피택시얼 반도체층을 성장시키고, 다시 그위에  $n^+$ 형의 에피택시얼 반도체층을 성장시킴으로써  $n^+$ 형의 표면 불순물층(104)을 형성할 수 있다. 또한,  $n^+$ 형의 표면 불순물층(104)은 상기 기판(100) 상에  $n^+$ 형 불순물로 도우프된 폴리실리콘을 침적하여 형성할 수도 있다.

제20A~B도는 트랜치 분리영역(116)을 형성하는 단계를 도시한다. 트랜지스터의 드레인(102), 채널(100) 및 소오스영역(104)이 형성된 결과물 상에, 트랜치 분리영역을 형성하기 위한 마스크층으로서 제1산화막(106), 폴리실리콘막(108), 제2산화막(110) 및 질화막(112)을 차례로 형성한다. 이어서, 사진식각 공정으로 상기 마스크층을 식각한 다음, 잔유하는 상기 마스크층을 식각마스크로 이용하여 기판(100)을 드레인영역(102)보다 깊게 식각함으로써 제1트랜치(도시되지 않음)를 형성한다. 다음에, 소자간의 전기적 절연을 강화시키기 위하여 상기 제1트랜치가 형성된 결과물 상에  $p^-$ 형의 불순물 이온(113)을 주입함으로써 상기 제1트랜치의 저부영역에  $p^-$  불순물층(114)을 형성한다. 이어서, 상기 결과물 전면에 절연물질, 예컨대 산화물을 침적하고, 이를 에치백하여 상기 제1트랜치의 내부를 절연물질로 매립함으로써 트랜치 분리영역(116)을 형성한다. 이때, 상기 절연물질층은 제1산화막(106)까지 에치백한다.

제21A~C도는 매몰 비트라인(122)을 형성하는 단계를 도시하며, 제21B도 및 제21C도는 각각, 제21A의, A-A'선 및 B-B'선에 따른 단면도들이다. 사진식각 공정으로 상기 트랜치 분리영역(116)에 의해 한정된 활성영역의 소정부분을 드레인영역(102)까지 식각함으로써 매몰 비트라인을 형성하기 위한 제2트랜치(도시되지 않음)를 형성한다. 이때, 상기 제2트랜치와 식각공정시, 매몰 비트라인에 굴곡이 생기는 것을 방지하기 위하여 트랜치 분리영역(116)을 매입하고 있는 산화물과 실리콘의 식각선택비가 1:1로 유지되어야 한다.

다음에, 상기 제2트랜치가 형성된 결과물 전면에  $n^+$ 형의 불순물이온(212)을 주입하여 제2트랜치의 저부영역에  $n^+$ 형의 불순물층(도시되지 않음)을 형성한다. 이어서, 상기 제2트랜치가 형성된 결과물 상에 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적하고 이를 에치백하여 비트라인(122)을 매몰시킨다. 다음에, 상기 비트라인(122)이 형성된 결과물 상에 산화물을 침적하고 이를 에치백하여 상기 비트라인(122) 상에 제1절연막(124)을 형성하고, 상기 제1절연막(124) 상에 질화물을 침적하고 이를 에치백하여 제2절연막(126)을 형성한다. 이때, 상기 마스크층으로 이용된 질화막(112)이 제거된다. 이어서, 상기 결과물상에 산화물을 다시 침적하고 이를 에치백하여 제3절연막(128)을 형성하며, 이때, 상기 마스크층으로 이용된 제2산화막(110)이 제거된다. 여기서, 질화막으로 이루어진 상기 제2절연막(126)의 위치는 후속 실리콘 필라의 형성공정시 비트라인(122)과 제1절연막(124)의 두께를 결정해주며, 후속 게이트라인의 식각공정시 게이트 스트링거(stringer)의 발생을 방지한다.

제22A-B도는 실리콘 필라를 형성하는 단계를 도시하며, 제22A도 및 제22B도는 각각, 상기 제21A도의 AA' 선 및 BB' 선에 따른 단면도들이다. 상기 트랜치 분리영역(116) 내의 절연물질층을 드레인영역(102)까지 식각하여, 드레인(102), 채널(100), 및 소오스영역(104)으로 이루어진 실리콘 필라를 형성한다. 이때, 상기 식각공정시 제2절연막(128)이 함께식각되며, 트랜치 분리영역을 형성하기 위한 마스크층으로 이용된 폴리실리콘막(108)이 실리콘 필라가 형성된 기판영역이 식각되는 것을 방지한다. 이어서, 상기 폴리실리콘막(108) 및 제1산화막(106)을 습식식각 공정으로 모두 제거한다.

제23A-B도는 게이트절연막(130) 및 게이트라인(132)을 형성하는 단계를 도시한다. 상기 실리콘 필라가 형성된 결과물 상에 열산화 공정을 실시하여 실리콘 필라의 표면 상에 게이트절연막(130)을 형성한다. 이어서, 상기 게이트절연막(130)이 형성된 결과물 상에 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적한 후, 사진식각 공정으로 상기 도전층을 식각함으로써 상기 실리콘 필라를 둘러싸는 게이트라인(132)을 형성한다.

제24도는 상기 게이트라인(132)이 형성된 결과물을 도시한 사시도이다.

제25도는 평탄화층(134)을 형성하는 단계를 도시한다. 상기 게이트라인(132)이 형성된 결과물 상에 절연물질을 침적한 후, 게이트라인(132)의 상부표면이 노출될 때까지 상기 절연물질층을 에치백함으로써, 상기 실리콘 필라에 의한 단차를 조절하기 위한 평탄화층(134)을 형성한다.

제26도는 콘택홀 및 제1도전층(144)을 형성하는 단계를 도시한다. 상기 평탄화층(134)이 형성된 결과물 상에 절연물질, 예컨대 고온산화물 및 질화물을 차례로 침적하여 제1절연층(136) 및 제2절연층(138)을 형성한다. 이어서, 사진식각 공정으로 상기 트랜지스터의 소오스영역(104) 상에 적층된 제2절연층(138), 제1절연층(136), 게이트라인(132), 및 게이트절연막(130)을 식각하여 소오스영역(104)을 노출시키는 콘택홀(도시되지 않음)을 형성한다. 다음에, 상기 콘택홀이 형성된 결과물 상에 절연물질, 예컨대 고온산화물을 침적하고 이를 에치백하여 상기 콘택홀의 측면부에 절연스페이서(140)를 형성한다. 이어서, 상기 절연스페이서(140)가 형성된 결과물 상에  $n^+$ 형의 불순물 이온을 주입하여 상기 소오스영역(104)의 상부표면에  $n^+$ 형의 플러그층(142)을 형성한다. 다음에, 상기  $n^+$ 형의 플러그층(142)이 형성된 결과물 상에 도전물질, 예컨대 불순물이 도우프된 폴리실리콘을 침적하여 제1도전층(144)을 형성한다. 이어서, 도시하지는 않았지만, 상기 제1실시에에서 설명한 방법을 참조하여 커패시터의 스토리지노드 제조공정을 완성한다.

상술한 본 발명의 제3실시에에 의하면, 선택적으로 에피택시얼 반도체층을 성장시키지 않고도 매몰 비트라인 및 실리콘 필라를 형성할 수 있다. 또한, 커패시터의 스토리지노드와 트랜지스터의 소오스영역과의 콘택홀 면적이 상기 실리콘 필라의 중심부에 위치하는 매몰 비트라인 영역으로 인하여 감소된다.

따라서, 상술한 바와 같이 본 발명에 의하면, 매몰 비트라인 구조와 실리콘 필라를 둘러싸는 버티컬 게이트 구조를 형성함으로써 유효 활성영역의 면적을 최대한 활용할 수 있다.

본 발명이 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

## (57) 청구의 범위

### 청구항 1

반도체기판; 상기 반도체기판에 활성영역을 한정하기 위하여 형성된 트랜치 분리영역; 상기 트랜치분리영역이 형성된 반도체기판 상에 형성된 비트라인; 상기 비트라인 상에 형성되고, 그 하부로부터 상부로 트랜지스터의 드레인, 채널, 및 소오스영역이 차례로 형성된 실리콘 필라; 상기 실리콘 필라를 둘러싸며 그 위에 차례로 형성된 게이트절연막 및 게이트라인; 인접한 게이트라인들 사이에 형성된 평탄화층; 상기 게이트라인 상에 형성되고, 상기 트랜지스터의 소오스영역을 노출시키는 콘택홀을 갖는 절연층; 및 상기 절연층 상에 형성되고, 상기 콘택홀을 통해 상기 트랜지스터의 소오스영역에 접속되는 커패시터의 스토리지노드를 구비하는 것을 특징으로 하는 반도체장치.

### 청구항 2

제1항에 있어서, 상기 비트라인은 에피택시얼 반도체층으로 이루어진 것을 특징으로 하는 반도체장치.

### 청구항 3

제1항에 있어서, 상기 비트라인은 상기 활성영역과 동일한 패턴으로 형성된 것을 특징으로 하는 반도체장치.

### 청구항 4

제1항에 있어서, 상기 실리콘 필라는 에피택시얼 반도체층으로 이루어진 것을 특징으로 하는 반도체장치.

### 청구항 5

반도체기판; 상기 반도체기판에 활성영역을 한정하기 위하여 형성된 다수의 제1트랜치 분리영역들, 상기 제1트랜치 분리영역들 사이에 형성되고, 상기 반도체기판의 표면부위에서 벌크쪽으로 차례로 형성된 트랜지스터의 소오스, 채널 및 드레인영역으로 이루어진 실리콘 필라; 상기 실리콘 필라의 일측면에 접하여 상기 실리콘 필라의 드레인영역까지 형성된 제2트랜치; 상기 제2트랜치의 하부에 형성된 비트라인; 상기 제2트랜치의 내부를 매립하는 절연막; 상기 실리콘 필라의 타측을 둘러싸며 차례로 형성된 게이트절연막 및 게이트라인; 인접한 상기 게이트라인들 사이에 형성된 평탄화층; 상기 게이트라인 상에 형성되고, 상기 트랜지스터의 소오스영역을 노출시키는 콘택홀을 갖는 절연층; 및 상기 절연층 상에 형성되고, 상기 콘택홀을 통해 상기 트랜지스터의 소오스영역에 접속되는 커패시터의 스토리지노드를 구비하는 것을 특징으로 하는 반도체장치.

**청구항 6**

제1도전형의 반도체기판의 활성영역을 한정하기 위하여 트렌치 분리영역을 형성하는 단계; 상기 트렌치 분리영역이 형성된 반도체기판 상에 비트라인을 형성하는 단계; 상기 트렌치 분리영역 상에만 제1절연막에 제2절연막이 적층되어 이루어진 절연막 기둥을 형성하는 단계; 상기 절연막 기둥에 의해 노출된 상기 반도체기판상에, 그 하부로부터 상부로 트랜지스터의 드레인, 채널 및 소오스영역이 차례로 형성되는 실리콘 필라를 형성하는 단계; 상기 제2절연막을 제거하는 단계; 상기 실리콘 필라를 둘러싸도록 게이트절연막 및 게이트라인을 차례로 형성하는 단계, 상기 게이트라인이 형성된 결과물 상에 절연물질을 침적하고 이를 에치백하여 평탄화층을 형성하는 단계; 상기 평탄화층이 형성된 결과물 상에 절연층을 형성하는 단계, 상기 절연층을 부분적으로 식각하여 상기 실리콘 필라의 소오스영역을 노출시키는 콘택홀을 형성하는 단계; 및 상기 콘택홀이 형성된 결과물 상에, 상기 콘택홀을 통해 소오스영역에 접속되는 커패시터의 스토리지노드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 7**

제6항에 있어서, 상기 비트라인은 불순물이 도우프된 폴리실리콘층으로 이루어진 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 8**

제6항에 있어서, 상기 실리콘 필라를 형성하는 단계는, 상기 절연막 기둥에 의해 노출된 상기 반도체기판 상에, 트랜지스터의 드레인영역으로 이용되는 제2도전형의 제1에피택시얼 반도체층을 형성하는 단계; 상기 제1에피택시얼 반도체층 상에, 트랜지스터의 채널영역으로 이용되는 제1도전형의 제2에피택시얼 반도체층을 형성하는 단계; 및 상기 제2에피택시얼 반도체층 상에, 트랜지스터의 소오스영역으로 이용되는 제2도전형의 제3에피택시얼 반도체층을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 9**

제6항에 있어서, 상기 실리콘 필라를 형성하는 단계는, 상기 절연막 기둥에 의해 노출된 상기 반도체기판 상에 제1도전형의 에피택시얼 반도체층을 형성하는 단계; 상기 에피택시얼 반도체층이 형성된 결과물 상에 제2도전형의 제1불순물 이온을 제1에너지로 주입함으로써, 상기 에피택시얼 반도체층의 하부에 트랜지스터의 드레인영역을 형성하는 단계; 및 상기 드레인영역이 형성된 결과물 상에 제2도전형의 제2불순물 이온을 상기 제1에너지보다 낮은 제2에너지로 주입함으로써, 상기 에피택시얼 반도체층의 상부에 트랜지스터의 소오스영역을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 10**

제6항에 있어서, 상기 커패시터의 스토리지노드를 형성하는 단계는, 상기 콘택홀이 형성된 결과물 상에 제1도전층을 형성하는 단계; 상기 제1도전층 상에 물질패턴을 형성하는 단계, 상기 물질패턴이 형성된 결과물상에 제2도전층을 형성하는 단계; 상기 제2도전층 및 제1도전층을 에치백하는 단계; 및 상기 물질패턴을 제거하는 단계로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 11**

제1도전형의 반도체기판 상에 도전층 및 물질층을 차례로 형성하는 단계; 상기 물질층, 도전층, 및 반도체기판을 식각하여 비트라인을 형성함과 동시에 트렌치를 형성하는 단계; 상기 트렌치의 내부를 절연물질로 매립하여 트렌치 분리영역을 형성하는 단계; 상기 물질층을 제거하는 단계; 상기 트렌치 분리영역을 제외한 상기 반도체기판 상에, 그 하부로부터 상부로 트랜지스터의 드레인, 채널 및 소오스영역이 차례로 형성되는 실리콘 필라를 형성하는 단계; 상기 트렌치 분리영역 내부의 절연물질층을 상기 실리콘 필라의 드레인영역까지 식각하는 단계; 상기 실리콘 필라를 둘러싸도록 게이트절연막 및 게이트라인을 차례로 형성하는 단계; 상기 게이트라인이 형성된 결과물 상에 절연물질을 침적하고 이를 에치백하여 평탄화층을 형성하는 단계; 상기 평탄화층이 형성된 결과물 상에 절연층을 형성하는 단계, 상기 절연층을 부분적으로 식각하여 상기 실리콘 필라의 소오스영역을 노출시키는 콘택홀을 형성하는 단계; 및 상기 콘택홀이 형성된 결과물 상에, 상기 콘택홀을 통해 소오스영역에 접속되는 커패시터의 스토리지노드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 12**

제11항에 있어서, 상기 비트라인은 에피택시얼 공정으로 형성된 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 13**

제11항에 있어서, 상기 게이트절연막 및 게이트라인을 형성하는 단계는, 상기 실리콘 필라의 표면에 게이트절연막을 형성하는 단계, 상기 게이트절연막이 형성된 결과물 상에 도전층을 형성하는 단계; 및 상기 도전층, 게이트절연막, 및 실리콘 필라를 상기 드레인영역까지 식각하여 상기 실리콘 필라를 둘러싸는 게이트라인을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 14**

제1도전형의 반도체기판 내에 제2도전형의 매몰 불순물층을 형성하는 단계; 상기 매몰 불순물층이 형성된 반도체기판의 표면에 제2도전형의 표면 불순물층을 형성하는 단계; 상기 표면 불순물층이 형성된 반도체기판에 활성영역을 한정하기 위하여 제1트렌치 분리영역을 형성하는 단계; 상기 활성영역 부위의 반도체기판을 매몰 불순물층보다 깊게 식각하여 제2트렌치를 형성하는 단계; 상기 제2트렌치의 하부에 비트라인을 형성하는 단계; 상기 비트라인이 형성된 제2트렌치의 내부를 절연물질로 매립하는 단계; 상기 제1트렌치 분리영역을 상기 매몰 불순물층까지 식각하여, 상기 제2도전형의 매몰 불순물층, 제1도전형의 반도체

기판, 및 제2도전형의 표면 불순물층으로 이루어진 실리콘 필라를 형성하는 단계; 상기 실리콘 필라를 둘러싸도록 게이트절연막 및 게이트라인을 차례로 형성하는 단계; 상기 게이트라인이 형성된 결과물 상에 절연물질을 침적하고 이를 에치백하여 평탄화층을 형성한 단계; 상기 평탄화층이 형성된 결과물 상에 절연층을 형성하는 단계; 상기 절연층을 부분적으로 식각하여 상기 실리콘 필라의 표면불순물층을 노출시키는 콘택홀을 형성하는 단계; 및 상기 콘택홀이 형성된 결과물 상에, 상기 콘택홀을 통해 표면불순물층에 접속되는 커패시터의 스토리지노드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 15**

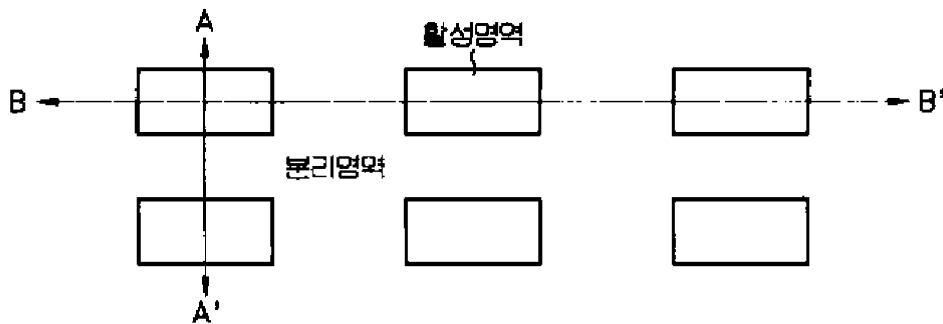
제14항에 있어서, 상기 제2도전형의 매몰 불순물층 및 표면 불순물층은 에피택시얼 공정으로 형성된것을 특징으로 하는 반도체장치의 제조방법.

**청구항 16**

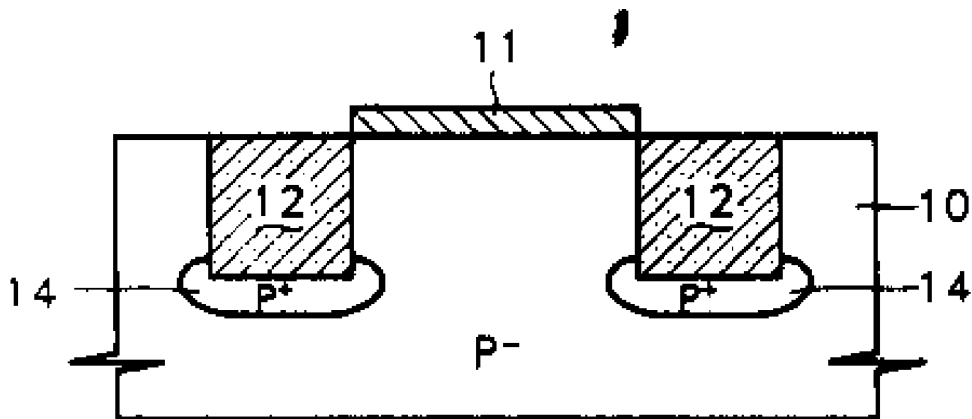
제14항에 있어서, 상기 제2도전형의 매몰 불순물층은 상기 반도체기판에 제2도전형의 제1불순물 이온을 제1에너지로 주입하여 형성되고, 상기 제2도전형의 표면 불순물층은 상기 반도체기판에 제2도전형의 제2 불순물 이온을 상기 제1에너지보다 낮은 제2에너지로 주입하여 형성하는 것을 특징으로 하는 반도체장치의 제조방법

**도면**

도면 1a

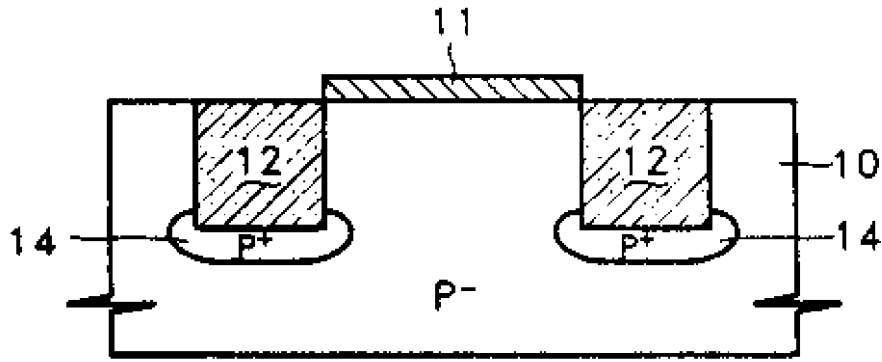


도면 1b

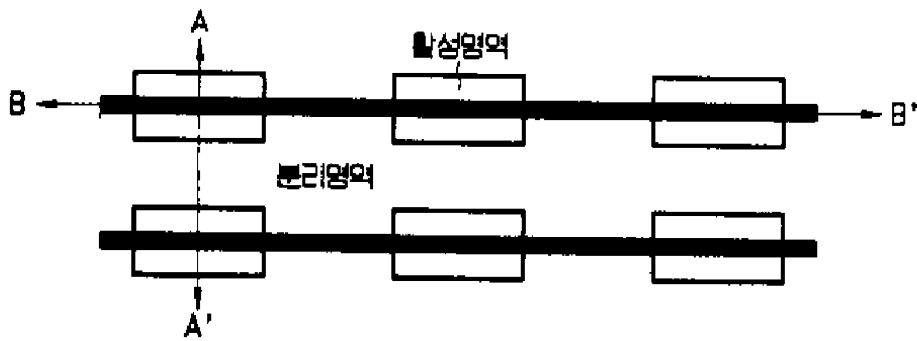




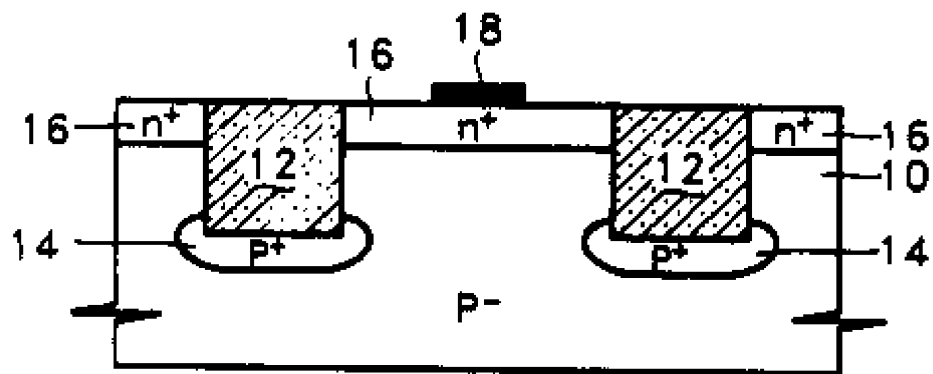
도면1c



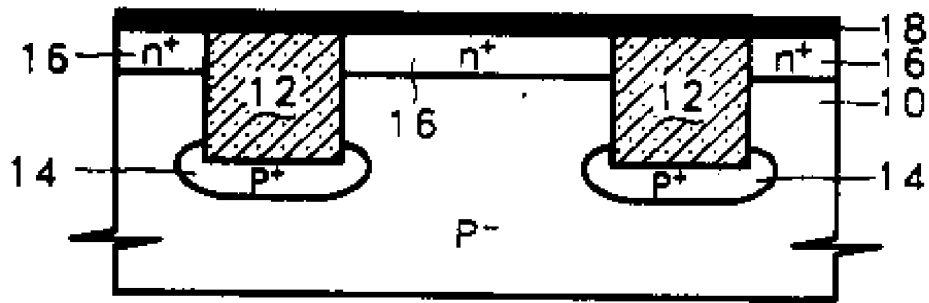
도면2a



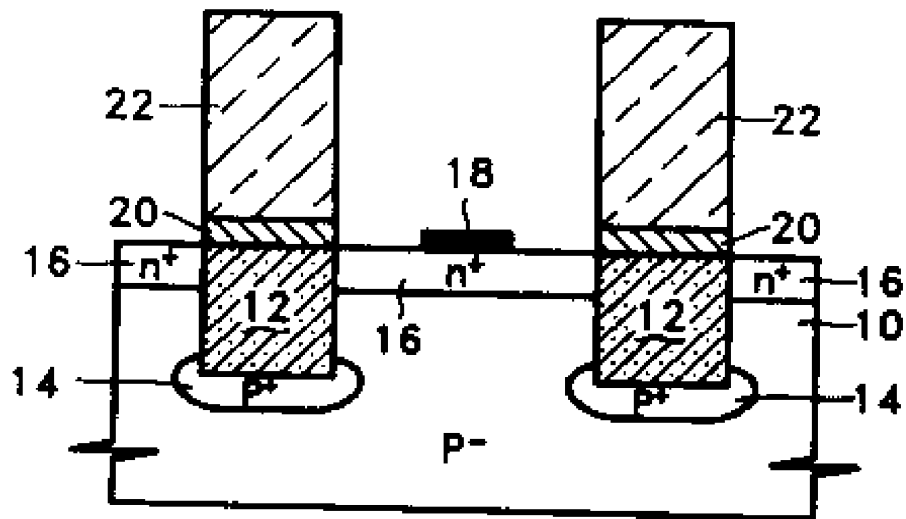
도면2b



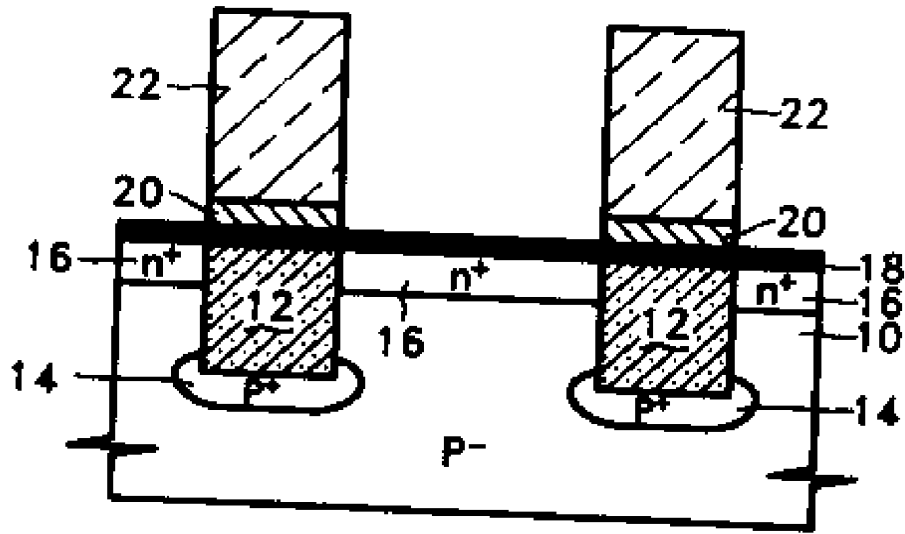
도면2c



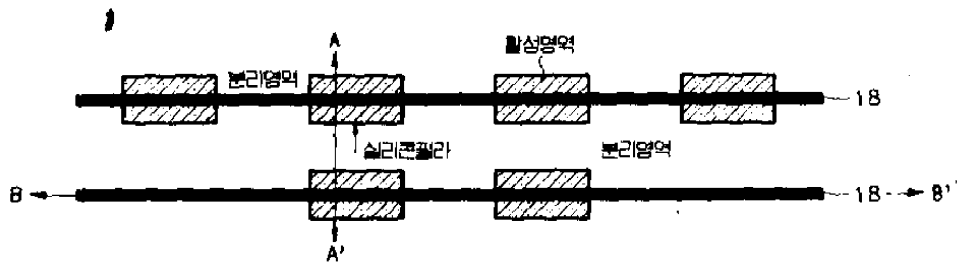
도면3a



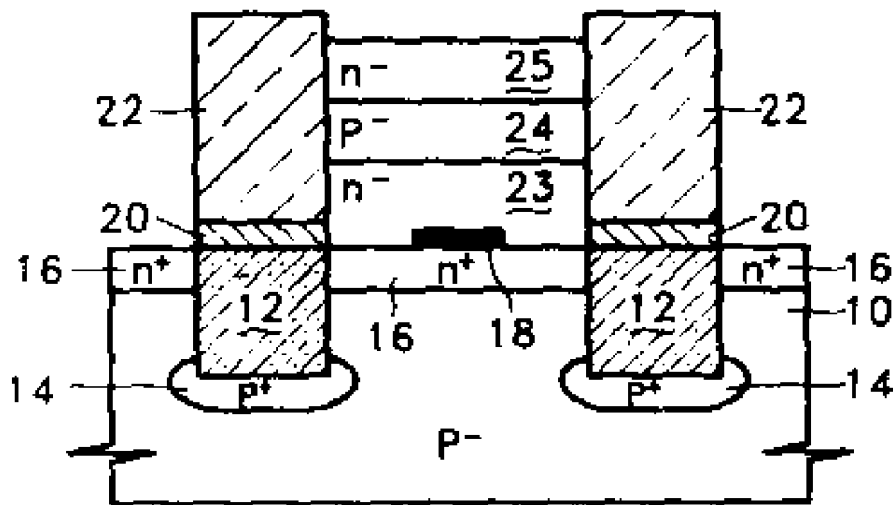
도면3b



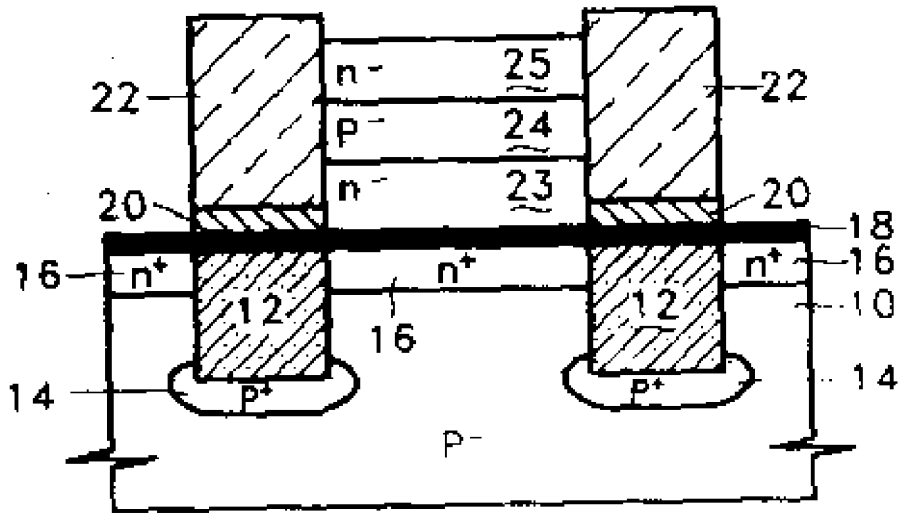
도면4a



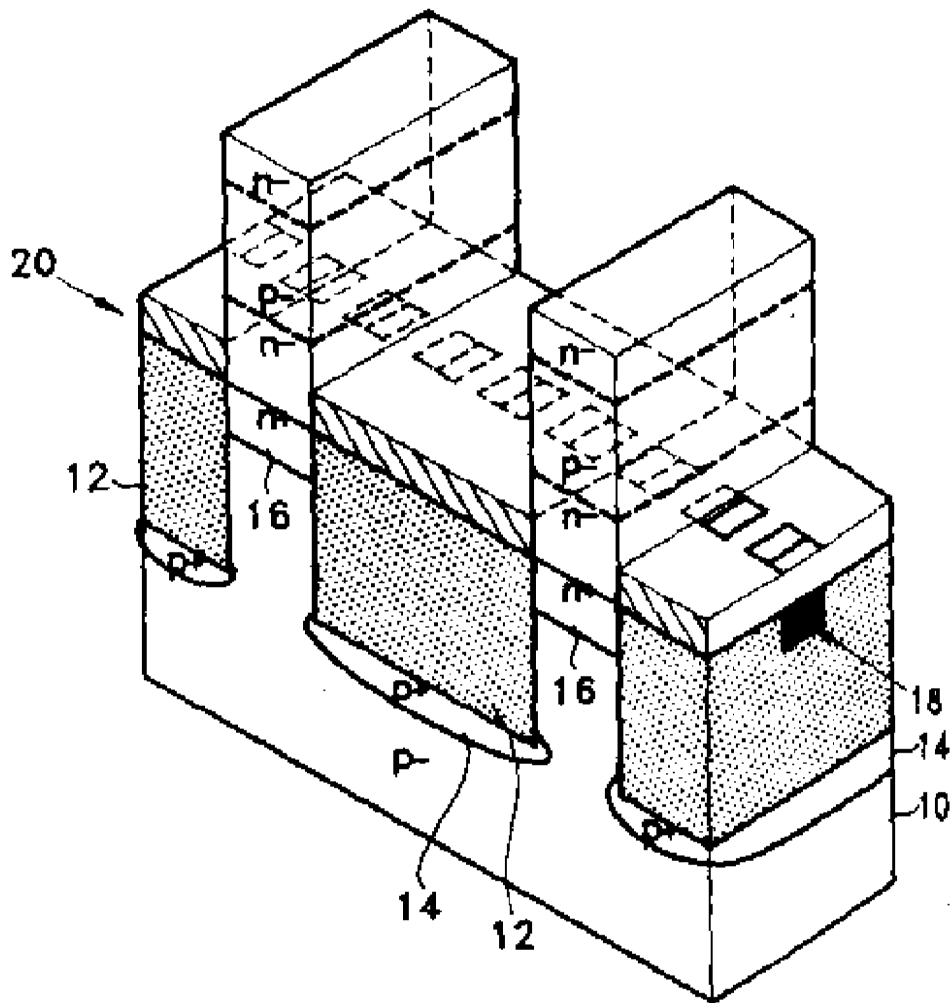
도면4b



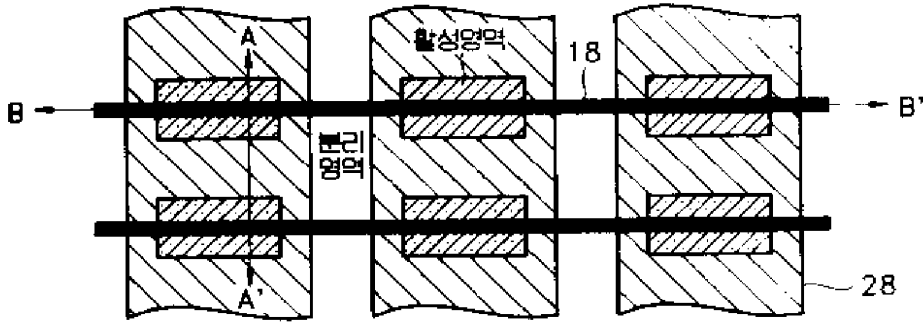
도면4c



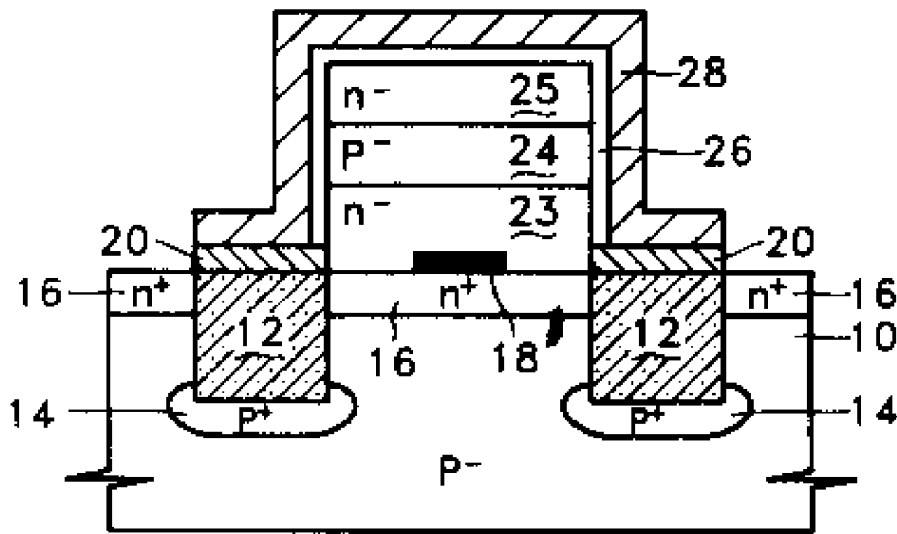
도면4d



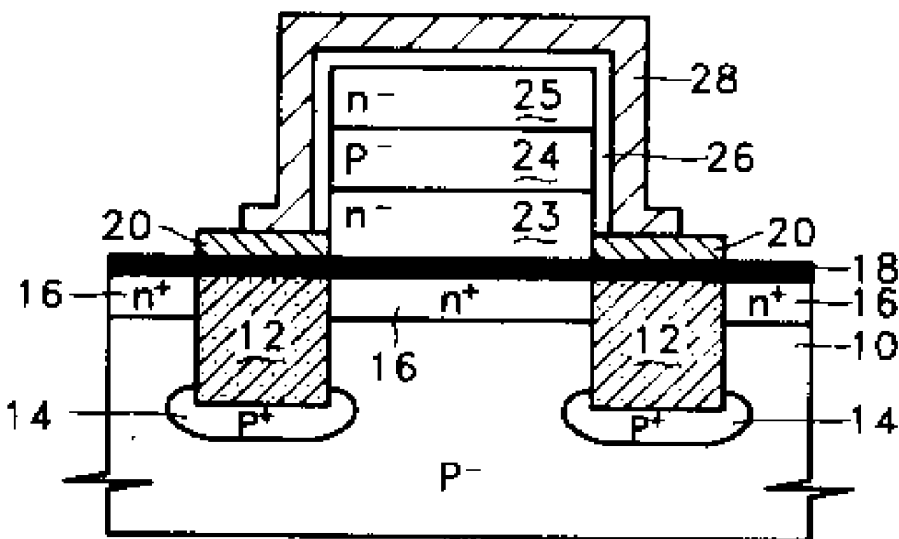
도면5a



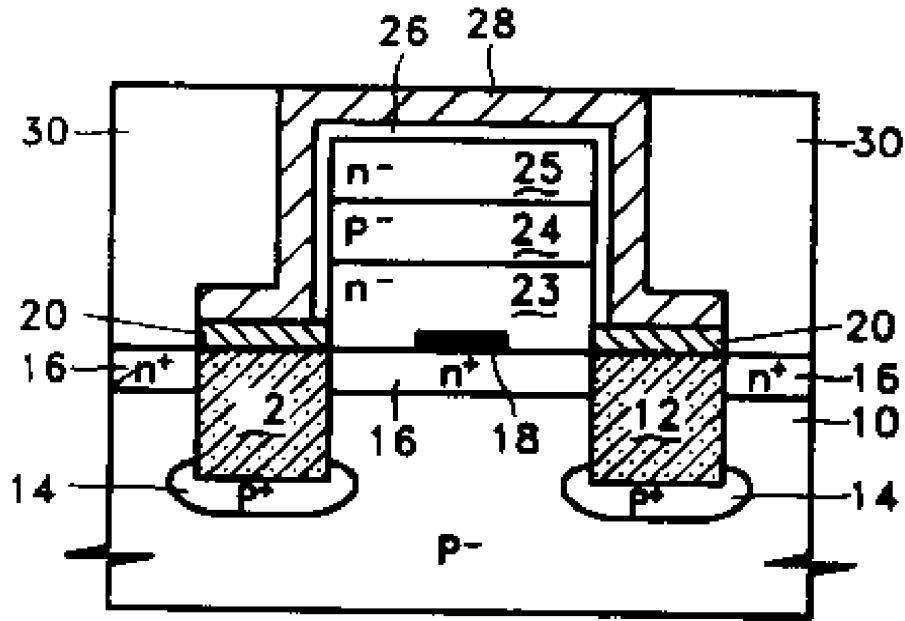
도면5b



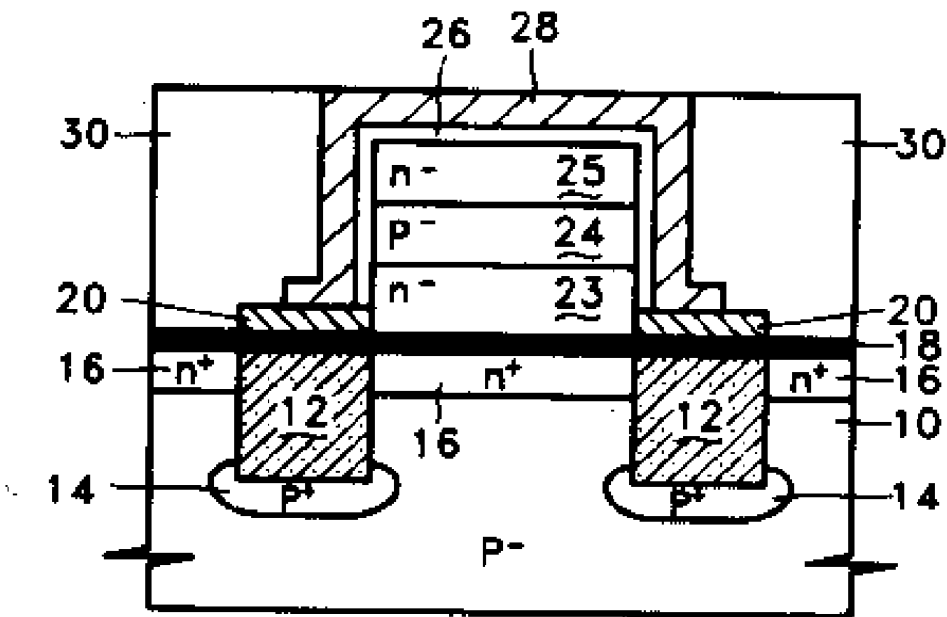
도면5c



도면6a

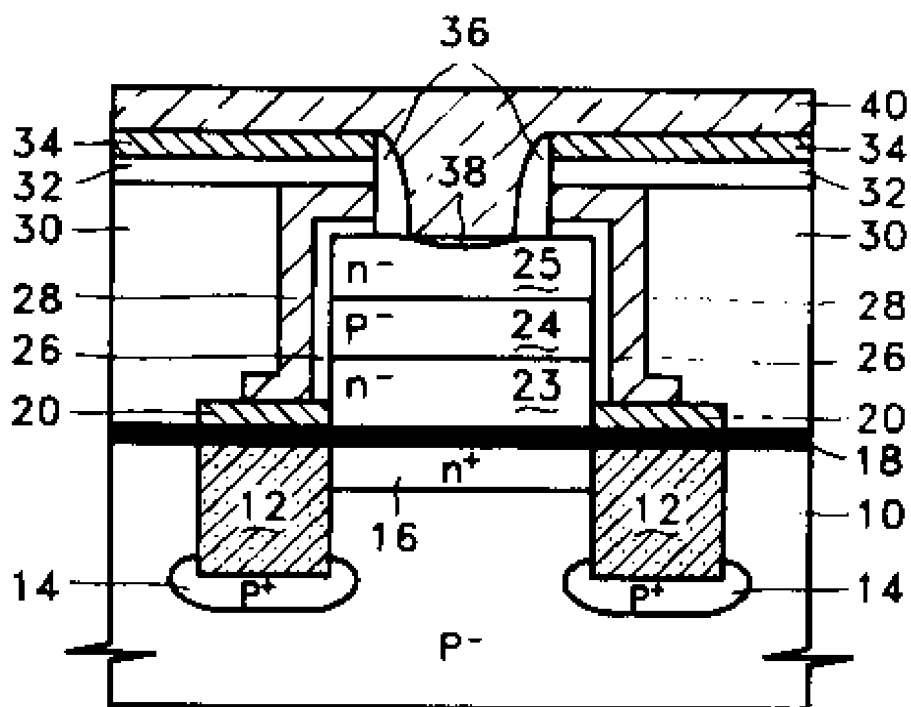


도면6b

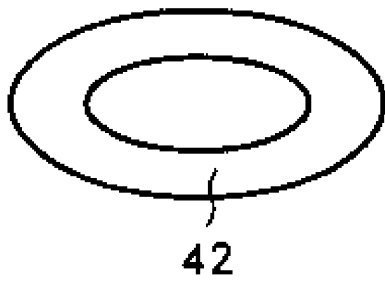


도면7a

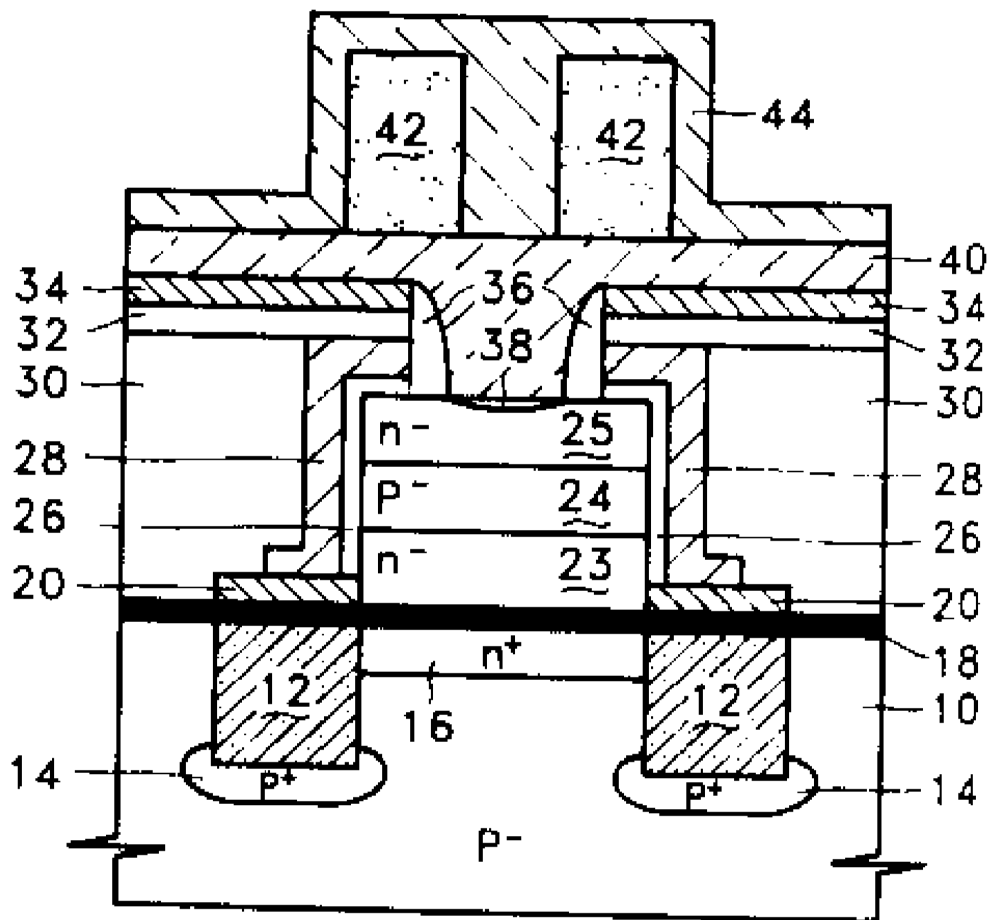
도면7b



도면8a

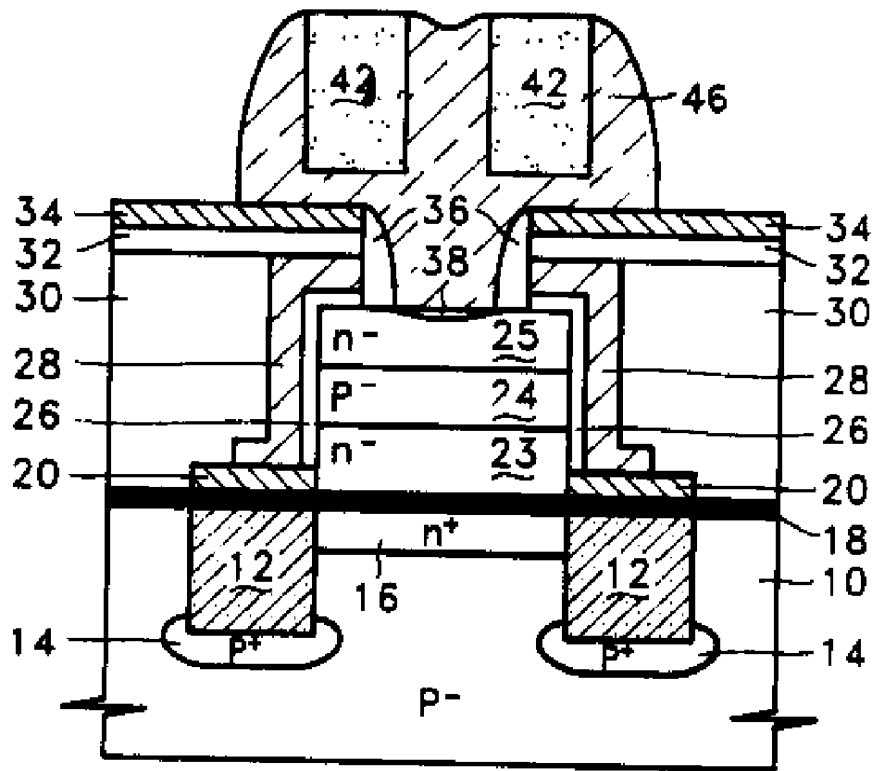


도면8b

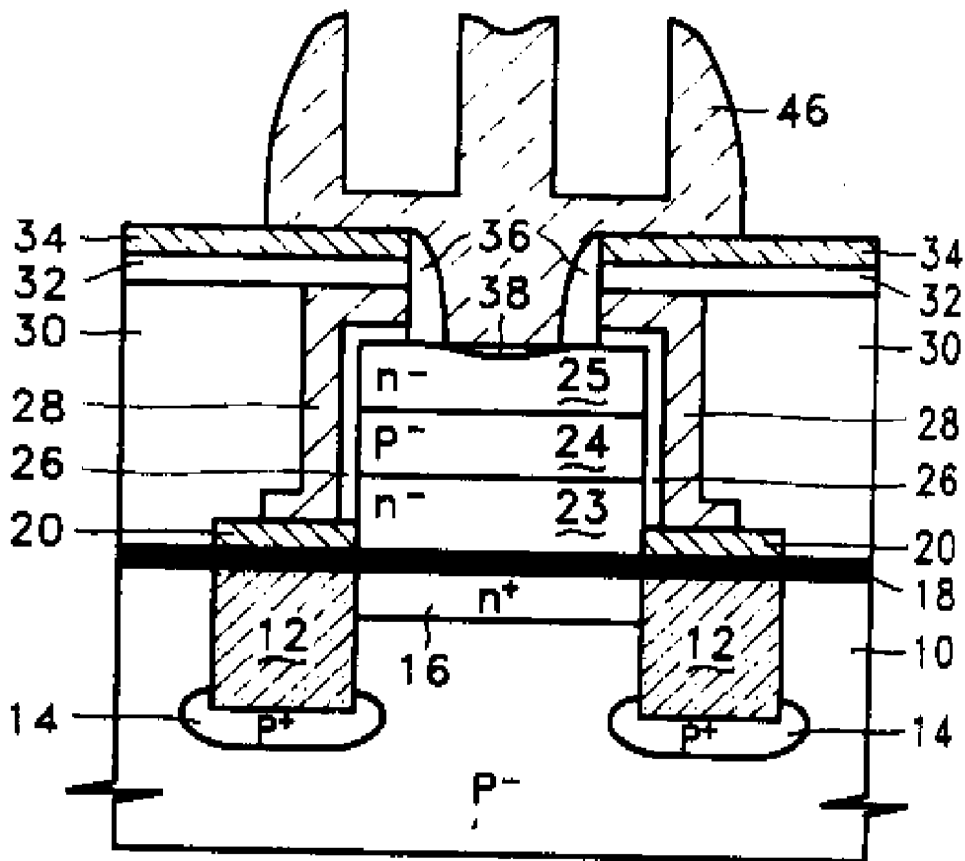




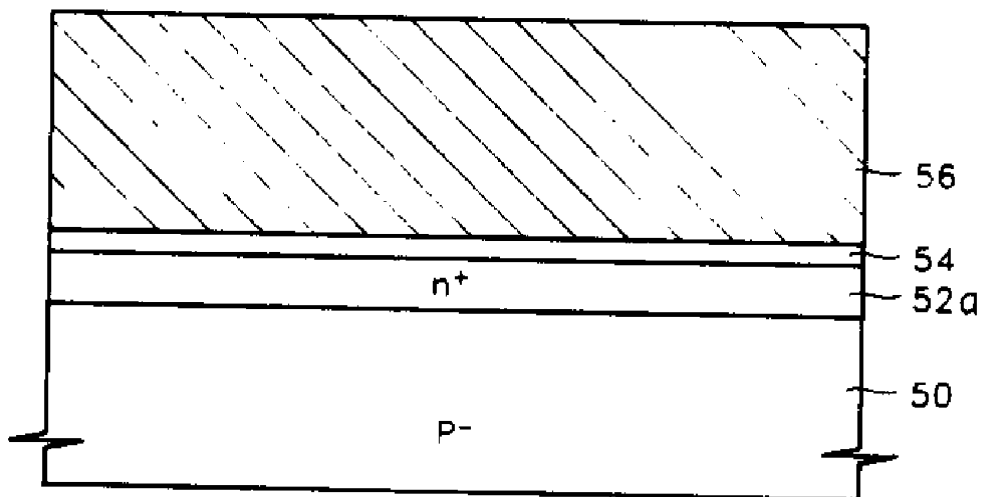
도면9



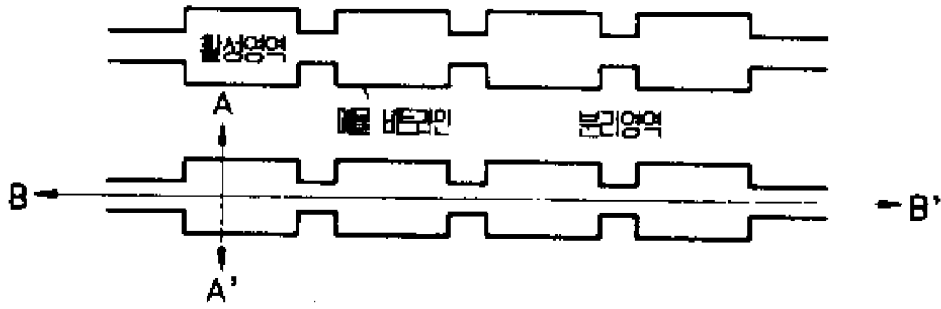
도면10



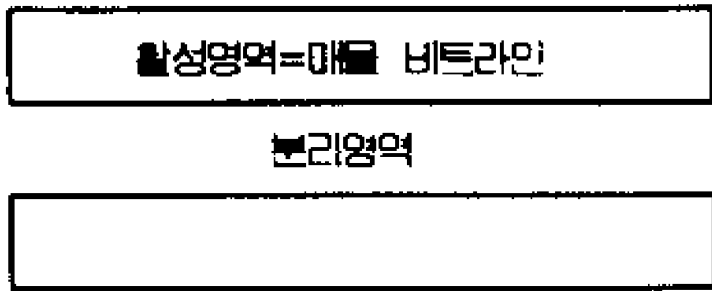
도면11



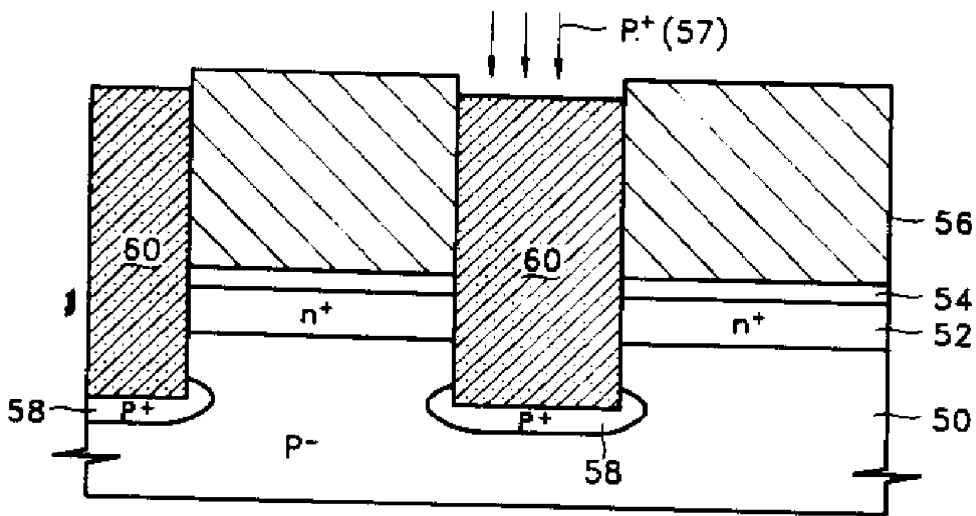
도면 12a



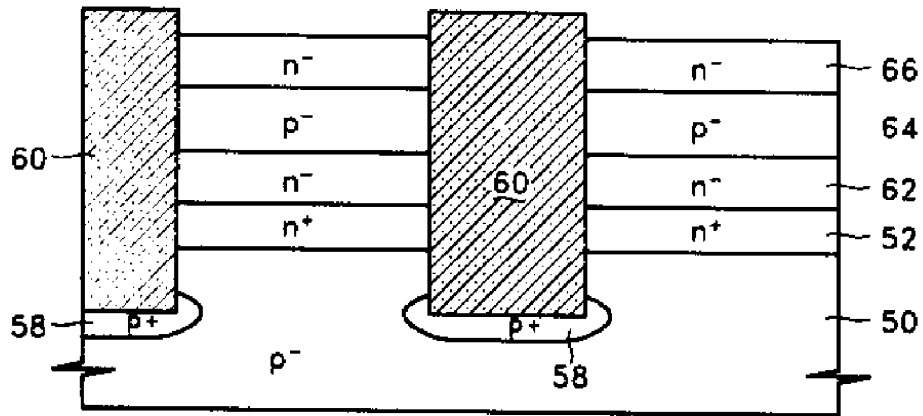
도면 12b



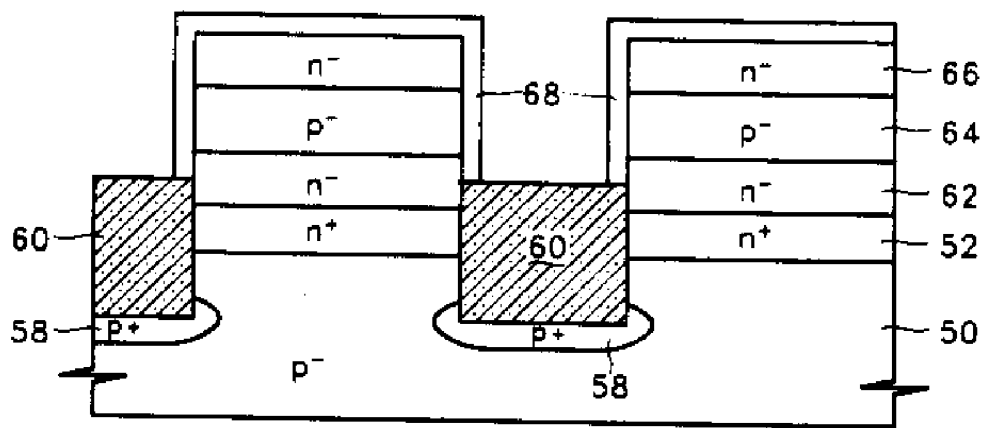
도면 12c



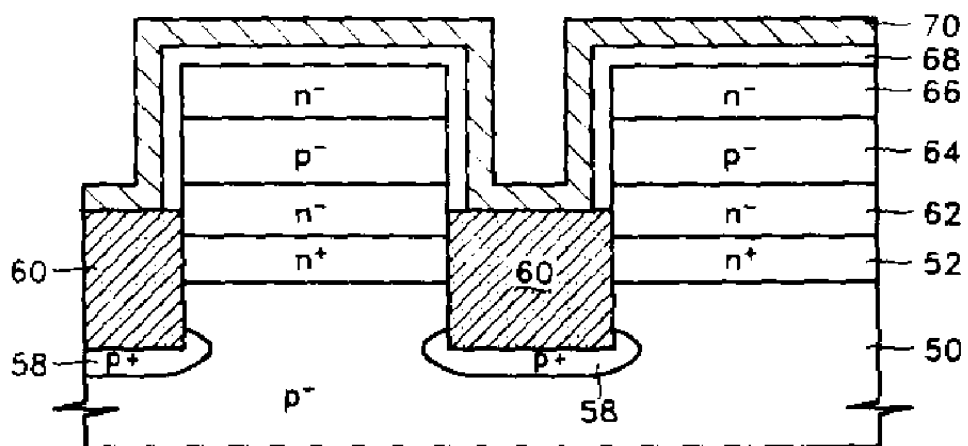
도면 13



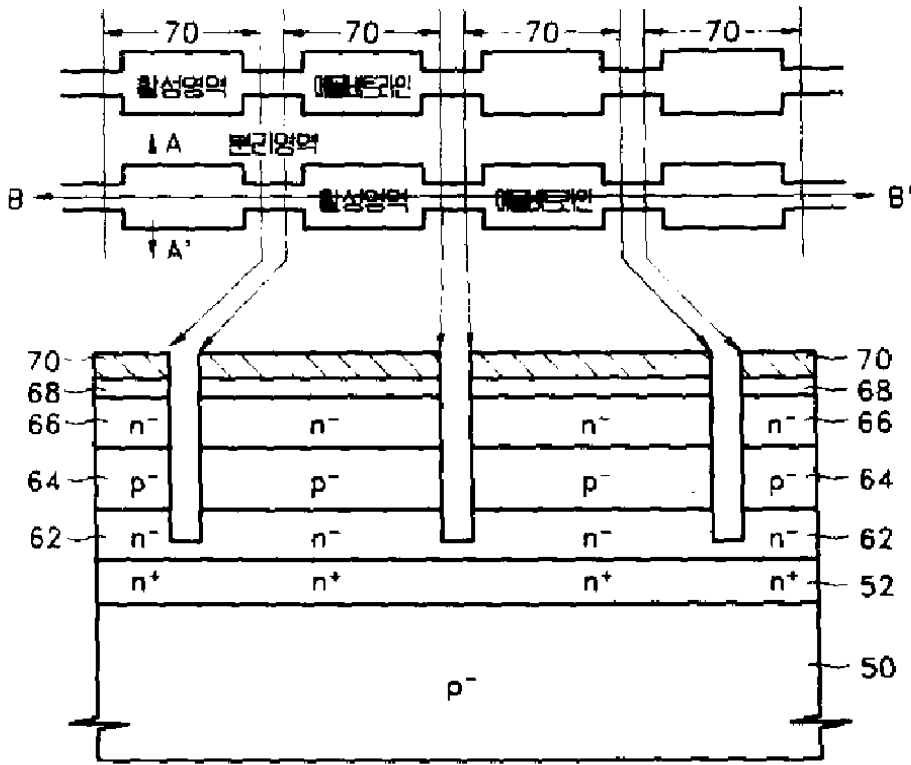
도면 14



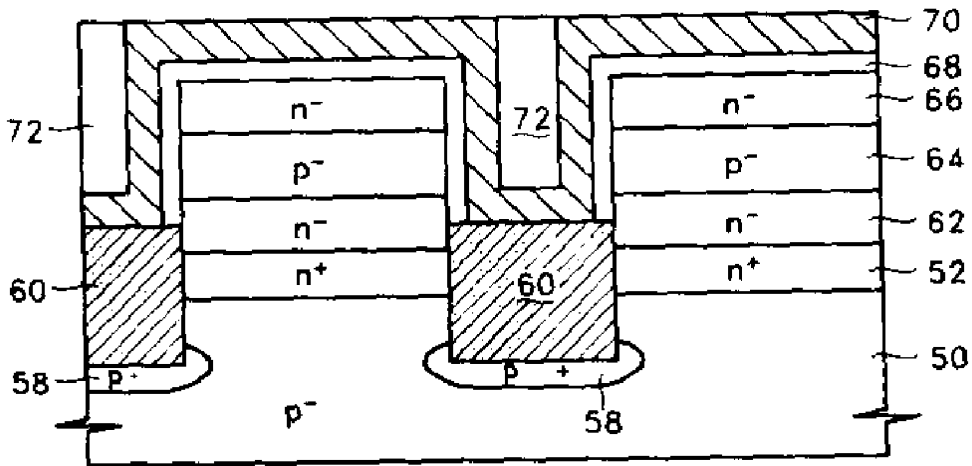
도면 15a



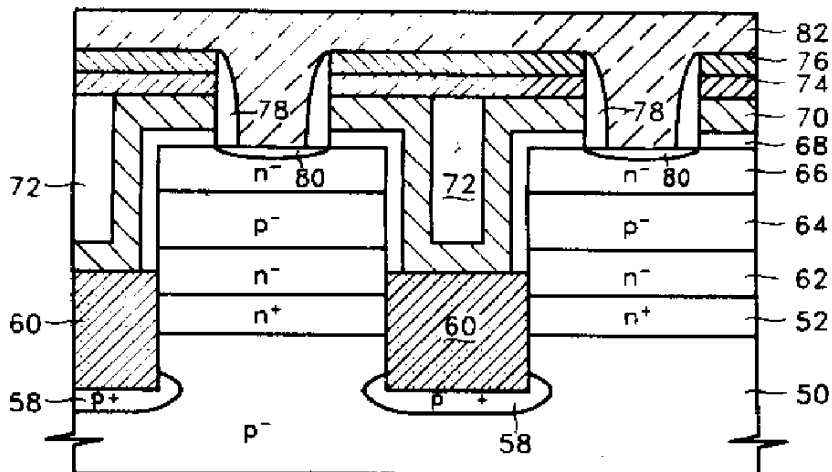
도면 15b



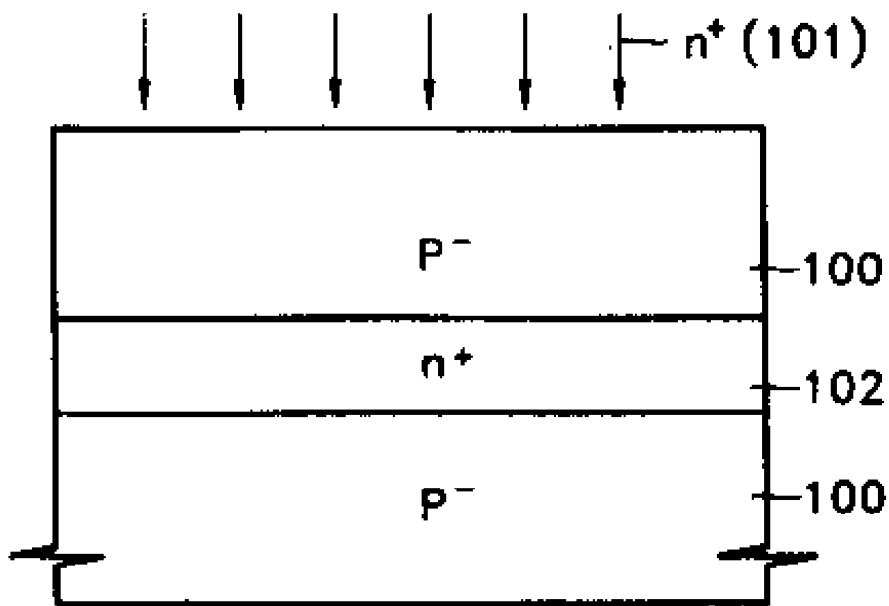
도면 16



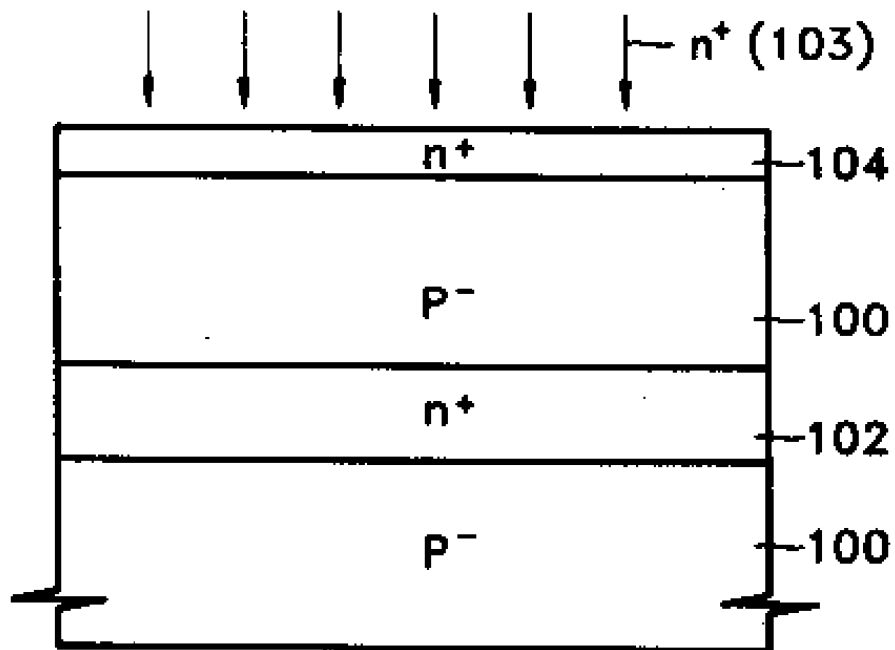
도면17



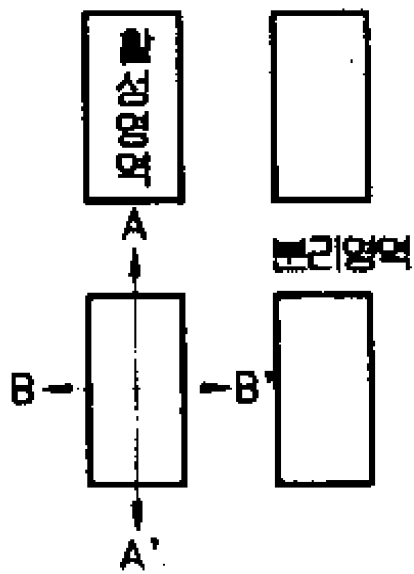
도면18



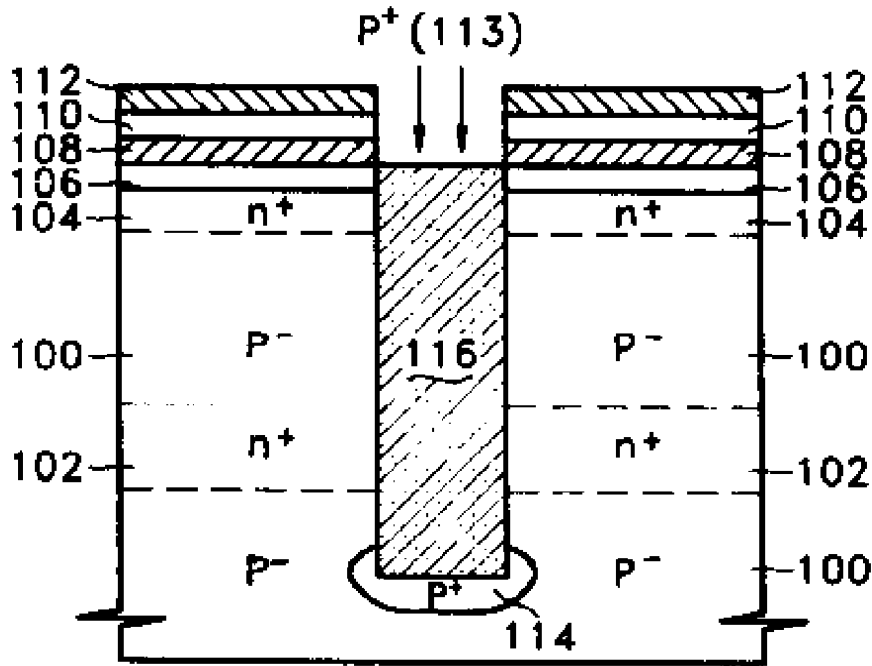
도면19



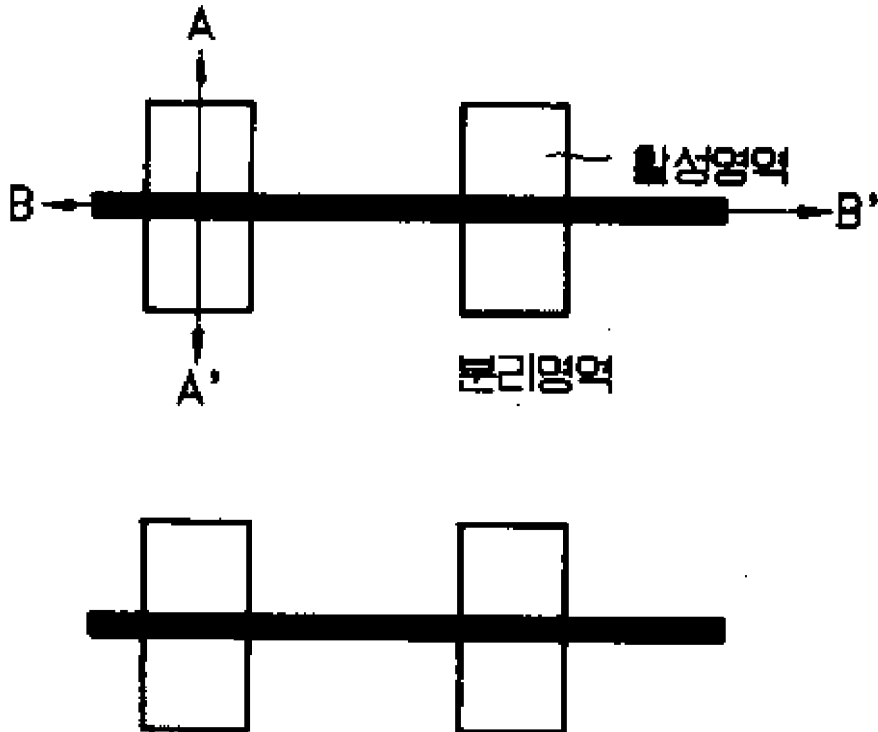
도면20a



도면20b

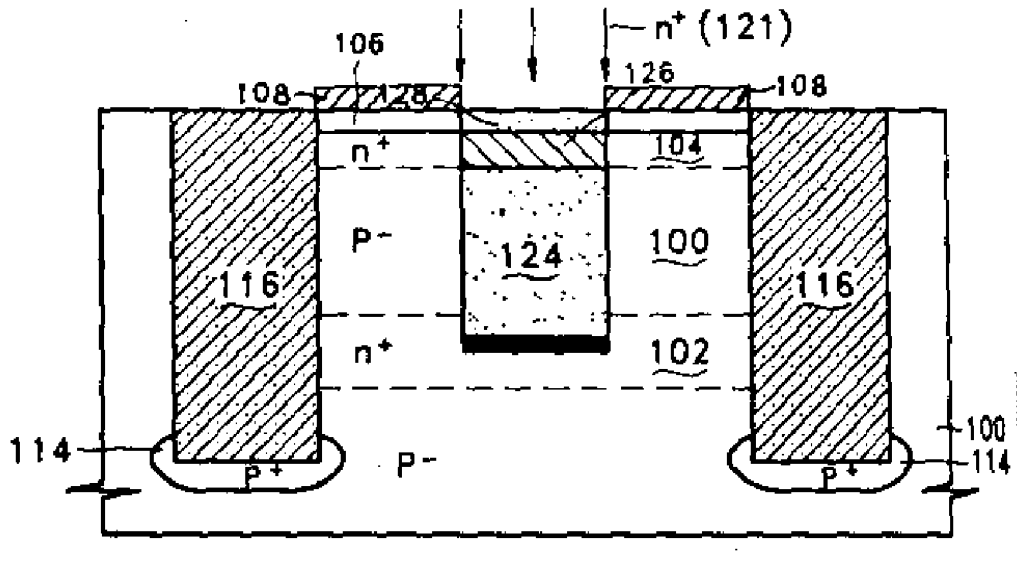


도면21a

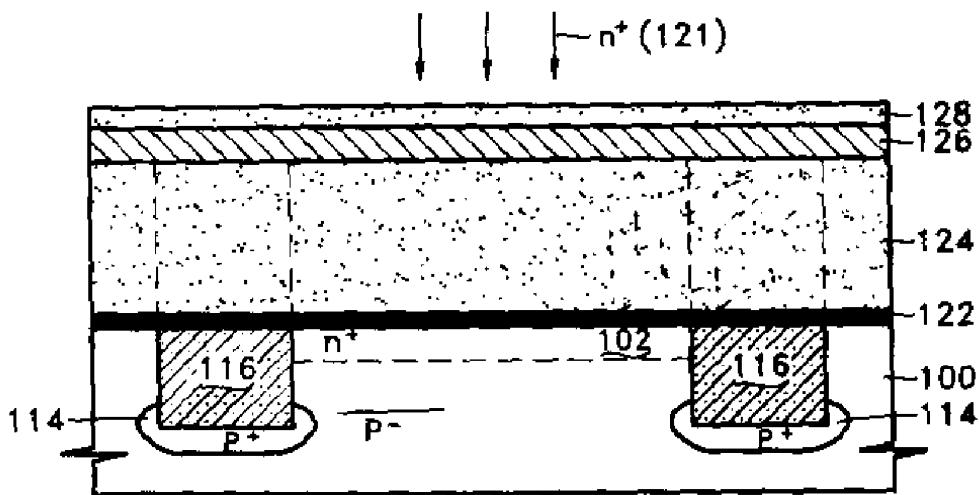




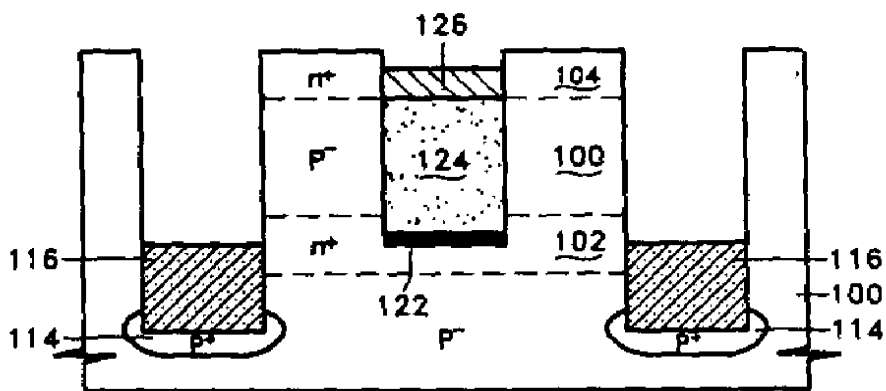
도면21b



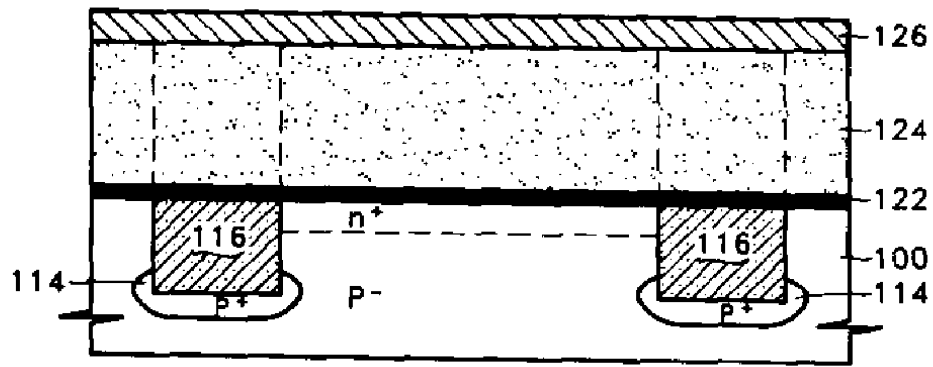
도면21c



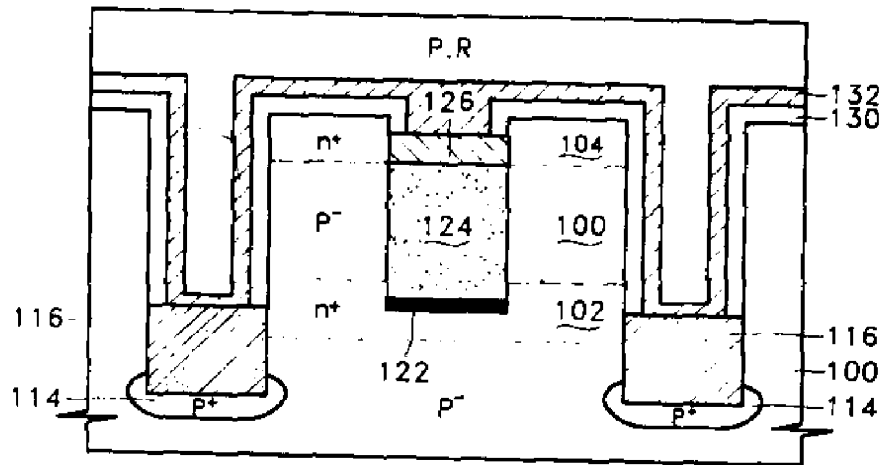
도면22a



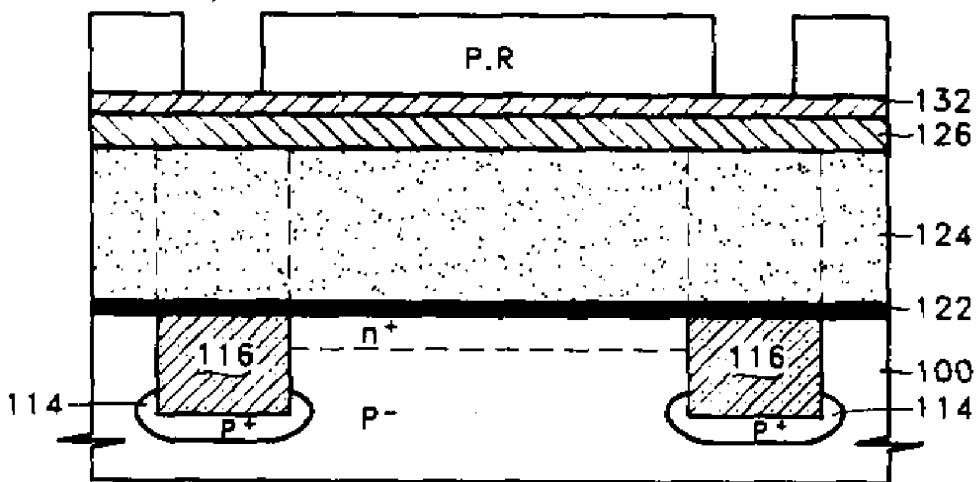
도면22b



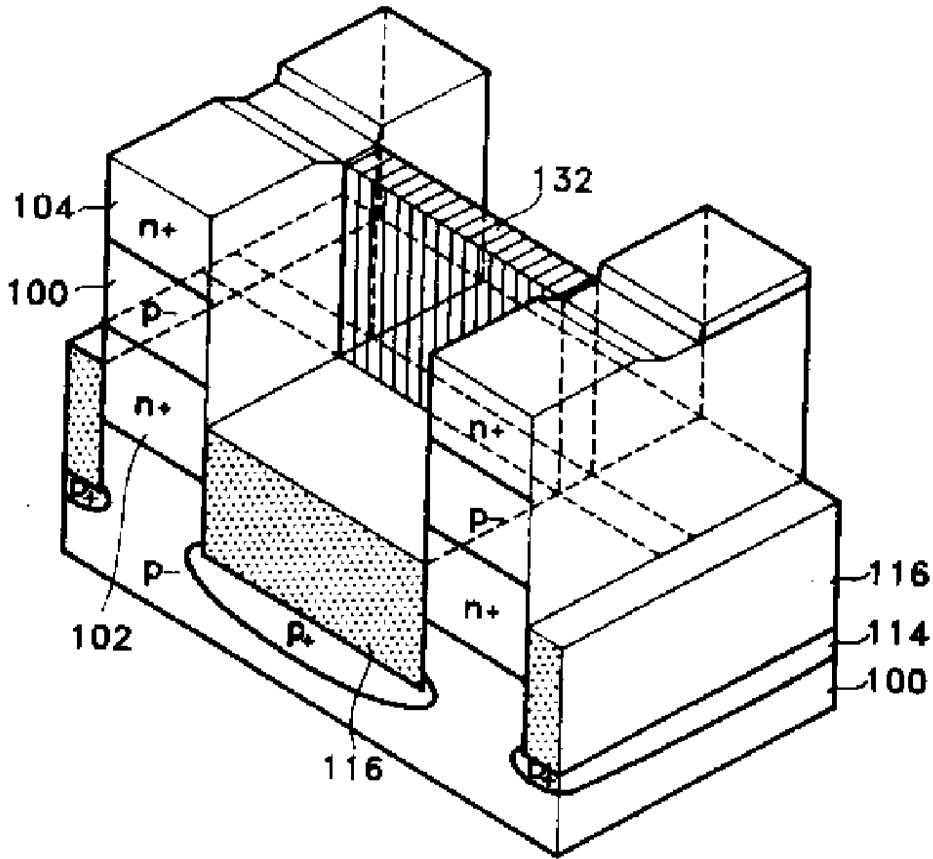
도면23a



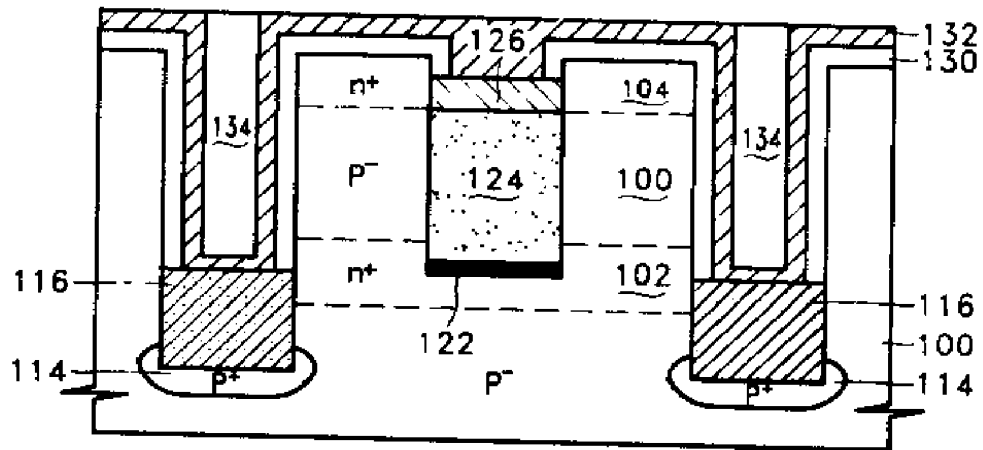
도면23b



도면24



도면25



도면26

