

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
G11C 11/40

(45) 공고일자 1989년11월25일
(11) 공고번호 89-004768

(21) 출원번호	특1984-0007747	(65) 공개번호	특1985-0006982
(22) 출원일자	1984년12월07일	(43) 공개일자	1985년10월25일
(30) 우선권주장	59-62730 1984년03월30일	일본(JP)	
(71) 출원인	가부시키 가이샤 도오시바	사바 쇼오이찌	
	일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸오 72		

(72) 발명자 이도우 야스오
일본국 요코하마시 고히구구 마메도쵸 217 도오시바 기꾸나료 C402
(74) 대리인 김윤배

심사관 : 유환열 (책자공보 제1696호)

(54) 반도체 메모리장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 메모리장치

[도면의 간단한 설명]

제 1 도는 1트랜지스터와 1캐퍼시터로 이루어진 메모리 셀을 나타내는 회로도.

제 2 도는 상기 메모리셀을 배열한 메모리어레이를 나타내는 회로도.

제 3 도는 종래의 2층 구조워드선을 모의적으로 나타내는 단면도.

제 4 도는 상기 워드선의 지연특성을 나타내는 곡선도.

제 5 도는 본 발명의 일실시에 메모리어레이를 나타내는 평면도.

제 6 도는 제 5도의 A-A' 단면도.

제 7 도는 제 5 도의 B-B' 단면도.

제 8 도는 상기 워드선 구조를 모의적으로 나타내는 단면도.

제 9 도는 상기 워드선의 지연특성을 나타내는 곡선도이다.

* 도면의 주요부분에 대한 부호의 설명

1 : MOSFET

2 : MOS캐퍼시터

WL, WLi : 워드선

Mij : 메모리셀

BL, BLj : 비트선

31 : Si기판

32, 34 : 절연막

33 : 제 2 워드선

41 : 일점쇄선

42, 61 : 실선

51 : P형 Si기판

52 : 필드산화막

53 : n-층

54₁, 54₂ : 게이트산화막

55 : OS캐퍼시터전극(제 1 층 단결정실리콘막)

56 : 제 1 워드선겸 게이트 전극(제 2 층 다결정실리콘막)
 56 : 워드선
 58₁, 58₂ : CVD산화막,
 59 : 비드선(제 1 층 Si막)
 59_a : 스페샤(Spacer)막(제 1 층 Si막) 60 : 제 2 워드선(제 2 층 Si막)
 62 : 파선
 C₁~C₈, C₁₁~C₁₈ : 접촉위치

[발명의 상세한 설명]

본 발명은 반도체 메모리에 관한 것으로, 특히 대규모 집적화한 경우에 고속억세스를 가능케 하는 반도체 메모리 장치에 관한 것이다.

최근에 고쳐쓰기 가능한 반도체 메모리셀이 여러 종류로 실용화되고 있는데, 그중 제 1 도에 나타낸 바와같이 하나의 MOSFET(1)와 MOS캐퍼시터(2)로 이루어진 메모리셀이 가장 일반적이고, 이러한 메모리셀은 MOSFET(1)의 게이트가 열어드레스선(이하 워드선 : WL)에 접속되고 드레인이 행어드레스선(이하 비트선 : BL)에 접속되며 기억데이터를 전하의 형태로 MOS캐퍼시터(2)에 축적하는 것이다.

이 메모리셀을 사용한 일례로 다이나믹램을 구성하는 경우 제 2 도에 나타나듯이 메모리어레이가 구성된다. 즉 복수의 워드선(WL_i)과 복수의 비트선(BL_j)의 각 교차부 사이에 메모리셀(M_{ij})이 각각 접속된다.

최근 다이나믹램에 대해서 점점 고속억세스동작이 요구되어 왔다. 그런데, 64K비트와 256K비트로 대용량화한 다이나믹램의 경우 워드선의 길이는 최대로 칩의 둘레와 동일 정도의 길이로 되고, 배선의 저항과 배선과 기관간의 용량때문에 고속동작에 있어서 배선으로의 신호 전파지연이 문제되고 있다. 특히 워드선을 다결정실리콘막으로 형성시킨 경우 워드선의 저항이 크고 워드선의 구동회로속(이하 시작부)과 이것으로부터 먼부분(이하 중단부)에서는 구동신호의 전파시간에 큰 차이가 발생된다. 이 때문에 타이밍설계를 행할 경우 가장 늦은 중단부를 기준으로 하지 않으면 안되고 억세스시간의 고속화에 제한이 있었다.

워드선의 지연을 적게 하기 위한 수단으로서 ① 워드선에 저저항재료를 사용하는 방법, ② 워드선을 분할해서 분할한 워드선마다 구동회로를 접속하는 방법, ③ 워드선을 2층 배선구조로 하는 방법이 고려되었다. ①의 저저항재료를 사용하는 방법으로서 W, MO등의 고용점금속을 사용하는 것이 검토되고 있지만 이러한 금속막을 얻은 MOCVD법은 아직 기술적으로 확립되어 있지 않고 제조공정이 복잡하며 신뢰성과 사용한 원료에 대한 제품의 수율에 문제가 있다.

②의 워드선을 분할하는 방법은 분할한 수에 비례해서 구동회로의 수가 증가하고, 구동회로와 디코더의 면적이 증가하기 때문에 메모리셀의 점유면적이 적게 되고, 다이나믹램의 고집적화를 방해한다고 하는 문제가 있다. 이것들에 비해 ③의 방법은 쓸모있어 예를들면 다결정 실리콘막으로 이루어진 제 1 워드선과 Si로 이루어진 제 2 워드선을 절연막을 좁게 적층해서 워드선으로 하는 방법이 채택할 수 있다. 제 1 워드선은 MOSFET의 게이트 전극과 일체적으로 형성되고, 제 2 워드선은 상기 제 1 워드선에 대해 소정간격마다 접촉시키면 좋다.

그러나, 상기 ③의 방법에도 문제가 있다. 종래의 이층 워드선구조를 모의적으로 제 3 도에 나타낸다.

31은 메모리셀이 직접 형성되는 Si기판이고, 그 위에 절연막(32)을 매개하여 다결정실리콘막으로 이루어진 제 1 워드선(33)이 배선된다.

상기 제 1 워드선(33)은 각 메모리셀의 게이트전극과 일체적으로 형성된 것이다. 그리고 그 위에 절연막(34)을 형성하고 이것에 접촉홀(contact hold)을 열어서 Si막에 의한 제 2 워드선(35)을 형성하고 있다. 제 1 워드선(33)과 제 2 워드선(35)의 접촉위치(C₁, C₂……)는 예를들어 메모리어레이의 64메미리셀마다 등(等)간격으로 설정된다.

이와 같은 2층 구조의 워드선에 구동신호로서 예를들어 0V~8V까지 일어서는 전압신호를 주어져질 때 지연시간 특성을 제 4 도로 표시한다. 제 2 워드선(35)을 사용하지 않는 다결정실리콘에 의한 제 1 워드선(33)만의 경우를 일점쇄선(41)으로 나타나지만, 2층 구조로 하는 것에 의해서 실선(42)으로 나타내듯이 지연시간이 적게 된다.

접촉위치(C₁, C₂……)의 각각 사이에 있는 메모리셀에 대해서는 제 1 워드선만이 신호전파로 기생하기 때문에 도면과 같은 형태의 지연시간 특성을 나타내는 것으로 된다.

이와 같이 종래의 2층구조의 워드선에 의해 지연시간을 전체로서 꽤 작게할 수 있지만 이것으로도 아직 충분하지 않다. 보다 작은 지연시간을 얻기 위해서는 예를들어 제 1 워드선과 제 2 워드선의 접촉위치 간격을 작게하는것이 고려되는데, 접촉위치에는 기술적, 신뢰성의 점으로 메모리셀을 두는 것이 곤란하고, 이로부터 접촉위치를 늘리는 것에 의해 메모리셀 수를 줄이지 않으면 안된다고 하는 문제가 있었다.

본 발명은 상기한 결점을 개선한 것으로서 2층 구조 워드선의 상호 접촉위치를 늘리는 것 없이 효과적으로 지연시간을 작게 하여 고속억세스동작을 가능케하는 반도체메모리장치를 제공함에 발명의 목적이 있다.

본 발명은 2층구조의 워드선의 상호 접촉위치를 시작부에서 중단부로 이동됨에 따라 핏치가 적게 되도록 부등간격을 갖고 설정한 것을 특징으로 한다. 본 발명은 다음과 같은 고찰에 기인하고, 제 4

도의 실선(42)으로 나타난 2층구조의 워드선에서 지연시간특성을 고려할 경우 액세스시간을 결정하는 것은 종단부 가까이의 최대지연시간(Z_m)이다.

그렇게 하면 워드선 구동회로가 설치되는 시작부에서는 제 1 워드선과 제 2 워드선의 접촉위치의 핏치를 보다 크게 하고, 지연시간을 보다 크게 하여도 액세스시간에는 영향을 주지 않는다.

그리고, 시작부에서 접촉수를 줄이는 분만큼 종단부에서 접촉위치를 조밀하게 설치하면 전체로서 접촉위치를 늘리는 것없이 최대지연 시간을 작게 할 수 있는 것으로 된다.

이하 본 발명의 실시예를 설명하면 다음과 같다.

2층구조 워드선의 상호 접촉부를 포함하는 구체적인 요부구조를 제 5 도~제 7 도로 표시한다.

제 5 도가 평면도, 제 6 도 및 제 7 도가 각각 제 5 도의 A-A' 및 B-B' 단면된다. 이것을 제조공정에 따라 설명하면 우선 P형 Si기판(51)을 사용하고 주지의 선택산화법 또는 산화막매입법등에 의해 필드산화막(52)을 형성하며, 필드산화막(52)으로 구획된 각 집단의 소자형성영역을 노출시킨다. 그리고 소자형성영역은 n-층(53)을 형성한 후 약 100Å의 제 1 게이트산화막(54₁)을 형성하여 그 위에서 제 1 층 다결정실리콘막을 퇴적하고, 이것을 패터닝하여 전 비트에 공통인 MOS캐퍼시터전극(55)을 형성한다. 제 5 도의 파선에 둘러싸인 부분만 캐퍼시터 전극이 된다. 다음으로 제 2 게이트산화막(54₂)을 형성하고 그, 위에 제 2 층 다결정실리콘막을 퇴적하며 이것을 패터닝하여 MOSFET의 게이트 전극과 일체의 제 1 워드선(56)을 형성한다. 그 후 이온 주입에 의해 소오스와 드레인으로 되는 n-층(57)을 형성하고, 계속적으로 약 5000Å의 CVD산화막(58₁)을 형성한다.

그리고, 상기 산화막(58₁)에 접촉홀을 열어서 제 1 층 시막을 퇴적하고 이것을 패터닝해서 MOSFET의 소오스와 접촉하는 비트선(59)을 형성한다. 이때 후에 형성한 제 2 워드선을 제 1 워드선(56₁)에 접촉시키는 위치에도 동시에 접촉홀을 열어서 이 부분에 상호 접촉을 양호하게 하기 위한 스페사막(59_a)을 제 1 층 시막에 의해 선택적으로 형성해 둔다.

이것은 제 2 워드선을 2층의 CVD산화막을 매개하여 제 1 워드선(56)으로 접촉시키는 경우 단절을 방지하고, 또 깊은 접촉홀 형성을 필요치 않기 위함이다.

이후 약 5000Å의 CVD산화막(58₂)을 퇴적하고 여기에 접촉홀을 열어서 제 2 층 시막을 퇴적하고 패터닝해서 제 2 워드선(60)을 형성한다.

다결정실리콘막으로 이루어진 제 1 워드선(56)과 시막으로 이루어진 제 2 워드선(60)은 제 6 도에서 분명히 알수 있듯이 제 1 층 시막에 의한 스페사막(59_a)을 매개해서 상호간에 접촉하고있다.

그리고, 이 스페사막(59_a)을 설치하기 위해 제 5 도에 표시한 것처럼 제 1 워드선(56)과 제 2 워드선(60)의 상호접촉을 갖는 영역(S)은 메모리셀을 배치하지 않는 데드스페이스(dead space)로 한다.

제 1 워드선(56)과 제 2 워드선(60)의 접촉은 칩내에서 1개의 워드선에 따라 복수개소(예를들면 8개소)로 갖지만 그 접촉위치의 배열이 종래와 다른 부등간격이다.

그 모양을 제 3 도에 대응시키는 제 8 도에 나타낸다. C_{11} , C_{12} C_{18} 이 접촉위치이며, C_{11} 이 워드선 구동회로측, 즉 시작부로서 C_{18} 이 종단부측이다.

이와 같이, 접촉을 부등간격으로 한 2층구조 워드선의 제 1 워드선(56)상의 지연특성을 제 4 도에 대응시켜 제 9 도에 실선(61)으로 나타낸다.

제 9 도의 파선(62)는 제 4 도의 실선(42)에 대응하고, 시작부에 가까운 영역에서는 파선(62)으로 나타난 등간격에 접촉을 취한 경우에 비교하여 늦게 되는 것의 종단부분의 접촉간격을 좁게 하는 것에 의해 워드선 전체의 배선지연을 최대지연시간으로 비교해서 m에서 m'으로 적게할 수가 있다.

즉, 접촉의 수(이 도명에서는 8개)를 변하게 하는 것없이 종래의 등간격에 접촉을 취한 2층구조 워드선에 비교하여 배선지연을 저감할 수가 있다.

본 발명에 의하면 2층구조의 워드선 상호 접촉위치를 늘리는 것없이 그 최대지연시간을 적게 할 수가 있고, 액세스시간의 단축을 도모할 수가 있다. 또 접촉위치를 늘리지 않아도 되기 때문에 메모리셀의 집적도 저하와 신뢰성 저하가 없고 종래와 같은 정도의 지연시간이 허용된다고 하면 접촉위치를 줄여 집적도향상과 신뢰성향상을 꾀할 수 있다.상기한 바와 같이 본 발명에 의하면 2층구조 워드선 상호 접촉의 수를 일정하게 하고, 메모리셀의 점유면적을 감소시키는 것없이 신호의 전파지연을 단축할 수 있고 고속액세스동작이 가능하며 또한 신뢰성이 높은 반도체메모리가 실현할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판상에 매트릭스로 배열하여 형성되는 복수 메모리셀(M_{ij})과 상기 메모리셀(M_{ij})을 선택적으로 구동시키는 각각 복수개로된 행어드레스선(BL) 및 열어드레스선(WL)을 갖는 반도체메모리 장치에 있어서, 상기 열어드레스선(WL)에는 열위에 있는 전체메모리셀의 게이트전극에 접속되는 제 1 열어드레스선(56)과, 상기 제 1 열어드레스선(56) 위에 절연막을 매개해서 적층되므로써 제 1 열어드레스선(56)에 대해 부등간격을 두고 복수개소로 접촉하는 제 2 열어드레스선(60)으로 구성된 것을 특징으로 하는 반도체 메모리장치.

청구항 2

제 1 항에 있어서, 상기 제 1 열어드레스선(56)과 제 2 열어드레스선(60)의 접촉위치 배열이 열어드

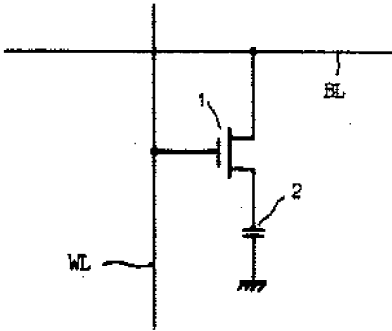
레스션 구동회로부터 떨어짐에 따라 핏치가 적게 되어 부등간격으로 배열된 것.

청구항 3

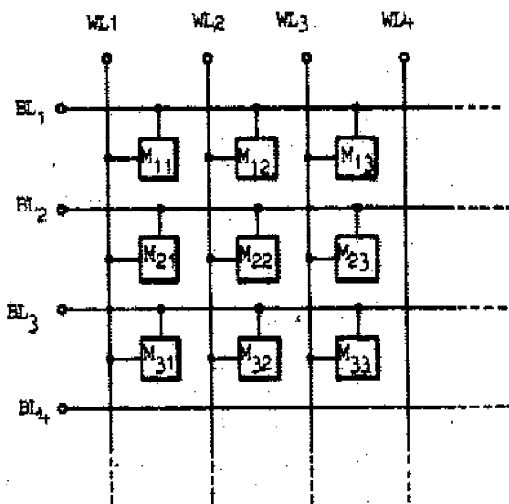
제 1 항에 있어서, 상기 메모리셀(Mij)이 1개의 캐퍼시터와 1개의 MOSFET로 구성되고, 상기 열어드레스선(WL)이 MOSFET의 게이트전극에 접속되는 것으로서 상기 제 1 열어드레스선(WL)을 MOSFET의 게이트 전극과 일체적으로 하여 다결정실리콘막에 의해 형성된 것.

도면

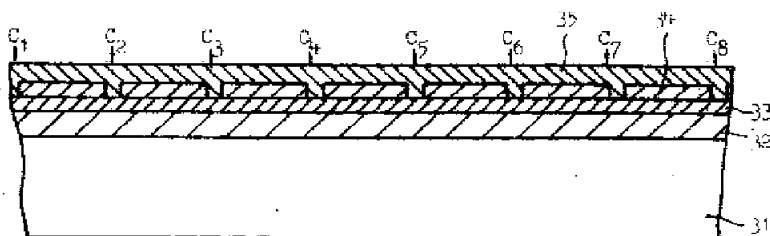
도면1



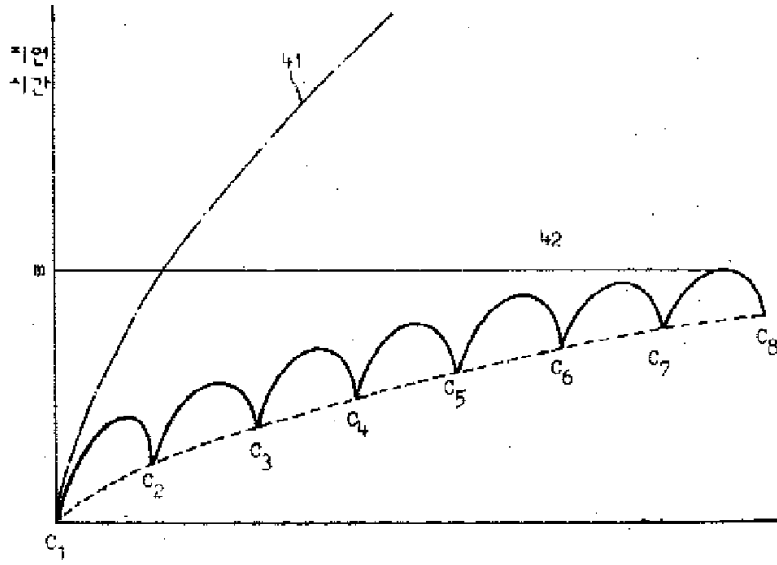
도면2



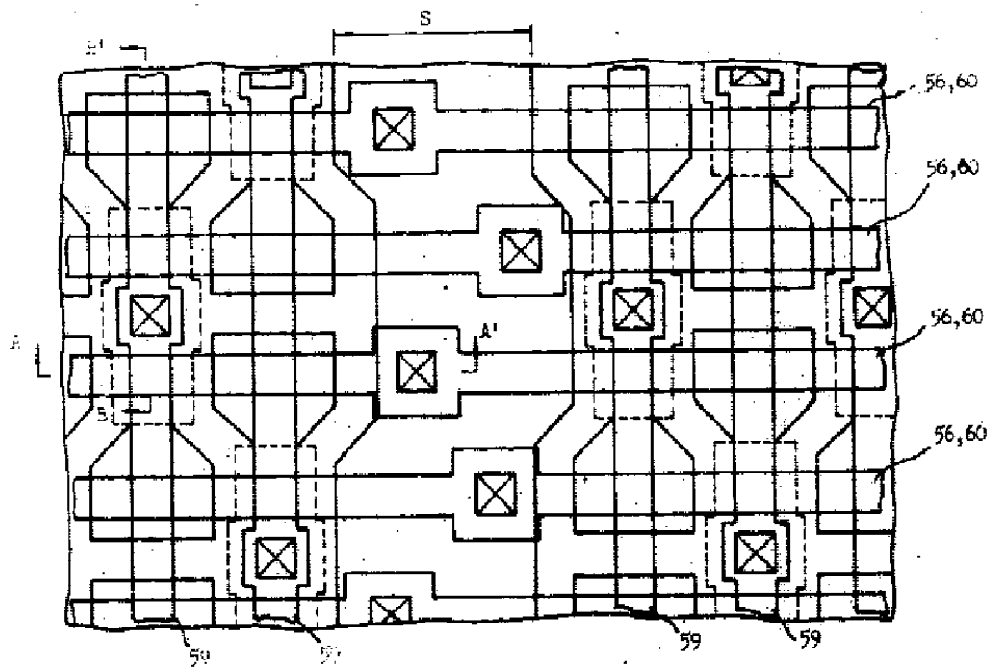
도면3



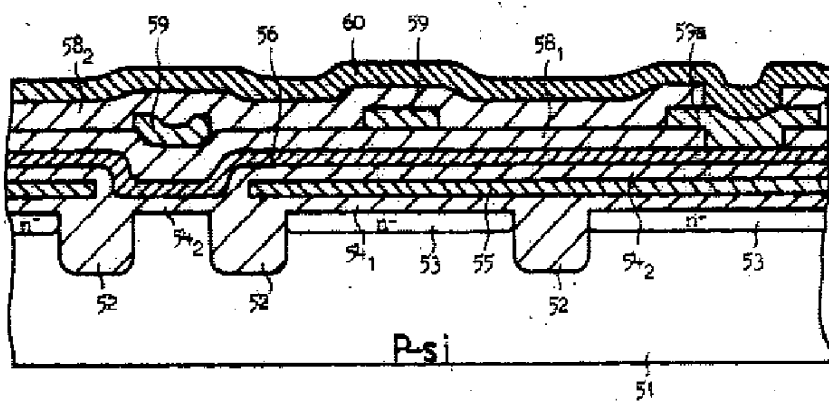
도면4



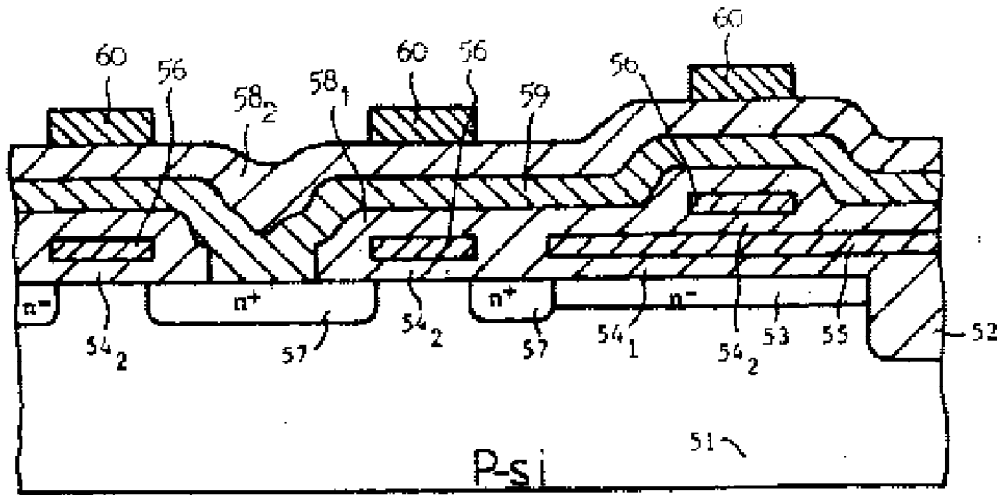
도면5



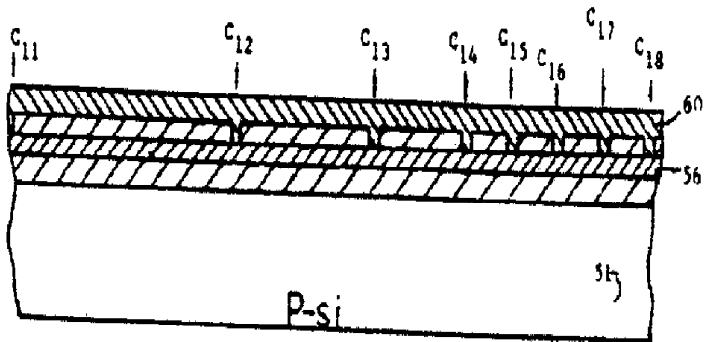
도면6



도면7



도면8



도면9

