

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-188238

(P2009-188238A)

(43) 公開日 平成21年8月20日(2009.8.20)

(51) Int.Cl.
H01S 5/183 (2006.01)

F I
H01S 5/183

テーマコード (参考)
5F173

審査請求 未請求 請求項の数 15 O L (全 22 頁)

(21) 出願番号 特願2008-27542 (P2008-27542)
(22) 出願日 平成20年2月7日(2008.2.7)

(出願人による申告)平成18年度 文部科学省「超高速コンピュータ用光インターコネクションの研究開発」に係る委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 赤川 武志
東京都港区芝五丁目7番1号 日本電気株式会社内
(72) 発明者 辻 正芳
東京都港区芝五丁目7番1号 日本電気株式会社内
(72) 発明者 鈴木 尚文
東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

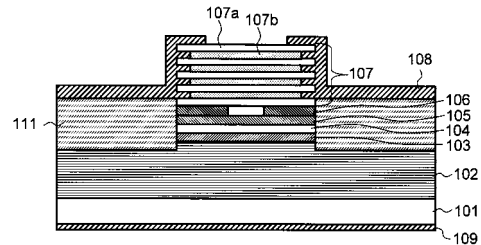
(54) 【発明の名称】 面発光レーザ及びその製造方法

(57) 【要約】

【課題】素子抵抗低減と光吸収抑制を両立でき、かつ、高速化にも対応可能な面発光レーザを提供すること。

【解決手段】本発明に係る面発光レーザは、半導体基板101と、半導体基板101上に形成された第1の反射鏡102と、第1の反射鏡102上に形成された活性層104と、活性層104上に形成され、高屈折率層107aと低屈折率層107bとが交互に複数回積層された第2の反射鏡107とを備えた面発光レーザであって、第2の反射鏡107の側面に凹凸が形成され、当該凹凸を覆うように第1の電極108が形成されているものである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に形成された第 1 の反射鏡と、
前記第 1 の反射鏡上に形成された活性層と、
前記活性層上に形成され、高屈折率層と低屈折率層とが交互に複数回積層された第 2 の反射鏡とを備えた面発光レーザであって、
前記第 2 の反射鏡の側面に凹凸が形成され、当該凹凸を覆うように第 1 の電極が形成されている面発光レーザ。

【請求項 2】

前記凹凸及び前記第 1 の電極がレーザ光の分布範囲外に形成されている請求項 1 に記載の面発光レーザ。

【請求項 3】

前記高屈折率層が形成された領域の面積と低屈折率層が形成された領域の面積とが異なることにより、前記第 2 の反射鏡の側面に前記凹凸が形成されている請求項 1 又は 2 に記載の面発光レーザ。

【請求項 4】

一組の前記高屈折率層と低屈折率層との面積の差が、高屈折率層あるいは低屈折率層の 1 層あたりの側面の面積よりも大きいことを特長とする請求項 3 に記載の面型発光レーザ。

【請求項 5】

前記第 1 の電極が形成された前記凹凸における前記高屈折率層と低屈折率層の面積差の総和が、高屈折率層及び低屈折率層の側面の面積の総和の 1.5 倍以上となることを特長とする請求項 3 又は 4 のいずれか一項に記載の面型発光レーザ。

【請求項 6】

前記第 1 の電極との接触界面における前記第 2 の反射鏡のドーピング濃度が、前記第 2 の反射鏡内部のドーピング濃度よりも高い請求項 1 ~ 5 のいずれか一項に記載の面発光レーザ。

【請求項 7】

前記第 2 の反射鏡の側面に形成された凹部のうち、最上層の凹部よりも最下層の凹部の方がその深さが深い請求項 1 ~ 6 のいずれか一項に記載の面発光レーザ。

【請求項 8】

前記第 2 の反射鏡の側面に形成された凹部の深さが、上層から下層に向うにつれて深くなる請求項 7 に記載の面発光レーザ。

【請求項 9】

前記第 1 の反射鏡の側面にも凹凸が形成されており、当該側面を覆うように第 2 の電極が形成されている請求項 1 ~ 8 のいずれか一項に記載の面発光レーザ。

【請求項 10】

前記半導体基板の主面の法線方向から見て、前記第 2 の反射鏡の外周の形状が凹凸を有する請求項 1 ~ 9 のいずれか一項に記載の面発光レーザ。

【請求項 11】

前記半導体基板が GaAs からなり、前記低屈折率層が Al を含む III-V 族半導体からなる請求項 1 ~ 10 のいずれか一項に記載の面発光レーザ。

【請求項 12】

前記第 2 の反射鏡の最上層に形成された前記低屈折率層の Al 組成が、前記第 2 の反射鏡の最下層に形成された前記低屈折率層の Al 組成よりも低い請求項 11 に記載の面発光レーザ。

【請求項 13】

前記第 2 の反射鏡の低屈折率層の Al 組成が、上層から下層に向うにつれて高くなる請求項 12 に記載の面発光レーザ。

10

20

30

40

50

【請求項 1 4】

半導体基板上に第 1 の反射鏡、活性層、高屈折率層と低屈折率層とを交互に複数回積層してなる第 2 の反射鏡を順次形成する工程と、

前記活性層及び第 2 の反射鏡を備えるメサを形成する工程と、

前記高屈折率層と前記低屈折率層とのいずれか一方を選択酸化する工程と、

選択酸化された部分をエッチングして前記第 2 の反射鏡の側面に凹凸を形成する工程と

、
前記第 2 の反射鏡の側面を覆うように電極を形成する工程とを備えた面発光レーザの製造方法。

【請求項 1 5】

前記電極をメッキ工程又はスパッタ工程又はアニール処理により形成する請求項 1 4 に記載の面発光レーザの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光通信や光インターコネクションの分野で用いられる面発光レーザ及びその製造方法に関する。

【背景技術】

【0002】

光通信は長距離、大容量伝送が可能であることから、特に長距離通信では早くから広く
20
実用に供されてきた。一般に光通信の送信装置には光源として半導体レーザが用いられて
おり、その中で面発光レーザ（V C S E L : Vertical Cavity Surface Emitting Laser）
は小型、低消費電力などの利点を有することから、短距離通信用の光源として利用されて
いる。上記の利点は体積の小ささによるところが大きいですが、反面、その体積の小ささに起
因して一般に端面発光型レーザに比べて電気抵抗及び熱抵抗が高くなる。そのため、自己
発熱が大きく、帯域制限の一要因になっている。

【0003】

図 1 0 は、本発明に関連するメサ直径（ μm ）の円状 V C S E L の断面模式図である
。この素子では、n 型半導体基板 1 上に、n 型 D B R 層（分布ブラッグ反射鏡 : Distribu
30
ted Bragg reflector）2、n 型クラッド層 3、活性層 4、p 型クラッド層 5、電流狭窄
層 6、p 型 D B R 層 7 及び p 側電極 8 が順次積層されている。n 型半導体基板 1 の裏面
には n 側電極 9 が形成されている。

【0004】

n 型 D B R 層 2 の一部とそれより上部の層が直径（ μm ）の円柱構造のメサとなっ
ている。電流狭窄構造を構成する電流狭窄層 6 は、電流狭窄部形成層が一部酸化されること
により形成される。すなわち、電流狭窄層 6 は絶縁体であるため、中央部に形成された非
酸化領域に対応する活性層 4 の領域に電流経路 1 のように集中的に電流を流すことができ
る。このときの p 型 D B R 層 7 部分の電気抵抗 R_B は、近似的に円筒状に一樣に電流が流
れると考えると、p 型 D B R 層 7 の層厚 h （ μm ）、p 型 D B R 層 7 の電気抵抗率 ρ_B を
40
用いて式（1）で表すことができる。

【数 1】

$$R_B = \rho_B \frac{h}{\pi \left(\frac{\phi}{2}\right)^2} \quad (1)$$

【0005】

ここで、帯域向上には、自己発熱の抑制以外にも素子の低容量化が重要となる。これに
はメサ面積の縮小が有効である。しかし、これは同時に電流が通過する断面積の縮小にも
なるため、素子抵抗が増加する。例えば、メサ直径を $1/2$ とした場合には、電流が通過
50

する断面積は $1/4$ になり、式 (1) から、電気抵抗 R_B が 4 倍になる。

【0006】

更に、メサ面積の縮小はコンタクト抵抗の増加にもつながる。図 10 に示すように、電極コンタクトの面積は微小メサ構造によりを小さくすることで相対的に小さくなるためである。p 型 DBR 層 7 と p 側電極 8 の間のコンタクト抵抗率を ρ_c とすると、コンタクト抵抗 R_c は、式 (2) で表すことができる。ただし、リング形状の p 側電極 8 の内径を d (μm) とする。式 (2) から、メサが微小になることで電極コンタクトの面積が縮小し、コンタクト抵抗 R_c が増加する。

【数 2】

$$R_c = \frac{\rho_c}{\pi \left[\left(\frac{\phi}{2} \right)^2 - \left(\frac{d}{2} \right)^2 \right]} \quad (2)$$

10

【0007】

また、式 (2) から、コンタクト抵抗率 ρ_c を小さくすることにより、コンタクト抵抗 R_c を低減することができる。これには p 型 DBR 層 7 上部のコンタクト層のドーピング濃度を高くすればよい。しかし、電気抵抗 R_B を低減することはできないため、p 型 DBR 層 7 上部のコンタクト層のドーピング濃度の増加だけでは十分に低い素子抵抗を実現することは難しい。

20

【0008】

一方、式 (1) から、電気抵抗率 ρ_B を小さくすることにより、電気抵抗 R_B を低減することができる。これには円筒部分全体のドーピング濃度を高くすればよいが、光吸収を大幅に増大させるため、素子特性を悪化させ実用的ではない。

【0009】

素子抵抗低減の他の方法として、p 側電極 8 と活性層 4 の間の距離を短くする方法が考えられる。例えば、図 10 の p 型 DBR 層 7 の層数を少なくすることで、p 側電極 8 と活性層 4 の間の距離を短くすることができる。一方、p 型 DBR 層 7 の層数低減にともない、反射率が低下する。

【0010】

反射率の低下を回避しつつ、p 側電極 8 と活性層 4 の距離を小さくした VCSEL が非特許文献 1 に開示されている。これを図 11 に示す。図 10 の VCSEL と同様に、各層が順次積層され、p 型 DBR 層 7 が円柱構造のメサとなっており、その周囲にリング形状の p 側電極 8 が配置されている。この構造では、p 側電極 8 から活性層 4 までの距離が小さく、素子抵抗の低減が期待される。また、p 型 DBR 層 7 には電流が流れないので、ドーピング濃度を下げることができ、光吸収を抑制することもできる。

30

【0011】

ところが、p 側電極 8 と活性層 4 との間の距離の縮小に伴い、もはや円筒状に一樣に電流が流れると近似することはできなくなる。すなわち、積層方向に対して垂直な方向の電流成分、すなわち、図 11 における横方向の電流成分が支配的になる。この横方向の電流経路の断面積は小さいため、図 11 の VCSEL も素子抵抗低減には有効ではない。

40

【0012】

素子抵抗を低減する他の方法として、電流経路の増加が考えられる。例えば、図 12 に示すように、図 10 の VCSEL における p 型 DBR 層 7 の上面に形成された p 側電極 8 a に加え、p 型 DBR 層 7 の側面に p 側電極 8 b が形成されている。これにより、電流経路 1、電流経路 2 が並列に接続されていると考えられ、素子抵抗を低減することができる。

【0013】

この原理に基づいた VCSEL が非特許文献 2 に開示されている。これを図 13 に示す。図 13 に示すように、この VCSEL は n 側電極 9、GaAs からなる n 型半導体基板

50

1 上に、n 型 DBR 層 2、活性層 4、電流狭窄層 6 及び p 型 DBR 層 7 が順次積層されている。n 型 DBR 層 2 の一部とそれより上部の層が円柱構造のメサとなっている。更に、そのメサの周囲に p 型 DBR 層 7 の所定の高さまでポリイミド層 11 が積層されており、p 側電極 8 が p 型 DBR 層 7 を覆うように形成された構造となっている。すなわち、p 型 DBR 層 7 の上面だけでなく側面にも p 側電極 8 が形成されているため、図 12 の原理による素子抵抗の低減が期待される。

【0014】

この非特許文献 2 の構造において、p 型 DBR 層 7 の側面からの電流経路を有効に機能させるには、p 型 DBR 層 7 の側面と p 側電極 8 とのコンタクト抵抗 R_c が十分に低いことが必要条件となるが、これは容易ではない。p 型 DBR 層 7 としては、p 型 GaAs などからなる高屈折率層 7a と p 型 AlAs、p 型 AlGaAs などからなる低屈折率層 7b との一对を基本単位として複数積層したものが多く用いられる。ここで、Al を含む低屈折率層 7b の側面は酸化され絶縁体となるため、この層で電極コンタクトをとることはできない。従って、側面の半分程度しか電極コンタクトに寄与しないため、十分に低いコンタクト抵抗 R_c を実現できない。多数の注入電流経路を有効に機能させるためには、p 型 DBR 層 7 の側面と p 側電極 8 とのコンタクト抵抗率 r_c を低減すること、更には側面のコンタクト面積を増やして、十分に低いコンタクト抵抗 R_c を実現する必要がある。

【0015】

コンタクト抵抗率 r_c は、ドーピング濃度を増大することで低減できる。しかしながら、VCSEL は、基板からメサ上部の方向に向けて順次積層して形成するため、p 型 GaAs 高屈折率層 7a の側面と p 側電極 8 とのコンタクト抵抗率 r_c を低減するためには、p 型 GaAs 高屈折率層 7a 全体のドーピング濃度を増加しなければならないが、これは光吸収の増大を引き起こすため望ましくない。以上のように、ドーピング濃度の増加によるコンタクト抵抗率 r_c の低減と光吸収の増大とはトレードオフの関係がある。

【0016】

そこで、図 14 に示すように、コンタクト面積を拡大した VCSEL が、特許文献 1 の図 1 に開示されている。この VCSEL は、n 側電極 9、n 型 GaAs 基板 1、n 型 DBR 層 2 と、ノンドープ AlGaAs n 型クラッド層 3、活性層 4、ノンドープ AlGaAs p 型クラッド層 5、電流狭窄層 6、p 型 AlGaInP エッチングストップ層 21 からなる下部 p 型 DBR 層 7B と、上部 p 型 DBR 層 7A、p 型 GaAs コンタクト層 22、p 側電極 8 が順次積層された構造となっている。上部 p 型 DBR 層 7A の上面、側面及び p 型 AlGaInP エッチングストップ層 21 の上には p 型 GaAs コンタクト層 22 が連続して延在している。この p 型 GaAs コンタクト層 22 を介して上部 p 型 DBR 層 7A の上面、側面及び p 型 AlGaInP エッチングストップ層 21 の上に、p 側電極 8 が形成されている。この構造では、p 型 GaAs コンタクト層 22 を用いることで、実効的なコンタクト面積を拡大している。

【特許文献 1】特開 2005 - 85836 号公報

【非特許文献 1】IEEE JOURNAL OF QUANTUM ELECTRONICS、2006 年 9 月、VOL. 42、NO. 9、p. 891

【非特許文献 2】2006 年電子情報通信学会ソサイエティ大会講演論文集、C - 4 - 28、2006 年 9 月、p. 242

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、特許文献 1 の構造では、上部 p 型 DBR 層 7A における Al を含む層が酸化されるため、それに隣接した p 型 GaAs コンタクト層 22 を品質良く結晶成長することが困難である。また、図 14 のような垂直形状の p 型 GaAs コンタクト層 22 を形成することは難しく、一般には垂直形状ではなく、傾きをもった形状となってしまう。このため実効的なメサ直径 d が大きくなり、容量が増加するので、高速化を目的とした用途への適用は困難である。

10

20

30

40

50

【0018】

また、特許文献1の構造により増加するコンタクト面積は充分とは言えず、非特許文献2の2倍程度である。よって、コンタクト抵抗 R_c は十分に小さい値とはならないため、上部p型DBR層7Aの側面からの電流経路は十分に機能せず、低い素子抵抗を実現することが困難となっている。

【0019】

本発明は、このような課題を解決するためになされたものであり、素子抵抗低減と光吸収抑制を両立でき、かつ、高速化にも対応可能な面発光レーザを提供することを目的とする。

【課題を解決するための手段】

10

【0020】

本発明に係る面発光レーザは、

半導体基板と、

前記半導体基板上に形成された第1の反射鏡と、

前記第1の反射鏡上に形成された活性層と、

前記活性層上に形成され、高屈折率層と低屈折率層とが交互に複数回積層された第2の反射鏡とを備えた面発光レーザであって、

前記第2の反射鏡の側面に凹凸が形成され、当該凹凸を覆うように第1の電極が形成されているものである。

【0021】

20

本発明に係る面発光レーザの製造方法は、

半導体基板上に第1の反射鏡、活性層、高屈折率層と低屈折率層とを交互に複数回積層してなる第2の反射鏡を順次形成する工程と、

前記活性層及び第2の反射鏡を備えるメサを形成する工程と、

前記高屈折率層と前記低屈折率層とのいずれか一方を選択酸化する工程と、

選択酸化された部分をエッチングして前記第2の反射鏡の側面に凹凸を形成する工程と

、前記第2の反射鏡の側面を覆うように電極を形成する工程とを備えたものである。

【発明の効果】

【0022】

30

本発明によれば、素子抵抗低減と光吸収抑制を両立でき、かつ、高速化にも対応可能な面発光レーザを提供することができる。

【発明を実施するための最良の形態】

【0023】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。尚、以下の実施の形態で示す成膜方法、組成、膜厚、メサ径、酸化径、プロセス条件等は、例示であって、これに限られるものではない。また、説明を明確にするため、以下の記載及び図面は、適宜、簡略化されている。

【0024】

第1の実施の形態

40

図1に第1の実施の形態に係るVCSELの断面図を示す。図1に示すように、本実施の形態に係る面発光レーザでは、n型半導体基板101上に、高屈折率層と低屈折率層の一对を基本単位として複数積層したn型DBR層102、n型クラッド層103、活性層104、p型クラッド層105、電流狭窄層106、高屈折率層107aと低屈折率層107bの一对を基本単位として複数積層したp型DBR層107が順次積層されている。ここで、p型DBR層107における高屈折率層107aと低屈折率層107bとは積層面の面積が異なり、これによりp型DBR層107の側面に凹凸が形成されている。この側面の凹凸を覆うようにp側電極108が形成されている。p側電極108はレーザ光の分布範囲外に形成されている。ここでの分布範囲とは、主たるレーザ光の空間的な広がりを指している。この広がりを中心が最も高強度でそこから離れるにつれて強度が減少する

50

ような場合には、例えば最高強度の $1/e^2$ 程度の強度になる範囲までを主たる分布範囲と考えることができる。もちろんこの分布を考える上での対象は、主たるレーザ光のことであり、多少の散乱光を含むものではない。また、n型半導体基板101の裏面に、n側電極109が形成されている。なお、図1に示すように、p型DBR層107においては、4層の低屈折率層107bに対して5層の高屈折率層107aとなっている。しかしながら、最下層の高屈折率層107aは電流狭窄層106の非酸化領域と一対になって反射鏡の機能を発現している。

【0025】

このため、p型DBR層107とp側電極108とのコンタクト面積が大幅に増え、コンタクト抵抗 R_c を低減することができる。そして、複数の注入電流経路が有効に機能し、素子抵抗の大幅な低減が実現される。なお、p側電極108がレーザ光の分布範囲内にある場合には、p型DBR層107とp側電極108の接触部分での光の散乱や、p側電極108による光の吸収等の損失が考えられる。

10

【0026】

次に、図2A～図2Jを参照して第1の実施の形態に係るVCSELの製造方法を説明する。まず、図2Aに示すようにn型半導体基板101上に、屈折率の異なる2つの材料の一対を基本単位として複数積層したn型DBR層102、n型クラッド層103、活性層104、p型クラッド層105、電流狭窄部形成層106a、高屈折率層107aと低屈折率層107bとを一対の基本単位として複数積層したp型DBR層107を有機金属気相成長(MOCVD: Metal Organic Chemical Vapor Deposition)法もしくは分子線エピタキシー成長(MBE: Molecular Beam Epitaxy)法により順次積層する(工程1)。

20

【0027】

各々のDBR層では、高屈折率層107a及び低屈折率層107bのそれぞれの膜厚は、これら媒質内の各々の光路長が発振波長のほぼ $1/4$ になるように設定する。高屈折率層107a及び低屈折率層107bの膜厚の合計を、光路長が発振波長の $1/2$ となるように設定してもよい。

【0028】

次に、p型DBR層107上に円形など所望の形状のエッチングマスクを形成する。このエッチングマスクの形状は、後に形成される電流狭窄層106の非酸化領域の形状に影響し、それが出力光の断面形状を決定する。必要に応じて楕円型などの所望の断面形状をもつ出力光を出射するようにしてもよい。

30

【0029】

次いで、エッチング工程により、図2Bに示すようにn型DBR層102の表面が露出するまでエッチングを行い、円柱状構造のメサを形成する(工程2)。この工程により、n型DBR層102の側面が露出する。

【0030】

その後、図2Cに示すように、n型DBR層102の表面からp型DBR層107の高さまで保護できるように素子全面をエッチングマスク112により覆う(工程3)。このとき、形成されるエッチングマスク112は、素子の上面と側面で形成される量が異なり、メサ側面部分が薄く、n型DBR層102の上面とメサ上面が厚くなるようにする。例えば、熱CVD(Chemical Vapor Deposition)により SiO_2 からなるエッチングマスク112を形成することができる。

40

【0031】

次に、エッチングマスク112をウェットエッチングにより一部除去する。素子上面と側面で厚さの異なっているエッチングマスク112を、ウェットエッチングにより等方的にエッチングすることで、メサの側面部分のエッチングマスク112の全てと、n型DBR層102上とメサ上面のエッチングマスク112の一部が除去される(工程4)。これにより、図2Dに示すように、電流狭窄部形成層106aがエッチングマスク112aにより保護され、p型DBR層107が露出する。また、メサ上部にエッチングマスク11

50

2 b が一部残る。

【0032】

次に、水蒸気雰囲気中の炉内において、高屈折率層107 aもしくは低屈折率層107 bが酸化される温度において、所望の時間加熱する。これにより、図2 Eに示すように、酸化部113が形成される(工程5)。図2 Eでは、低屈折率層107 bが酸化された場合を示している。もちろん、水蒸気雰囲気での加熱を行わず、高屈折率層107 aと低屈折率層107 bの選択エッチング性を利用して、p型DBR層107の側面に所望の深さの凹部を形成してもよい。

【0033】

次に、酸化部113とエッチングマスク112 aとメサ上部のエッチングマスク112 bとを除去する(工程6)。これにより、図2 Fに示すように、p型DBR層107に形成された凹凸と、電流狭窄部形成層106 aの側面とが露出する。

【0034】

次に、水蒸気雰囲気中の炉内において、電流狭窄部形成層106 aが酸化される温度において、所望の時間加熱する。これにより、図2 Gに示すように、電流狭窄部形成層106 aが円環状に選択的に酸化され、電流狭窄層106が形成される(工程7)。電流狭窄層106の中心部には所望の大きさの非酸化領域が形成される。電流狭窄層106は、電流を非酸化領域とほぼ同径の活性層104に集中して流すために設けられる。

【0035】

次に、素子全面をポリイミド層111で覆い、p型DBR層107の側面が露出されるまでエッチングを行う(工程8)。これにより、図2 Hに示すように、n型DBR層102の上面から電流狭窄層106の高さまで、メサの周囲をポリイミド層111が覆い、p型DBR層107が露出する。

【0036】

次に、p型DBR層107の上面の一部と側面に電極を形成する。まず全面にフォトレジストを塗布した後、リソグラフィにより図2 Iに示すようにメサ上面中心部のフォトレジスト114のみを残す(工程9)。

【0037】

次に、蒸着工程、スパッタ工程、メッキ工程などにより、メサ上面とp型DBR層107の側面全体及びポリイミド層111の上面に金属膜を形成する。その後、フォトレジスト114を除去してリフトオフする(工程10)。この金属膜形成工程により図2 Jに示すようにp型DBR層107の上面の中心部以外の領域、p型DBR層107の側面全体及びポリイミド層111の上面にp側電極108が形成される。

【0038】

続いて、蒸着工程、スパッタ工程、メッキ工程などにより、図1のようにn型電極109を形成する(工程11)。工程10、11における金属膜形成工程は、複数実施してもよい。また、上記以外の金属膜形成方法でもよいし、アニール処理を加えてもよい。

【0039】

本発明の構造において、p型DBR層107中の各層において、p側電極108と接している面以外のドーピング濃度を低減し、結果として特許文献1の構造に比べて光吸収を低減できたとする。更にこのときのコンタクト面積が、特許文献1よりも大きくできたとすると、特許文献1よりも高いコンタクト抵抗率 ρ_c でも同等のコンタクト抵抗 R_c を実現できることになる。仮にコンタクト抵抗率 ρ_c はドーピング濃度に反比例するとした場合、ドーピング濃度を低減できることになる。よって、同等のコンタクト抵抗 R_c 、同等の素子抵抗において、p型DBR層107における光吸収は本実施例では特許文献1に比べて大幅に低減できると言える。

【0040】

第2の実施の形態

図3に第2の実施の形態に係るVCSELの断面図を示す。第2の実施の形態では、図3に示すように、p型DBR層107の最下部における側面の凹部がそれより上部におけ

10

20

30

40

50

る凹部よりも深く形成されている。そのため、p側電極108と電流狭窄層106の非酸化領域までの距離が短くなり、積層方向に対して垂直な方向の成分、すなわち、図3における横方向の電流成分が少なくなる。このため、断面積が小さい電流経路が減少し、結果として電気抵抗 R_B の低減が可能となる。また、コンタクト面積も拡大され、コンタクト抵抗 R_C も低減できる。

【0041】

第3の実施の形態

図4に第3の実施の形態に係るVCSELの断面図を示す。第3の実施の形態では、p型DBR層107の側面の凹部の深さが、上部から下部にかけて段階的に大きくなっている。この上部から下部にかけて段階的に大きくなっている凹部内にp型電極108が形成されている。これにより、p側電極108にレーザ光が重なることなく、p側電極108から電流狭窄層106の非酸化領域までの距離が、各層において第2の実施の形態より短くなる。従って、電流の通過する距離の和が小さくなることで電気抵抗 R_B が大幅に低減される。また、第2の実施の形態に比べて、各層ごとのコンタクト面積を拡大することができ、コンタクト抵抗 R_C も大幅に低減される。

10

【0042】

第4の実施の形態

図5に第4の実施の形態に係るVCSELの断面図を示す。第4の実施の形態では、p側電極108により、メサ上面全体が覆われている。この場合、光出力はn型半導体基板101側から出射される、いわゆる裏面出射型となる。この構成を、第4の実施の形態として図5に示す。第4の実施の形態では、メサ上面を電極108で覆うことでp型DBR層107の上面と電極が接するので、p型DBR層107の側面の凹凸に電極を埋め込むことによる素子抵抗低減分に加えて、更にコンタクト面積を増大してコンタクト抵抗 R_C を低減することができる。これにより、注入電流経路を更に増やすことができ、さらなる素子抵抗低減を実現できる。また、この構成はメサ上面に熱伝導率の高い金属を配置しているため、活性層104からの熱を効率的に放熱できる利点もある。

20

【0043】

第5の実施の形態

図6に第5の実施の形態に係るVCSELの断面図を示す。第5の実施の形態では、n型DBR層102の側面にも凹凸を形成し、その側面上にn型電極109が形成されている。これにより、n型DBR層102におけるコンタクト面積が拡大されるため、n型DBR層102とn型電極109とのコンタクト抵抗 R_C が低減される。これにより、n型DBR層102においても有効に機能する電流経路を増加することができ、n型DBR層102において消費される素子抵抗成分を低減することができる。よって、p型DBR層107の側面に凹凸を形成して、p側電極108を埋め込んだ場合の素子抵抗低減分に加えて、さらなる素子抵抗低減を実現できる。

30

【0044】

第6の実施の形態

上記実施の形態1～5において、n型半導体基板101の主面の法線方向から見て、メサを円形形状ではなく凹凸がある形状にすることができる。そのための構成を、第6の実施の形態として図7に模式図を示す。このような構成により、p型DBR層107の側面に接するp側電極108の接触面積を更に増加させることができる。従って、コンタクト抵抗 R_C が低減し、さらなる素子抵抗低減が可能である。

40

【実施例1】

【0045】

以下に本発明の第1の実施例について図面を参照して詳細に説明する。尚、以下の実施の形態で示す成膜方法、組成及び膜厚、メサ径、酸化径、プロセス条件等は、本発明の理解を容易にするための例示であって、これに限られるものではない。

【0046】

図1に示すように、実施例1に係るVCSELでは、GaAsからなるn型半導体基板

50

101上に、n型GaAs層とn型Al_{0.9}Ga_{0.1}As層の一对を基本単位としてこれを30対積層したn型DBR層102、n型クラッド層103、InGaAs量子井戸とGaAs障壁層からなる活性層104、p型クラッド層105、p型Al_{0.98}Ga_{0.02}Asの電流狭窄層106、p型GaAs高屈折率層107aとp型Al_{0.9}Ga_{0.1}As低屈折率層107bの一对を基本単位としてこれを19対積層したp型DBR層107が順次積層されている。p型GaAs高屈折率層107aに比べてp型Al_{0.9}Ga_{0.1}As低屈折率層107bの積層面の面積が小さい。そのため、p型DBR層107の側面の凹部において露出したp型GaAs高屈折率層107aとp側電極108が接触している。また、n型半導体基板101の下側の面にn型電極109が形成されている。

10

【0047】

本発明では、p型DBR層107の側面の凹凸上にp側電極108が形成されている。そのため、p型DBR層107とp側電極108とのコンタクト面積が大幅に増加し、コンタクト抵抗R_cが低減する。これにより、複数の注入電流経路が有効に機能するようになり、素子抵抗の大幅な低減が実現される。

【0048】

本実施例及び非特許文献2の構造について、素子抵抗を計算した例を図8に示す。ここで、メサ直径は10μm、酸化開口径は5μmである。素子抵抗はp型GaAs高屈折率層107aとp側電極108とのコンタクト抵抗R_cに依存する。コンタクト抵抗率_cが1×10⁻⁴・cm²の場合を比較すると、上記文献では素子抵抗が100であるのに対し、本発明の構造では80と大幅に低減されている。また、コンタクト抵抗率_cが1×10⁻⁵・cm²の場合、上記文献では素子抵抗が80であるのに対し、本発明の構造では65と約20%も低減している。

20

【0049】

一方、同じ素子抵抗を実現するために必要なコンタクト抵抗率_cという観点で比較すると、80の素子抵抗を実現するためには非特許文献2の構造では1×10⁻⁵・cm²という低いコンタクト抵抗率_cが必要である。これに対し、本発明で必要な値は1×10⁻⁴・cm²であり、約10倍大きい値でも良い。一般に、コンタクト抵抗率_cは電極に接する層のドーピング濃度に依存する。従って、本発明の構造では、非特許文献2と比べ、コンタクト抵抗率_cが10倍になる程度までp型DBR層107中のp型GaAs高屈折率層107aのドーピングを低減しても同程度の素子抵抗ができることになる。よって、p型DBR層107における光吸収を低減し、効率を向上させることもできる。

30

【0050】

次に、図を参照して実施例1の製造方法を説明する。尚、以下の説明は、発振波長1.1μmとなる材質を選択している。まず、図2Aに示すようにGaAsからなるn型半導体基板101上に、n型GaAs層とn型Al_{0.9}Ga_{0.1}As層の一对を基本単位としてこれを30対積層したn型DBR層102、n型クラッド層103、InGaAs量子井戸とGaAs障壁層からなる活性層104、p型クラッド層105、p型Al_{0.98}Ga_{0.02}Asの電流狭窄部形成層106a、p型GaAs層107aとp型Al_{0.9}Ga_{0.1}As層107bの一对を基本単位としてこれを19対積層したp型DBR層107を有機金属気相成長(MOCVD)法もしくは分子線エピタキシー成長(MBE)法により順次積層する(工程1)。

40

【0051】

各々のDBR層では、高屈折率層のGaAsと低屈折率層のAl_{0.9}Ga_{0.1}Asのそれぞれの膜厚は、これら媒質内の各々の光路長が発振波長のほぼ1/4になるように設定してある。又は、GaAsの厚みとAl_{0.9}Ga_{0.1}Asの厚みの合計の膜厚(単位DBRの膜厚)を、光路長が発振波長の1/2となるように設定してもよい。

【0052】

次に、p型DBR層107上に円形のエッチングマスクを形成する。このエッチングマ

50

スクの形状は、後に形成される電流狭窄層 106 の非酸化領域の形状に影響し、それが出力光の断面形状を決定する。

【0053】

次いで、ドライエッチングにより、図 2 B に示すように n 型 DBR 層 102 の表面が露出するまでエッチングを行い、直径を約 $10\ \mu\text{m}$ とした円柱状構造のメサを形成する（工程 2）。この工程により、p 型 DBR 層 107 の側面が露出する。もちろん、このメサ形成はウェットエッチングで行ってもよい。

【0054】

その後、図 2 C に示すように、n 型 DBR 層 102 の表面から p 型 DBR 層 107 の高さまで保護できるように素子全面をエッチングマスク 112 により覆う（工程 3）。このとき、形成されるエッチングマスク 112 は、素子の上面と側面で形成される量が異なり、メサ側面部分が薄く、n 型 DBR 層 102 の上面とメサ上面が厚くなる。

10

【0055】

次に、上記のエッチングマスク 112 をウェットエッチングにより一部除去する。素子上面と側面で厚さの異なっているエッチングマスク 112 を、ウェットエッチングにより等方的にエッチングすることで、メサの側面部分のエッチングマスク 112 の全てと、n 型 DBR 層 102 の上とメサ上面のエッチングマスク 112 の一部が除去される（工程 4）。これにより、図 2 D に示すように p 型 $\text{Al}_{0.98}\text{Ga}_{0.02}\text{As}$ の電流狭窄部形成層 106 a がエッチングマスク 112 a により保護され、p 型 DBR 層 107 が露出する。また、メサ上部にエッチングマスク 112 b が一部残る。

20

【0056】

次に、水蒸気雰囲気中の炉内において、温度約 450°C で約 5 分間加熱を行う（工程 5）。これにより、図 2 E に示すように、p 型 DBR 層 107 における p 型 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ 低屈折率層 107 b が外周から約 $0.4\ \mu\text{m}$ の深さで円環状に選択的に酸化される。

【0057】

次に、低屈折率層 107 b の酸化部 113 とエッチングマスク 112 a とメサ上部のエッチングマスク 112 b とを除去する（工程 6）。これにより、図 2 F に示すように、凹凸を有する p 型 DBR 層 107 の側面と、電流狭窄部形成層 106 a が露出する。

【0058】

次に、水蒸気雰囲気中の炉内において温度約 450°C で約 10 分間加熱を行う（工程 7）。これにより、図 2 G に示すように、電流狭窄部形成層 106 a が円環状に選択的に酸化される。この酸化により、電流狭窄層 106 が形成され、その中心部には直径が約 $5\ \mu\text{m}$ の非酸化領域が形成される。

30

【0059】

次に、素子全面をポリイミド層 111 で覆い、p 型 DBR 層 107 の側面が露出するまでエッチングを行う（工程 8）。これによって、図 2 H に示すように、n 型 DBR 層 102 の上面から電流狭窄層 106 の高さまで、メサの周囲をポリイミド層 111 が覆い、p 型 DBR 層 107 が露出する。

【0060】

次に、p 型 DBR 層 107 の上面の一部と側面に電極を形成する。まず前面にフォトレジストを塗布した後、リソグラフィにより図 2 I に示すようにメサ上面中心部のフォトレジスト 114 のみを残す（工程 9）。

40

【0061】

次に蒸着工程、スパッタ工程、メッキ工程などにより、メサ上面と p 型 DBR 層 107 の側面全体及びポリイミド層 111 の上面に Ti/Au 膜を形成する。その後、フォトレジスト 114 を除去してリフトオフする（工程 10）。尚、金属膜は、 Ti/Au に限られたものではなく、 $\text{Ti}/\text{Pt}/\text{Au}$ や $\text{Ti}/\text{Nb}/\text{Au}$ などを適宜選択できる。この金属膜形成の工程により、図 2 J に示すように、p 型 DBR 層 107 の上面の中心部以外の領域と p 型 DBR 層 107 の側面全体及びポリイミド層 111 の上面に p 側電極 108 が

50

形成される

【0062】

続いて、蒸着工程、スパッタ工程、メッキ工程などによりAuGe/AuNi膜を形成し、図1のようにn側電極109を形成する(工程11)。尚、金属膜はAuGe/AuNiに限られない。

【0063】

このようにn型半導体基板上に作製した面発光レーザを1個ごともしくは所望のアレイ状(例えば1個×10個、100個×100個など)に切り出して使用可能である。

【0064】

本発明の構造において、p型DBR層107中の各層において、p側電極108と接している面以外のドーピング濃度を低減し、結果として特許文献1の構造に比べて光吸収を1/10に低減できたとする。更にこのときのコンタクト面積が、特許文献1の10倍の大きさにできたとすると、10倍高いコンタクト抵抗率 R_c でも同等のコンタクト抵抗 R_c を実現できる。仮にコンタクト抵抗率 R_c はドーピング濃度に反比例するとした場合、この場合のドーピング濃度は1/10で良いことになる。よって、同等のコンタクト抵抗 R_c 、同等の素子抵抗において、p型DBR層107における光吸収は本実施例では特許文献1に比べて1/100に低減できると言える。このため、p型DBR層107における高屈折率層107aと低屈折率層107bの面積の差を高屈折率層107aあるいは低屈折率層107bの1層あたりの側面の面積よりも十分に大きくすることや、高屈折率層107aと低屈折率層107bの面積差の各層の和が、高屈折率層107aあるいは低屈折率層107bの1層あたりの側面の面積の各層の和より十分に大きくなる層数以上に電極を埋め込むことが有効である。具体的には、1.5倍以上が好ましく、3倍以上であることがさらに好ましい。このような場合、上下面のコンタクト面積が側面のコンタクト面積に比べて支配的になり、側面が電極コンタクトに寄与しなくても、低いコンタクト抵抗 R_c を実現できる。このため、高屈折率層107aもしくは低屈折率層107bの各層全体のドーピング濃度を上げる必要は必ずしもなく、電極と接している上下面のドーピング濃度を高めるだけで、十分に低いコンタクト抵抗 R_c に到達できる。以上より、p型DBR層107における光吸収を低減することが可能となる。

【実施例2】

【0065】

図1を用いて、本発明の第2の実施例に係るVCSELを説明する。第1の実施例と異なる点は、メサ直径が15 μ mであることとp型DBR層107における低屈折率層107bをp型GaInP層とした点である。低屈折率層107bをp型GaInP層とすることで、p型DBR層107の側面の凹凸の形成を、第1の実施例の工程5のように水蒸気雰囲気での酸化処理でなく、簡便にウェットエッチングにより行うことができる。

【0066】

製造方法は第1の実施例の工程1において、低屈折率層107bをp型GaInP層とすればよい。一方、高屈折率層107aはp型GaAs層のままである。また、工程2で形成していた円柱形状の直径を15 μ mとする。工程3、4は第1の実施例と同等の工程を実施する。工程5において水蒸気雰囲気での酸化処理を行わず、HCl系のエッチング液でウェットエッチングを行う。HCl系のエッチング液はPの有無によってエッチング速度が大きく異なるので、p型GaInP低屈折率層107bのみを選択エッチングできる。これにより、酸化処理を行わずに、p型DBR層107の側面に凹凸を形成することができる。以下、第1の実施例の工程6~11と同等の処理を行えばよい。

【実施例3】

【0067】

図1を用いて、本発明の第3の実施例に係るVCSELを説明する。第1の実施例と異なる主たる点は、n型半導体基板101がInP基板であること、p型DBR層107における高屈折率層107aがAlInGaAs層であること、低屈折率層107bがp型InP層であることと、電流狭窄層106がAlAsとInAsとからなる超格子である

10

20

30

40

50

こと及び活性層がGaInAsP層であり、発振波長が $1.5\mu\text{m}$ であることである。更に、各高屈折率層107aにおけるドーピング濃度は一様でなく、層内部よりもp側電極108との接触する表面部の方が高濃度になっている。

【0068】

本実施例は、p型DBR層107のp型AlInGaAs高屈折率層107aを第2の実施例のように選択ウェットエッチングにより一部除去する。

【0069】

製造方法は第1の実施例の工程1において、n型GaAs基板101をn型InP基板101、「n型GaAs層とn型Al_{0.9}Ga_{0.1}As層との一对を基本単位としてこれを30対積層したn型DBR層102」を「n型AlInGaAs層とn型InP層との一对を基本単位としてこれを40対積層したn型DBR層102」、「InGaAs量子井戸とGaAs障壁層からなる活性層104」を「Ga_{0.22}In_{0.78}As_{0.81}P_{0.19}量子井戸とGa_{0.25}In_{0.75}As_{0.50}P_{0.50}障壁層からなる活性層104」、p型DBR層107における高屈折率層107aをp型AlInGaAs層、低屈折率層107bをp型InP層とすればよい。また、p型InP低屈折率層107bのドーピング濃度を一様ではなく、界面のみを高くして積層する。上記活性層は、発振波長 $1.5\mu\text{m}$ となる材質である。もちろん、活性層の組成は適宜変更を加え、より短波長のVCSELとすることも可能であり、更に長波長のVCSELとすることも可能である。

【0070】

工程2~4は第1の実施例と同様に行い、工程5において水蒸気雰囲気での酸化処理を行わず、H₂SO₄系あるいはH₃PO₄系のエッチング液でウェットエッチングを行う。これらの系のエッチング液によるエッチング速度はV族組成に大きく依存するので、p型AlInGaAs高屈折率層107aのみを選択エッチングできる。これにより、酸化処理を行わずに、p型DBR層107の側面の凹凸を形成できる。以下、第1の実施例の工程6~11と同等の処理を行えばよい。

【0071】

本実施例では、p型InP低屈折率層107bの界面のみ高ドーピング濃度にして積層しているが、p側電極108と接している面のドーピング濃度を高くするだけで十分に低いコンタクト抵抗R_cを達成できるため、p型InP低屈折率層107bの側面は電極コンタクトに寄与する必要は必ずしも無く、p型InP低屈折率層107b内部のドーピング濃度を抑えることができる。以上により、p型DBR層107中における光吸収を低減し、効率を向上することが可能となる。

【実施例4】

【0072】

図3を用いて、本発明の第4の実施例に係るVCSELを説明する。第1の実施例と異なる点は、p型DBR層107の最下層の低屈折率層107bのみがp型Al_{0.98}Ga_{0.02}As層となっている点である。それ以外の低屈折率層107bは実施例1と同様にp型Al_{0.9}Ga_{0.1}As層からなる。そのため、p型DBR層107の側面の凹部の深さがp型DBR層107の上部では $0.4\mu\text{m}$ であるのに対して、下部では $2\mu\text{m}$ となっている。すなわち、p側電極108の下部の侵入深さが $2\mu\text{m}$ と長くなっている。そのため、p側電極108から非酸化領域までの距離が短く、積層方向に対して垂直な方向の成分、すなわち、図3における横方向の電流成分が小さくなる。このため、断面積が小さい電流経路が減少し、結果として電気抵抗R_Bの低減が可能となる。また、p側電極108の下部の侵入深さが $2\mu\text{m}$ と長いことで、コンタクト面積も拡大され、コンタクト抵抗R_cも低減する。

【0073】

製造方法は第1の実施例の工程1において、p型DBR層107の低屈折率層107bの最下層のAl組成を高濃度とし、p型Al_{0.98}Ga_{0.02}As層とする。これにより、工程5の水蒸気雰囲気中の酸化処理では、Al組成が高いため、この最下層の酸化

レートが速くなる。よって、この最下層の酸化部 113 は他の酸化部 113 よりも大きくなる。水蒸気雰囲気中での酸化処理を温度 450 で 10 分間施し、工程 6 で酸化部 113 を除去して、工程 10 で金属膜形成工程を行う。これにより、p 型 DBR 層 107 の側面に上部での深さが 0.4 μm 、最下層での深さが 2 μm の凹部が形成され、この側面の凹凸上に p 側電極 108 が埋め込まれる。その他の工程は第 1 の実施例と同等に行うことで、図 3 の構成が得られる。

【実施例 5】

【0074】

図 4 を用いて、本発明の第 5 の実施例に係る VCSEL を説明する。第 1 の実施例と異なる点は、p 型 DBR 層 107 の側面の凹部の深さが、上部から下部にかけて段階的に大きくなっている点である。p 型 DBR 層 107 の側面の凹凸に埋め込んだ p 側電極 108 が上部から下部にかけて段階的に長くなることで、電極にレーザ光が重なることがない。また、埋め込まれた p 側電極 108 から非酸化領域までの距離が、各層において第 4 の実施例より短くなる。従って、電流の通過する距離の和が小さくなることで電気抵抗 R_B が大幅に低減される。また、第 4 の実施例に比べて、各層ごとのコンタクト面積を拡大することができ、コンタクト抵抗 R_C も大幅に低減される。

10

【0075】

製造方法は第 1 の実施例の工程 1 において、p 型 DBR 層 107 の低屈折率層 107b の最下層の Al 組成を p 型 $\text{Al}_{0.98}\text{Ga}_{0.02}\text{As}$ 層とする。そして、上層になるにつれて段階的に Al 組成を下げて積層する。これにより、工程 5 の水蒸気雰囲気中の酸化処理では、上部にいくほど Al 組成が低いため、酸化レートが遅くなる。よって、酸化部 113 は下部から上部にかけて段階的に小さくなる。水蒸気雰囲気中での酸化処理を温度 450 で 10 分間施し、工程 6 で酸化部 113 を除去する。工程 10 で金属膜形成工程を行うことで、p 型 DBR 層 107 の側面に最上部から最下部にかけて、深さが 0.4 μm から 2 μm にかけて段階的に長くなった凹部が形成される。そして、その各凹部に p 側電極 108 が埋め込まれる。その他の工程は第 1 の実施例と同等に行うことで、図 4 の構成が得られる。

20

【実施例 6】

【0076】

図 5 を用いて、本発明の第 6 の実施例に係る VCSEL を説明する。第 1 の実施例と異なる点は、p 側電極 108 を p 型 DBR 層 107 の側面の凹凸に埋め込むだけでなく、メサ上面全体を覆う構成にしている点である。第 6 の実施例では、メサ上面を p 側電極 108 で覆うことにより、コンタクト面積が増加するので、さらなる素子抵抗低減を実現できる。また、この構成はメサ上面に熱伝導率の高い金属を配置しているため、活性層 104 からの熱を効率的に放熱できる利点もある。この場合は、光は n 型電極 109 側から出射される。

30

【0077】

製造方法は第 1 の実施例の工程 1 ~ 8 を同様に行う。続いて、工程 9 を実施せずに、工程 10 の金属膜形成工程を施すことで、メサ上面と p 型 DBR 層 107 の側面及びポリイミド層 111 の上面を p 側電極 108 が覆う。続いて、工程 11 を行う前に、n 型 GaAs 基板 101 の裏面に、工程 9 のフォトリソグラフィを施す。このとき光出射する部分のみフォトリソグラフィを残す。次に、工程 11 を行い、金属膜形成後にフォトリソグラフィを除去してリフトオフすることで、n 型電極 109 が形成され、図 5 の構成が得られる。

40

【実施例 7】

【0078】

図 6 を用いて、本発明の第 7 の実施例に係る VCSEL を説明する。第 1 の実施例と異なる点は、n 型 DBR 層 102 の側面の凹凸を形成し、この凹凸上に n 側電極 109 を形成している点である。第 7 の実施例では、n 型 DBR 層 102 における高屈折率層又は低屈折率層のいずれかの側面に凹部を形成して、その凹部に n 側電極 109 を埋め込むことで、n 型 DBR 層 102 におけるコンタクト面積が増えるため、n 型 DBR 層 102

50

とn側電極109のコンタクト抵抗 R_c が低減される。これにより、n型DBR層102でも複数の電流経路を利用することができ、n型DBR層102における抵抗を低減することができる。よって、さらなる素子抵抗低減を実現できる。

【0079】

製造方法は第1～3の実施例におけるp型DBR層107の側面凹凸形成方法の同様の手順を、n型DBR層102にも適用する。そして、第1～3の実施例におけるp側電極108の形成方法と同様の手順をn側電極109にも適用する。

【0080】

まず、実施例1の工程1～2を同様に行う。続いて、工程2で形成したメサとメサ周囲（直径約 $15\mu\text{m}$ ）をエッチングマスクで覆い、ドライエッチングで更にもう一段メサを形成する。その後、工程3を同様に行うことで、素子の上面と側面で形成されるエッチングマスクの量が異なり、メサ側面部分が薄く、メサ上面と形成された2段メサの表面2段が厚くなる。

10

【0081】

次に、上記のエッチングマスク112を工程4と同様にウェットエッチングにより一部除去する。素子上面と側面で厚さの異なっているエッチングマスク112を、ウェットエッチングにより等方的にエッチングすることで、2段メサのメサ側面部分のエッチングマスク112の全てと、2段のメサ上面とメサ上面のエッチングマスク112の一部が除去される。これにより、p型 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ の電流狭窄部形成層106aがエッチングマスク112aにより保護され、p型DBR層107とn型DBR層102が露出され、メサ上部にエッチングマスク112bが一部残る。

20

【0082】

次に、工程5を同様に行う。水蒸気雰囲気中の炉内において、温度約 450°C で約5分間加熱を行う。これにより、p型DBR層107におけるp型 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ 低屈折率層107bとn型DBR層102におけるn型 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ 高屈折率層が外周から約 $0.4\mu\text{m}$ の深さで円環状に選択的に酸化される。

【0083】

次に、工程6を同様に行う。p型 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ 層107b及びn型 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ 層の酸化部、酸化電流狭窄部形成層保護用エッチングマスク112a、メサ上部のエッチングマスク112bを除去する。これにより、深さ約 $0.4\mu\text{m}$ の凹部を有するp型DBR層107及びn型DBR層102と、電流狭窄部形成層106aが露出する。

30

【0084】

次に、工程7を同様に行う。水蒸気雰囲気中の炉内において温度約 450°C で約10分間加熱を行う。これにより、p型 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ の酸化電流狭窄部形成層1064が円環状に選択的に同時に酸化される。

【0085】

次に、工程8を同様に行う。素子全面をポリイミド層111で覆い、p型DBR層107及びn型DBR層102の側面が露出されるまでエッチングを行う。これによって、2段メサの2段目上面から電流狭窄部形成層106aの高さまで、メサの周囲をポリイミド層111が覆い、p型DBR層107とn型DBR層102とが露出する。

40

【0086】

次に、工程9を同様に行う。p型DBR層107の上面の一部と側面に電極を形成する。まず全面にフォトレジストを塗布した後、リソグラフィによりメサ上面中心部と2段メサのn型DBR層102の周囲にフォトレジスト114を残す。

【0087】

次に、工程10を同様に行う。蒸着工程、スパッタ工程、メッキ工程などにより、メサ上面とp型DBR層107の側面全体及びポリイミド層111の上面にTi/Auを形成する。その後、フォトレジスト114を除去してリフトオフする。この金属膜形成の工程によりp型DBR層107の上面の中心部以外の領域、p型DBR層107の側面全体及

50

びポリイミド層 111 の上面に p 側電極 108 が形成される。

【0088】

続いて、工程 9 と同様にフォトレジストを全面に塗布した後、リソグラフィにより 2 段メサの n 型 DBR 層 102 の周囲以外にフォトレジストを残す。

【0089】

最後に、蒸着工程、スパッタ工程、メッキ工程などにより、n 型 DBR 層 102 の側面全体及び 2 段メサの上面に AuGe / AuNi 膜を形成する。その後、フォトレジストを除去してリフトオフする。この金属膜形成の工程により n 型 DBR 層 102 の側面に n 側電極 109 が形成される。以上により、図 6 の構成が得られる。

【0090】

もちろん、上記金属膜形成の工程を複数実施してもよい。また、上記以外の金属形成方法でもよい。更に、アニール処理を加えてもよい。また、金属膜も AuGe / AuNi に限られない。更に、n 側電極 109 を p 側電極 108 と同時に形成してもよい。

【実施例 8】

【0091】

図 7 を用いて、本発明の第 8 の実施例に係る VCSEL を説明する。第 1 の実施例と異なる点は、メサの形状を図 7 のように、n 型半導体基板 101 の主面の法線方向から見て、凹凸を有する形状にしている点である。第 7 の実施例では、素子上部から見たメサの形状を円形状ではなく多角形状としているので、p 型 DBR 層 107 2 の側面に接する電極面積を更に増加させることができる。これにより、コンタクト抵抗 R_c を更に低減できるため、有効に機能する注入電流経路を更に増やすことができ、さらなる素子抵抗低減が可能である。

【0092】

製造方法は、工程 2 の前に使用するエッチングマスクを、n 型半導体基板 101 の主面の法線方向から見て、凹凸を有する形状とすればよい。続いて工程 2 のドライエッチングを行うことで、凹凸形状を形成できる。以後、工程 3 ~ 11 は第 1 の実施例と同等に行えばよい。尚、この多角形は図 7 の形状に限定されるものではなく、所望の形状を適用可能である。

【実施例 9】

【0093】

図 1 を用いて、本発明の第 9 の実施例に係る VCSEL を説明する。第 1 の実施例と異なる点は、p 型 $Al_{0.98}Ga_{0.02}As$ の電流狭窄部形成層 106 a と p 型 DBR 層 107 における p 型 $Al_{0.9}Ga_{0.1}As$ 低屈折率層 107 b との Al 組成の違いを利用して、製造方法を簡便にしている点である。

【0094】

まず、実施例 1 の工程 1 ~ 2 を同様に進行。続いて、エッチングマスク 112 の工程を実施せず、水蒸気雰囲気中の炉内において、温度約 450 で約 10 分間加熱を行う（工程 3）。これにより、図 9 A に示すように、p 型 DBR 層 107 における p 型 $Al_{0.9}Ga_{0.1}As$ 低屈折率層 107 b と p 型 $Al_{0.98}Ga_{0.02}As$ 電流狭窄部形成層 106 a とが同時に選択的に酸化され、前者では外周から約 0.8 μm の深さで円環状に選択的に酸化され、後者では中心部に直径約 5 μm の非酸化領域を残して電流狭窄層 106 が形成される。

【0095】

次に、実施例 1 の工程 8 と同様に素子全面をポリイミド層 111 で覆い、p 型 DBR 層 107 の側面が露出するまでエッチングを行う（工程 4）。これによって、図 9 B に示すように、n 型 DBR 層 102 の上面から電流狭窄部形成層 106 の高さまで、メサの周囲をポリイミド層 111 が覆い、p 型 DBR 層 107 が露出する。

【0096】

次に、酸化部 113 を除去する（工程 5）。これにより図 2 H に示すように、n 型 DBR 層 102 の上面から電流狭窄部形成層 106 a の高さまで、メサの周囲をポリイミド層

10

20

30

40

50

111が覆い、p型DBR層107が露出する。以後、実施例1の工程9～11を同様に行うことで、簡便に素子を製造することができる。

【0097】

以上、第1～第9の実施例の説明を行った。しかし、本発明は、これら実施形態に具体的に示した構成、方法に限定されるものではなく、発明の趣旨に沿うものであれば種々のバリエーションが考えられる。

【0098】

例えば、前述の実施例においては、活性層の材料としてGaAsやInGaAsを用いたが、本発明は、これらに限られず、GaAs又はAlGaAsを用いて短波長帯のVCSEL装置を構成することもできるし、また、InGaP、AlGaInPなどの可視VCSEL装置にも適用できる。更に、InP基板上のInGaAsPや、GaAs基板上のGaInNAs、GaAsSb等を用いて長波帯の単一モードVCSEL装置を構成することもでき、これらのVCSEL装置は単一モードファイバを用いた比較的長距離の通信に非常に有効である。更には、GaN系、ZnSe系やInGaN系等を用いて青色、紫外線や緑色用のVCSEL装置を構成することもできる。

10

【0099】

また、これらの活性層の材料に応じて、DBR層を含めたその他の層の材料・組成や、DBR層の周期数を含めたそれぞれの層の厚み、また、電極の材料・厚さなどを適宜選択、設定できることはいうまでもない。

また、n側電極109は、n型半導体基板101の裏面に形成せず、n型DBR層102の表面に形成してもよい。

20

また、図ではn型クラッド層103、n型クラッド層103とポリイミド層111は異なる高さから積層されているが、これを同じ高さから積層するように構成することもよい。

また、上記実施例を複数組み合わせさせた構成にすることもできる。更に、実施の形態及び実施例における、n型とp型とを反転させた構成でもよい。

【図面の簡単な説明】

【0100】

【図1】第1の実施の形態に係るVCSELの断面模式図である。

【図2A】図1のVCSELの製造方法を示す断面模式図である。

30

【図2B】図1のVCSELの製造方法を示す断面模式図である。

【図2C】図1のVCSELの製造方法を示す断面模式図である。

【図2D】図1のVCSELの製造方法を示す断面模式図である。

【図2E】図1のVCSELの製造方法を示す断面模式図である。

【図2F】図1のVCSELの製造方法を示す断面模式図である。

【図2G】図1のVCSELの製造方法を示す断面模式図である。

【図2H】図1のVCSELの製造方法を示す断面模式図である。

【図2I】図1のVCSELの製造方法を示す断面模式図である。

【図2J】図1のVCSELの製造方法を示す断面模式図である。

【図3】第2の実施の形態に係るVCSELの断面模式図である。

40

【図4】第3の実施の形態に係るVCSELの断面模式図である。

【図5】第4の実施の形態に係るVCSELの断面模式図である。

【図6】第5の実施の形態に係るVCSELの断面模式図である。

【図7】第6の実施の形態に係るVCSELの断面模式図である。

【図8】本発明と非特許文献2とにおける素子抵抗のコンタクト抵抗率 ρ_c 依存性を比較したグラフである。

【図9A】第9の実施例に係るVCSELの製造方法を示す断面模式図である。

【図9B】第9の実施例に係るVCSELの製造方法を示す断面模式図である。

【図10】一般的な円状VCSELの断面模式図である。

【図11】非特許文献1中の図1で提案されている二段メサ構造VCSELの断面模式図

50

である。

【図12】 p型DBR層の側面に電極を設けたVCSELの断面模式図である。

【図13】 非特許文献2の図1に開示されたVCSELの断面模式図である

【図14】 特許文献1の図1に開示されたVCSELの断面模式図である。

【符号の説明】

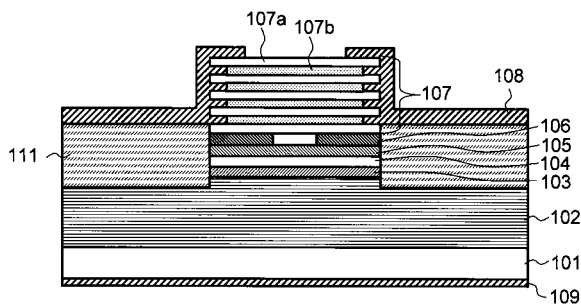
【0101】

- 101 n型半導体基板
- 102 n型DBR層
- 103 n型クラッド層
- 104 活性層
- 105 p型クラッド層
- 106 電流狭窄層
- 106a 電流狭窄部形成層
- 107 p型DBR層
- 107a 高屈折率層
- 107b 低屈折率層
- 108 p側電極
- 109 n側電極
- 111 ポリイミド層
- 112 エッチングマスク
- 113 酸化部
- 114 フォトレジスト

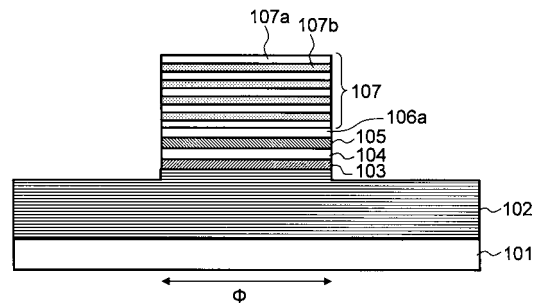
10

20

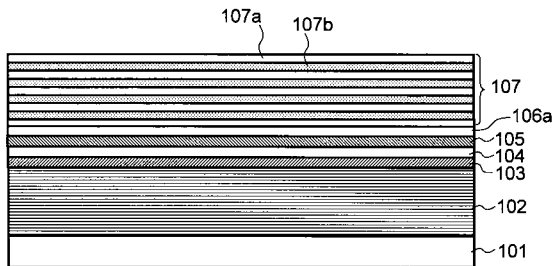
【図1】



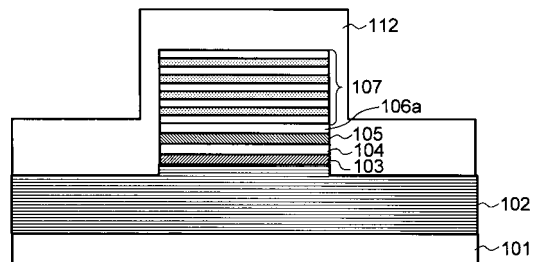
【図2B】



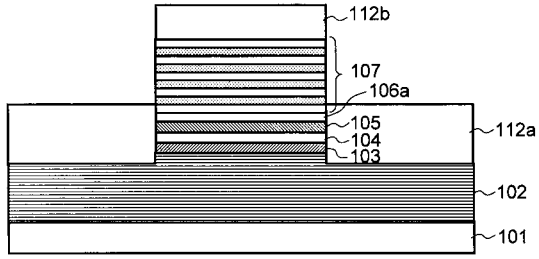
【図2A】



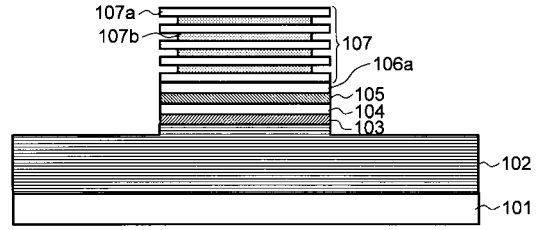
【図2C】



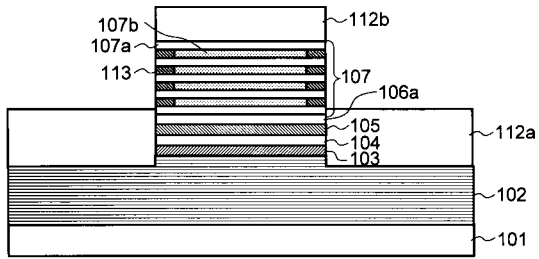
【図 2 D】



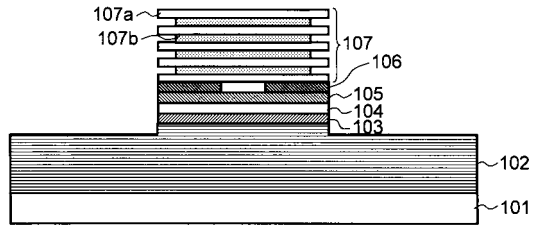
【図 2 F】



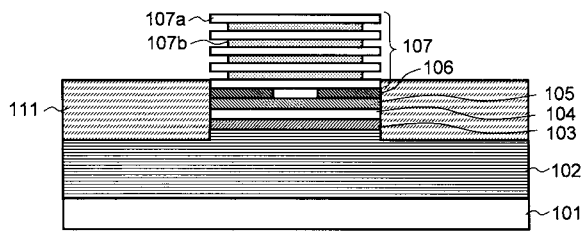
【図 2 E】



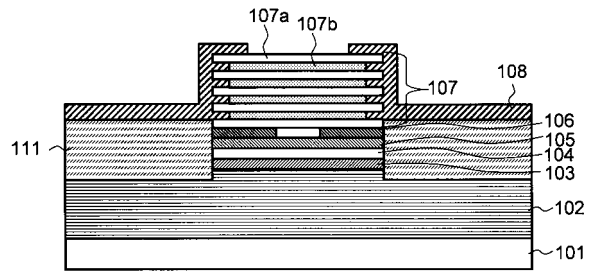
【図 2 G】



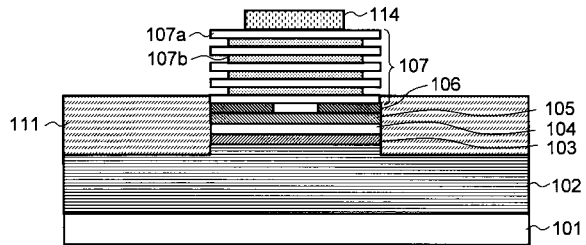
【図 2 H】



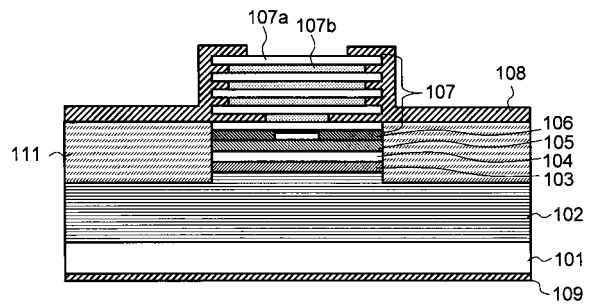
【図 2 J】



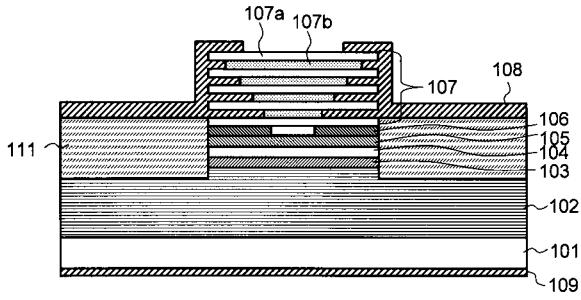
【図 2 I】



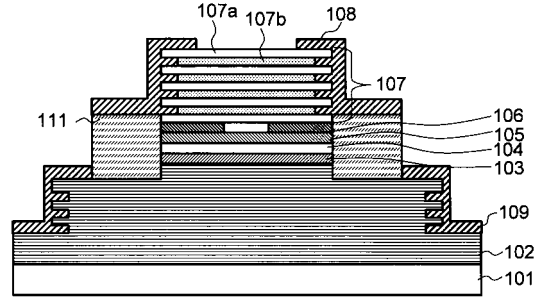
【図 3】



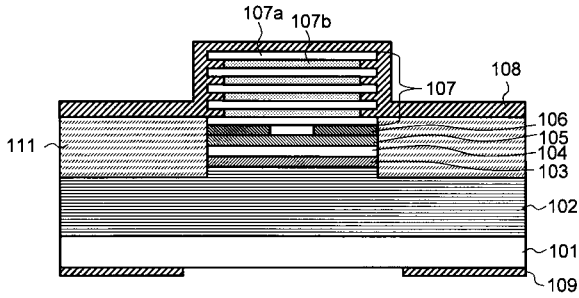
【 図 4 】



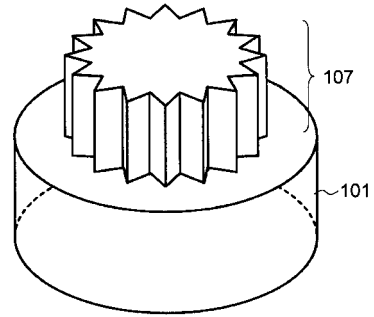
【 図 6 】



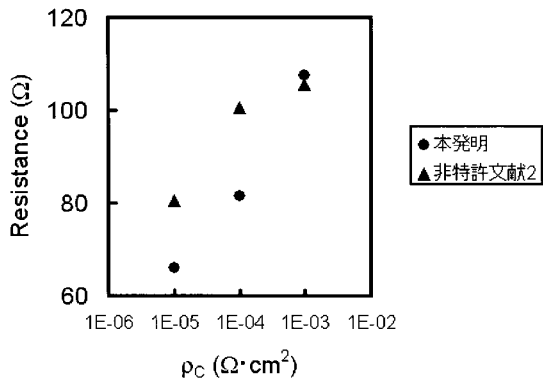
【 図 5 】



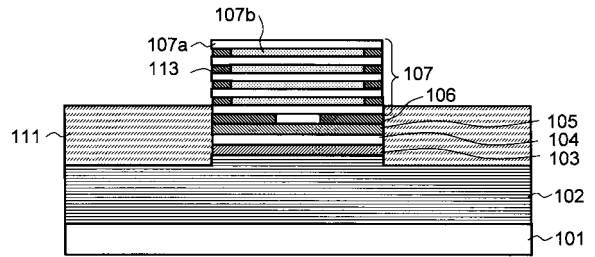
【 図 7 】



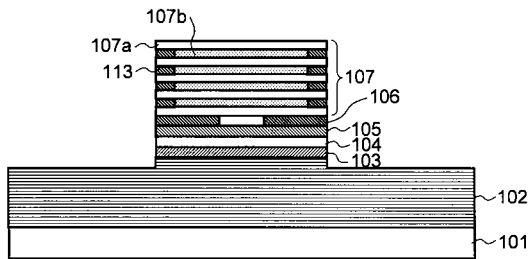
【 図 8 】



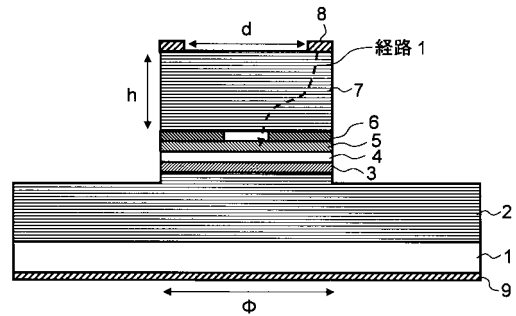
【 図 9 B 】



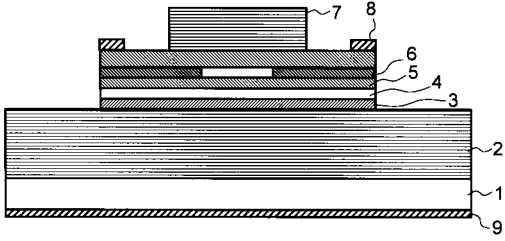
【 図 9 A 】



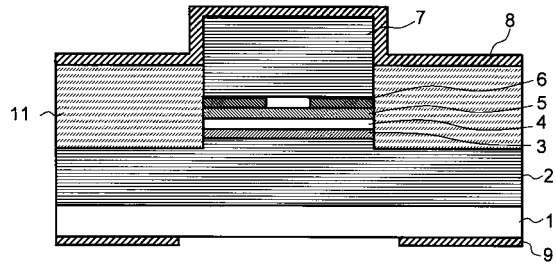
【 図 10 】



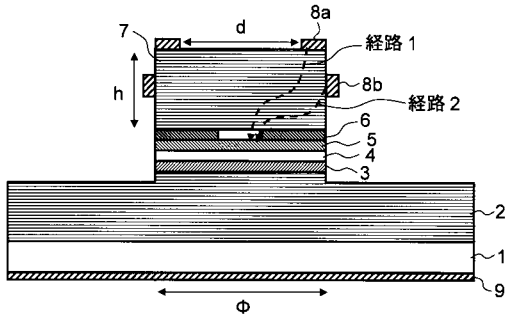
【 図 1 1 】



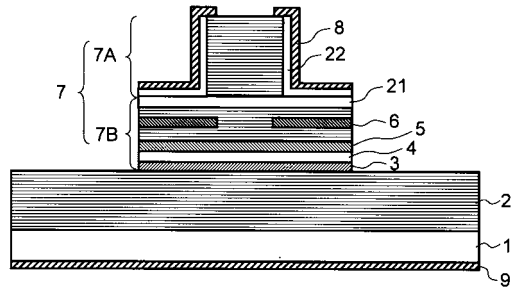
【 図 1 3 】



【 図 1 2 】



【 図 1 4 】



フロントページの続き

(72)発明者 畠山 大
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 屋敷 健一郎
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 深津 公良
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 阿南 隆由
東京都港区芝五丁目7番1号 日本電気株式会社内

Fターム(参考) 5F173 AC03 AC13 AC35 AC42 AC52 AH03 AP05 AP45 AP67 AR23
AR64