



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) DE 10 2008 008 617 A1 2009.08.13

(12)

Offenlegungsschrift

(21) Aktenzeichen: 10 2008 008 617.7

(22) Anmeldetag: 12.02.2008

(43) Offenlegungstag: 13.08.2009

(51) Int Cl.⁸: **G06F 7/48** (2006.01)

G06F 7/544 (2006.01)

G06F 17/15 (2006.01)

(71) Anmelder:

Rohde & Schwarz GmbH & Co. KG, 81671 München, DE

(72) Erfinder:

Schumacher, Adrian, 81541 München, DE

(74) Vertreter:

Mitscherlich & Partner, Patent- und Rechtsanwälte, 80331 München

(56) Für die Beurteilung der Patentfähigkeit in Betracht zu ziehende Druckschriften:

DE 601 16 149 T2

DE 699 36 536 T2

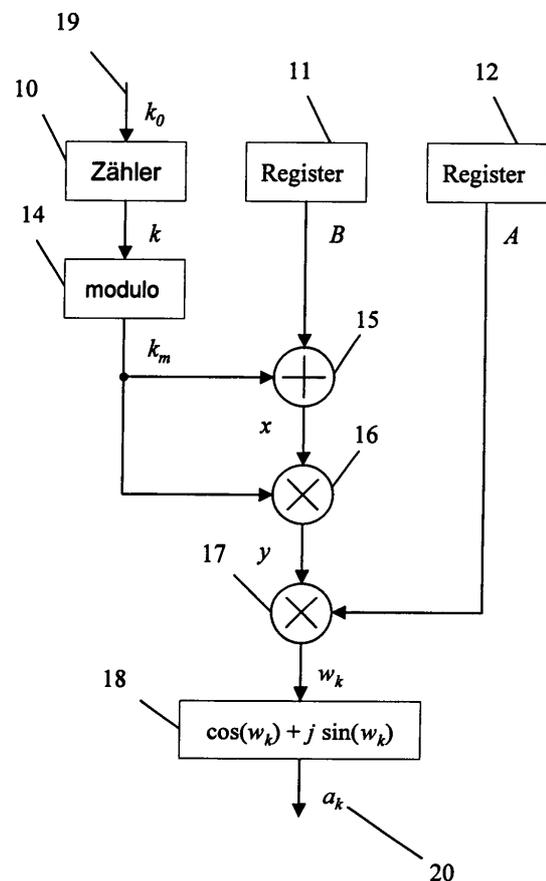
DE 600 07 930 T2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Rechercheantrag gemäß § 43 Abs. 1 Satz 1 PatG ist gestellt.

(54) Bezeichnung: **Anordnung zur Erzeugung von Polyphasensequenzen**

(57) Zusammenfassung: Die elektronische Schaltungsanordnung dient der Erzeugung von Polyphasensequenzen als Synchronisationssequenzen und/oder Referenzsequenzen in Funkkommunikationssystemen. Sie verfügt über einen ersten Addierer (15), einen ersten Multiplizierer (17), ein erstes Register (11), ein zweites Register (12), einen ersten Zähler (10) und eine Trigonometrie-Einrichtung (18). Der erste Addierer (15) addiert einen aus dem Wert (k) des Zählers (10) gebildeten Wert (k_m) zu dem Wert (B) des ersten Registers (11). Der erste Multiplizierer (17) multipliziert den Wert (A) des zweiten Registers (12) mit einem aus dem Wert (B) des ersten Registers (11) und dem Wert (k) des Zählers gebildeten Wert (y). Die Trigonometrie-Einrichtung (18) bildet aus einem zumindest aus dem Ausgabewert (w_k) des ersten Multiplizierers gebildeten Wert den Realteil und den Imaginärteil des gegenwärtigen Werts der Polyphasensequenz (a_k).



Beschreibung

[0001] Die Erfindung betrifft eine Anordnung, insbesondere eine elektronische Schaltungsanordnung, zur Erzeugung von Polyphasensequenzen, insbesondere als Synchronisationssequenzen und Referenzsequenzen in Funkkommunikationssystemen.

[0002] Herkömmlich werden zur Synchronisation in Funkkommunikationssystemen Sequenzen günstiger Korrelationseigenschaften, unter anderem einer geringen Autokorrelation, herangezogen. Polyphasensequenzen haben sich dabei als sehr geeignet erwiesen. Die Erzeugung dieser Sequenzen ist bislang, insbesondere wenn dies in einer konfigurierbaren Art und Weise erfolgen soll, sehr aufwendig. Eine verbreitete Methode ist die Vorhaltung sämtlicher benötigter Sequenzen in einem Speicher. Dies erfordert jedoch aufwendige Speicher und schränkt die Flexibilität des Einsatzes ein.

[0003] So wird in der US 2005/0128928 A1 die Verwendung von Polyphasensequenzen zur Synchronisation von OFDM-Signalen gezeigt. Ein effizientes Verfahren oder eine effiziente Vorrichtung zur Erzeugung dieser Sequenzen werden jedoch nicht dargestellt.

[0004] Der Erfindung liegt die Aufgabe zu Grunde, eine Anordnung zu schaffen, welche bei geringem Herstellungsaufwand und hoher Verarbeitungsgeschwindigkeit flexibel verschiedene Polyphasensequenzen erzeugt.

[0005] Die Aufgabe wird erfindungsgemäß durch die Merkmale des unabhängigen Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen sind Gegenstand der hierauf rückbezogenen Unteransprüche.

[0006] Die erfindungsgemäße Anordnung zur Erzeugung von Polyphasensequenzen als Synchronisationssequenzen und/oder Referenzsequenzen in Funkkommunikationssystemen verfügt über einen ersten Addierer, einen ersten Multiplizierer, ein erstes Register, ein zweites Register, einen ersten Zähler und eine Trigonometrie-Einrichtung. Der erste Addierer addiert einen aus dem Wert des Zählers gebildeten Wert zu dem Wert des ersten Registers. Der erste Multiplizierer multipliziert den Wert des zweiten Registers mit einem aus dem Wert des ersten Registers und dem Wert des Zählers gebildeten Wert. Die Trigonometrie-Einrichtung bildet aus einem zumindest aus dem Ausgabewert des ersten Multiplizierers gebildeten Wert den Realteil und den Imaginärteil des gegenwärtigen Werts der Polyphasensequenz. So können unter Einsatz einer geringen Bauteilanzahl und damit geringen Herstellungskosten Polyphasensequenzen erzeugt werden. Eine hohe Verarbeitungsgeschwindigkeit ist so zu erzielen.

[0007] Vorteilhafterweise verfügt die elektronische Schaltungsanordnung weiterhin über einen zweiten Multiplizierer. Der zweite Multiplizierer multipliziert bevorzugt einen aus dem Wert des Zählers gebildeten Wert mit der Ausgabe des ersten Addierers. Bevorzugt ist der aus dem Wert des ersten Registers und dem Wert des Zählers gebildete Wert, welcher von dem ersten Multiplizierer multipliziert wird, der Ausgabewert des zweiten Multiplizierers. So kann die aufwendige Quadrierung vermieden werden. Eine weitere Steigerung der Verarbeitungsgeschwindigkeit ist so möglich.

[0008] Der Ausgabewert des ersten Multiplizierers ist bevorzugt direkt der Eingabewert der Trigonometrie-Einrichtung. So kann ohne weitere Verarbeitungsschritte der abschließende Schritt, die Berechnung der Realteile und Imaginärteile, erfolgen. Eine hohe Verarbeitungsgeschwindigkeit wird so erreicht.

[0009] In einer weiteren Ausgestaltung beinhaltet die elektronische Schaltungsanordnung ein drittes Register, einen dritten Multiplizierer, einen zweiten Zähler und einen zweiten Addierer. Der dritte Multiplizierer multipliziert bevorzugt den Wert des dritten Registers mit dem Wert des zweiten Zählers. Der zweite Addierer addiert bevorzugt den negativen Ausgabewert des dritten Multiplizierers zu dem Ausgabewert des ersten Multiplizierers. Der Ausgabewert des zweiten Addierers ist bevorzugt direkt der Eingabewert der Trigonometrie-Einrichtung. So ist eine Verschiebung der Polyphasensequenz im Zeitbereich möglich. Eine große Flexibilität des Einsatzes wird so erreicht.

[0010] In einer weiteren Ausgestaltung beinhaltet die elektronische Schaltungsanordnung weiterhin bevorzugt einen zweiten Addierer und einen zweiten Multiplizierer. Der erste Multiplizierer multipliziert vorteilhafterweise den Wert des zweiten Registers direkt mit dem Ausgabewert des ersten Addierers. Der zweite Addierer addiert vorteilhafterweise den Ausgabewert des ersten Multiplizierers zu einem aus dem Wert des ersten Zählers gebildeten Wert. So wird die benötigte Bauteilanzahl weiter reduziert und damit der Herstellungsaufwand weiter reduziert.

[0011] Die elektronische Schaltungsanordnung beinhaltet bevorzugt weiterhin ein drittes Register. Der zweite Multiplizierer multipliziert bevorzugt den Ausgabewert des zweiten Addierers mit dem Wert des dritten Registers. Der Ausgabewert des zweiten Multiplizierers ist bevorzugt direkt der Eingabewert der Trigonometrie-Einrichtung. So kann auch bei dieser Ausgestaltung eine zeitliche Verschiebung der Polyphasensequenz erzielt werden, und damit die Flexibilität des Einsatzes erhöht werden.

[0012] Die elektronische Schaltungsanordnung beinhaltet bevorzugt weiterhin eine Modulo-Einrichtung.

Die Modulo-Einrichtung bildet bevorzugt den Modulo N des Werts des ersten Zählers. Der erste Addierer addiert bevorzugt den Modulo N des Werts des ersten Zählers zu dem Wert des ersten Registers. So können beliebige Standardzähler eingesetzt werden, ohne den Wertebereich berücksichtigen zu müssen. Dies reduziert weiterhin den Herstellungsaufwand.

[0013] Der erste Zähler ist bevorzugt mit einem Startwert beaufschlagbar. So können bestimmte Polyphasensequenzen gezielt erzeugt werden. Auch ein Einsatz zufälliger Sequenzen ist durch zufällige Auswahl des Startwerts des Zählers möglich.

[0014] Die Register und/oder die Addierer und/oder die Multiplizierer und/oder die Zähler und/oder die Modulo-Einrichtung und/oder die Trigonometrie-Einrichtung sind vorteilhafterweise mittels eines Mikroprozessors, eines FPGAs oder eines ASIC realisiert. So können preiswerte Standardkomponenten zur Herstellung eingesetzt werden.

[0015] Weiterhin ist bei Einsatz eines programmierbaren Mikroprozessors eine große Flexibilität sowohl in der Entwicklung als auch im Einsatz gegeben.

[0016] Nachfolgend wird die Erfindung anhand der Zeichnung, in der vorteilhafte Ausführungsbeispiele der Erfindung dargestellt sind, beispielhaft beschrieben. In der Zeichnung zeigen:

[0017] [Fig. 1](#) ein erstes Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung;

[0018] [Fig. 2](#) ein zweites Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung, und

[0019] [Fig. 3](#) ein drittes Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung.

[0020] Zunächst wird allgemein der mathematische Hintergrund von Polyphasensequenzen gezeigt. Anschließend wird anhand der [Fig. 1–Fig. 3](#) der Aufbau und die Funktionsweise verschiedener Ausführungsbeispiele der erfindungsgemäßen Vorrichtung erläutert. Identische Elemente wurden in ähnlichen Abbildungen zum Teil nicht wiederholt dargestellt und beschrieben.

[0021] Zunächst wird der mathematische Hintergrund der Erzeugung von Polyphasensequenzen gezeigt. Die folgenden Gleichungen (1) und (2) definieren die allgemeine Form von Polyphasensequenzen für ungeradzählige (1) und geradzählige (2) Sequenzlängen.

$$a_k = e^{-j \frac{2\pi u}{N} \left(\frac{k(k+1)}{2} + qk \right)} \quad (1)$$

$$a_k = e^{-j \frac{2\pi u}{N} \left(\frac{k^2}{2} + qk \right)} \quad (2)$$

[0022] Der Index k läuft von 0 bis N – 1, N ist die Länge der Sequenzen. Für optimale Korrelationseigenschaften muss die Bedingung $N = s \cdot m^2$ erfüllt werden. s und m sind positive ganze Zahlen. Die Variable u gibt die u-te Wurzel Zadoff-Chu Sequenz an, und kann jede Integer-Zahl, welche relativ Prim zu N ist, sein. q ist eine beliebige ganze Zahl. Durch Umformung werden die beiden Gleichungen (1) und (2) als Gleichung (3) ausgedrückt:

$$a_k = e^{iA k(k+B)} \quad (3)$$

[0023] Um nun eine Sequenz nach Gleichung (1) zu erhalten, wird

$$A = -\frac{u\pi}{N},$$

und

$$B = 2q + 1$$

gesetzt.

[0024] Um eine Sequenz nach Gleichung (2) zu erhalten, wird

$$A = -\frac{u\pi}{N},$$

und

$$B = 2q$$

gesetzt.

[0025] [Fig. 1](#) zeigt ein erstes Ausführungsbeispiel der erfindungsgemäßen Vorrichtung. Ein Zähler **10** ist mit einer Modulo-Einrichtung **14** verbunden. Die Modulo-Einrichtung **14** ist mit dem Eingang eines Addierers **15** verbunden. Ein erstes Register **11** ist mit dem zweiten Eingang des Addierers **15** verbunden. Ein zweites Register **12** ist mit einem ersten Eingang eines ersten Multiplizierers **17** verbunden. Der Ausgang des Addierers **15** ist mit einem ersten Eingang eines zweiten Multiplizierers **16** verbunden. Die Modulo-Einrichtung **14** ist mit einem zweiten Eingang des zweiten Multiplizierers **16** verbunden. Der Ausgang des zweiten Multiplizierers **16** ist mit einem Eingang des ersten Multiplizierers **17** verbunden. Der Ausgang des ersten Multiplizierers **17** ist mit einer Trigonometrie-Einrichtung **18** verbunden.

[0026] Der Zähler **10** wird mittels eines Startwerts k_0 **19** initialisiert. Der Zähler beginnt bei dem Startwert k_0 **19** zu zählen. So ist eine zyklische Verschiebung der Sequenz durch Auswahl eines geeigneten Startwerts k_0 **19** möglich. Der aktuelle Zählwert k wird der

Modulo-Einrichtung **14** zugeführt. Diese berechnet den Modulo N des Zählwerts k . Der resultierende Wert k_m wird an den Addierer **15** weitergeleitet. Der Addierer **15** addiert den Wert k_m und den Wert des ersten Registers **11**. Der resultierende Wert x wird von dem zweiten Multiplizierer **16** mit dem Ausgabewert der Modulo-Einrichtung **14** multipliziert und als Wert y an den ersten Multiplizierer **17** weitergeleitet. Dieser multipliziert den Wert des zweiten Registers **12** mit dem Wert y . Das Ergebnis w_k des ersten Multiplizierers **17** wird an die Trigonometrie-Einrichtung **18** weitergeleitet. Diese bestimmt den Realteil und den Imaginärteil, welche dem „Winkel“ w_k entspricht und den Realteil und Imaginärteil des aktuellen Werts der Polyphasensequenz darstellt. Durch Wiederholung der gezeigten Schritte wird die gesamte Polyphasensequenz in der gewünschten Länge erzeugt.

[0027] Durch diesen Aufbau wird eine aufwendige Quadrierungseinrichtung als Teil der elektronischen Schaltung vermieden. So kann eine hohe Verarbeitungsgeschwindigkeit trotz geringen Aufwands der Herstellung realisiert werden.

[0028] [Fig. 2](#) zeigt ein zweites Ausführungsbeispiel der erfindungsgemäßen Vorrichtung. Das zweite Ausführungsbeispiel entspricht in weiten Teilen dem ersten Ausführungsbeispiel. Auf die übereinstimmenden Teile wird hier nicht näher eingegangen. Jedoch ist der Ausgang des ersten Multiplizierers **17** in diesem Ausführungsbeispiel nicht direkt mit der Trigonometrie-Einrichtung **18** verbunden. Stattdessen ist der Ausgang des ersten Multiplizierers **17** mit einem Eingang eines zweiten Addierers **23** verbunden. Ein drittes Register **13** ist mit einem Eingang eines dritten Multiplizierers **24** verbunden. Ein weiterer Eingang des dritten Multiplizierers **24** ist mit einem zweiten Zähler **25** verbunden. Der Ausgang des dritten Multiplizierers **24** ist mit einem zweiten Eingang des zweiten Addierers **23** verbunden. Der Ausgang dieses zweiten Addierers ist in diesem Ausführungsbeispiel nun mit der Trigonometrie-Einrichtung **18** verbunden.

[0029] Die Funktion der mit dem Ausführungsbeispiel aus [Fig. 1](#) übereinstimmenden Teile dieses Ausführungsbeispiels deckt sich ebenfalls mit der Funktion der entsprechenden Teile. Es wird lediglich auf die Unterschiede eingegangen. Der dritte Multiplizierer **24** multipliziert den Wert α des dritten Registers **13** mit dem Wert k' des zweiten Zählers **25**. Der Ausgabewert des ersten Multiplizierers **17** wird von dem zweiten Addierer **23** von dem Ausgabewert des dritten Multiplizierers **24** subtrahiert. Der resultierende Wert w_k wird an die Trigonometrie-Einrichtung **18** weitergeleitet. Diese bestimmt den Realteil und den Imaginärteil, welche dem „Winkel“ w_k entsprechen und den Realteil und Imaginärteil des aktuellen Werts der Polyphasensequenz darstellen. Durch Wiederholung der gezeigten Schritte wird die gesamte Polyphasensequenz in der gewünschten Länge erzeugt.

[0030] Um eine Verschiebung der Sequenz im Zeitbereich zu erzielen, wird eine weitere Multiplikation mit dem Faktor $e^{j\alpha k'}$, wie in Gleichung (4) gezeigt, durchgeführt.

$$s_k = e^{j\alpha k'} a_k \quad (4)$$

[0031] In dem Ausführungsbeispiel ist dies durch Beaufschlagung des dritten Registers mit einem Wert realisiert. Da der zusätzliche Exponent $j\cdot k'\cdot\alpha$ vor der Bestimmung des Realteils und des Imaginärteils mit einbezogen wird, genügt eine aufwandsarme Addition. Die Ausführung einer Multiplikation wird damit verhindert. Die Zählerwerte k und k' können dabei unterschiedlich sein. Dies ermöglicht einerseits eine große Flexibilität des Einsatzes. Andererseits wird so der zusätzliche Zähler **25** und der zusätzliche Multiplikator **24** benötigt.

[0032] In [Fig. 3](#) wird ein drittes Ausführungsbeispiel gezeigt, in welchem nur ein Zählerwert k eingesetzt wird und damit eine geringere Komplexität der elektronischen Schaltung erreicht wird.

[0033] Zur weiteren Senkung der Komplexität der Schaltung werden bei den in [Fig. 1](#) und [Fig. 2](#) dargestellten Ausführungsbeispielen zunächst die Integer-Werte des Zählers **10** und des zweiten Registers **11** addiert und multipliziert. Erst anschließend wird mit dem nicht ganzzahligen Wert des ersten Registers **12** multipliziert. So wird die Länge der Zwischenspeicher begrenzt. Weiterhin wird so die Anzahl der zu multiplizierenden Stellen minimiert. Das dritte Ausführungsbeispiel unterscheidet sich deutlich von den ersten beiden Ausführungsbeispielen.

[0034] Deshalb wird die gesamte Struktur dieses Ausführungsbeispiels im Folgenden eigenständig erläutert.

[0035] Ein Zähler **10** ist mit einer Modulo-Einrichtung **14** verbunden. Die Modulo-Einrichtung **14** ist mit dem Eingang eines ersten Addierers **30** verbunden. Ein erstes Register **11** ist mit dem zweiten Eingang des ersten Addierers **30** verbunden. Ein zweites Register **12** ist mit einem ersten Eingang eines ersten Multiplizierers **31** verbunden. Der Ausgang des ersten Addierers **30** ist mit einem zweiten Eingang des ersten Multiplizierers **31** verbunden. Der Ausgang des ersten Multiplizierers **31** ist mit einem Eingang eines zweiten Addierers **32** verbunden. Der zweite Eingang des zweiten Addierers **32** ist ebenfalls mit der Modulo-Einrichtung **14** verbunden. Der Ausgang des zweiten Addierers **32** ist mit einem Eingang eines zweiten Multiplizierers **33** verbunden. Ein zweiter Eingang des zweiten Multiplizierers **33** ist mit einem dritten Register **13** verbunden. Der Ausgang des zweiten Multiplizierers **33** ist mit der Trigonometrie-Einrichtung **18** verbunden.

[0036] Der Zähler **10** gibt seinen Zählwert k an die Modulo-Einrichtung **14** weiter. Auch hier kann der Zähler **10** mit einem Startwert k_0 **19** beaufschlagt werden, um eine zyklische Verschiebung der Sequenz zu erreichen. Die Modulo-Einrichtung **14** leitet ihren Ausgangswert k_m an einen ersten Eingang des ersten Addierers **30** weiter. Der Wert B des zweiten Registers **11** wird an einen weiteren Eingang des ersten Addierers **30** geleitet. Der erste Addierer **30** gibt seinen Ausgangswert x an einen ersten Eingang des ersten Multiplizierers **31** weiter. Das erste Register **12** gibt seinen Wert A an einen zweiten Eingang des ersten Multiplizierers **31** weiter. Der Ausgangswert des ersten Multiplizierers **31** wird an einen ersten Eingang des zweiten Addierers **32** weitergeleitet. Der Ausgangswert k_m der Modulo-Einrichtung **14** wird an einen zweiten Eingang des zweiten Addierers **32** geleitet. Die Ausgabe des zweiten Addierers **32** dient als Eingabe in einen ersten Eingang des zweiten Multiplizierers **33**. Der Wert des dritten Registers **13** wird an einen zweiten Eingang des zweiten Multiplizierers **33** übertragen. Der Ausgabewert w_k des zweiten Multiplizierers **33** wird direkt an die Trigonometrie-Einrichtung **18** übertragen. Diese bestimmt daraus den Realteil und den Imaginärteil der Polyphasensequenz **21** s_k .

[0037] In diesem Ausführungsbeispiel wird der Faktor e^{iak} , wie in Gleichung (5) gezeigt, multipliziert, um eine Verschiebung im Zeitbereich zu erreichen.

$$s_k = e^{iak} a_k \quad (5)$$

[0038] Da nur ein Zähler eingesetzt wird, ist eine geringere Flexibilität des Einsatzes die Folge. Jedoch wird die Komplexität der Schaltung deutlich reduziert. So kann auf einen dritten Multiplizierer und auf einen zweiten Zähler verzichtet werden.

[0039] Weiterhin ist bei sämtlichen Ausführungsbeispielen eine weitere Modulation der Polyphasensequenzen a_k oder s_k mit komplexen Zahlen mit dem Absolutwert 1 möglich. Diese Modulation wird an dem Ausgangssignal des gezeigten Polyphasengenerators durchgeführt.

[0040] Die Erfindung ist nicht auf die dargestellten Ausführungsbeispiele beschränkt. So ist auch eine Implementierung rein in Software denkbar. Auch eine Implementierung mittels diskreter Hardwarebauteile ist möglich. Eine Aufteilung der Schaltung auf mehrere der beschriebenen Implementierungsmöglichkeiten ist darüber hinaus eine Möglichkeit. Alle vorstehend beschriebenen Merkmale oder in den Figuren gezeigten Merkmale sind im Rahmen der Erfindung beliebig miteinander kombinierbar.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 2005/0128928 A1 [\[0003\]](#)

Patentansprüche

1. Anordnung zur Erzeugung von Polyphasensequenzen, mit einem ersten Addierer (**15, 30**), einem ersten Multiplizierer (**17, 31**), einem ersten Register (**11**), einem zweiten Register (**12**), einem ersten Zähler (**10**) und einer Trigonometrie-Einrichtung (**18**), wobei der erste Addierer (**15, 30**) einen aus dem Wert des ersten Zählers (**10**) gebildeten Wert (k_m) zu dem Wert (B) des ersten Registers (**11**) addiert, wobei der erste Multiplizierer (**17, 31**) den Wert (A) des zweiten Registers (**12**) mit einem aus dem Wert (B) des ersten Registers (**11**) und dem Wert (k) des ersten Zählers (**10**) gebildeten Wert (y) multipliziert und wobei die Trigonometrie-Einrichtung (**18**) aus einem zumindest aus dem Ausgabewert des ersten Multiplizierers (**17, 31**) gebildeten Wert (w_k) den Realteil und den Imaginärteil des gegenwärtigen Werts (a_k, s_k) der Polyphasensequenz bildet.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Anordnung weiterhin über einen zweiten Multiplizierer (**16**) verfügt, dass der zweite Multiplizierer (**16**) einen aus dem Wert des Zählers (**10**) gebildeten Wert (k_m) mit der Ausgabe des ersten Addierers (**15**) multipliziert, und dass der aus dem Wert (B) des ersten Registers (**11**) und dem Wert (k) des ersten Zählers (**10**) gebildete Wert (y), welcher von dem ersten Multiplizierer (**17**) gebildet wird, der Ausgabewert (y) des zweiten Multiplizierers (**16**) ist.

3. Anordnung nach Anspruch 2, dadurch gekennzeichnet, dass der Ausgabewert (w_k) des ersten Multiplizierers (**17**) direkt der Eingabewert der Trigonometrie-Einrichtung (**18**) ist.

4. Anordnung nach Anspruch 2, dadurch gekennzeichnet, dass die Anordnung ein drittes Register (**13**), einen dritten Multiplizierer (**24**), einen zweiten Zähler (**25**) und einen zweiten Addierer (**23**) beinhaltet, dass der dritte Multiplizierer (**24**) den Wert (α) des dritten Registers (**13**) mit dem Wert (k') des zweiten Zählers (**25**) multipliziert, dass der zweite Addierer (**23**) den Ausgabewert des ersten Multiplizierers (**17**) von dem Ausgabewert des dritten Multiplizierers (**24**) subtrahiert, und dass der Ausgabewert (w_k) des zweiten Addierers (**23**) direkt der Eingabewert der Trigonometrie-Einrichtung (**18**) ist.

5. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Anordnung weiterhin einen zweiten Addierer (**32**) und einen zweiten Multiplizierer (**33**) beinhaltet, dass der erste Multiplizierer (**31**) den Wert (A) des

zweiten Registers (**12**) direkt mit dem Ausgabewert des ersten Addierers (**30**) multipliziert, dass der zweite Addierer (**32**) den Ausgabewert des ersten Multiplizierers (**31**) zu einem aus dem Wert des ersten Zählers (**10**) gebildeten Wert (k_m) addiert.

6. Anordnung nach Anspruch 5, dadurch gekennzeichnet, dass die Anordnung weiterhin ein drittes Register (**13**) beinhaltet, dass der zweite Multiplizierer (**33**) den Ausgabewert des zweiten Addierers (**32**) mit dem Wert (α) des dritten Registers (**13**) multipliziert, und dass der Ausgabewert (w_k) des zweiten Multiplizierers (**33**) direkt der Eingabewert der Trigonometrie-Einrichtung (**18**) ist.

7. Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Anordnung weiterhin eine Modulo-Einrichtung beinhaltet, dass die Modulo-Einrichtung (**14**) den Modulo N (k_m) des Werts (k) des ersten Zählers (**10**) bildet, und dass der erste Addierer (**15, 30**) den Modulo N (k_m) des Werts (k) des ersten Zählers (**10**) zu dem Wert (B) des ersten Registers (**11**) addiert.

8. Anordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass der erste Zähler (**10**) mit einem Startwert (k_0) beaufschlagbar ist.

9. Anordnung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Register (**11, 12, 13**) und/oder die Addierer (**15, 23, 30, 32**) und/oder die Multiplizierer (**16, 17, 24, 31, 33**) und/oder die Zähler (**10, 25**) und/oder die Modulo-Einrichtung (**14**) und/oder die Trigonometrie-Einrichtung (**18**) mittels eines Mikroprozessors, eines FPGAs oder eines ASIC realisiert sind.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

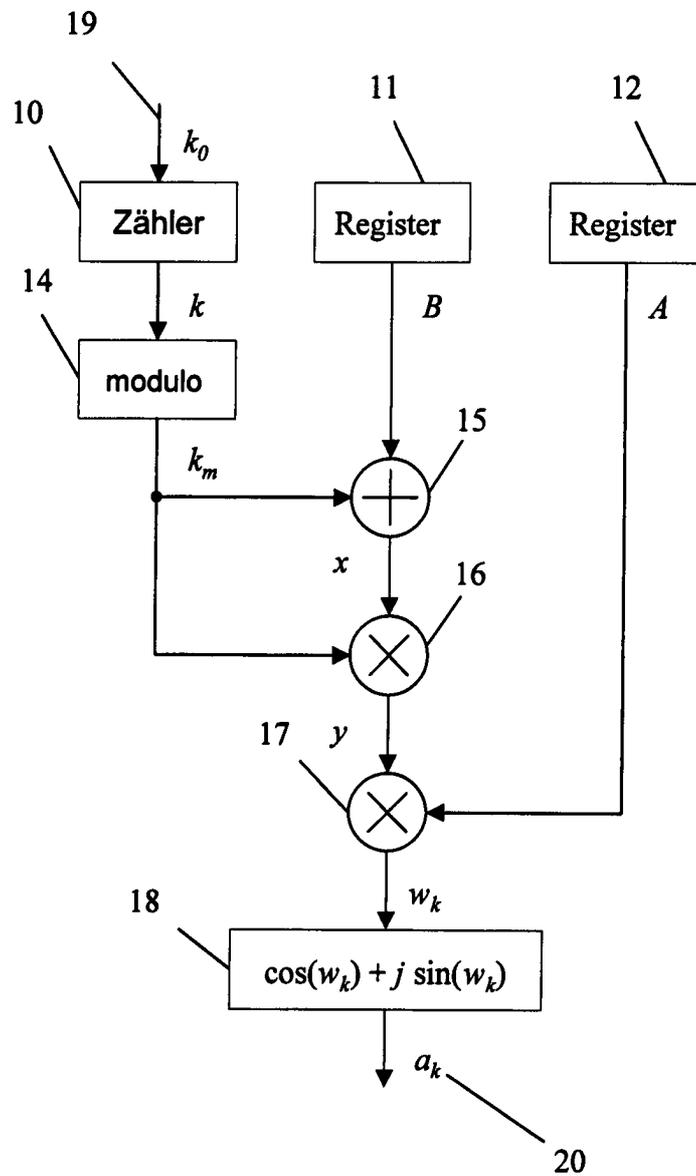


Fig. 1

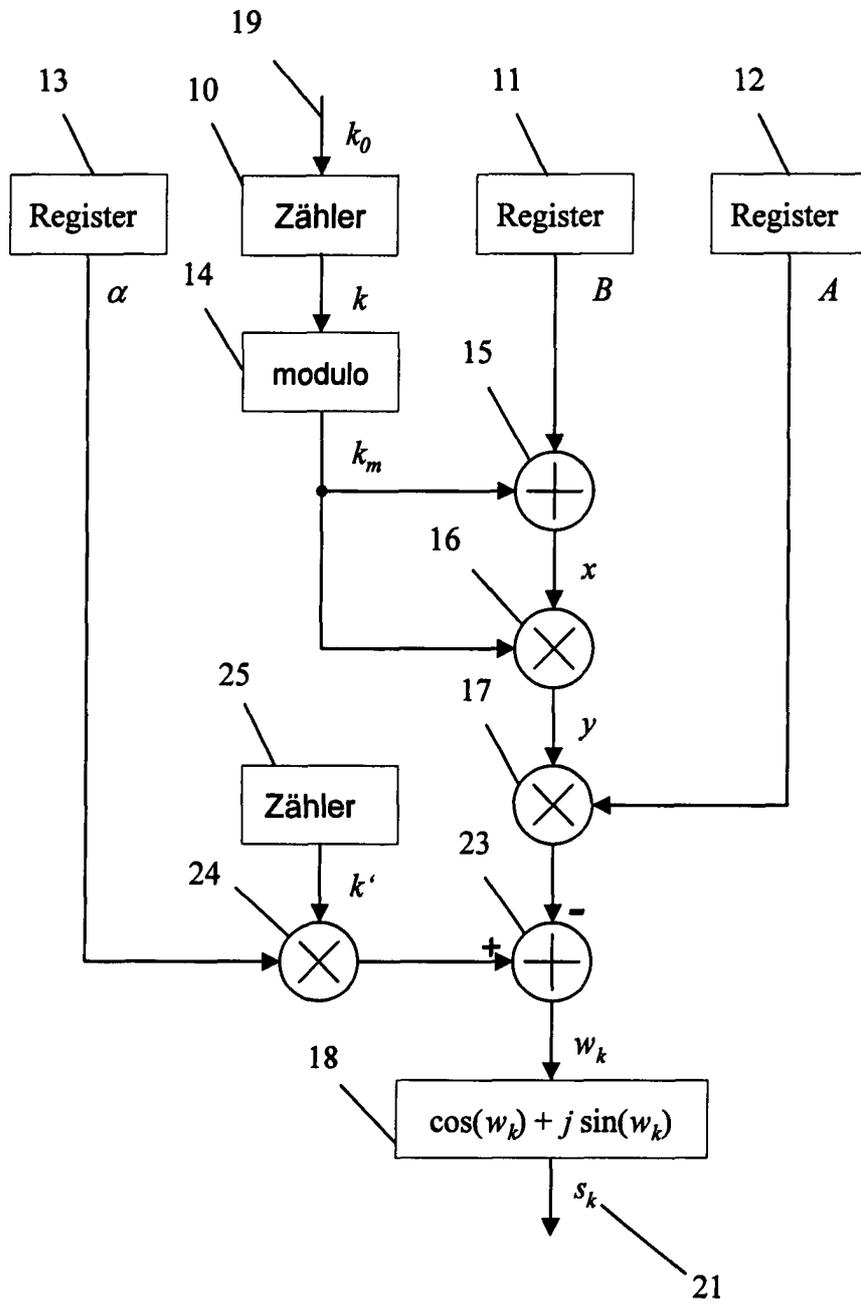


Fig. 2

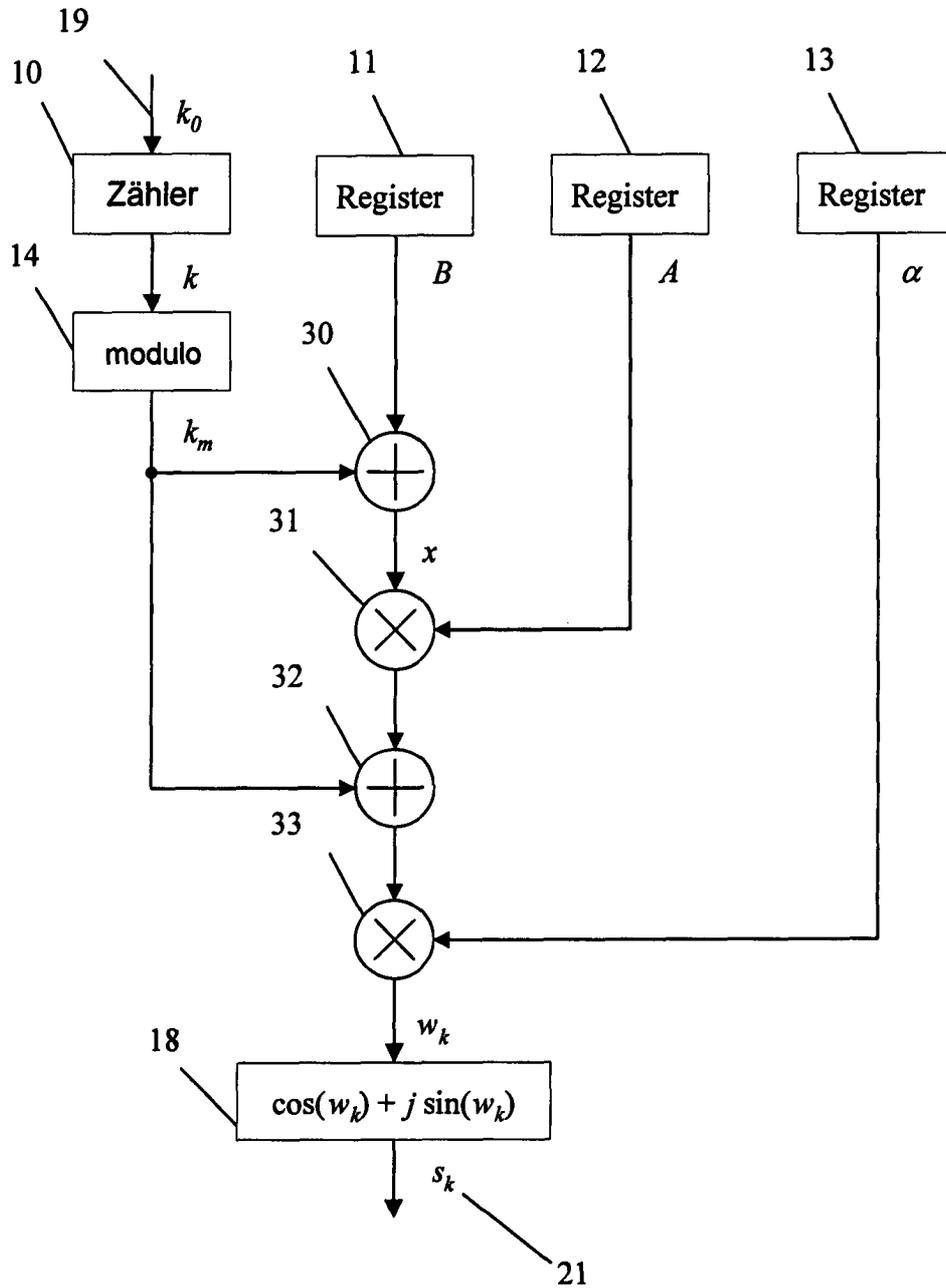


Fig. 3