



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I406254B1

(45) 公告日：中華民國 102 (2013) 年 08 月 21 日

(21) 申請案號：098140317

(22) 申請日：中華民國 98 (2009) 年 11 月 26 日

(51) Int. Cl. : G09G3/36 (2006.01)

(71) 申請人：中華映管股份有限公司 (中華民國) CHUNGHWA PICTURE TUBES, LTD. (TW)
桃園縣八德市和平路 1127 號

(72) 發明人：李菱 LI, LING (TW)；邱顯鈞 CHIOU, SHIAN JUN (TW)；陳盈惠 CHEN, YING HUI (TW)；莫啟能 MO, CHI NENG (TW)

(74) 代理人：戴俊彥；吳豐任

(56) 參考文獻：

TW 200709145A

TW 200725525A

JP 2000-75839A

JP 2009-128414A

US 2003/0006979A1

US 2009/0102766A1

審查人員：唐之凱

申請專利範圍項數：6 項 圖式數：10 共 0 頁

(54) 名稱

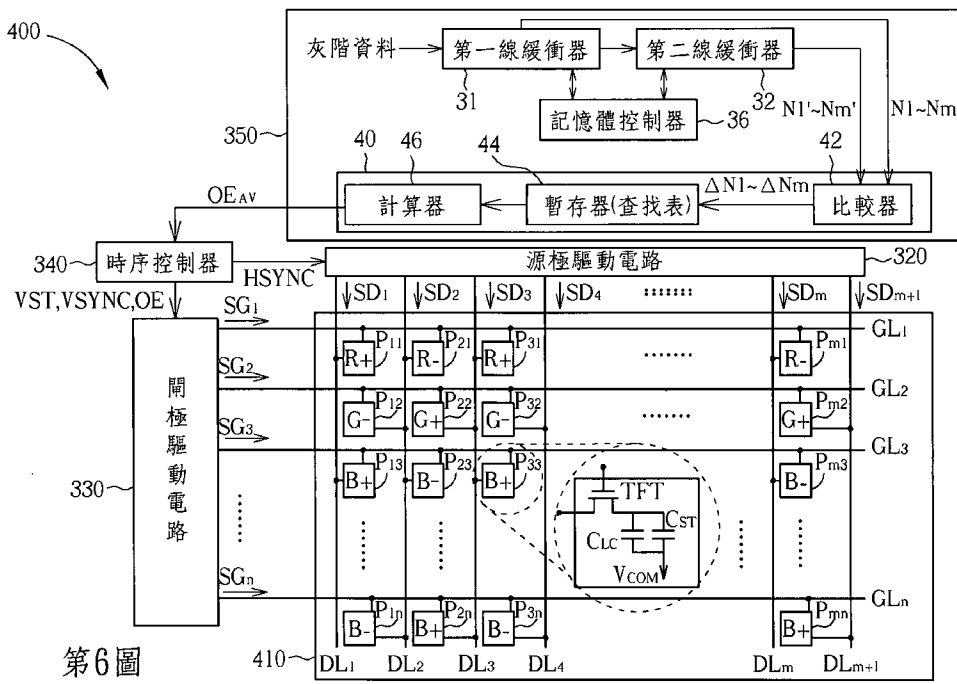
可調變充放電時間之液晶顯示裝置及相關驅動方法

LIQUID CRYSTAL DISPLAY DEVICE PROVIDING ADAPTIVE CHARGING/DISCHARGING TIME AND RELATED DRIVING METHOD

(57) 摘要

液晶顯示裝置包含複數條閘極線、複數條資料線、一畫素陣列、一閘極驅動電路、一時序控制器，以及一最佳化電路。畫素陣列中每一畫素單元依據一相對應閘極線傳來之閘極驅動訊號和一相對應資料線傳來之資料驅動訊號來顯示畫面。時序控制器依據一最佳化參考值來提供一輸出致能訊號，閘極驅動電路再依據輸出致能訊號來輸出閘極驅動訊號。最佳化電路接收對應於一系列畫素單元在一第一驅動週期時欲顯示影像之第一灰階資料以及在一第二驅動週期時欲顯示影像之第二灰階資料，並依據第一和第二灰階資料之大小關係來提供最佳化參考值。

A liquid crystal display device includes a plurality of gate lines, a plurality of data lines, a pixel array, a gate driver, a timing controller, and an optimization circuit. Each pixel unit in the pixel array displays images according to the gate driving signal transmitted from a corresponding gate line and the data driving signal transmitted from a corresponding data line. The timing controller provides an output enable signal according to an optimized reference value. The gate driver then outputs the gate driving signals according to the output enable signal. The optimization circuit receives a first gray scale data related to the images displayed by a row of pixel units in a first driving period and a second gray scale data related to the images displayed by the row of pixel units in a second driving period, and provides the optimized reference value according the difference between the first and second gray scale data.



第6圖

- 36 . . . 記憶體控制器
- 31、32 . . . 線緩衝器
- 40 . . . 判斷電路
- 320 . . . 源極驅動電路
- 42 . . . 比較器
- 330 . . . 閘極驅動電路
- 44 . . . 暫存器
- 340 . . . 時序控制器
- 46 . . . 計算器
- 350 . . . 最佳化電路
- 400 . . . 液晶顯示裝置
- 410 . . . 液晶顯示面板
- TFT . . . 薄膜電晶體開關
- $P_{11} \sim P_{mn}$. . . 畫素單元
- C_{LC} . . . 液晶電容
- $DL_1 \sim DL_{m+1}$. . . 資料線
- C_{ST} . . . 儲存電容
- $GL_1 \sim GL_n$. . . 閘極線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

98140517

※申請日：

98.11.26

※IPC 分類：G06G 3/36 (2006.01)

一、發明名稱：(中文/英文)

可調變充放電時間之液晶顯示裝置及相關驅動方法/LIQUID CRYSTAL
DISPLAY DEVICE PROVIDING ADAPTIVE
CHARGING/DISCHARGING TIME AND RELATED DRIVING
METHOD

二、中文發明摘要：

液晶顯示裝置包含複數條閘極線、複數條資料線、一畫素陣列、一閘極驅動電路、一時序控制器，以及一最佳化電路。畫素陣列中每一畫素單元依據一相對應閘極線傳來之閘極驅動訊號和一相對應資料線傳來之資料驅動訊號來顯示畫面。時序控制器依據一最佳化參考值來提供一輸出致能訊號，閘極驅動電路再依據輸出致能訊號來輸出閘極驅動訊號。最佳化電路接收對應於一系列畫素單元在一第一驅動週期時欲顯示影像之第一灰階資料以及在一第二驅動週期時欲顯示影像之第二灰階資料，並依據第一和第二灰階資料之大小關係來提供最佳化參考值。

三、英文發明摘要：

A liquid crystal display device includes a plurality of gate lines, a plurality of data lines, a pixel array, a gate driver, a timing controller, and an optimization circuit. Each pixel unit in the pixel array displays images according to the gate driving signal transmitted from a corresponding gate line and the data driving signal transmitted from a corresponding data line. The timing controller provides an output enable signal according to an optimized reference value. The gate driver then outputs the gate driving signals according to the output enable signal. The optimization circuit receives a first gray scale data related to the images displayed by a row of pixel units in a first driving period and a second gray scale data related to the images displayed by the row of pixel units in a second driving period, and provides the optimized reference value according the difference between the first and second gray scale data.

四、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

36	記憶體控制器	31、32	線緩衝器
40	判斷電路	320	源極驅動電路
42	比較器	330	閘極驅動電路
44	暫存器	340	時序控制器
46	計算器	350	最佳化電路
400	液晶顯示裝置	410	液晶顯示面板
TFT	薄膜電晶體開關	$P_{11} \sim P_{mn}$	畫素單元
C_{LC}	液晶電容	$DL_1 \sim DL_{m+1}$	資料線
C_{ST}	儲存電容	$GL_1 \sim GL_n$	閘極線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明相關於一種液晶顯示裝置及相關驅動方法，尤指一種提供最佳化充電時間之液晶顯示裝置及相關驅動方法。

【先前技術】

液晶顯示器(liquid crystal display, LCD)具有低輻射、體積小及低耗能等優點，已逐漸取代傳統的陰極射線管(cathode ray tube, CRT)顯示器，進而被廣泛地應用在筆記型電腦、個人數位助理(personal digital assistant, PDA)、平面電視，或行動電話等資訊產品上。液晶顯示器之驅動方式是利用源極驅動電路(source driver)和閘極驅動電路(gate driver)來驅動面板上的畫素以顯示影像。液晶顯示面板之畫素結構依據驅動模式的不同，主要可區分為單閘型(single-gate)畫素結構與雙閘型(double-gate)畫素結構兩種。在相同的解析度下，相較於具有單閘型畫素結構之液晶顯示面板，具有雙閘型畫素結構的液晶顯示面板的閘極線數目增加為兩倍，而資料線數目則縮減為二分之一，因此具有雙閘型畫素結構的液晶顯示面板使用較多的閘極驅動晶片與較少的源極驅動晶片。由於閘極驅動晶片之成本與耗電量均較

源極驅動晶片為低，因此採用雙閘型畫素結構設計可降低生產成本及耗電量。

請參考第 1 圖，第 1 圖為先前技術中一液晶顯示裝置 100 之示意圖。液晶顯示裝置 100 包含一液晶顯示面板 110、一源極驅動電路 120、一閘極驅動電路 130，以及一時序控制器 (timing controller) 140。液晶顯示面板 110 上設有複數條資料線 $DL_1 \sim DL_m$ 、複數條閘極線 $GL_1 \sim GL_n$ ，以及一畫素矩陣。畫素矩陣包含複數個畫素單元 $P_{11} \sim P_{mn}$ (m 和 n 為正整數)，每一畫素單元包含一薄膜電晶體 (thin film transistor, TFT) 開關 TFT、一液晶電容 C_{LC} 和一儲存電容 C_{ST} ，分別耦接於相對應之資料線、相對應之閘極線，以及一共同電壓 V_{COM} 。在液晶顯示裝置 100 中，每一畫素單元 $P_{11} \sim P_{mn}$ 係接收其左側之資料線傳來的資料訊號。时序控制器 140 可產生源極驅動電路 120 和閘極驅動電路 130 運作所需之控制訊號，例如起始脈衝訊號 VST 、水平同步訊號 $HSYNC$ 和垂直同步訊號 $VSYNC$ 等。閘極驅動電路 130 可依據起始脈衝訊號 VST 和垂直同步訊號 $VSYNC$ 等分別輸出閘極驅動訊號 $S_{G1} \sim S_{Gn}$ 至閘極線 $GL_1 \sim GL_n$ ，進而開啟相對應之列畫素單元內的薄膜電晶體開關 TFT。源極驅動電路 120 可依據水平同步訊號 $HSYNC$ 等分別輸出對應於影像灰階值之資料驅動訊號 $SD_1 \sim SD_m$ 至資料線 $DL_1 \sim DL_m$ ，進而充電相對應之行畫素單元內的液晶電容 C_{LC} 和儲存電容 C_{ST} 。在液晶顯示裝

置 100 中，每一畫素單元之種類和極性由第 1 圖中之”R”(紅色畫素)、”G”(綠色畫素)、”B”(藍色畫素)、”+”(正極性)和”-”(負極性)來表示。如第 1 圖所示，在以點反轉(dot inversion)方式來驅動液晶顯示裝置 100 時，輸出至每一畫素單元之資料驅動訊號極性皆需反轉，因此會消耗較多能量。

請參考第 2 圖，第 2 圖為先前技術中之液晶顯示裝置 100 運作時之時序圖。在第 2 圖中，SG 代表閘極驅動訊號之波形，SD 代表資料驅動訊號之波形， V_{PIXEL} 代表畫素單元內存電荷之波形。畫素單元欲顯示影像之灰階值由資料驅動訊號 SD 之電位和共同電壓 V_{COM} 之間的差值來決定。在充電週期 T_C 時閘極驅動訊號具高電位，此時相對應畫素單元內之薄膜電晶體開關 TFT 會被導通，資料驅動訊號 SD 即可寫入畫素單元內之液晶電容 C_{LC} 和儲存電容 C_{ST} ，畫素單元之電位 V_{PIXEL} 也會隨之改變。在高解析度的應用中，液晶顯示裝置 100 需使用更多閘極線，如此每一畫素單元之充電週期 T_C 也會縮短，使得畫素單元無法充電到預定準位 V_{GH} 或 V_{GL} 。

請參考第 3 圖，第 3 圖為先前技術中另一液晶顯示裝置 200 之示意圖。液晶顯示裝置 200 包含一液晶顯示面板 210、一源極驅動電路 220、一閘極驅動電路 230，以及一時序控制器 240。液晶顯示面板 210 上設有複數條資料線 $DL_1 \sim$

DL_{m+1} 、複數條閘極線 $GL_1 \sim GL_n$ ，以及一畫素矩陣。畫素矩陣包含複數個畫素單元 $P_{11} \sim P_{mn}$ (m 和 n 為正整數)，每一畫素單元包含一薄膜電晶體開關 TFT、一液晶電容 C_{LC} 和一儲存電容 C_{ST} ，分別耦接於相對應之資料線、相對應之閘極線，以及一共同電壓 V_{COM} 。在液晶顯示裝置 200 中，畫素矩陣採用 Z 字型佈局，亦即奇數列畫素單元 $P_{11} \sim P_{m1}$ 、 $P_{13} \sim P_{m3}$ 、...、 $P_{1(n-1)} \sim P_{m(n-1)}$ 接收其左側之資料線傳來的資料訊號，而偶數列畫素單元 $P_{12} \sim P_{m2}$ 、 $P_{14} \sim P_{m4}$ 、...、 $P_{1n} \sim P_{mn}$ 則接收其右側之資料線傳來的資料訊號（假設 n 為偶數）。

時序控制器 240 可產生源極驅動電路 220 和閘極驅動電路 230 運作所需之控制訊號，例如起始脈衝訊號 VST、水平同步訊號 HSYNC 和垂直同步訊號 VSYNC 等。閘極驅動電路 230 可依據起始脈衝訊號 VST 和垂直同步訊號 VSYNC 等分別輸出閘極驅動訊號 $S_{G1} \sim S_{Gn}$ 至閘極線 $GL_1 \sim GL_n$ ，進而開啟相對應之列畫素單元內的薄膜電晶體開關 TFT。源極驅動電路 220 可依據水平同步訊號 HSYNC 等分別輸出對應於影像灰階值之資料驅動訊號 $SD_1 \sim SD_{m+1}$ 至資料線 $DL_1 \sim DL_{m+1}$ ，進而充電相對應之行畫素單元內的液晶電容 C_{LC} 和儲存電容 C_{ST} 。在液晶顯示裝置 200 中，每一畫素單元之種類和極性由第 3 圖中之 "R" (紅色畫素)、"G" (綠色畫素)、"B" (藍色畫素)、"+" (正極性) 和 "-" (負極性) 來表示。如第 3 圖所示，液晶顯示裝置 200 僅需以行反轉 (column inversion) 方式即能達到點反轉的效果，亦即同一行畫素單

元之資料驅動訊號在下一個畫面極性才需要反轉，因此能減少能量消耗。

請參考第 4 圖，第 4 圖為先前技術中之液晶顯示裝置 200 運作時之時序圖。在第 4 圖中，SG 代表閘極驅動訊號之波形，SD 代表資料驅動訊號之波形， V_{PIXEL} 代表畫素單元內存電荷之波形。畫素單元欲顯示影像之灰階值由資料驅動訊號 SD 之電位和共同電壓 V_{COM} 之間的差值來決定。在驅動液晶顯示裝置 200 時，閘極驅動訊號 SD 具高電位的期間包含充電週期 T_C 和預充電週期 T_P ，此時相對應畫素單元內之薄膜電晶體開關 TFT 會被導通，資料驅動訊號 SD 即可寫入畫素單元內之液晶電容 C_{LC} 和儲存電容 C_{ST} ，畫素單元之電位 V_{PIXEL} 也會隨之改變。

先前技術中之液晶顯示裝置 200 能利用預充電週期 T_P 來增加畫素單元內之薄膜電晶體開關 TFT 的開啟時間，讓畫素單元有足夠時間到達到預定準位 V_{GH} 或 V_{GL} 。然而，預充電可能會造成畫素單元電壓過充，進而影響整體畫面。舉例來說，若液晶顯示裝置 200 使用 NW (normally white) 液晶，亦即在呈現透光的亮畫面（白畫面）時係施加較小壓差 V_W 或不加電壓，而在呈現不透光的暗畫面（黑畫面）時係施加較大壓差 V_B ，此時電壓過充會發生在紅色畫素單元之黑畫面驅動成綠色畫素單元之白畫面時，以及發生在綠色畫素單

元之黑畫面驅動成藍色畫素單元之白畫面時。由於壓差 V_B 大於 V_W ，當顯示黑畫面之畫素單元驅動顯示白畫面之畫素單元時，此時液晶需要進行放電，在藍色和綠色畫素單元上形成之壓差往往無法達到對應至欲顯示白畫面之理想值，因此藍色和綠色畫素單元會有偏暗情形，導致整體畫面會有偏紅的現象。同理，若液晶顯示裝置 200 使用 NB (normally black) 液晶，亦即在呈現透光的亮畫面 (白畫面) 時係施加較大壓差 V_W ，而在呈現不透光的暗畫面 (黑畫面) 時係施加較小壓差 V_B ，此時電壓過充會發生在紅色畫素單元之白畫面驅動成綠色畫素單元之黑畫面時，以及發生在綠色畫素單元之白畫面驅動成藍色畫素單元之黑畫面時。由於壓差 V_W 大於 V_B ，當顯示白畫面之畫素單元驅動顯示黑畫面之畫素單元時，此時液晶需要進行放電，在藍色和綠色畫素單元上形成之壓差往往無法達到對應至欲顯示黑畫面之理想值，因此藍色和綠色畫素單元會有偏暗情形，導致整體畫面會有偏紅的現象。

【發明內容】

本發明提供一種可調變充電時間之液晶顯示裝置，其包含複數條閘極線，分別用來傳送複數筆閘極驅動訊號；複數條資料線，垂直於該複數條閘極線，分別用來傳送複數筆資料驅動訊號；一畫素陣列，其包含複數個畫素單元，分別設

置於該複數條閘極線和該複數條資料線之交會處，每一畫素單元依據一相對應閘極線傳來之閘極驅動訊號和一相對應資料線傳來之資料驅動訊號來顯示畫面；一閘極驅動電路，用來依據一輸出致能訊號來輸出該複數筆閘極驅動訊號；一時序控制器，用來依據一最佳化參考值來提供該輸出致能訊號；以及一最佳化電路，用來接收對應於該畫素陣列中一列畫素單元在一第一驅動週期時欲顯示影像之第一灰階資料、接收對應於該列畫素單元在一第二驅動週期時欲顯示影像之第二灰階資料，並依據該第一和第二灰階資料之大小關係來提供對應於該列畫素單元於該第二驅動週期時之該最佳化輸出致能參考值，其中該第二驅動週期係接續該第一驅動週期。

本發明另提供一種液晶顯示裝置之驅動方法，其包含接收對應於一畫素單元在一第一驅動週期時欲顯示影像之第一灰階值；接收對應於該畫素單元在一第二驅動週期時欲顯示影像之第二灰階值，其中該第二驅動週期係接續該第一驅動週期；依據該第一和第二灰階值之間的大小關係來調整該畫素單元在該第二驅動週期時之充電時間。

【實施方式】

請參考第 5 圖和第 6 圖，第 5 圖為本發明第一實施例中

一液晶顯示裝置 300 之示意圖，而第 6 圖為本發明第二實施例中一液晶顯示裝置 400 之示意圖。液晶顯示裝置 300 和 400 皆包含一源極驅動電路 320、一閘極驅動電路 330、一時序控制器 340，以及一最佳化電路 350。在本發明第一實施例之液晶顯示裝置 300 中，液晶顯示面板 310 上設有複數條資料線 $DL_1 \sim DL_m$ 、複數條閘極線 $GL_1 \sim GL_n$ ，以及一畫素矩陣。畫素矩陣包含複數個畫素單元 $P_{11} \sim P_{mn}$ ，每一畫素單元係接收其左側之資料線傳來的資料訊號，且各包含一薄膜電晶體開關 TFT、一液晶電容 C_{LC} 和一儲存電容 C_{ST} ，分別耦接於相對應之資料線、相對應之閘極線，以及一共同電壓 V_{COM} 。在本發明第二實施例之液晶顯示裝置 400 中，液晶顯示面板 410 上設有複數條資料線 $DL_1 \sim DL_{m+1}$ 、複數條閘極線 $GL_1 \sim GL_n$ ，以及一畫素矩陣。畫素矩陣包含複數個畫素單元 $P_{11} \sim P_{mn}$ ，每一畫素單元包含一薄膜電晶體開關 TFT、一液晶電容 C_{LC} 和一儲存電容 C_{ST} ，分別耦接於相對應之資料線、相對應之閘極線，以及一共同電壓 V_{COM} 。在液晶顯示裝置 400 中，畫素矩陣採用 Z 字型佈局，亦即奇數列畫素單元 $P_{11} \sim P_{m1}$ 、 $P_{13} \sim P_{m3}$ 、 \dots 、 $P_{1(n-1)} \sim P_{m(n-1)}$ 接收其左側之資料線傳來之資料訊號，而偶數列畫素單元 $P_{12} \sim P_{m2}$ 、 $P_{14} \sim P_{m4}$ 、 \dots 、 $P_{1n} \sim P_{mn}$ 則接收其右側之資料線傳來之資料訊號(假設 n 為偶數)。在液晶顯示裝置 300 和 400 中，每一畫素單元之種類和極性由第 5 圖和第 6 圖中之"R"(紅色畫素)、“G”(綠色畫素)、“B”(藍色畫素)、“+”(正極性)和“-”(負極

性) 來表示。

時序控制器 340 可產生源極驅動電路 320 和閘極驅動電路 330 運作所需之控制訊號，例如輸出致能訊號 OE、起始脈衝訊號 VST、水平同步訊號 HSYNC 和垂直同步訊號 VSYNC 等。閘極驅動電路 330 可依據輸出致能訊號 OE、起始脈衝訊號 VST 和垂直同步訊號 VSYNC 等分別輸出閘極驅動訊號 $S_{G1} \sim S_{Gn}$ 至閘極線 $GL_1 \sim GL_n$ ，進而開啟相對應之列畫素單元內的薄膜電晶體開關 TFT。源極驅動電路 320 可依據水平同步訊號 HSYNC 等分別輸出對應於顯示影像之資料驅動訊號 $SD_1 \sim SD_{m+1}$ 至資料線 $DL_1 \sim DL_{m+1}$ ，進而充電相對應之行畫素單元內的液晶電容 C_{LC} 和儲存電容 C_{ST} 。

另一方面，本發明之液晶顯示裝置 300 和 400 利用最佳化電路 350 來求出對應於每一列畫素單元之最佳化充電時間的輸出致能參考值 OE_{AV} ，時序控制器 340 再依據參考值 OE_{AV} 來產生輸出致能訊號 OE。最佳化電路 350 包含兩線緩衝器 (line buffer) 31 和 32、一記憶體控制器 36，以及一判斷電路 40。記憶體控制器 36 用來控制線緩衝器 31、32 和判斷電路 40 之間的資料傳輸：畫素單元之灰階資料首先存入第一線緩衝器 31，當第一線緩衝器 31 接收到下一驅動週期之灰階資料後，會將前一週期之原始灰階資料轉存至第二線緩衝器 32。以耦接至閘極線 GL_1 之列畫素單元 $P_{11} \sim P_{1m}$ 為

例，第一線緩衝器 31 內儲存的是充電週期時畫素單元 $P_{11} \sim P_{1m}$ 之目標灰階值 $N1 \sim Nm$ ，而第二線緩衝器 32 內儲存的是預充電週期時畫素單元 $P_{11} \sim P_{1m}$ 之先前灰階值 $N1' \sim Nm'$ 。

判斷電路 40 包含一比較器 42、一暫存器 44，以及一計算器 46。比較器 42 可接收第一線緩衝器 31 傳來之目標灰階值 $N1 \sim Nm$ 和第二線緩衝器 32 傳來之先前灰階值 $N1' \sim Nm'$ ，並求出目標灰階值 $N1 \sim Nm$ 和先前灰階值 $N1' \sim Nm'$ 之間的差值 $\Delta N1 \sim \Delta Nm$ 。暫存器 44 內存有一查找表 (lookup table, LUT)，可依據比較器 42 傳來之差值 $\Delta N1 \sim \Delta Nm$ 傳送相對應之參考值 $OE1 \sim OEm$ 至計算器 46。計算器 46 再依據每一畫素單元之參考值 $OE1 \sim OEm$ 來進行運算，以求得對應於畫素單元 $P_{11} \sim P_{1m}$ 之最佳化充電時間之輸出致能參考值 OE_{AV} ，使得時序控制器 340 能依據最佳化輸出致能參考值 OE_{AV} 來產生最佳輸出致能訊號 OE 。換而言之，本發明依據單一畫素單元於兩相鄰週期內之先前灰階值和目標灰階值，求出單一畫素單元之輸出致能參考值 OE_{AV} 。在得到單一閘極線上所有畫素單元之輸出致能參考值 OE_{AV} 後，再求其平均值，如此即能得到此閘極線之最佳輸出致能訊號 OE 。

請參考第 7 圖，第 7 圖為本發明中液晶顯示裝置 300 運作時之時序圖。在第 7 圖中，SG 代表閘極驅動訊號之波形，

SD 代表資料驅動訊號之波形， V_{PIXEL} 代表畫素單元內存電荷之波形，而 OE 代表輸出致能訊號之波形。本發明能以 S 組輸出致能訊號 OE 來驅動液晶顯示裝置 300，其中閘極驅動訊號 SD 具高電位的期間包含預充電週期 T_P 和充電週期 T_C ，輸出致能訊號 OE 具高電位的期間由 $t_{\text{OE1}} \sim t_{\text{OES}}$ 來表示，本發明之閘極驅動電路 330 在輸出致能訊號 OE 具低電位時才會輸出閘極驅動訊號至相對應之閘極線，因此畫素單元中薄膜電晶體開關 TFT 之實際開啟的時間長度 $t_{\text{ON1}} \sim t_{\text{ONS}}$ 取決於輸出致能訊號 OE 具高電位的時間長度 $t_{\text{OE1}} \sim t_{\text{OES}}$ ，亦即 $t_{\text{ON1}} = (T_P + T_C - t_{\text{OE1}})$ 、 $t_{\text{ON2}} = (T_P + T_C - t_{\text{OE2}})$ 、...、 $t_{\text{POS}} = (T_P + T_C - t_{\text{OES}})$ 。本發明之最佳化電路 350 依據一整列畫素單元目標灰階值 $N1 \sim Nm$ 和先前灰階值 $N1' \sim Nm'$ 之間的差值 $\Delta N1 \sim \Delta Nm$ ，來決定輸出致能訊號 OE 具高電位的時間長短，使得每一列畫素單元皆能以最佳化之輸出致能訊號 OE 來驅動。

請參考第 8 圖，第 8 圖為本發明實施例中暫存器 44 內存之查找表的示意圖。在第 8 圖之實施例中，假設影像灰階值之範圍為 $0 \sim 255$ ，並以 16 階作為區隔，亦即第 8 圖中橫向顯示之先前灰階值以 16 個區間來判斷，而縱向顯示之目標灰階值亦以 16 個區間來判斷。同時，暫存器 44 內查找表提供 3 種參考值，其相對應之輸出致能訊號具高電位的時間分別為 $0.5\mu\text{s}$ 、 $1\mu\text{s}$ 和 $2\mu\text{s}$ 。以第一列畫素單元 $P_{11} \sim P_{1m}$ 中之畫

素單元 P_{11} 來做說明，若畫素單元 P_{11} 之目標灰階值 $N1$ 之座落區間大於先前灰階值 $N1'$ 之座落區間，此時需要以較大液晶轉動角度和較高的資料驅動訊號壓差來進行充放電，畫素單元 P_{11} 內薄膜電晶體開關 TFT 需要最大開啟時間，因此暫存器 44 會輸出對應於 $0.5\mu s$ 之參考值 $OE1$ ；若畫素單元 P_{11} 之目標灰階值 $N1$ 和先前灰階值 $N1'$ 之座落區間相同，此時不需要額外的充放電，畫素單元 P_{11} 內薄膜電晶體開關 TFT 需要的開啟時間最短，因此暫存器 44 會輸出對應於 $2\mu s$ 之參考值 $OE1$ ；若畫素單元 P_{11} 之目標灰階值 $N1$ 之座落區間小於先前灰階值 $N1'$ 之座落區間，此時需要進行充放電，畫素單元 P_{11} 內薄膜電晶體開關 TFT 所需之開啟時間長於灰階值不變動狀態，因此暫存器 44 會輸出對應於 $1\mu s$ 之參考值 $OE1$ 。如前所述，第一列畫素單元 $P_{11} \sim P_{1m}$ 中之所有畫素單元皆能以相同判斷方式求出相對應之參考值 $OE1 \sim OE_m$ ，再利用計算器 46 進行運算以求得對應於畫素單元 $P_{11} \sim P_{1m}$ 之最佳化充電時間之輸出致能參考值 OE_{AV} （例如參考值 $OE1 \sim OE_m$ 之平均值），使得時序控制器 340 能依據輸出致能參考值 OE_{AV} 來產生最佳輸出致能訊號 OE 。第 8 圖中查找表之數值僅為本發明之實施例，並不限定本發明之範疇。

請參考第 9 圖，第 9 圖為本發明另一實施例中暫存器 44 內存之查找表的示意圖。在第 9 圖之實施例中，假設影像灰階值之範圍為 $0 \sim 255$ ，並以單一灰階作為區隔，亦即第 9

圖中橫向顯示之先前灰階值以 256 個區間來判斷，而縱向顯示之目標灰階值亦以 256 個區間來判斷。同時，暫存器 44 內查找表提供 3 種參考值，其相對應之輸出致能訊號具高電位的時間分別為 0.5us、1us 和 2us。以第一列畫素單元 $P_{11} \sim P_{1m}$ 中之畫素單元 P_{11} 來做說明，若畫素單元 P_{11} 之目標灰階值 $N1$ 大於先前灰階值 $N1'$ ，此時需要以較大液晶轉動角度和較高的資料驅動訊號壓差來進行充放電，畫素單元 P_{11} 內薄膜電晶體開關 TFT 需要最大開啟時間，因此暫存器 44 會輸出對應於 0.5us 之參考值 OE1；若畫素單元 P_{11} 之目標灰階值 $N1$ 和先前灰階值 $N1'$ 相同，此時不需要額外的充放電，畫素單元 P_{11} 內薄膜電晶體開關 TFT 需要的開啟時間最短，因此暫存器 44 會輸出對應於 2us 之參考值 OE1；若畫素單元 P_{11} 之目標灰階值 $N1$ 小於先前灰階值 $N1'$ ，此時需要進行充放電，畫素單元 P_{11} 內薄膜電晶體開關 TFT 所需之開啟時間長於灰階值不變動狀態，因此暫存器 44 會輸出對應於 1us 之參考值 OE1。如前所述，第一列畫素單元 $P_{11} \sim P_{1m}$ 中之所有畫素單元皆能以相同判斷方式求出相對應之參考值 OE1~OEm，再利用計算器 46 進行運算以求得對應於畫素單元 $P_{11} \sim P_{1m}$ 之最佳化充電時間之參考值 OE_{AV} （例如參考值 OE1~OEm 之平均值），使得時序控制器 340 能依據輸出致能參考值 OE_{AV} 來產生最佳輸出致能訊號 OE。第 9 圖中查找表之數值僅為本發明之實施例，並不限定本發明之範疇。

請參考第 10 圖，第 10 圖為本發明另一實施例中暫存器 44 內存之查找表的示意圖。在第 10 圖之實施例中，假設影像灰階值之範圍為 0~255，而暫存器 44 內查找表提供 257 種參考值，其相對應之輸出致能訊號具高電位的時間分別為 T_{MAX} 和 $T_0 \sim T_{255}$ ，其中 $T_{MAX} > T_0 > T_1 > \dots > T_{255}$ 。以第一列畫素單元 $P_{11} \sim P_{1m}$ 中之畫素單元 P_{11} 來做說明，假設畫素單元 P_{11} 之目標灰階值 $N1$ 大於先前灰階值 $N1'$ ，當目標灰階值 $N1$ 和先前灰階值 $N1'$ 之間的差值為 1~255 時，暫存器 44 會分別輸出對應於 $T_1 \sim T_{255}$ 之參考值 $OE1$ 。由於 $T_1 > T_2 > \dots > T_{255}$ ，因此目標灰階值 $N1$ 和先前灰階值 $N1'$ 之間的差值越大，畫素單元 P_{11} 能以較大液晶轉動角度和較高的資料驅動訊號壓差來進行充放電；若畫素單元 P_{11} 之目標灰階值 $N1$ 和先前灰階值 $N1'$ 相同，此時不需要額外的充放電，畫素單元 P_{11} 內薄膜電晶體開關 TFT 需要的開啟時間最短，因此暫存器 44 會輸出對應於 T_{MAX} 之參考值 $OE1$ ；若畫素單元 P_{11} 之目標灰階值 $N1$ 小於先前灰階值 $N1'$ ，此時需要進行充放電，畫素單元 P_{11} 內薄膜電晶體開關 TFT 所需之開啟時間長於灰階值不變動狀態，因此暫存器 44 會輸出對應於 T_0 之參考值 $OE1$ 。如前所述，第一列畫素單元 $P_{11} \sim P_{1m}$ 中之所有畫素單元皆能以相同判斷方式求出相對應之參考值 $OE1 \sim OE_m$ ，再利用計算器 46 進行運算以求得對應於畫素單元 $P_{11} \sim P_{1m}$ 之最佳化充電時間之輸出致能參考值 OE_{AV} （例如參考值 $OE1$

~OEm 之平均值)，使得時序控制器 340 能依據輸出致能參考值 OE_{AV} 來產生最佳輸出致能訊號 OE。

本發明之最佳化電路 350 依據每一列畫素單元目標灰階值和先前灰階值之間的差值來決定輸出致能訊號 OE 具高電位的時間長短，使得每一列畫素單元皆能以最佳化之輸出致能訊號 OE 來驅動，因此能提升顯示品質。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為先前技術中一液晶顯示裝置之示意圖。

第 2 圖為第 1 圖之液晶顯示裝置運作時之時序圖。

第 3 圖為先前技術中另一液晶顯示裝置之示意圖。

第 4 圖為第 3 圖之液晶顯示裝置運作時之時序圖。

第 5 圖為本發明第一實施例中一液晶顯示裝置之示意圖。

第 6 圖為本發明第二實施例中一液晶顯示裝置之示意圖。

第 7 圖為本發明實施例之液晶顯示裝置運作時之時序圖。

第 8 圖為本發明一實施例中暫存器內存之查找表的示意圖。

第 9 圖為本發明另一實施例中暫存器內存之查找表的示意圖。

第 10 圖為本發明另一實施例中暫存器內存之查找表的示意圖。

【主要元件符號說明】

36	記憶體控制器	31、32	線緩衝器
40	判斷電路	120、220、320	源極驅動電路
42	比較器	130、230、330	閘極驅動電路
44	暫存器	140、240、340	時序控制器
46	計算器	$P_{11} \sim P_{mn}$	畫素單元
C_{LC}	液晶電容	$DL_1 \sim DL_{m+1}$	資料線
C_{ST}	儲存電容	$GL_1 \sim GL_n$	閘極線
TFT	薄膜電晶體開關	350	最佳化電路
100、200、300、400			液晶顯示裝置
110、210、310、410			液晶顯示面板

七、申請專利範圍：

1. 一種可調變充電時間之液晶顯示裝置，其包含：
 - 複數條閘極線，分別用來傳送複數筆閘極驅動訊號；
 - 複數條資料線，垂直於該複數條閘極線，分別用來傳送複數筆資料驅動訊號；
 - 一畫素陣列，其包含複數個畫素單元，分別設置於該複數條閘極線和該複數條資料線之交會處，每一畫素單元依據一相對應閘極線傳來之閘極驅動訊號和一相對應資料線傳來之資料驅動訊號來顯示畫面；
 - 一閘極驅動電路，用來依據一輸出致能訊號來輸出該複數筆閘極驅動訊號；
 - 一時序控制器，用來依據一最佳化輸出致能參考值來提供該輸出致能訊號；以及
 - 一最佳化電路，用來接收對應於該畫素陣列中一列畫素單元在一第一驅動週期時欲顯示影像之第一灰階資料、接收對應於該列畫素單元在一第二驅動週期時欲顯示影像之第二灰階資料，並依據該第一和第二灰階資料之大小關係來提供對應於該列畫素單元於該第二驅動週期時之該最佳化輸出致能參考值，其中該第二驅動週期係接續該第一驅動週期，該最佳化電路包含：
 - 一第一緩衝器，用來儲存該第一灰階資料；

- 一 第二緩衝器，用來儲存該第二灰階資料；
 - 一 比較器，用來計算該第一和第二灰階資料之間的差值；
 - 一 暫存器，其內存有一查找表 (lookup table, LUT)，用來依據該第一和第二灰階資料之間的差值提供相對應之複數個參考值，其中該複數個參考值係分別對應於該列畫素單元中每一畫素單元之充放電時間；
 - 一 計算器，用來依據該複數個參考值提供該最佳化輸出致能參考值；以及
 - 一 記憶體控制器，用來控制該第一緩衝器、該第二緩衝器和該比較器之間的資料傳輸。
2. 如請求項 1 所述之液晶顯示裝置，其中該畫素陣列中奇數列畫素單元係接收其第一側資料線傳來之資料驅動訊號，而該畫素陣列中偶數列畫素單元係接收其第二側資料線傳來之資料驅動訊號。
3. 如請求項 1 所述之液晶顯示裝置，其中每一畫素單元包含：
- 一 薄膜電晶體 (thin film transistor, TFT) 開關，其包含：
 - 一 控制端，耦接於該相對應之閘極線；
 - 一 第一端，耦接於該相對應之資料線；以及

一 第二端；

一 液晶電容，耦接於該薄膜電晶體開關之第二端和一共
同電壓之間；以及

一 儲存電容，耦接於該薄膜電晶體開關之第二端和該共
同電壓之間。

4. 一種液晶顯示裝置之驅動方法，其包含：

接收對應於一列畫素單元在一第一驅動週期時欲顯示影
像之複數個第一灰階值，其中該複數個第一灰階值
中一特定第一灰階值對應於該列畫素單元中一特
定畫素單元；

接收對應於該列畫素單元在一第二驅動週期時欲顯示影
像之複數個第二灰階值，其中該第二驅動週期係接
續該第一驅動週期，且該複數個第二灰階值中一特
定第二灰階值對應於該特定畫素單元；

計算該複數個第一灰階值和相對應複數個第二灰階值之
間的複數個差值；

計算該複數個差值之平均值；以及

依據該平均值來調整該特定畫素單元在該第二驅動週期
時之充放電時間。

5. 如請求項 4 所述之驅動方法，其另包含：

當該特定第一灰階值大於該特定第二灰階值時，縮短該

特定畫素單元在該第二驅動週期時之充放電時間；
以及

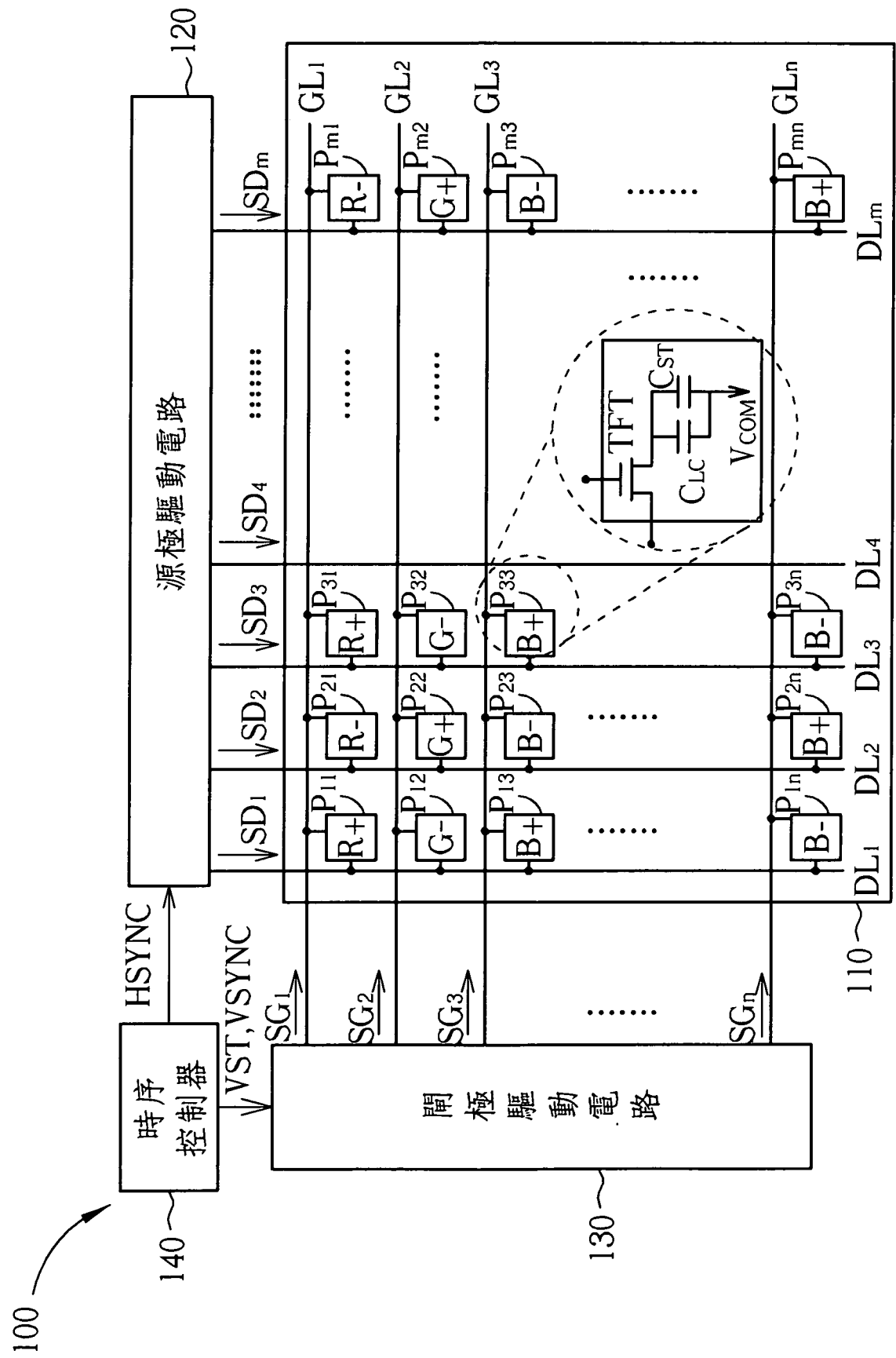
當該特定第一灰階值小於該特定第二灰階值時，增加該
特定畫素單元在該第二驅動週期時之充放電時間。

6. 如請求項 4 所述之驅動方法，其另包含：

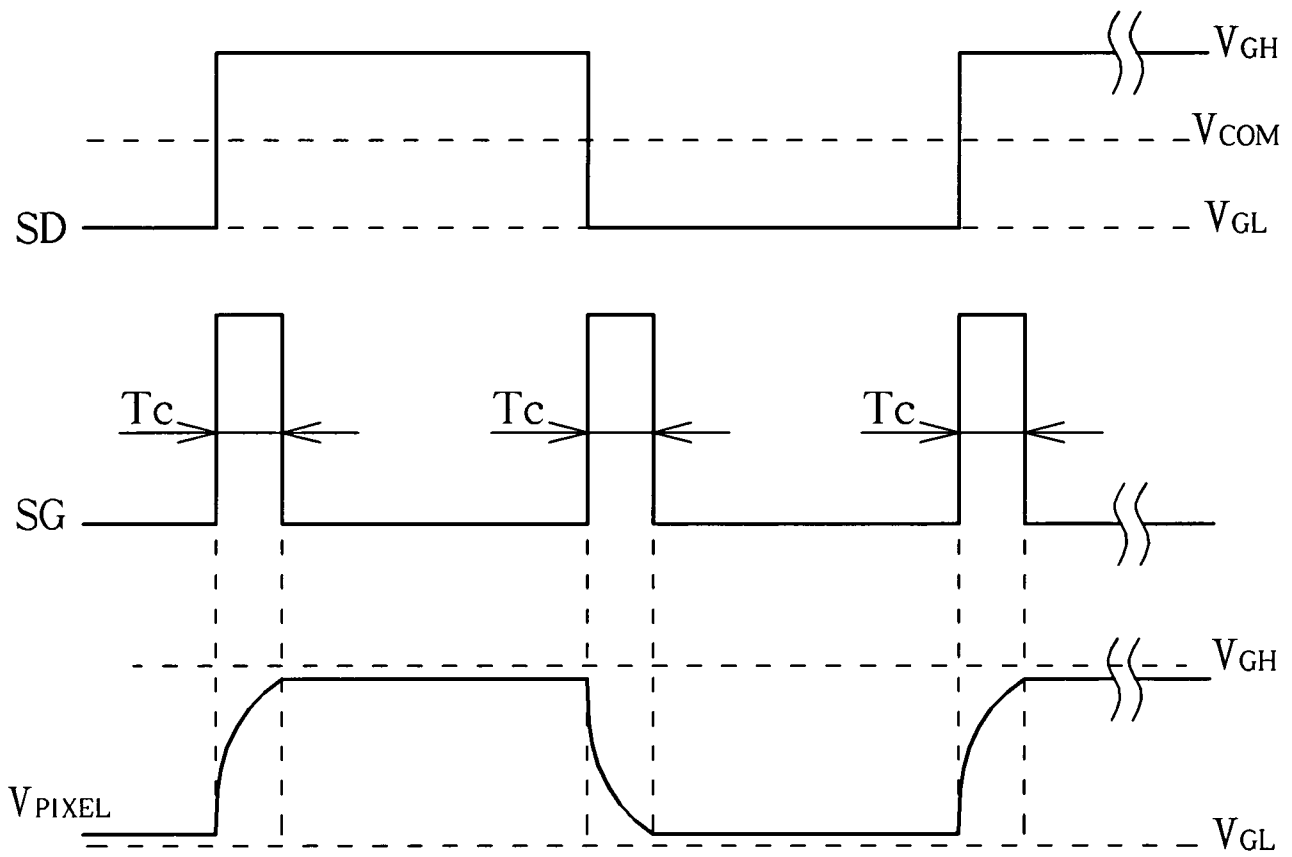
當該特定第一灰階值之座落區間大於該特定第二灰階值
之座落區間時，縮短該特定畫素單元在該第二驅動
週期時之充放電時間；以及

當該特定第一灰階值之座落區間小於該特定第二灰階值
之座落區間時，增加該特定畫素單元在該第二驅動
週期時之充放電時間。

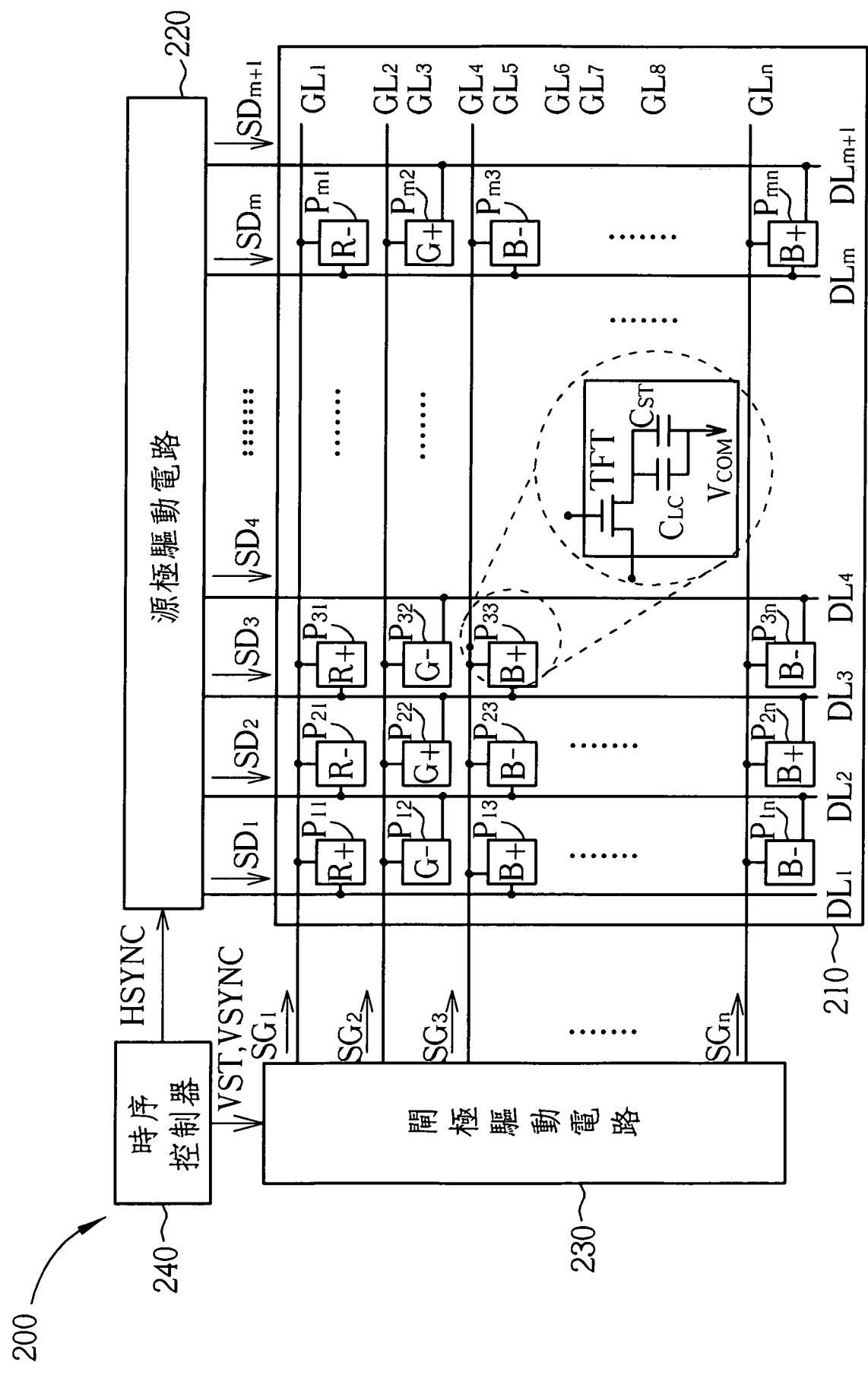
八、圖式：



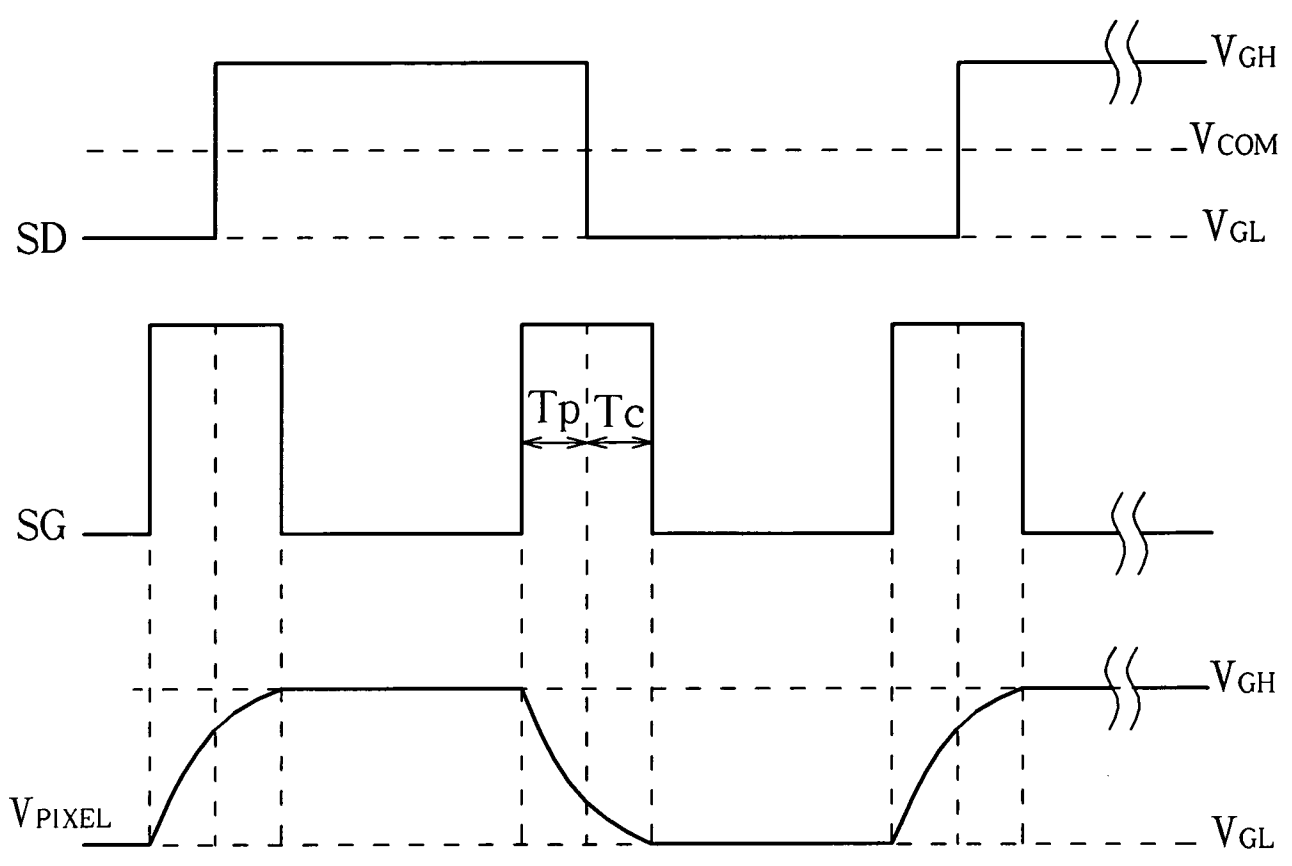
第1圖



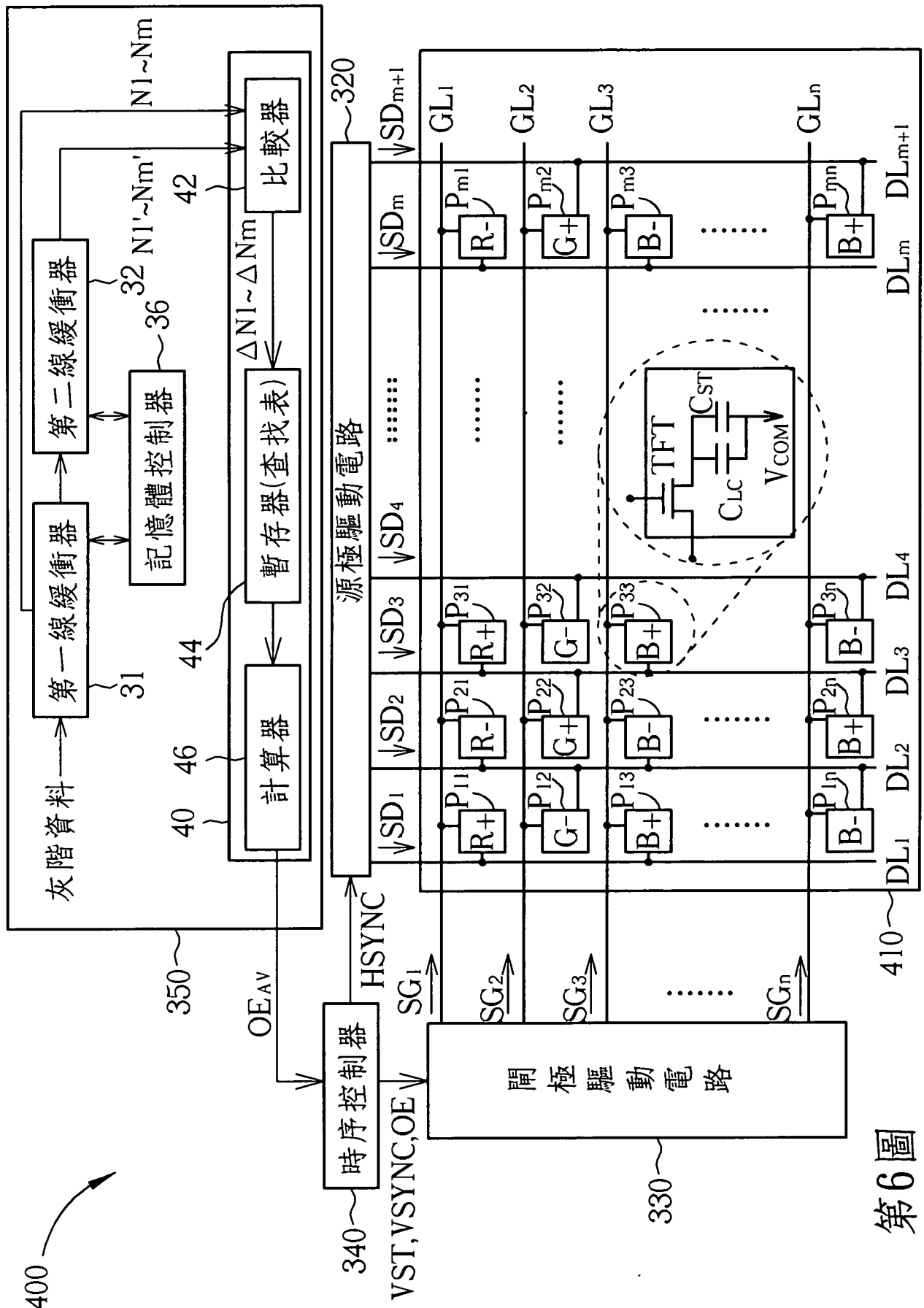
第2圖



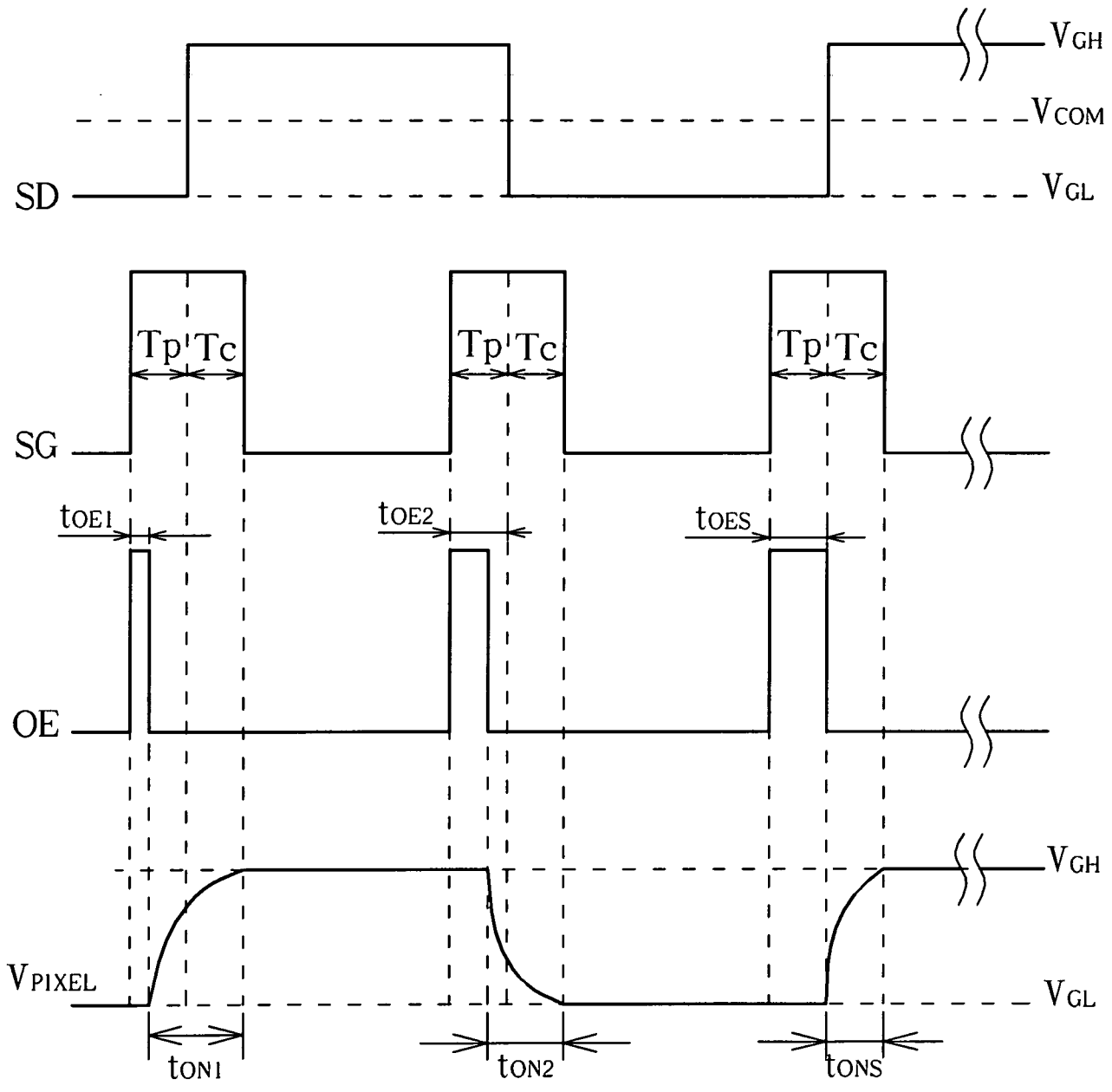
第3圖



第4圖



第6圖



第7圖

		先前灰階值									
		0-15	16-31	32-47	48-63	64-79	80-95	...	208-223	224-239	240-255
0-15	2 us	1 us	1 us	1 us	1 us	1 us	1 us	...	1 us	1 us	1 us
16-31	0.5 us	2 us	1 us	1 us	1 us	1 us	1 us	...	1 us	1 us	1 us
32-47	0.5 us	0.5 us	2 us	1 us	1 us	1 us	1 us	...	1 us	1 us	1 us
48-63	0.5 us	0.5 us	0.5 us	2 us	1 us	1 us	1 us	...	1 us	1 us	1 us
64-79	0.5 us	0.5 us	0.5 us	0.5 us	2 us	1 us	1 us	...	1 us	1 us	1 us
80-95	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	2 us	1 us	...	1 us	1 us	1 us
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
208-223	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	...	2 us	1 us	1 us
224-239	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	...	0.5 us	2 us	1 us
240-255	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	...	0.5 us	0.5 us	2 us
目標灰階值											

第8圖

		先前灰階值									
		0	1	2	3	4	5	...	253	254	255
目標灰階值	0	2 us	1 us	1 us	1 us	1 us	1 us	1 us	1 us	1 us	1 us
	1	0.5 us	2 us	1 us	1 us	1 us	1 us	1 us	1 us	1 us	1 us
	2	0.5 us	0.5 us	2 us	1 us	1 us	1 us	1 us	1 us	1 us	1 us
	3	0.5 us	0.5 us	0.5 us	2 us	1 us	1 us	1 us	1 us	1 us	1 us
	4	0.5 us	0.5 us	0.5 us	0.5 us	2 us	1 us	1 us	1 us	1 us	1 us
	5	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	2 us	1 us	1 us	1 us	1 us
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
	253	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	2 us	1 us	1 us
	254	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	2 us	1 us
	255	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	0.5 us	2 us

第9圖



		先前灰階值										
		0	1	2	3	4	5	...	253	254	255	
目標灰階值	0	T_{MAX}	T_0	T_0	T_0	T_0	T_0	T_0	T_0	T_0	T_0	
	1	T_1	T_{MAX}	T_0	T_0	T_0	T_0	T_0	T_0	T_0	T_0	
	2	T_2	T_1	T_{MAX}	T_0	T_0	T_0	T_0	T_0	T_0	T_0	
	3	T_3	T_2	T_1	T_{MAX}	T_0	T_0	T_0	T_0	T_0	T_0	
	4	T_4	T_3	T_2	T_1	T_{MAX}	T_0	T_0	T_0	T_0	T_0	
	5	T_5	T_4	T_3	T_2	T_1	T_{MAX}	T_0	T_0	T_0	T_0	
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
	253	T_{253}	T_{252}	T_{251}	T_{250}	T_{249}	T_{248}	T_{248}	T_{248}	T_{MAX}	T_0	T_0
	254	T_{254}	T_{253}	T_{252}	T_{251}	T_{250}	T_{249}	T_{249}	T_{249}	T_1	T_{MAX}	T_0
	255	T_{255}	T_{254}	T_{253}	T_{252}	T_{251}	T_{250}	T_{250}	T_2	T_2	T_1	T_{MAX}

第10圖