

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-147355
(P2008-147355A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 G	4 M 1 O 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 S	5 F 1 4 O
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G	
HO 1 L 29/49 (2006.01)	HO 1 L 29/44 S	
HO 1 L 29/41 (2006.01)		

審査請求 未請求 請求項の数 22 O L (全 19 頁)

(21) 出願番号 特願2006-331909 (P2006-331909)
(22) 出願日 平成18年12月8日 (2006.12.8)

(71) 出願人 00005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100077931
弁理士 前田 弘
(74) 代理人 100110939
弁理士 竹内 宏
(74) 代理人 100110940
弁理士 嶋田 高久
(74) 代理人 100113262
弁理士 竹内 祐二
(74) 代理人 100115059
弁理士 今江 克実
(74) 代理人 100115691
弁理士 藤田 篤史

最終頁に続く

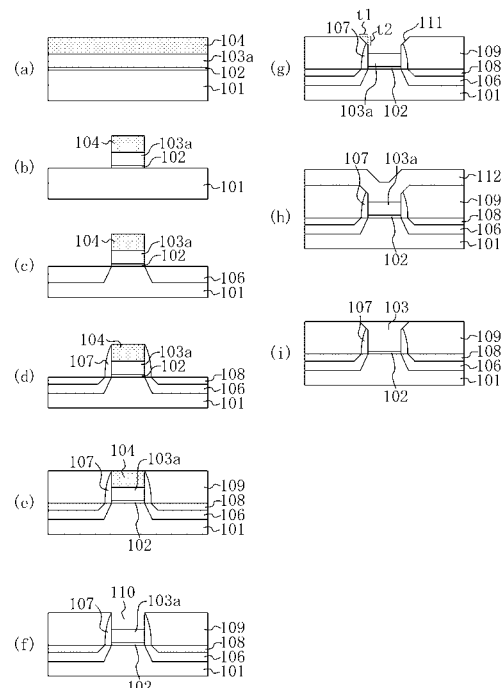
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】均一なシリサイド層を有し、低抵抗化されたゲート電極を備えた半導体装置およびその製造方法を提供する。

【解決手段】半導体装置は、半導体基板101内に形成された低濃度ソース・ドレイン領域106および高濃度ソース・ドレイン領域108と、半導体基板101のうち平面的に見て低濃度ソース・ドレイン領域106の間に位置する領域の上に形成されたゲート絶縁膜102と、ゲート絶縁膜102上に形成され、金属シリサイドからなるゲート電極103とを備えている。ゲート電極103の上部におけるゲート長は、ゲート電極の他の部分におけるゲート長よりも大きくなっている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板内に形成されたソース領域およびドレイン領域と、
 前記半導体基板のうち平面的に見て前記ソース領域と前記ドレイン領域の間に位置する領域の上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成され、金属シリサイドからなるゲート電極とを備えており、
 前記ゲート電極の上部におけるゲート長が前記ゲート電極の他の部分におけるゲート長よりも大きい半導体装置。

【請求項 2】

前記ゲート電極は、上部が逆テーパ形状である請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体基板上で且つ前記ゲート電極の側方に形成された層間絶縁膜と、
 前記ゲート電極の側面と前記層間絶縁膜との間に形成された第 1 のサイドウォール膜とをさらに備えている請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 のサイドウォール膜と前記ゲート電極の下部の側面との間から前記半導体基板と前記第 1 のサイドウォール膜との間にわたって形成された第 2 のサイドウォール膜をさらに備えている請求項 3 に記載の半導体装置。

【請求項 5】

前記金属シリサイドは、チタンシリサイド、コバルトシリサイド、ニッケルシリサイド、タングステンシリサイド、タンタルシリサイド、ハフニウムシリサイド、ジルコニウムシリサイド、モリブデンシリサイド、および白金シリサイドのうちいずれか 1 つを少なくとも含んでいる請求項 1 ~ 4 のうちいずれか 1 つに記載の半導体装置。

【請求項 6】

半導体基板上のゲート電極形成領域に、下から順に積層されたゲート絶縁膜、ゲート電極形成膜、および第 1 の絶縁膜を形成する工程 (a) と、

前記第 1 の絶縁膜をマスクとして前記半導体基板内にイオン注入することにより、ソース領域およびドレイン領域を形成する工程 (b) と、

前記半導体基板の全面に第 2 の絶縁膜を堆積させた後、前記第 1 の絶縁膜の上面が露出するまで前記第 2 の絶縁膜を除去する工程 (c) と、

前記第 1 の絶縁膜を除去して、前記ゲート電極形成膜に達する開口部を形成する工程 (d) と、

前記第 2 の絶縁膜のうち前記開口部に面する部分の上部を除去することにより、上面のゲート長方向の幅が他の部分のゲート長方向の幅よりも大きい逆テーパ形状に前記開口部を加工する工程 (e) と、

前記半導体基板の全面に金属膜を堆積させ、前記開口部に前記金属膜を埋め込む工程 (f) と、

前記半導体基板を加熱して前記金属膜と前記ゲート電極形成膜を反応させることにより、前記ゲート絶縁膜上に金属シリサイドからなるゲート電極を形成する工程 (g) とを備えている半導体装置の製造方法。

【請求項 7】

前記工程 (e) では、スパッタ法により前記開口部を逆テーパ形状に加工する請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記工程 (e) では、酸素ガスを用いた反応性イオンエッチング法により、前記開口部を逆テーパ形状に加工する請求項 6 に記載の半導体装置の製造方法。

【請求項 9】

前記工程 (e) は、前記開口部を逆テーパ形状に加工した後、前記ゲート電極形成膜上に形成された不純物を除去する工程を含んでいる請求項 8 に記載の半導体装置の製造方

10

20

30

40

50

法。

【請求項 10】

前記工程 (a) の後に、前記ゲート電極形成膜および前記第 1 の絶縁膜の側面にサイドウォール膜を形成する工程 (h) をさらに備えており、

前記工程 (b) では、前記サイドウォール膜および前記第 1 の絶縁膜をマスクとして、前記ソース領域および前記ドレイン領域を形成し、

前記工程 (e) では、前記第 2 の絶縁膜および前記サイドウォール膜のうち前記開口部に面する部分の上部をそれぞれ除去する請求項 6 ~ 9 のうちいずれか 1 つに記載の半導体装置の製造方法。

【請求項 11】

前記工程 (a) で形成される前記第 1 の絶縁膜の膜厚は、前記ゲート絶縁膜、前記ゲート電極形成膜、および前記第 1 の絶縁膜の膜厚の和の $1/3$ 以上 $1/2$ 以下である請求項 6 ~ 10 のうちいずれか 1 つに記載の半導体装置の製造方法。

【請求項 12】

前記金属膜は、チタン、コバルト、ニッケル、タングステン、タンタル、ハフニウム、ジルコニウム、モリブデン、および白金のうちいずれか 1 つを少なくとも含んでいる請求項 6 ~ 11 のうちいずれか 1 つに記載の半導体装置の製造方法。

【請求項 13】

半導体基板上のゲート電極形成領域に、下から順に積層されたゲート絶縁膜、ゲート電極形成膜、および第 1 の絶縁膜を形成する工程 (a) と、

前記半導体基板上且つ前記ゲート電極形成膜および前記第 1 の絶縁膜の側方に設けられた第 1 のサイドウォール膜と、前記第 1 のサイドウォール膜と前記ゲート電極形成膜および前記第 1 の絶縁膜の側面との間に設けられ、第 1 のサイドウォール膜と膜質が異なる第 2 のサイドウォール膜とを形成する工程 (b) と、

前記第 1 の絶縁膜、前記第 1 のサイドウォール膜、および前記第 2 のサイドウォール膜をマスクとして前記半導体基板内にイオン注入することにより、ソース領域およびドレイン領域を形成する工程 (c) と、

前記半導体基板の全面に第 2 の絶縁膜を堆積させた後、前記第 1 の絶縁膜の上面が露出するまで前記第 2 の絶縁膜を除去する工程 (d) と、

前記第 1 の絶縁膜を除去し、且つ、前記第 2 のサイドウォール膜の一部を除去することで、前記ゲート電極形成膜に達する開口部を形成する工程 (e) と、

前記半導体基板の全面に金属膜を堆積させ、前記開口部に前記金属膜を埋め込む工程 (f) と、

前記半導体基板を加熱して前記金属膜と前記ゲート電極形成膜を反応させることにより、前記ゲート絶縁膜上に金属シリサイドからなるゲート電極を形成する工程 (g) とを備えている半導体装置の製造方法。

【請求項 14】

前記工程 (e) の後、且つ、前記工程 (f) の前に、前記第 2 の絶縁膜および前記第 1 のサイドウォール膜のうち前記開口部が形成された部分の上部をそれぞれ除去することにより、上面のゲート長方向の幅が他の部分のゲート長方向の幅よりも大きい逆テーパ形状に前記開口部を加工する工程をさらに備えている請求項 13 に記載の半導体装置の製造方法。

【請求項 15】

前記工程 (e) では、前記第 1 の絶縁膜と前記第 2 のサイドウォール膜の一部とを、同時に除去する請求項 13 または 14 に記載の半導体装置の製造方法。

【請求項 16】

前記第 1 の絶縁膜と前記第 2 のサイドウォール膜とは、互いに同じ材料から構成されている請求項 15 に記載の半導体装置の製造方法。

【請求項 17】

前記工程 (b) では、前記第 1 のサイドウォール膜は前記第 2 のサイドウォール膜より

10

20

30

40

50

も高温で形成される請求項 13 または 14 に記載の半導体装置の製造方法。

【請求項 18】

前記工程 (e) では、前記第 1 の絶縁膜を除去した後、前記第 2 のサイドウォール膜の一部を除去する請求項 17 に記載の半導体装置の製造方法。

【請求項 19】

前記工程 (e) では、フッ酸を用いたエッチングにより前記第 2 のサイドウォール膜の一部を除去し、

前記第 2 のサイドウォール膜の選択比は、前記第 1 のサイドウォール膜に対して 2 以上である請求項 17 または 18 に記載の半導体装置の製造方法。

【請求項 20】

前記第 2 のサイドウォール膜は NSG 膜からなる請求項 19 に記載の半導体装置の製造方法。

【請求項 21】

前記工程 (a) で形成される前記第 1 の絶縁膜の膜厚は、前記ゲート絶縁膜、前記ゲート電極形成膜、および前記第 1 の絶縁膜の膜厚の和の $1/3$ 以上 $1/2$ 以下である請求項 13 ~ 20 のうちいずれか 1 つに記載の半導体装置の製造方法。

【請求項 22】

前記金属膜は、チタン、コバルト、ニッケル、タングステン、タンタル、ハフニウム、ジルコニウム、モリブデン、および白金のうちいずれか 1 つを少なくとも含んでいる請求項 13 ~ 21 のうちいずれか 1 つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリサイド層を有するゲート電極を備えた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、半導体集積回路装置の高速化を実現する有効な手段として、ゲート電極上に高融点金属シリサイドを形成することで、ゲート電極および拡散層の低抵抗化を図る方法が用いられている。以下、図 5 を参照しながら従来のゲート電極上にシリサイド層を形成する方法について説明する。図 5 は、従来のシリサイド層の形成方法を示す断面図である。

【0003】

まず、図 5 (a) に示すように、シリコン基板 1 の不活性領域にフィールド酸化膜 2 を、シリコン基板 1 の活性領域に膜厚が $5 \sim 10 \text{ nm}$ のゲート酸化膜 3 をそれぞれ公知の技術を用いて形成する。次に、ゲート酸化膜 3 上に例えば多結晶シリコンからなるゲート電極 4 を $150 \sim 200 \text{ nm}$ 程度の膜厚で形成した後、シリコン窒化膜 5 を 50 nm 程度の膜厚で形成する。

【0004】

次に、図 5 (b) に示すように、フォトリソグラフィ工程と異方性エッチングとによりパターンングすることで、シリコン基板 1 上の所定の領域に、下から順に積層されたゲート酸化膜 3、ゲート電極 4、およびシリコン窒化膜 5 を形成する。続いて、CVD (Chemical Vapor Deposition) 法により、シリコン基板 1 の全面に酸化膜 (図示せず) を 100 nm 程度の膜厚で形成した後、異方性エッチングにより酸化膜を除去することで、ゲート酸化膜 3、ゲート電極 4、およびシリコン窒化膜 5 の側面上に酸化膜からなる側壁 6 を形成する。次いで、シリコン窒化膜 5 および側壁 6 をマスクにしてイオン注入を行い、その後、熱処理することで、拡散層 7 を形成する。

【0005】

次に、図 5 (c) に示すように、バッファードフッ酸により拡散層 7 上に形成された自然酸化膜 (図示せず) を除去した後、スパッタ法によりチタン層 8 を 30 nm 程度の膜厚で形成する。

10

20

30

40

50

【0006】

続いて、図5(d)に示すように、窒素雰囲気中で650～700℃で短時間の熱処理(RTA)を行うことによりチタン層8と拡散層7を反応させ、拡散層7上に厚さが約50nmのチタンシリサイド層9を形成する。次に、残存した未反応のチタン層8をアンモニア水と過酸化水素水の混合液を用いて除去する。

【0007】

次に、図5(e)に示すように、シリコン基板1の全面に層間絶縁膜10を500nm程度の膜厚で形成する。その後、化学的機械的研磨(CMP:Chemical Mechanical Polishing)により、シリコン窒化膜5の表面が露出するまで層間絶縁膜10を平坦化する。この時、ゲート電極4上に形成されたシリコン窒化膜5がCMPストッパーになる。

10

【0008】

次に、図5(f)に示すように、シリコン窒化膜5を熱リン酸により除去する。続いて、バッファドフッ酸によりゲート電極4上に形成された自然酸化膜(図示せず)を除去した後、スパッタ法によりシリコン基板1の全面にチタン層11を50nm程度の膜厚で形成する。

【0009】

次いで、図5(g)に示すように、窒素雰囲気中で650～700℃で短時間の熱処理(RTA)を行うことで、チタン層11と多結晶シリコン(ゲート電極4)とを反応させ、ゲート電極上に厚さが約80nmのチタンシリサイド層12を形成する。次に、残存した未反応のチタン層11をアンモニア水と過酸化水素水の混合液により除去する。その後、窒素雰囲気中で800～850℃で短時間の熱処理(RTA)を行い、チタンシリサイド層9、12を低抵抗化する。

20

【0010】

以後、層間絶縁膜をシリコン基板1の全面に堆積して、コンタクト開口部を設けた後、アルミ電極を形成することで、MOS型トランジスタを作製することができる。

【0011】

以上のような工程を繰り返し行うことにより、ゲート電極の表面上に形成されたシリサイド層の膜厚を厚くすることができ、ゲート電極をさらに低抵抗化することができる(特許文献1参照)。

【特許文献1】特開平11-121745号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、ゲート電極4に達する開口部に金属膜を堆積する工程(図5(f))では、半導体装置の微細化に伴って開口部のアスペクト比が大きくなると、開口部に堆積させる金属膜のカバレッジ不良が発生しやすくなり、ゲート電極4上に均一なシリサイド層を形成することが難しくなる。その結果、トランジスタの特性不良の増加や品質のばらつき増大などが生じるおそれがある。

【0013】

上記の不具合に鑑み、本発明は、均一なシリサイド層を有し、低抵抗化されたゲート電極を備えた半導体装置およびその製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0014】

上記課題を解決するために、本発明の半導体装置は、半導体基板と、前記半導体基板内に形成されたソース領域およびドレイン領域と、前記半導体基板のうち平面的に見て前記ソース領域と前記ドレイン領域の間に位置する領域の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、金属シリサイドからなるゲート電極とを備えており、前記ゲート電極の上部におけるゲート長が前記ゲート電極の他の部分におけるゲート長よりも大きくなっている。

【0015】

50

この構成によれば、ゲート電極の上部のゲート長が他の部分のゲート長よりも大きくなっているため、金属シリサイドからなるゲート電極を形成する際には、シリサイド化させる層に金属膜を比較的容易に堆積させることができる。これにより、本発明の半導体装置では、均一な金属シリサイドから構成され、低抵抗化されたゲート電極を備えることができる。その結果、トランジスタの特性不良や品質のばらつきが抑制された半導体装置を実現することができる。

【0016】

また、上記の構成においては、ゲート電極全体が金属シリサイドから構成されたメタルゲート電極が備えられているため、ゲート電極の上面にシリサイド層が設けられた従来の半導体装置と比較して、電流駆動力の低下を抑制することができ、信頼性の高い半導体装置を実現することができる。

10

【0017】

また、前記半導体基板上で且つ前記ゲート電極の側方に形成された層間絶縁膜と、前記ゲート電極の側面と前記層間絶縁膜との間に形成された第1のサイドウォール膜とをさらに備えていてもよい。なお、この場合、前記第1のサイドウォール膜と前記ゲート電極の下部の側面との間に形成された第2のサイドウォール膜をさらに備えていてもよい。

【0018】

上記の構成では、ゲート電極の側方に第1のサイドウォール膜および第2のサイドウォール膜が備えられているため、ゲート電極は、上部のゲート長が下部のゲート長よりも大きい逆向きの凸形状となっている。この構成によれば、ゲート電極を形成する際には、第2のサイドウォール膜がゲート電極の上部の側面上には形成されていないため、シリサイド化させる層により均一に金属膜を形成しやすくなり、均一な金属シリサイドからなるゲート電極が得られる。その結果、十分に低抵抗化されたゲート電極を備え、トランジスタの特性不良が抑制された半導体装置を実現することができる。

20

【0019】

また、前記金属シリサイドは、チタンシリサイド、コバルトシリサイド、ニッケルシリサイド、タングステンシリサイド、タンタルシリサイド、ハフニウムシリサイド、ジルコニウムシリサイド、モリブデンシリサイド、および白金シリサイドのうちいずれか1つを少なくとも含んでいることが好ましい。

【0020】

本発明の半導体装置の第1の製造方法は、半導体基板上のゲート電極形成領域に、下から順に積層されたゲート絶縁膜、ゲート電極形成膜、および第1の絶縁膜を形成する工程(a)と、前記第1の絶縁膜をマスクとして前記半導体基板内にイオン注入することにより、ソース領域およびドレイン領域を形成する工程(b)と、前記半導体基板の全面に第2の絶縁膜を堆積させた後、前記第1の絶縁膜の上面が露出するまで前記第2の絶縁膜を除去する工程(c)と、前記第1の絶縁膜を除去して、前記ゲート電極形成膜に達する開口部を形成する工程(d)と、前記第2の絶縁膜のうち前記開口部に面する部分の上部を除去することにより、上面のゲート長方向の幅が他の部分のゲート長方向の幅よりも大きい逆テーパ形状に前記開口部を加工する工程(e)と、前記半導体基板の全面に金属膜を堆積させ、前記開口部に前記金属膜を埋め込む工程(f)と、前記半導体基板を加熱して前記金属膜と前記ゲート電極形成膜を反応させることにより、前記ゲート絶縁膜上に金属シリサイドからなるゲート電極を形成する工程(g)とを備えている。

30

40

【0021】

この方法によれば、工程(e)において、開口部を逆テーパ形状に加工することにより、金属膜のカバレッジを向上させることができるため、その後の工程で開口部に比較的均一に金属膜を堆積させることができる。これにより、工程(g)における熱処理時に金属膜とゲート電極形成膜とを効率良く且つムラなく反応させることができるため、均一な金属シリサイドからなるゲート電極を形成することができる。その結果、本発明の半導体装置の製造方法を用いると、低抵抗化されたゲート電極を備え、トランジスタの特性不良や品質のばらつきが抑制された半導体装置を作製することが可能となる。

50

【0022】

また、本発明の半導体装置の第1の製造方法を用いると、工程(d)で形成される開口部のアスペクト比が大きくなっても、工程(e)で逆テーパ形状に加工することにより、均一な金属シリサイド層を形成することが可能である。このため、トランジスタの縮小化によりゲート長が微細化されても、十分な膜厚を有するシリサイド層を形成することができ、低抵抗化されたゲート電極を備え、高速動作が可能な半導体装置を作製することができる。

【0023】

さらに、上記の方法で形成されたゲート電極は、上部のゲート長が下部のゲート長よりも大きい逆テーパ形状となっているため、例えばゲート電極上にコンタクトを形成する場合は、一定のゲート長を有するゲート電極を備えた従来の半導体装置に比べてコンタクトを形成可能な領域がより大きくなる。これにより、半導体装置が微細化されても、コンタクトを形成する際に用いるマスクの位置合わせがしやすく、比較的容易にゲート電極上にコンタクトを形成することができる。

10

【0024】

なお、前記工程(a)で形成される前記第1の絶縁膜の膜厚は、前記ゲート絶縁膜、前記ゲート電極形成膜、および前記第1の絶縁膜の膜厚の和の1/3以上1/2以下であると好ましい。この場合、後の工程で第1の絶縁膜が除去された領域に、ゲート電極形成膜全体を十分にシリサイド化させるために必要な金属膜を堆積させることができ、全体が均一な金属シリサイドから構成されたゲート電極を得ることができる。

20

【0025】

また、前記金属膜は、チタン、コバルト、ニッケル、タングステン、タンタル、ハフニウム、ジルコニウム、モリブデン、および白金のうちいずれか1つを少なくとも含んでいることが好ましい。

【0026】

また、本発明の半導体装置の第2の製造方法では、半導体基板上のゲート電極形成領域に、下から順に積層されたゲート絶縁膜、ゲート電極形成膜、および第1の絶縁膜を形成する工程(a)と、前記半導体基板上且つ前記ゲート電極形成膜および前記第1の絶縁膜の側方に設けられた第1のサイドウォール膜と、前記第1のサイドウォール膜と前記ゲート電極形成膜および前記第1の絶縁膜の側面との間に設けられ、第1のサイドウォール膜と膜質が異なる第2のサイドウォール膜とを形成する工程(b)と、前記第1の絶縁膜、前記第1のサイドウォール膜、および前記第2のサイドウォール膜をマスクとして前記半導体基板内にイオン注入することにより、ソース領域およびドレイン領域を形成する工程(c)と、前記半導体基板の全面に第2の絶縁膜を堆積させた後、前記第1の絶縁膜の上面が露出するまで前記第2の絶縁膜を除去する工程(d)と、前記第1の絶縁膜を除去し、且つ、前記第2のサイドウォール膜の一部を除去することで、前記ゲート電極形成膜に達する開口部を形成する工程(e)と、前記半導体基板の全面に金属膜を堆積させ、前記開口部に前記金属膜を埋め込む工程(f)と、前記半導体基板を加熱して前記金属膜と前記ゲート電極形成膜を反応させることにより、前記ゲート絶縁膜上に金属シリサイドからなるゲート電極を形成する工程(g)とを備えている。

30

40

【0027】

この方法によれば、工程(e)において第1の絶縁膜と共に前記第2のサイドウォール膜の一部とを除去することで、第2のサイドウォール膜の幅の分だけ開口部のゲート長方向における幅を広げることができる。これにより、本発明の半導体装置の第1の製造方法と比較して、より均一に金属膜を堆積させることが可能となるため、均一な金属シリサイドからなり、低抵抗化されたゲート電極を形成することができる。

【発明の効果】

【0028】

本発明の半導体装置によれば、金属シリサイドからなる低抵抗化されたゲート電極を備えているため、トランジスタの特性不良や品質のばらつきが抑制された半導体装置を実現

50

することができる。

【0029】

また、本発明の半導体装置の製造方法によれば、金属膜のカバレッジを向上させ、均一な金属シリサイドからなるゲート電極を形成することができるため、低抵抗なゲート電極を備え、トランジスタの品質などのばらつきが抑制された半導体装置を作製することができる。さらに、トランジスタの縮小化によりゲート長が微細化されても、均一な金属シリサイドからなり、十分な膜厚を有するゲート電極が得られるため、高速動作が可能な半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0030】

(第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置およびその製造方法について、図面を参照しながら説明する。図1(a)~(i)は、本発明の第1の実施形態に係る半導体装置の製造方法を示す断面図である。最初に、図1(i)を用いて本実施形態の半導体装置の構成を簡単に説明する。

【0031】

図1(i)に示すように、本実施形態の半導体装置は、シリコンなどからなる半導体基板101と、半導体基板101内にそれぞれ形成された低濃度ソース・ドレイン領域106および高濃度ソース・ドレイン領域108と、半導体基板101のうち平面的に見て低濃度ソース・ドレイン領域106の間に位置する領域の上に形成されたゲート絶縁膜102と、ゲート絶縁膜102上に形成され、金属シリサイドからなるゲート電極103と、半導体基板101上で且つゲート電極103の側方に形成された層間絶縁膜109と、層間絶縁膜109とゲート電極103との間に設けられたサイドウォール膜107とを備えている。

【0032】

なお、ゲート絶縁膜102、層間絶縁膜109、およびサイドウォール膜107の材料としては、それぞれ例えばシリコン酸化膜が用いられる。

【0033】

ここで、本実施形態の半導体装置では、ゲート電極103は例えばニッケルシリサイドなどの金属シリサイドから構成されている。さらに、ゲート電極103の上部は、その上面のゲート長方向の幅が他の部分のゲート長方向の幅よりも広い逆テーパー形状となっている。

【0034】

なお、本実施形態の半導体装置では、ゲート電極103全体が金属シリサイドから構成されたメタルゲート電極が備えられているため、ゲート電極の上面上にシリサイド層が設けられた従来の半導体装置に比べ、電流駆動力の低下を抑制することができ、信頼性の高い半導体装置を実現することができる。

【0035】

次に、本実施形態の半導体装置の製造方法について図1(a)~(i)を用いて説明する。

【0036】

まず、図1(a)に示すように、例えばシリコンからなる半導体基板101上に、厚さが3nmのシリコン酸化膜などからなるゲート絶縁膜102を形成する。その後、半導体基板101の温度を例えば610として、ゲート絶縁膜102上に厚さが80nmの例えば多結晶シリコンからなるゲート電極形成膜103aを堆積する。次いで、ゲート電極形成膜103a上に、厚さが50nmの例えばシリコン窒化膜からなる第1の絶縁膜104を堆積する。ここで、第1の絶縁膜104の厚みは、ゲート絶縁膜102、ゲート電極形成膜103a、および第1の絶縁膜104の厚みの和の1/3以上1/2以下であることが望ましい。

【0037】

10

20

30

40

50

次に、図1(b)に示すように、リソグラフィ工程とドライエッチング工程により、半導体基板101上のゲート電極形成領域に第1の絶縁膜104、ゲート電極形成膜103a、およびゲート絶縁膜102を残すようにパターニングする。

【0038】

次に、図1(c)に示すように、第1の絶縁膜104をマスクにして、半導体基板101内にn型不純物であるヒ素をドーズ量 $3 \times 10^{14} \text{ ions/cm}^2$ 、注入エネルギー20keVの注入条件でイオン注入することにより、低濃度ソース・ドレイン領域106を形成する。

【0039】

続いて、図1(d)に示すように、半導体基板101上の全面にCVD法により厚さが140nmの例えばシリコン酸化膜を堆積させた後、異方性エッチングによりシリコン酸化膜をエッチバックすることで、ゲート絶縁膜102、ゲート電極形成膜103a、および第1の絶縁膜104の側面上にシリコン酸化膜からなるサイドウォール膜107を形成する。その後、第1の絶縁膜104およびサイドウォール膜107をマスクにして、n型不純物であるヒ素をドーズ量 $4 \times 10^{15} \text{ ions/cm}^2$ 、注入エネルギー50keVの注入条件でイオン注入することにより、高濃度ソース・ドレイン領域108を形成する。

10

【0040】

次に、図1(e)に示すように、半導体基板101の全面にCVD法により厚さ700nmのシリコン酸化膜などからなる層間絶縁膜109を堆積した後、化学的機械的研磨(CMP)にて第1の絶縁膜104が露出するまで研磨を行う。この時、例えばプラテン回転数が100rpmで、圧力が4.0psi(27.6kPa)となる条件を用いる。

20

【0041】

次に、図1(f)に示すように、第1の絶縁膜104をウェットエッチングにて除去して、ゲート電極形成膜103aに達する開口部110を形成する。この時、ウェットエッチングの溶液としてリン酸を用いて、例えば150で処理を行う。これにより、第1の絶縁膜104の選択比をゲート電極形成膜103aに対して100以上にすることができるため、選択的に第1の絶縁膜104を除去することができる。

【0042】

次に、図1(g)に示すように、サイドウォール膜107および層間絶縁膜109のうち開口部110に面する部分の上部をスパッタ法にて除去し、開口部110を逆テーパ形状111に加工する。スパッタ法の条件としては、誘導結合式のドライエッチング装置を用いて、流量を 10 sccm ($1.67 \times 10^{-7} \text{ m}^3/\text{s}$)、圧力を0.2mTorr(26.7mPa)としてアルゴンガスを供給し、上部電極のRFパワーを300W、下部電極のRFパワーを350Wとして40秒間処理を行う。なお、この条件で処理を行うと、開口部110のゲート長方向における幅の増加量(t_1)は例えば片側20nmずつとなり、肩落ち量(t_2)は例えば30nmとなる。また、この時、開口部110における一方の上端から他方の上端までの距離を x 、ゲート電極形成膜103aの両側方にそれぞれ設けられたサイドウォール膜107の下面の幅の和を y 、ゲート電極形成膜103aのゲート長方向の幅を z とすると、 $(1/8y + z) < x < (y + z)$ であることが望ましい。この場合、十分な開口幅を確保することで、開口部110の埋め込み性能を向上させることができ、且つ、後の工程で形成されるソース・ドレイン領域上のコンタクトホールとゲート電極103との接触を防ぐことができる。

30

40

【0043】

次に、図1(h)に示すように、半導体基板101の全面にスパッタ法により厚さが30nmの例えばニッケルからなる金属膜112を堆積する。

【0044】

続いて、図1(i)に示すように、550~600の温度範囲で、短時間の熱処理(RTA)を行うことにより、ゲート電極形成膜103aとニッケル(金属膜112)を反応させる。これにより、ゲート絶縁膜102上に、厚さが例えば130nmのニッケル

50

シリサイドからなるゲート電極 103 を形成することができる。その後、未反応で残存しているニッケルを塩酸または硫酸に過酸化水素を添加した液体を用いて、ウェットエッチングにより選択的に除去する。次いで、750 ~ 800 の温度範囲で、さらに短時間の熱処理 (RTA) を行うことにより、ニッケルシリサイドからなるゲート電極 103 を低抵抗化する。以後、所定の方法により、本実施形態の金属シリサイドからなるゲート電極を備えた半導体装置を製造することができる。

【0045】

なお、上述の半導体装置の製造方法で挙げたプロセス条件は一例であり、これに限定されるものではない。

【0046】

本実施形態の半導体装置の製造方法では、図 1 (g) に示す工程において、開口部 110 を逆テーパ形状 111 に加工することにより、金属膜 112 のカバレッジを向上させることができるため、その後の工程で開口部 110 に金属膜 112 を比較的均一に堆積させることができる。これにより、熱処理時に金属膜 112 と多結晶シリコン (ゲート電極形成膜 103 a) を効率的に且つムラなく反応させることができるため、均一な金属シリサイドからなるゲート電極 103 を形成することができる。その結果、本実施形態の半導体装置の製造方法では、低抵抗化されたゲート電極を備え、トランジスタの特性不良や品質のばらつきが抑制された半導体装置を作製することが可能となる。

【0047】

また、本実施形態の半導体装置の製造方法によれば、図 1 (f) で形成される開口部のアスペクト比が大きくなっても、逆テーパ形状に加工することにより、均一な金属シリサイド層を形成することが可能である。このため、トランジスタの縮小化により実効的なゲート長が微細化されても、十分な膜厚を有するシリサイド層を形成することができ、低抵抗化されたゲート電極を備え、高速動作が可能な半導体装置を作製することができる。ここで、「実効的なゲート長」とは、チャンネル長に影響を及ぼすゲート電極 103 下部のゲート長を意味するものとする。

【0048】

また、本実施形態の製造方法により形成されたゲート電極 103 は、上部のゲート長が下部のゲート長よりも大きい逆テーパ形状となっているため、例えばゲート電極上にコンタクトを形成する場合、一定のゲート長を有するゲート電極を備えた従来の半導体装置に比べてコンタクトを形成することができる領域がより大きくなっている。これにより、半導体装置が微細化されても、コンタクトを形成する際に用いるマスクの位置合わせがしやすく、比較的容易にゲート電極上にコンタクトを形成することができる。

【0049】

なお、本実施形態の製造方法では、金属膜が、チタン、コバルト、ニッケル、タングステン、タンタル、ハフニウム、ジルコニウム、モリブデン、および白金のうち少なくとも 1 つを含んでいることが好ましい。

【0050】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。ここで、本実施形態の半導体装置は、上述の第 1 の実施形態の半導体装置と同様な構成を有しているが、その製造方法の一部が異なっている。従って、本実施形態では、半導体装置の構成についての説明は省略する。図 2 (a) ~ (i) は、本発明の第 1 の実施形態に係る半導体装置の製造方法を示す断面図である。なお、図 2 (g) に示す工程以外はそれぞれ第 1 の実施形態の製造方法と同様であるため、ここでは簡単に説明する。

【0051】

最初に、図 2 (a)、(b) に示すように、半導体基板 101 上に、ゲート絶縁膜 102、ゲート電極形成膜 103 a、および第 1 の絶縁膜 104 を順次形成した後、ゲート絶縁膜 102、ゲート電極形成膜 103 a、および第 1 の絶縁膜 104 を半導体基板 101

10

20

30

40

50

上のゲート電極形成領域に残すようにパターンニングする。

【0052】

続いて、図2(c)、(d)に示すように、第1の絶縁膜104をマスクにして、半導体基板101内に低濃度ソース・ドレイン領域106を形成した後、ゲート絶縁膜102、ゲート電極形成膜103a、および第1の絶縁膜104の側面にサイドウォール膜107を形成する。

【0053】

次に、図2(e)、(f)に示すように、第1の絶縁膜104およびサイドウォール膜107をマスクにして所定の条件でイオン注入することにより、高濃度ソース・ドレイン領域108を形成する。続いて、半導体基板101の全面に層間絶縁膜109を堆積した後、第1の絶縁膜104が露出するまでCMPにて研磨する。その後、第1の絶縁膜104を除去し、開口部110を形成する。

【0054】

続いて、図2(g)に示すように、サイドウォール膜107および層間絶縁膜109のうち開口部110に面する部分の上部を反応性イオンエッチング法にて除去し、開口部110を逆テーパ形状211に加工する。この時の反応性イオンエッチング法の条件は、2周波反応性イオンエッチング式のドライエッチング装置を用いて、流量を400sccm($6.68 \times 10^{-6} \text{ m}^3 / \text{s}$)、圧力を3Paとして酸素ガスを供給し、ソース電極のパワーを900W、バイアス電極のパワーを600Wとして、60秒間処理を行うことにより、開口部110を逆テーパ形状211に加工することができる。なお、この条件で処理を行うと、開口部110のゲート長方向における幅の増加量(t1)が例えば片側20nmずつ広がり、肩落ち量(t2)は例えば20nmとなる。また、この時、開口部110における一方の上端から他方の上端までの距離をx、ゲート電極形成膜103aの両側方にそれぞれ設けられたサイドウォール膜107の下面の幅の和をy、ゲート電極形成膜103aのゲート長方向の幅をzとすると、 $(1/8y + z) < x < (y + z)$ であることが望ましい。

【0055】

ここで、上述の酸素を用いた反応性イオンエッチングを行うと、多結晶シリコン(ゲート電極形成膜103a)の表面が酸化され、例えば酸化シリコンからなる生成物212が形成される。従って、本工程では、反応性イオンエッチングを行った後に、フッ酸洗浄を行うことで、酸化シリコンからなる生成物212を除去する。なお、この時、生成物212と併せて、ゲート電極形成膜103a上に残存する窒素などの不純物も同時に除去される。

【0056】

次いで、図2(h)、(i)に示すように、半導体基板101の全面に例えばニッケルからなる金属膜112を堆積させる。続いて、短時間の熱処理により、ゲート電極形成膜103aとニッケル(金属膜112)とを反応させることで、ゲート絶縁膜102上にニッケルシリサイドからなるゲート電極103を形成する。その後、未反応で残存しているニッケルをウェットエッチングにより選択的に除去する。次いで、短時間の熱処理を行うことにより、ニッケルシリサイドからなるゲート電極103を低抵抗化する。以後、所定の方法により、本実施形態の金属シリサイド層からなるゲート電極103を備えた半導体装置を製造することができる。

【0057】

なお、上述の半導体装置の製造方法で挙げたプロセス条件は一例であり、これに限定されるものではない。

【0058】

本実施形態の半導体装置の製造方法では、第1の実施形態と同様に、図2(g)に示す工程において、開口部110を逆テーパ形状211に加工することにより、金属膜112のカバレッジを向上させることができるため、開口部110に金属膜112を比較的均一に堆積させることができる。これにより、熱処理時に金属膜112と多結晶シリコン(

10

20

30

40

50

ゲート電極形成膜 103 a) を効率的に且つムラなく反応させることができるため、実効的なゲート長が短くなった場合でも、均一な金属シリサイドからなるゲート電極 103 を形成することができる。その結果、本実施形態の半導体装置の製造方法では、低抵抗化されたゲート電極を備え、トランジスタの特性不良や品質のばらつきが抑制された半導体装置を作製することが可能となる。

【0059】

また、本実施形態の半導体装置の製造方法では、図 2 (g) に示す工程は、開口部 210 を逆テーパ形状 211 に加工した後に、反応性イオンエッチングにより形成された生成物 212 を除去する工程を有している。この生成物 212 を除去する工程を有していることで、ゲート電極形成膜 103 a の表面に残留する窒素などの不純物も併せて取り除くことができるため、該不純物が金属膜と多結晶シリコンとの反応を阻害するのを抑制することができ、より均一な金属シリサイドからなるゲート電極を形成することが可能となる。

10

【0060】

(第3の実施形態)

以下、本発明の第3の実施形態に係る半導体装置およびその製造方法について、図面を参照しながら説明する。図 3 (a) ~ (i) は、本発明の第3の実施形態に係る半導体装置の製造方法を示す断面図である。最初に、図 3 (i) を用いて本実施形態の半導体装置の構成を簡単に説明する。

【0061】

図 3 (i) に示すように、本実施形態の半導体装置は、シリコンなどからなる半導体基板 101 と、半導体基板 101 内にそれぞれ形成された低濃度ソース・ドレイン領域 106 および高濃度ソース・ドレイン領域 108 と、半導体基板 101 のうち平面的に見て低濃度ソース・ドレイン領域 106 の間に位置する領域の上に形成されたゲート絶縁膜 102 と、ゲート絶縁膜 102 上に形成され、金属シリサイドからなるゲート電極 303 と、半導体基板 101 上で且つゲート電極 303 の側方に設けられた第1のサイドウォール膜 308 と、第1のサイドウォール膜 308 とゲート電極 303 の下部の側面との間に形成された第2のサイドウォール膜 307 と、半導体基板 101 上で且つ第1のサイドウォール膜 308 の側方に形成された層間絶縁膜 109 とを備えている。

20

【0062】

なお、第1のサイドウォール膜 308 および第2のサイドウォール膜 307 の材料としては、それぞれシリコン酸化膜およびシリコン窒化膜が用いられる。また、ゲート絶縁膜 102 および層間絶縁膜 109 の材料としては、それぞれ例えばシリコン酸化膜が用いられる。

30

【0063】

本実施形態の半導体装置では、ゲート電極 303 は例えばニッケルシリサイドなどの金属シリサイドから構成されている。さらに、ゲート電極 303 は、上部の幅が下部の幅よりも広い逆向きの凸形状となっている。

【0064】

次に、図 3 (a) ~ (i) を用いて本実施形態の半導体装置の製造方法について説明する。なお、図 3 (a) ~ (c) に示す工程は上述の第1の実施形態と同様であるため、ここでは簡単に述べる。

40

【0065】

最初に、図 3 (a) ~ (c) に示すように、半導体基板 101 上に、ゲート絶縁膜 102、ゲート電極形成膜 103 a、および第1の絶縁膜 104 を順次形成した後、ゲート絶縁膜 102、ゲート電極形成膜 103 a、および第1の絶縁膜 104 を半導体基板 101 上のゲート電極形成領域に残すようにパターンニングする。続いて、第1の絶縁膜 104 をマスクにして、半導体基板 101 内に低濃度ソース・ドレイン領域 106 を形成する。

【0066】

次に、図 3 (d) に示すように、半導体基板 101 の全面に CVD 法により例えばシリ

50

コン酸化膜、シリコン窒化膜を順次堆積させる。その後、異方性エッチングによりシリコン窒化膜およびシリコン酸化膜をエッチバックすることにより、半導体基板 101 上且つゲート電極形成膜 103 a および第 1 の絶縁膜 104 の側方に設けられた第 1 のサイドウォール膜 308 と、第 1 のサイドウォール膜 308 とゲート電極形成膜 103 a および第 1 の絶縁膜 104 の側面との間に設けられた第 2 のサイドウォール膜 307 とをそれぞれ形成する。

【0067】

次いで、図 3 (e)、(f) に示すように、第 1 の絶縁膜 104、第 1 のサイドウォール膜 308、および第 2 のサイドウォール膜 307 をマスクにして所定の条件でイオン注入することにより、高濃度ソース・ドレイン領域 108 を形成する。その後、半導体基板 101 の全面に層間絶縁膜 109 を堆積した後、第 1 の絶縁膜 104 が露出するまで CMP にて研磨する。

10

【0068】

次に、図 3 (g) に示すように、第 1 の絶縁膜 104 と第 2 のサイドウォール膜 307 の上部とをウェットエッチングにより同時に除去し、ゲート電極形成膜 103 a に達する開口部 311 を形成する。この時、ウェットエッチングの溶液としてリン酸を用い、例えば 150 で処理を行う。これにより、窒化シリコン膜からなる第 1 の絶縁膜 104 および第 2 のサイドウォール膜 307 の選択比をゲート電極形成膜 103 a に対して 100 以上にすることができるため、選択的に第 1 の絶縁膜 104 および第 2 のサイドウォール膜 307 の一部をそれぞれ除去することができる。

20

【0069】

次いで、図 3 (h)、(i) に示すように、半導体基板 101 の全面に例えばニッケルからなる金属膜 112 を堆積させる。続いて、短時間の熱処理により、ゲート電極形成膜 103 a とニッケル (金属膜 112) とを反応させることで、ゲート絶縁膜 102 上にニッケルシリサイドからなるゲート電極 303 を形成する。その後、未反応で残存しているニッケルをウェットエッチングにより選択的に除去する。次いで、短時間の熱処理を行うことにより、ニッケルシリサイドからなるゲート電極 303 を低抵抗化する。以後、所定の方法により、本実施形態の金属シリサイド層からなるゲート電極 303 を備えた半導体装置を製造することができる。

30

【0070】

なお、上述の半導体装置の製造方法で挙げたプロセス条件は一例であり、これに限定されるものではない。

【0071】

本実施形態の半導体装置の製造方法では、図 3 (g) に示す工程において、第 1 の絶縁膜 104 と共に第 2 のサイドウォール膜 307 の一部を除去することで、第 2 のサイドウォール膜 307 の幅の分だけ開口部 311 の幅を広げることができる。これにより、第 1 の絶縁膜 104 のみを除去して開口部を形成する場合に比べて、開口部 311 により均一に金属膜 112 を堆積させることができる。そのため、熱処理時に金属膜 112 と多結晶シリコン (ゲート電極形成膜 103 a) を効率的に且つムラなく反応させることができ、実効的なゲート長が短くなった場合でも、均一な金属シリサイドからなるゲート電極 303 を形成することができる。その結果、本実施形態の半導体装置の製造方法では、低抵抗化されたゲート電極を備え、トランジスタの特性不良や品質のばらつきが抑制された半導体装置を作製することが可能となる。

40

【0072】

また、本実施形態の製造方法により形成されたゲート電極 303 における上面のゲート長は、第 1 の実施形態に挙げたゲート電極 103 に比べて小さくなっている。このため、例えば高濃度ソース・ドレイン領域 108 上にコンタクトを形成する場合には、第 1 の実施形態の半導体装置と比較してコンタクトを形成可能な領域がより大きくなる。その結果、半導体装置が微細化されても、コンタクトを形成する際に用いるマスクの位置合わせがしやすく、比較的容易にソース・ドレイン領域上にコンタクトを形成することができる。

50

【 0 0 7 3 】

なお、本実施形態の半導体装置の製造方法では、図 3 (g) に示す工程の後、且つ、図 3 (h) に示す工程の前に、層間絶縁膜 1 0 9 および第 1 のサイドウォール膜 3 0 8 のうち開口部 3 1 1 に面する部分の上部をそれぞれ除去する工程をさらに備えていてもよい。この場合、開口部 3 1 1 を上面のゲート長方向の幅が他の部分のゲート長方向の幅よりも大きい逆テーパ形状に加工することができるため、後の工程で金属膜 1 1 2 のカバレッジをさらに向上させることができ、より均一な金属シリサイドからなるゲート電極 3 0 3 を作製することが可能となる。

【 0 0 7 4 】

また、本実施形態の製造方法では、第 1 の絶縁膜 1 0 4 と第 2 のサイドウォール膜 3 0 7 とが互いに同じ材料から構成されていることが好ましい。これにより、図 3 (g) に示す工程において、比較的容易に第 1 の絶縁膜 1 0 4 と第 2 のサイドウォール膜 3 0 7 とをエッチング除去することができる。

10

【 0 0 7 5 】

(第 4 の実施形態)

以下、本発明の第 4 の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。ここで、本実施形態の半導体装置は、第 1 のサイドウォール膜と同じ材料からなる第 2 のサイドウォール膜を備えており、これ以外の部分は上述の第 3 の実施形態の半導体装置と同様な構成を有している。従って、半導体装置の構成についての説明は省略する。また、本実施形態の半導体装置の製造方法においては、上述の第 3 の実施形態の半導体装置の製造方法と一部の工程が異なっている。図 4 (a) ~ (j) は、本発明の第 4 の実施形態に係る半導体装置の製造方法を示す断面図である。なお、図 4 (a) ~ (c) に示す工程はそれぞれ第 1 の実施形態の製造方法と同様であるため、ここでは簡単に説明する。

20

【 0 0 7 6 】

最初に、図 4 (a) ~ (c) に示すように、半導体基板 1 0 1 上に、ゲート絶縁膜 1 0 2、ゲート電極形成膜 1 0 3 a、および第 1 の絶縁膜 1 0 4 を順次形成した後、ゲート絶縁膜 1 0 2、ゲート電極形成膜 1 0 3 a、および第 1 の絶縁膜 1 0 4 を半導体基板 1 0 1 上のゲート電極形成領域に残すようにパターニングする。続いて、第 1 の絶縁膜 1 0 4 をマスクにして、半導体基板 1 0 1 内に低濃度ソース・ドレイン領域 1 0 6 を形成する。

30

【 0 0 7 7 】

次に、図 4 (d) に示すように、半導体基板 1 0 1 の全面に C V D 法により例えばシリコン酸化膜 (第 1 のシリコン酸化膜) を、オゾンガスと T E O S (テトラエトキシシラン) ガスを用いて、300 ~ 400 の範囲の温度で成膜する。その後、第 1 のシリコン酸化膜上に、第 2 のシリコン酸化膜をオゾンガスと T E O S (テトラエトキシシラン) ガスを用いて、700 ~ 900 の範囲の温度で成膜する。続いて、異方性エッチングにより第 1 のシリコン酸化膜および第 2 のシリコン酸化膜をエッチバックすることにより、半導体基板 1 0 1 上且つゲート電極形成膜 1 0 3 a および第 1 の絶縁膜 1 0 4 の側方に設けられた第 1 のサイドウォール膜 4 0 8 と、第 1 のサイドウォール膜 4 0 8 とゲート電極形成膜 1 0 3 a および第 1 の絶縁膜 1 0 4 の側面との間に設けられた第 2 のサイドウォール膜 4 0 7 とをそれぞれ形成する。

40

【 0 0 7 8 】

次いで、図 4 (e)、(f) に示すように、第 1 の絶縁膜 1 0 4、第 1 のサイドウォール膜 4 0 8、および第 2 のサイドウォール膜 4 0 7 をマスクにして所定の条件でイオン注入することにより、高濃度ソース・ドレイン領域 1 0 8 を形成する。その後、半導体基板 1 0 1 の全面に層間絶縁膜 1 0 9 を堆積した後、第 1 の絶縁膜 1 0 4 が露出するまで C M P にて研磨する。

【 0 0 7 9 】

次に、図 4 (g) に示すように、第 1 の絶縁膜 1 0 4 をウェットエッチングにより除去する。この時、ウェットエッチングの溶液としてリン酸を用い、例えば 150 で処理を

50

行う。これにより、窒化シリコン膜からなる第1の絶縁膜104の選択比をゲート電極形成膜103aに対して100以上にすることができるため、選択的に第1の絶縁膜104を除去することができる。

【0080】

続いて、図4(h)に示すように、第2のサイドウォール膜407の上部をウェットエッチングにより、例えばゲート電極形成膜103aの上面と同じ高さになるまで除去する。この時、ウェットエッチングの溶液として、例えばフッ酸(100%)を純水で500倍希釈した溶液を用いる。これにより、第2のサイドウォール膜307の選択比を第1のサイドウォール膜308に対して、3以上にすることができるため、選択的に第2のサイドウォール膜307のみを除去することができる。なお、ここでは、ゲート電極形成膜103aの上面と同じ高さになるように第2のサイドウォール膜407をエッチングしたが、これに限定されるものではなく、第2のサイドウォール膜407の上面がゲート電極形成膜103aの上面よりも高くなっても低くなってもよい。

10

【0081】

次いで、図4(i)、(j)に示すように、半導体基板101の全面に例えばニッケルからなる金属膜112を堆積させる。続いて、短時間の熱処理により、ゲート電極形成膜103aとニッケル(金属膜112)とを反応させることで、ゲート絶縁膜102上にニッケルシリサイドからなるゲート電極303を形成する。その後、未反応で残存しているニッケルをウェットエッチングにより選択的に除去する。次いで、短時間の熱処理を行うことにより、ニッケルシリサイドからなるゲート電極303を低抵抗化する。以後、所定の方法により、本実施形態の金属シリサイド層からなるゲート電極303を備えた半導体装置を製造することができる。

20

【0082】

なお、上述の半導体装置の製造方法で挙げたプロセス条件は一例であり、これに限定されるものではない。

【0083】

本実施形態の半導体装置の製造方法では、図4(g)に示す工程で第1の絶縁膜104を除去した後、図4(h)に示す工程で第2のサイドウォール膜407の上部も除去することができる。これにより、開口部411により均一に金属膜112を堆積させることができるため、実効的なゲート長が短くなった場合でも、熱処理時に金属膜112と多結晶シリコン(ゲート電極形成膜103a)とを効率的に且つムラなく反応させて均一な金属シリサイドからなるゲート電極303を形成することができる。その結果、本実施形態の半導体装置の製造方法では、低抵抗化されたゲート電極を備え、トランジスタの特性不良や品質のばらつきが抑制された半導体装置を作製することが可能となる。

30

【0084】

なお、本実施形態の半導体装置の製造方法では、図4(d)に示す工程において、第1のサイドウォール膜408は第2のサイドウォール膜407よりも高温で形成されることが好ましい。この場合、第1のサイドウォール膜408と第2のサイドウォール膜407とが互いに異なる膜質で形成されるため、図4(h)に示す工程において所定のエッチング条件に設定することで、第2のサイドウォール膜407のみを選択的にエッチングすることが可能となる。

40

【産業上の利用可能性】

【0085】

本発明の半導体装置およびその製造方法は、シリサイド層を有するゲート電極を備えた半導体装置の微細化に有用である。

【図面の簡単な説明】

【0086】

【図1】(a)~(i)は、本発明の第1の実施形態に係る半導体装置の製造方法を示す断面図である。

50

【図2】(a)～(i)は、本発明の第2の実施形態に係る半導体装置の製造方法を示す断面図である。

【図3】(a)～(i)は、本発明の第3の実施形態に係る半導体装置の製造方法を示す断面図である。

【図4】(a)～(j)は、本発明の第4の実施形態に係る半導体装置の製造方法を示す断面図である。

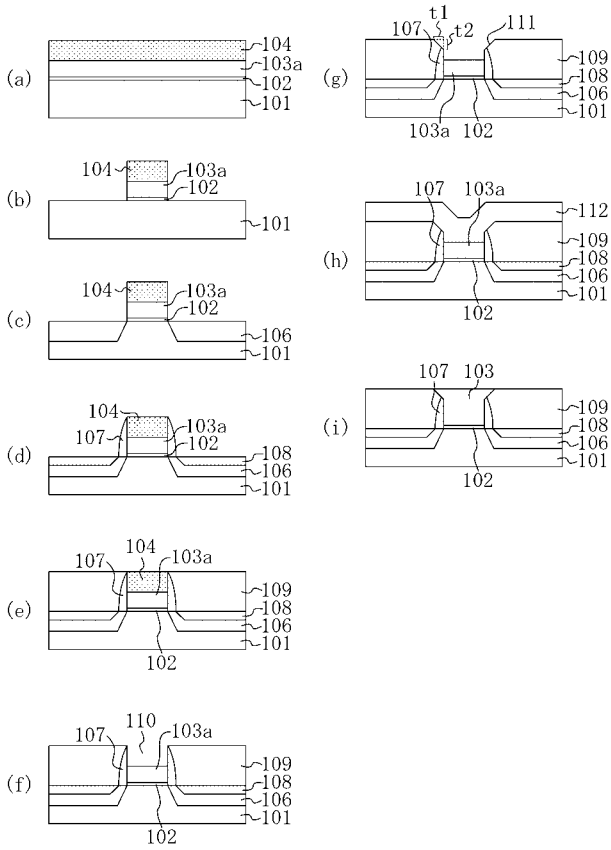
【図5】従来の半導体装置におけるシリサイド層の形成方法を示す断面図である。

【符号の説明】

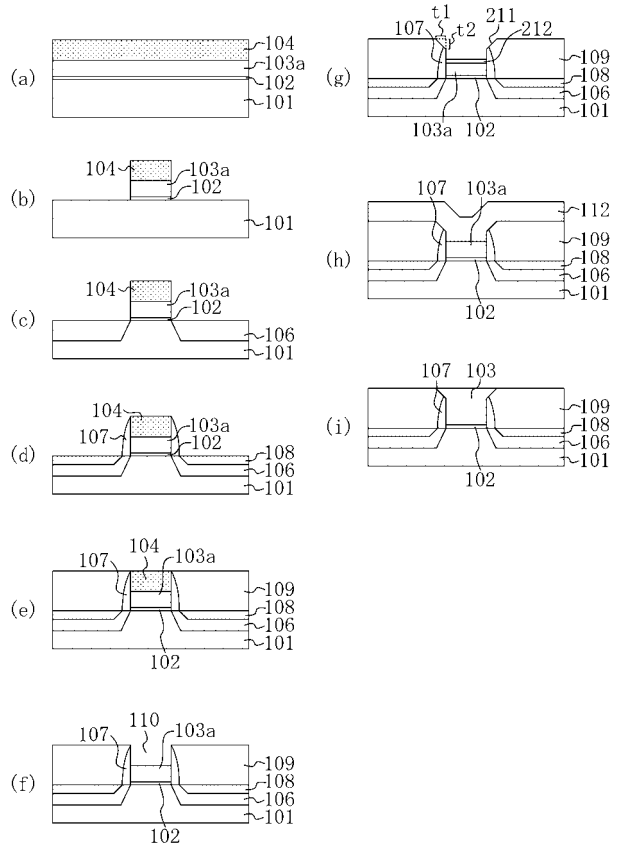
【0087】

1	シリコン基板	10
2	フィールド酸化膜	
3	ゲート酸化膜	
4	ゲート電極	
5	シリコン窒化膜	
6	側壁	
7	拡散層	
8	チタン層	
9、12	チタンシリサイド層	
10	層間絶縁膜	
11	チタン層	20
12	チタンシリサイド層	
101	半導体基板	
102	ゲート絶縁膜	
103	ゲート電極	
103a	ゲート電極形成膜	
104	第1の絶縁膜	
106	低濃度ソース・ドレイン領域	
107	サイドウォール膜	
108	高濃度ソース・ドレイン領域	
109	層間絶縁膜	30
110	開口部	
111	逆テーパ形状	
112	金属膜	
210	開口部	
211	逆テーパ形状	
212	生成物	
307	第2のサイドウォール膜	
308	第1のサイドウォール膜	
311	開口部	
407	第2のサイドウォール膜	40
408	第1のサイドウォール膜	
411	開口部	

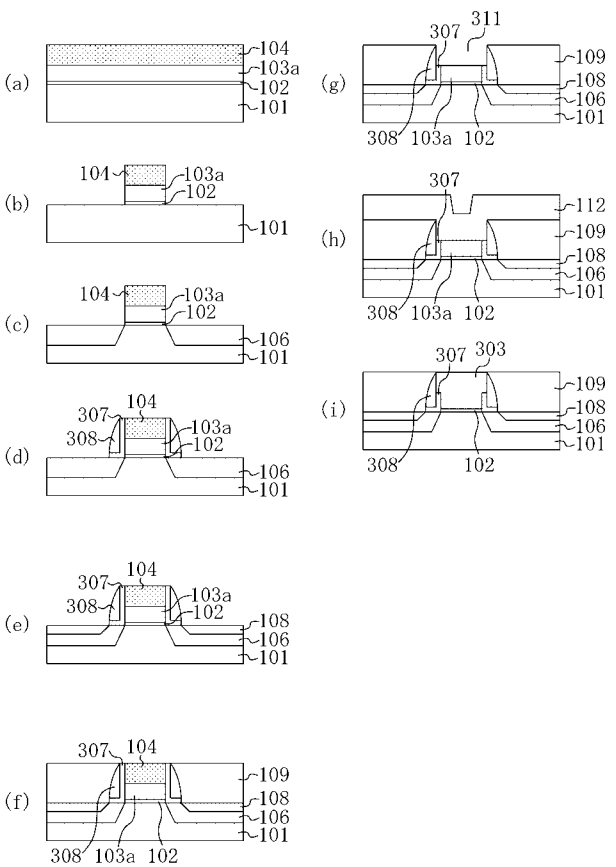
【 図 1 】



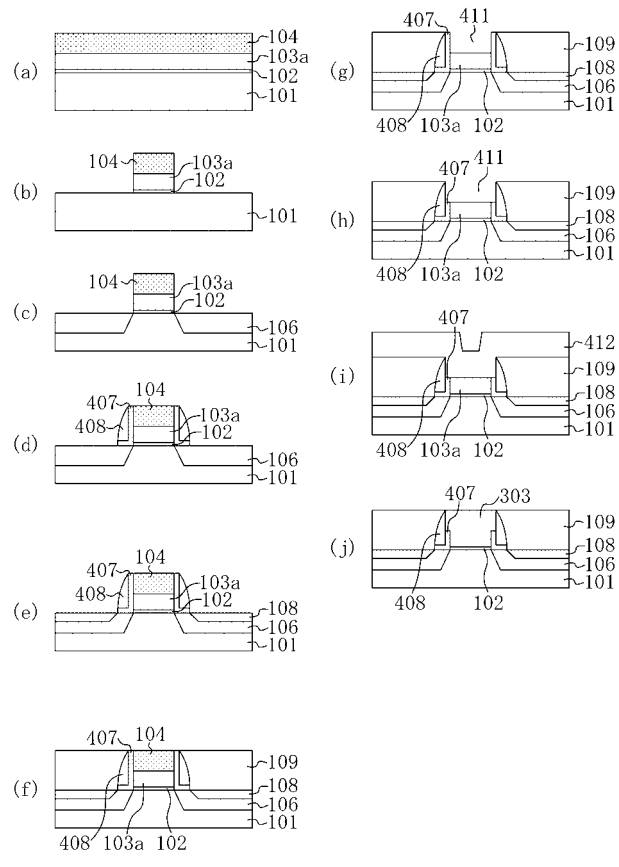
【 図 2 】



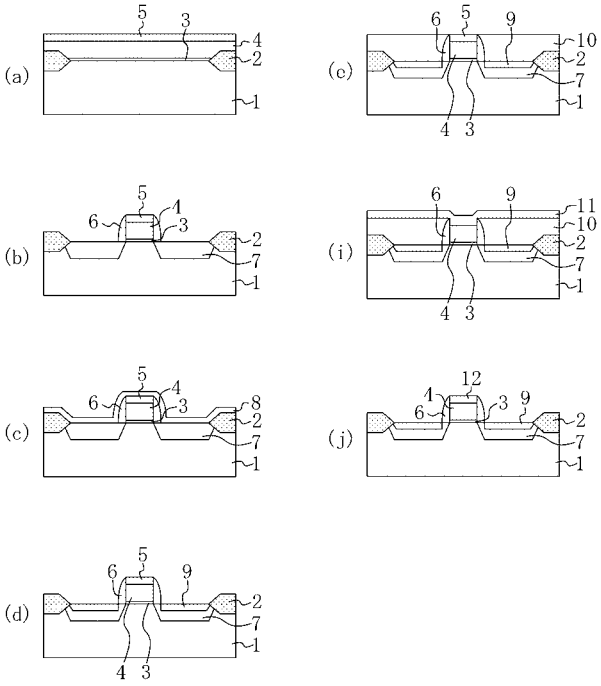
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 興梠 隼人

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 4M104 BB20 BB21 BB22 BB24 BB25 BB26 BB27 BB28 CC05 DD02
DD23 DD78 DD84 EE09 EE15 EE17 FF06 GG09 GG10 GG14
HH13
5F140 AA01 AA39 BA01 BF01 BF08 BF42 BG08 BG09 BG12 BG14
BG22 BG27 BG30 BG34 BG38 BG40 BG44 BG45 BG46 BG51
BG53 BG54 BG56 BG58 BH17 BK02 BK13 CC03 CC12 CE07