(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

(24) 登録日 平成25年7月12日 (2013.7.12)

特許第5309601号

(P5309601)

(45) 発行日 平成25年10月9日(2013.10.9)

(51) Int.Cl.	F I	
HO1L 21/824	7 (2006.01) HOIL	27/10 434
HO1L 27/115	(2006.01) HOIL	27/10 481
HO1L 27/10	(2006.01) HOIL	29/78 371
HO1L 21/336	(2006.01) HOIL	21/76 L
HO1L 29/788	(2006, 01)	
	··	請求項の数 10 (全 37 頁) 最終頁に続く
(21) 出願番号	特願2008-41782 (P2008-41782)	(73)特許権者 308014341
(22) 出願日	平成20年2月22日 (2008.2.22)	富士通セミコンダクター株式会社
(65)公開番号	特開2009-200340 (P2009-200340A)	神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成21年9月3日 (2009.9.3)	23
審査請求日	平成22年9月30日 (2010.9.30)	(74)代理人 100087479
		弁理士 北野 好人
		(72) 発明者 小倉 寿典
		神奈川県川崎市中原区上小田中4丁目1番
		1号 富士通株式会社内
		(72)発明者 小倉 輝
		神奈川県川崎市中原区上小田中4丁目1番
		1号 富士通株式会社内
		(72) 発明者 兒嶋 秀之
		神奈川県川崎市中原区上小田中4丁目1番
		最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

- (57)【特許請求の範囲】
- 【請求項1】

半導体基板の表面に、活性領域を画定する素子分離領域を形成する工程と、

前記素子分離領域が形成された前記半導体基板上に、<u>酸素を含む</u>第1の絶縁膜を形成する工程と、

前記第1の絶縁膜が形成された前記半導体基板上に、<u>窒素を含む</u>第2の絶縁膜を形成する工程と、

<u>前</u>記活性領域と前記素子分離領域との境界を含む第1の領域に形成された前記第2の絶縁膜を、フルオロカーボン系のエッチングガスを用いたドライエッチングにより除去する 工程と、

10

酸素を含む雰囲気に曝すことにより、前記ドライエッチングの際に前記第1の絶縁膜上 に付着したフルオロカーボン膜を除去する工程と、

<u>前記フルオロカーボン膜を除去した後、</u>前記第1の領域に形成された前記第1の絶縁膜 を、ウェットエッチングにより除去する工程と

を有し、

<u>前記第2の絶縁膜に対する前記ドライエッチングのエッチングレートは、前記第1の絶</u> 縁膜に対する前記ドライエッチングのエッチングレートより高い

ことを特徴とする半導体装置の製造方法。

【請求項2】

請求項1記載の半導体装置の製造方法において、

前記フルオロカーボン膜を除去する工程では、アルゴンガスと酸素ガスとを含む混合ガ スを用いた反応性イオンエッチングにより、前記フルオロカーボン膜を除去する	
ことを特徴とする半導体装置の製造方法。	
【請求項3】	
請求項2記載の半導体装置の製造方法において、	
前記酸素ガスの流量は、プロセスガスの総流量に対して、0.5~25%である	
ことを特徴とする半導体装置の製造方法。	
【請求項4】	
請求項2又は3記載の半導体装置の製造方法において、	
前記第2の絶縁膜を除去する工程と、前記フルオロカーボン膜を除去する工程は、同一	10
の処理室内で連続して行う	
ことを特徴とする半導体装置の製造方法。	
【請求項 5 】	
請求項1記載の半導体装置の製造方法において、	
前記フルオロカーボン膜を除去するエ程では、 C F ₄ ガスと酸素ガスとを含む混合ガス	
を用いたケミカルドライエッチングにより、前記フルオロカーボン膜を除去する	
ことを特徴とする半導体装置の製造方法。	
【請求項6】	
請求項5記載の半導体装置の製造方法において、	
前記CF₄ガスの流量は、プロセスガスの総流量に対して、0.05~10%である	20
ことを特徴とする半導体装置の製造方法。	
【請求項7】	
請求項1乃至6のいずれか1項に記載の半導体装置の製造方法において、	
前記素子分離領域を形成する工程の後、前記第1の絶縁膜を形成する工程の前に、前記	
素子分離領域を構成する第3の絶縁膜の上部をエッチングする工程を更に有し、	
前記第1の絶縁膜の形成の際、前記活性領域と前記素子分離領域との前記境界近傍の前	
記素子分離領域に、前記活性領域の表面よりも窪んだ窪みが形成されている	
ことを特徴とする半導体装置の製造方法。	
	20
請氷頃1乃至/のいすれか1頃に記載の半導体装直の製造万法において、	30
前記弗一の領域とは異なる弗2の領域内の活性領域に、前記弗一の絶縁膜及び前記第2	
の紀縁膜を有りる个揮ヂスセリトフノンスタを形成りる上柱を更に有りる	
ことを特徴とりる干導体装直の製造力法。	
【請氷垻9】	
請氷頃 8 記載の干導体表直の哭泣力法にあいて、 前記表乙公離傾城を形式オスエ程の後、前記第 1 の絶録階を形式オスエ程の前に、前記	
前記系丁ガ離領域を形成する工程の後、前記第1の紀縁族を形成する工程の前に、前記	
第2の領域内の削む活性領域上にトノネル総修使を形成する工程と、削むトノネル総修展 トロー前記第2の領域にフローニィングゲートを形式する工程とを	
上に、前記第2の視域にノローナイノングードを形成する工作とを、	
前記第一の絶縁族を味云する工程の後に、前記第一の絶縁族及び前記第2の絶縁族を介 して前記フローティングゲートとにコントロールゲートを形成する工程を一再に有し	40
して前記フローティングゲートと前記コントロールゲートとたちするフタックゲート構造の	40
前記ノローナイングゲートと前記コンドロールゲードとを有するスタッグゲード構造の 前記不堪発くモリトランジュ々な形式する	
前記小理光スモリドノノシスタを形成することを特徴とする半道体装置の制造方法	
■ 3.2 · 2 ▲ 請求頂 8 記載の半導体装置の製造方法において	
前記第1の絶縁膜を除去する工程の後に、前記第1の絶縁膜及7が前記第2の絶縁時を企	
してコントロールゲートを形成する工程を更に有し	
前記第1の絶縁膜及び前記第2の絶縁膜を雷荷蓄積層とする単層ゲート構造の前記不揮	
発メモリトランジスタを形成する	

(2)

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、半導体装置の製造方法に係り、特に、不揮発性メモリを混載したロジック半 導体装置の製造方法に関する。

【背景技術】

【0002】

不揮発性半導体メモリを混載したロジック半導体装置は、CPLD(Complex Programm able Logic Device)、FPGA(Field Programmable Gate Array)といった製品分野を 形成し、そのプログラマブルという特徴により大きな市場を形成するに至っている。 【0003】

不揮発性メモリを混載したロジック半導体装置では、フラッシュメモリセルのほか、フ ラッシュメモリ制御のための高電圧トランジスタや、高性能ロジック回路のための低電圧 トランジスタが、同一半導体チップ上に集積される。ここで、フラッシュメモリセルは、 高電圧トランジスタや低電圧トランジスタにおける単層構造のゲート電極とは異なり、フ ローティングゲートとコントロールゲートとが積層されてなるスタック構造のゲート電極 を有する。

[0004]

通常、スタックゲート構造からなるフラッシュメモリセルのゲート電極は、フローティ ングゲートを第1層目の導電膜により形成し、コントロールゲートを第2層目の導電膜に より形成する。単層ゲート構造からなる周辺トランジスタのゲート電極は、第2層目の導 電膜により形成する。また、フローティングゲートとコントロールゲートとの間には、こ れら電極間を絶縁して容量結合するためのゲート間絶縁膜が形成されている。このゲート 間絶縁膜は、典型的にはシリコン酸化膜とシリコン窒化膜との積層膜(例えばONO膜) により構成され、周辺トランジスタ領域には形成されない。このため、不揮発性メモリを 混載したロジック半導体装置の製造プロセスでは、第2層目の導電膜の堆積前に、周辺ト ランジスタ形成領域のゲート間絶縁膜を除去する工程が必要である。

【 0 0 0 5 】

また、不揮発性メモリとしては、上記フラッシュメモリのほか、絶縁膜(例えば、ON O膜)を電荷蓄積層とした単層ゲート構造の不揮発性メモリが知られている。この不揮発 性メモリの場合にも、ゲート電極の形成前に、周辺トランジスタ形成領域の電荷蓄積層を 除去する必要がある。不揮発性メモリの制御に用いられる高電圧トランジスタの形成は、 上述のフラッシュメモリの場合と同様の製造プロセスにより行われていた。

【特許文献1】特開平02-244628号公報

【特許文献 2】M. Hayashi et al., "Desorption species from fluorocarbon film by A r+ ion beam bombardment", J. Vac. Sci. Technol. A, VOI. 18, No. 4, Jul/Aug 2000, pp. 1881-1886

【発明の開示】

【発明が解決しようとする課題】

[0006]

40

10

20

30

しかしながら、不揮発性メモリを混載したロジック半導体装置の製造プロセスについて 本願発明者等が検討を行ったところ、上述のプロセスにより製造した半導体装置において 、周辺トランジスタのゲート絶縁膜の絶縁耐圧が低下する不具合が生じることが判明した

[0007]

本発明の目的は、不揮発性メモリを混載したロジック半導体装置において、周辺トラン ジスタのゲート絶縁膜の絶縁耐圧低下を防止しうる半導体装置の製造方法を提供すること にある。

【課題を解決するための手段】

[0008]

本発明の一観点によれば、半導体基板の表面に、活性領域を画定する素子分離領域を形 成する工程と、前記素子分離領域が形成された前記半導体基板上に、酸素を含む第1の絶 縁膜を形成する工程と、前記第1の絶縁膜が形成された前記半導体基板上に、窒素を含む 第2の絶縁膜を形成する工程と、前記活性領域と前記素子分離領域との境界を含む第1の 領域に形成された前記第2の絶縁膜を、フルオロカーボン系のエッチングガスを用いたド ライエッチングにより除去する工程と、酸素を含む雰囲気に曝すことにより、前記ドライ エッチングの際に前記第1の絶縁膜上に付着したフルオロカーボン膜を除去する工程と、 前記フルオロカーボン膜を除去した後、前記第1の領域に形成された前記第1の絶縁膜を 、ウェットエッチングにより除去する工程とを有し、前記第2の絶縁膜に対する前記ドラ イエッチングのエッチングレートは、前記第1の絶縁膜に対する前記ドライエッチングの エッチングレートより高い半導体装置の製造方法が提供される。

(4)

【発明の効果】

[0009]

本発明によれば、不揮発性メモリを混載したロジック半導体装置の製造方法において、 周辺回路領域に形成されたゲート間絶縁膜又は電荷蓄積層を除去する過程において、上層 部を除去した後、上層部除去の際に表面に付着したフルオロカーボン膜を除去し、その後 に下層部を除去するので、素子分離膜縁部の窪みの形状が変化することを防止することが できる。これにより、素子分離膜端部における電界集中が防止され、周辺トランジスタの ゲート絶縁膜の絶縁耐圧劣化を防止することができる。これにより、半導体装置の製造歩 留まりを向上することができ、ひいては製造コストを削減することができる。

【発明を実施するための最良の形態】

[0010]

「第1実施形態]

本発明の第1実施形態による半導体装置の製造方法について図1乃至図31を用いて説 明する。

[0011]

図1は本実施形態による半導体装置の構造を示す平面図、図2は本実施形態による半導 体装置の構造を示す概略断面図、図3乃至図28は本実施形態による半導体装置の製造方 法を示す工程断面図、図29はONO膜の除去過程におけるフルオロカーボン膜の影響を 説明する図、図30はフルオロカーボン膜を除去する工程を行っていない試料と行った試 料とにおける素子分離膜端部の断面形状を示すTEM像、図31は高電圧トランジスタの ゲート電極に逆バイアスを印加したときのゲート絶縁膜耐圧を示すグラフである。

[0012]

はじめに、本実施形態による半導体装置の構造について図1及び図2を用いて説明する
 ・図2(a)は図1のA-A 線に沿った概略断面図であり、図2(b)は図1のB-B
 線に沿った概略断面図である。

[0013]

本実施形態による半導体装置は、スタックゲート構造の不揮発メモリトランジスタを混 載したロジック半導体装置である。図1に示すように、不揮発メモリトランジスタ(F1 ash)がマトリクス状に形成されたメモリセル領域と、論理回路を構成するロジックト ランジスタや不揮発メモリトランジスタの駆動用の高耐圧トランジスタなどの種々の周辺 トランジスタが形成された周辺回路領域を有している。本実施形態では、周辺トランジス タとして、高速ロジック回路を構成する低電圧トランジスタ(LV-Tr)と、入出力回 路を構成する中電圧トランジスタ(MV-Tr)と、不揮発メモリトランジスタを制御す るための高電圧トランジスタ(HV‐Tr)を有しているものとする。

[0014]

不揮発メモリトランジスタ(F1ash)は、図1及び図2に示すように、シリコン基 板10上にトンネル絶縁膜34を介して形成されたフローティングゲート68と、フロー ティングゲート68上にONO膜42を介して形成され、ワード線を兼ねるコントロール

30

20

10

10

30

ゲート70と、コントロールゲート70の両側のシリコン基板10内に形成されたソース

低電圧トランジスタ(LV-Tr)は、図1及び図2に示すように、シリコン基板10 上にゲート絶縁膜54を介して形成されたゲート電極84と、ゲート電極84の両側のシ リコン基板10内に形成されたソース / ドレイン領域96とを有している。 【0016】

中電圧トランジスタ(MV-Tr)は、図1及び図2に示すように、シリコン基板10 上にゲート絶縁膜56を介して形成されたゲート電極84と、ゲート電極84の両側のシ リコン基板10内に形成されたソース / ドレイン領域96とを有している。

【 0 0 1 7 】

高電圧トランジスタ(HV-Tr)は、図1及び図2に示すように、シリコン基板10 上にゲート絶縁膜58を介して形成されたゲート電極84と、ゲート電極84の両側のシ リコン基板10内に形成されたソース / ドレイン領域96とを有している。

[0018]

周辺トランジスタのゲート絶縁膜は、各トランジスタの耐圧に応じて、ゲート絶縁膜5 4、ゲート絶縁膜56、ゲート絶縁膜58の順に厚くなっている。

【0019】

なお、本実施形態では、低電圧トランジスタ(LV-Tr)、中電圧トランジスタ(M V-Tr)及び高電圧トランジスタ(HV-Tr)をそれぞれ1つずつしか示していない ²⁰ が、実際には、それぞれに導電型の異なるN型及びP型のトランジスタが含まれる。また 、閾値電圧の異なる複数のトランジスタを用いることもある。

[0020]

次に、本実施形態による半導体装置の製造方法について図3乃至図28を用いて説明する。各図面において、(a)は周辺回路領域の工程断面図(図1のA-A 線断面に相当)であり、(b)はメモリセル領域の工程断面図(図2のB-B 線断面に相当)である

[0021**]**

まず、例えば熱酸化法により、シリコン基板10の表面を熱酸化し、例えば膜厚8~1 6 nm程度のシリコン酸化膜12を形成する。

【0022】

次いで、シリコン酸化膜12上に、例えば700~900 の温度の熱CVD(Chemic al Vapor Deposition)法により、例えば膜厚55~130nmのシリコン窒化膜14を 形成する。

【0023】

次いで、シリコン窒化膜14上に、例えば550~680の温度の熱CVD法により、例えば膜厚60~120nmのポリシリコン膜16を形成する。

【0024】

次いで、ポリシリコン膜16上に、スピンコート法により、BARC(Bottom Anti-Re flective Coating) 膜18とフォトレジスト膜20とを形成する。 40

【0025】

次いで、フォトリソグラフィにより、フォトレジスト膜20に、素子分離膜の形成予定 領域を露出する開口部を形成する(図3(a)、図3(b))。

【0026】

次いで、フォトレジスト膜20をマスクとして、ドライエッチングにより、BARC膜 18、ポリシリコン膜16及びシリコン窒化膜14をパターニングし、フォトレジスト膜 20のパターンをポリシリコン膜16及びシリコン窒化膜14に転写する(図4(a)、 図4(b))。

【0027】

なお、ポリシリコン膜16は、シリコン窒化膜14をパターニングする際にハードマス 50

(5)

クとして用いる膜である。シリコン窒化膜14のパターニングをフォトレジスト膜20だ けで十分に行える場合には、必ずしもポリシリコン膜16を形成する必要はない。 【0028】

次いで、アッシング及びその後の後処理により、ポリシリコン膜16上に残存するBA RC膜18及びフォトレジスト膜20を除去する(図5(a)、図5(b))。 【0029】

次いで、パターニングしたポリシリコン膜16及びシリコン窒化膜14をマスクとして、シリコン酸化膜12及びシリコン基板10をエッチングし、シリコン基板10に、素子分離用のトレンチ22を形成する(図6(a)、図6(b))。なお、ポリシリコン膜16は、シリコン基板10のエッチングとともに除去される。

【0030】

次いで、必要に応じて適切な後処理を行い、半導体基板10の表面に付着したエッチン グによる副生成物を除去する。

【0031】

次いで、例えば熱酸化法により、シリコン窒化膜14をマスクとしてシリコン基板10 を熱酸化し、トレンチ22の内面に、例えば膜厚1~18nmのシリコン酸化膜24を形 成する。

【0032】

次いで、全面に、例えば250~600 の温度のHDP(High Density Plasma)C VD法により、例えば膜厚250~750nmのシリコン酸化膜26を形成する(図7(²⁰ a)、図7(b))。これにより、トレンチ22内はシリコン酸化膜26によって完全に 埋め込まれる。

【0033】

次いで、CMP(Chemical Mechanical Polishing)法により、シリコン窒化膜14の 表面が露出するまでシリコン酸化膜26の表面を研磨し、表面を平坦化する。これにより 、シリコン酸化膜24,26よりなる素子分離膜28を形成する(図8(a)、図8(b))。これにより、シリコン基板10の表面には、素子分離膜28により画定された複数 の活性領域が形成される。

【0034】

次いで、適切な後処理により、CMPのスラリーを除去する。

【 0 0 3 5 】

次いで、窒素雰囲気中で、例えば800~1100 の温度で熱処理を行う。

[0036]

次いで、全面に、スピンコート法によりフォトレジスト膜30を形成した後、フォトリ ソグラフィによりフォトレジスト膜30パターニングする。これにより、周辺回路領域を 覆いメモリセル領域を露出するフォトレジスト膜30を形成する。

【0037】

次いで、フォトレジスト膜30をマスクとして、例えば弗酸水溶液を用いたウェットエッチングにより、素子分離膜28の上面を例えば10~80nm程度エッチングする(図9(a)、図9(b))。

【0038】

次いで、例えば純水により10:1~200:1程度に希釈された弗酸水溶液によりウェットエッチングを行い、シリコン窒化膜14上の自然酸化膜(図示せず)を除去する。 【0039】

次いで、例えば130の燐酸水溶液によりウェットエッチングを行い、シリコン窒化 膜14を除去する。

【0040】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、シリコン酸化膜12を 除去する。

【0041】

30

40

次いで、例えば熱酸化法により、シリコン基板10の表面に、例えば膜厚8~16nm のシリコン酸化膜を形成する。これにより、シリコン酸化膜よりなるイオン注入用の犠牲 酸化膜32を形成する(図10(a)、図10(b))。

【0042】

次いで、フォトリソグラフィ及びイオン注入により、メモリセル領域及び高電圧トランジスタ形成領域に所定のウェル(図示せず)を形成する。例えば、メモリセル領域及びN型高電圧トランジスタ形成領域にはN型ウェル内にP型ウェルが形成された二重ウェルを形成し、P型高電圧トランジスタ形成領域にはN型ウェルを形成する。N型ウェルは、例えば燐イオンを、加速エネルギーを例えば300~500keV、ドーズ量を例えば1×10¹⁴ cm²の条件でイオン注入することにより形成する。P型ウェルは、例えばボロンイオンを、加速エネルギーを例えば100~350keV、ドーズ量を例えば1×10¹⁵ cm²の条件でイオン注入することにより形成する。二重ウェルの底部のN型埋め込み層は、例えば燐イオンを、加速エネルギーを例えば 1.6~2.6MeV、ドーズ量を例えば2×10¹¹~2×10¹⁵ cm²の条件で イオン注入することにより形成する。

【0043】

次いで、窒素雰囲気中で、例えば900~1200 の温度で1~15秒間の熱処理を 行い、注入した不純物を活性化する。

[0044]

次いで、例えば純水により10:1~200:1程度に希釈された弗酸水溶液によりウ ²⁰ ェットエッチングを行い、犠牲酸化膜32を除去する。

【0045】

なお、素子分離膜28は、シリコン酸化膜12や犠牲酸化膜32の除去工程などにおい て徐々に膜減りする。これにより、犠牲酸化膜32を除去した後には、素子分離膜28と 活性領域との境目に、活性領域表面より窪んだ窪みが形成されている。

[0046]

次いで、シリコン基板10の表面に、例えば膜厚3~15nmのシリコン酸化膜よりな るトンネル絶縁膜34を形成する(図11(a)、図11(b))。トンネル絶縁膜34 は、例えば300~550の温度でのラジカル酸化、例えば850~1100の温度 での熱酸化等により形成する。

【0047】

次いで、全面に、例えばCVD法により、例えば膜厚が50~100nmであり、例えば0.2~10×10¹⁹ cm⁻³の濃度で燐を含有したアモルファスシリコン膜36を 形成する(図12(a)、図12(b))。アモルファスシリコン膜36は、フローティ ングゲートとなる膜である。

【0048】

次いで、アモルファスシリコン膜36上に、スピンコート法により、BARC (Bottom Anti-Reflective Coating) 膜38とフォトレジスト膜40とを形成する。

【0049】 次いで、フォトリソグラフィにより、フォトレジスト膜40に、周辺回路領域と、メモ リセル領域内の所定領域を露出する開口部を形成する(図13(a)、図13(b))。 メモリセル領域内の所定領域は、ワード線(コントロールゲート)の形成領域と素子分離 領域とが重なる領域であり、ワード線の延在方向にフローティングゲートを分離するため

40

30

10

の領域に相当する。 【0050】

次いで、フォトレジスト膜40をマスクとして、例えば誘導結合型プラズマエッチング 装置を用いた異方性エッチングにより、アモルファスシリコン膜36をパターニングする (図14(a)、図14(b))。

【0051】

次いで、アッシング及びその後の後処理により、アモルファスシリコン膜36上に残存 50

【0052】

次いで、全面に、シリコン酸化膜 / シリコン窒化膜 / シリコン酸化膜の積層構造よりな るONO膜42を形成する(図15(a)、図15(b))。ONO膜42は、フローテ ィングゲートとコントロールゲートとを絶縁し容量結合するための膜である。ONO膜4 2は、例えば500~900の温度の熱CVD法により例えば膜厚3~5 nmのシリコ ン酸化膜(ボトム酸化膜)を形成し、例えば300~900の温度の熱CVD法により 例えば膜厚5~10 nmのシリコン窒化膜を形成した後、例えば800~1100の温 度の熱酸化によりシリコン窒化膜を3~8 nm程度酸化してシリコン酸化膜(トップ酸化 膜)を形成することにより、形成する。

【0053】

次いで、フォトリソグラフィ及びイオン注入により、低電圧トランジスタ形成領域及び 中電圧トランジスタ形成領域に所定のウェル(図示せず)を形成する。例えば、N型低電 圧トランジスタ形成領域及びN型中電圧トランジスタ形成領域にP型ウェルを形成し、P 型低電圧トランジスタ形成領域及びP型中電圧トランジスタ形成領域にN型ウェルを形成 する。

[0054]

次いで、全面に、スピンコート法によりフォトレジスト膜44を形成した後、フォトリ ソグラフィによりフォトレジスト膜44パターニングする。これにより、周辺回路領域を 露出しメモリセル領域を覆うフォトレジスト膜44を形成する。

[0055]

次いで、フォトレジスト膜44をマスクとして、例えばマグネトロン反応性イオンエッ チング(RIE)装置を用いたドライエッチングにより、ONO膜42のトップ酸化膜及 び中間層のシリコン窒化膜をエッチングする。

【0056】

ONO膜42を形成する各々の膜厚は、10nm以下と極めて薄い。また、活性領域と 素子分離膜との境目には窪みが形成されているため、窪み(傾斜部)に形成された膜を除 去するために、オーバーエッチング量を程度300%以上に増加する必要がある。このた め、ONO膜42の各々の膜をエッチングする際には、下地に対する選択比を十分に確保 する必要がある。

【 0 0 5 7 】

かかる観点から、トップ酸化膜のエッチングには、例えばエッチングガスにC₄ F₈、 C₄ F₆、Ar、O₂のいずれかの組み合わせとなる混合ガスを用い、下地のシリコン窒 化膜に対して選択比が6.0程度以上となる条件を用いる。また、中間層のシリコン窒化 膜のエッチングには、CH₃ F、Ar、O₂のいずれかの組み合わせとなる混合ガスを用 い、下地のボトム酸化膜に対して選択比が9.0程度以上となる条件を用いる。 【0058】

フルオロカーボン系のエッチングガスを用いた上記エッチング条件では、エッチングに 伴い、副生成物であるフルオロカーボン膜が、基板の表面に付着する。

【0059】

次いで、基板の表面に付着したフルオロカーボン膜を、以下のいずれかの方法で除去する。

[0060]

第1の方法は、マグネトロンRIE装置を用い、アルゴンガスと酸素ガスとの混合ガス のプラズマに基板を曝すことにより、フルオロカーボン膜を除去する方法である。エッチ ングの副生成物であるフルオロカーボンにアルゴンビームを照射すると、フッ素が抜けて カーボンリッチの膜となる。この膜に酸素が作用することで、フルオロカーボン膜を除去 することができる。この方法は、ONO膜42のトップ酸化膜及びシリコン窒化膜のエッ チングに引き続き、同一装置内で処理を行うことができるというメリットがある。 【0061】 40

20

10

具体的な条件としては、例えば、RFパワーが100~300W、圧力が40~100 MTorr、プロセスガスの総流量が100~600sccm、ガスの混合比Ar:O₂ が100:1~100:15、電極温度が50、処理時間が10~60秒である。 【0062】

なお、酸素ガスの添加量は、プロセスガスの総流量に対して、0.5%~25%の範囲 、好ましくは0.5%~10%程度の範囲に設定することが望ましい。酸素の添加量が0 .5%よりも低いとフルオロカーボン膜の除去効果が十分に得られず、酸素の添加量が2 5%を超えるとフォトレジスト膜44のアッシングが顕著となるからである。フォトレジ スト膜44は、後述のボトム酸化膜を除去する際のウェットエッチング工程でもマスク膜 として用いるため、フルオロカーボン膜の除去後もウェットエッチングに耐えうる膜厚が 残っている必要がある。

【0063】

第2の方法は、ダウンフローエッチング装置を用い、酸素ガス、CF₄ガス及びフォー ミングガス(水素3%と窒素97%の混合ガス。以下、「FG」とも表現する。)の混合 ガスを用いたケミカルドライエッチングにより、フルオロカーボン膜を除去する方法であ る。CF₄ガスは、フルオロカーボン膜に対する酸素ラジカルの反応性を高め、フルオロ カーボン膜のエッチングを促進する役割を担うものである。また、フォーミングガスは、 酸素ラジカルの寿命を長くする役割を担うものである。

【0064】

具体的な条件としては、例えば、マイクロ波パワーが800~1100W、圧力が15 20 0~300Pa、プロセスガスの総流量が1200~2000sccm、ガスの混合比O ₂:CF₄:FGが617:374:1~61:38:1、処理時間が10~33秒であ る。

[0065]

なお、CF₄ガスの添加量は、プロセスガスの総流量に対して、0.05%~3%の範囲、好ましくは0.1%~1%程度に設定することが望ましい。CF₄ガスの添加量が0.05%よりも低いと酸素ラジカルの反応性が低すぎてフルオロカーボン膜の除去効果が 十分に得られず、CF₄ガスの添加量3%を超えると酸素ラジカルの反応性が高くなりす ぎフォトレジスト膜44のアッシングが顕著となるからである。

【0066】

フルオロカーボン膜を除去する工程の目的及び効果については、後述する。 【0067】

次いで、フォトレジスト膜44をマスクとして、例えば純水により100:1~200 :1程度に希釈された弗酸水溶液によりウェットエッチングを行い、ONO膜42のボト ム酸化膜及びトンネル絶縁膜34を除去する(図16(a)、図16(b))。

【0068】

次いで、アッシング及びその後の後処理により、フォトレジスト膜44を除去する。 【0069】

次いで、例えば熱酸化法により、周辺回路領域のシリコン基板10の表面に、例えば膜 厚3~20nmのシリコン酸化膜46を形成する(図17(a)、図17(b))。 【0070】

次いで、全面に、スピンコート法によりフォトレジスト膜48を形成した後、フォトリ ソグラフィによりフォトレジスト膜48パターニングする。これにより、低電圧トランジ スタ形成領域及び中電圧トランジスタ形成領域を露出し、高電圧トランジスタ形成領域及 びメモリセル領域を覆うフォトレジスト膜48を形成する。

【0071】

次いで、フォトレジスト膜48をマスクとして、例えば純水により100:1~200 :1程度に希釈された弗酸水溶液によりウェットエッチングを行い、低電圧トランジスタ 形成領域及び中電圧トランジスタ形成領域のシリコン酸化膜46を選択的に除去する(図 18(a)、図18(b))。 10

[0072]

次いで、アッシング及びその後の後処理により、フォトレジスト膜48を除去する。 【0073】

次いで、シリコン基板10を熱酸化し、低電圧トランジスタ形成領域及び中電圧トラン ジスタ形成領域に、例えば膜厚1~12nmのシリコン酸化膜50を形成する(図19(a)、図19(b))。この際、シリコン酸化膜46は、追加酸化されて膜厚が増加する

【0074】

次いで、全面に、スピンコート法によりフォトレジスト膜52を形成した後、フォトリ ソグラフィによりフォトレジスト膜52パターニングする。これにより、低電圧トランジ ¹⁰ スタ形成領域を露出し、中電圧トランジスタ形成領域、高電圧トランジスタ形成領域及び メモリセル領域を覆うフォトレジスト膜52を形成する。

【0075】

次いで、フォトレジスト膜52をマスクとして、例えば純水により100:1~200 :1程度に希釈された弗酸水溶液によりウェットエッチングを行い、低電圧トランジスタ 形成領域のシリコン酸化膜50を選択的に除去する(図20(a)、図20(b))。 【0076】

次いで、アッシング及びその後の後処理により、フォトレジスト膜52を除去する。 【0077】

次いで、シリコン基板10を熱酸化し、低電圧トランジスタ形成領域に、例えば膜厚1 20 ~3nmのシリコン酸化膜よりなるゲート絶縁膜54を形成する。この際、中電圧トラン ジスタ形成領域では、シリコン酸化膜50が追加酸化され、例えば膜厚2~15nmのシ リコン酸化膜よりなるゲート絶縁膜56が形成される。また、高電圧トランジスタ形成領 域では、シリコン酸化膜46が更に追加酸化され、例えば膜厚5~35nmのシリコン酸 化膜よりなるゲート絶縁膜58が形成される。こうして、低電圧トランジスタ形成領域、 中電圧トランジスタ形成領域及び高電圧トランジスタ形成領域に、互いに膜厚の異なる3 種類のゲート絶縁膜52,54,56を形成する(図21(a)、図21(b))。

【0078】

次いで、全面に、例えばCVD法により、例えば膜厚50~110nmのポリシリコン 膜60を形成する。

【0079】

次いで、ポリシリコン膜60上に、例えばCVD法により、例えば最表面に3nm以下の酸化膜が形成された膜厚10~40nmのシリコン窒化膜62を形成する。

[0080]

次いで、シリコン窒化膜 6 2 上に、スピンコート法により、 B A R C 膜 6 4 とフォトレ ジスト膜 6 6 とを形成する。

 $\begin{bmatrix} 0 & 0 & 8 & 1 \end{bmatrix}$

次いで、フォトリソグラフィによりフォトレジスト膜66をパターニングし、周辺回路 領域及びメモリセル領域のコントロールゲート形成領域を覆うフォトレジスト膜66を形 成する(図22(a)、図22(b))。

【0082】

次いで、フォトレジスト膜66をマスクとして、例えば誘導結合型プラズマエッチング 装置を用いた異方性エッチングにより、BARC膜64、シリコン窒化膜62、ポリシリ コン膜60、ONO膜42及びアモルファスシリコン膜36をパターニングし、メモリセ ル領域に、アモルファスシリコン膜36よりなるフローティングゲート68と、ポリシリ コン膜60よりなるコントロールゲート70とを形成する。

【0083】

次いで、アッシング及びその後の後処理により、シリコン窒化膜62上に残存するBA RC膜64及びフォトレジスト膜66を除去する(図23(a)、図23(b))。 【0084】

50

30

次いで、熱酸化法により、フローティングゲート68及びコントロールゲート70の側 壁部分に、シリコン酸化膜よりなる側壁絶縁膜72を形成する。 [0085]次いで、コントロールゲート70をマスクとしてイオン注入を行い、コントロールゲー ト70の両側のシリコン基板10内に、不純物拡散領域74を形成する。 [0086]次いで、全面に、例えば熱CVD法により、例えば膜厚30~150nmのシリコン窒 化膜76を形成する(図24(a)、図24(b))。 [0087]10 次いで、ドライエッチングにより、ポリシリコン膜60及びコントロールゲート70の 上面が露出するまでシリコン窒化膜76,62を異方性エッチングし、側壁絶縁膜72が 形成されたフローティングゲート68及びコントロールゲート70の側壁部分に、シリコ ン窒化膜76よりなる側壁絶縁膜78を形成する(図25(a)、図25(b))。 [0088]次いで、全面に、例えば熱CVD法により、例えば膜厚15~40nmのシリコン酸化 膜80を形成する。シリコン酸化膜80は、後工程でポリシリコン膜60のパターニング の際にハードマスクとして用いる膜である。 [0089]次いで、シリコン酸化膜80上に、スピンコート法により、BARC膜82とフォトレ ジスト膜84とを形成する。 $\begin{bmatrix} 0 & 0 & 9 & 0 \end{bmatrix}$ 次いで、フォトリソグラフィによりフォトレジスト膜84をパターニングし、メモリセ ル領域及び周辺トランジスタ(低電圧トランジスタ、中電圧トランジスタ及び高電圧トラ ンジスタ)のゲート電極形成領域を覆うフォトレジスト膜84を形成する(図26(a) 、図26(b))。 [0091]次いで、フォトレジスト膜84をマスクとして、例えば誘導結合型プラズマエッチング 装置を用いた異方性エッチングにより、BARC膜82、シリコン酸化膜80及びポリシ リコン膜60をパターニングし、周辺回路領域に、ポリシリコン膜60よりなるゲート電 極86を形成する。 [0092]次いで、アッシング及びその後の後処理により、シリコン酸化膜80上に残存するBA RC膜82及びフォトレジスト膜84を除去する。 [0093]次いで、例えば弗酸水溶液を用いたウェットエッチングにより、シリコン酸化膜80を 除去する。 [0094]次いで、ゲート電極86をマスクとしてイオン注入を行い、ゲート電極86の両側のシ リコン基板10内に、不純物拡散領域88を形成する(図27(a)、図27(b))。 [0095]次いで、例えば熱CVD法により例えばシリコン窒化膜を堆積後、このシリコン窒化膜 をエッチバックし、ゲート電極86の側壁部分、及び側壁絶縁膜78が形成されたフロー ティングゲート68及びコントロールゲート70の側壁部分に、シリコン窒化膜よりなる 側壁絶縁膜90を形成する。 [0096]次いで、ゲート電極86及び側壁絶縁膜90をマスクとして、並びにコントロールゲー

ト及び側壁絶縁膜78,90をマスクとしてイオン注入を行い、ゲート電極86の両側の シリコン基板10内に不純物拡散領域92を形成し、コントロールゲート70の両側のシ リコン基板10内に不純物拡散領域94を形成する。

【0097】

50

30

40

次いで、窒素雰囲気中で熱処理を行い、注入した不純物を活性化し、ゲート電極86の 両側のシリコン基板10内に、不純物拡散領域88,92よりなるソース/ドレイン領域 96を形成し、コントロールゲート70の両側のシリコン基板10内に、不純物拡散領域 74,94よりなるソース/ドレイン領域98を形成する(図28(a)、図28(b))。

(12)

【0098】

こうして、メモリセル領域に形成され、トンネル絶縁膜34を介してシリコン基板10 上に形成されたフローティングゲート68と、ONO膜42を介してフローティングゲー ト68上に形成されたコントロールゲート70と、コントロールゲート70の両側のシリ コン基板10内に形成されたソース/ドレイン領域98とを有する不揮発メモリトランジ スタと、低電圧トランジスタ形成領域に形成され、ゲート絶縁膜54を介してシリコン基 板10上に形成されたゲート電極86と、ゲート電極86の両側のシリコン基板10内に 形成されたソース/ドレイン領域96とを有する低電圧トランジスタと、中電圧トランジ スタ形成領域に形成され、ゲート絶縁膜56を介してシリコン基板10上に形成されたゲ ート電極86と、ゲート電極86の両側のシリコン基板10内に形成されたソース/ドレ イン領域96とを有する中電圧トランジスタと、高電圧トランジスタ形成領域に形成され 、ゲート絶縁膜58を介してシリコン基板10上に形成されたゲート電極86と、ゲート 電極86の両側のシリコン基板10内に形成されたソース/ドレイン領域96とを有する

【0099】

この後、サリサイドプロセスや、多層配線プロセスなどの所定のバックエンドプロセス を経て、半導体装置を完成する。

【0100】

次に、上述の本実施形態による半導体装置の製造方法において、周辺回路領域のONO 膜42の除去過程でフルオロカーボン膜を除去する工程を行う目的及び効果について図2 9乃至図31を用いて説明する。

【 0 1 0 1 】

本実施形態による半導体装置の製造方法において、周辺回路領域のONO膜42の除去 過程においてフルオロカーボン膜を除去しているのは、高電圧トランジスタのゲート絶縁 膜の絶縁耐圧の低下に、フルオロカーボン膜が影響しているためである。

【0102】

前述のように、ONO膜42を除去する工程に至る過程で、素子分離膜28と活性領域 (シリコン基板10)との境界には、窪み100が形成されている。ONO膜42のトッ プ酸化膜及び中間層のシリコン窒化膜を除去するドライエッチングの過程では、窪み10 0の内壁に、ドライエッチングの副生成物であるフルオロカーボン膜102が堆積される 。フルオロカーボン膜102は、窪み100の側壁器部分に堆積されやすいため、窪み1 00の深部では膜厚が薄くなっているものと考えられる(図29(a)参照)。

[0103]

この状態でボトム酸化膜104のエッチング工程を行うと、フルオロカーボン膜102 の付着部分のエッチングレートは遅いため、窪み100の深部におけるエッチングが優先 ⁴⁰ して進行する(図29(b)参照)。

【0104】

この後、ボトム酸化膜104(トンネル絶縁膜34を含む)のエッチングを更に進行す ると、先にエッチングが完了した窪み100の深部では素子分離膜28もエッチングされ 、窪み100の深部における形状が急峻になる(図29(c)参照)。

【0105】

この窪み100の急峻な形状は、その後の熱酸化によってゲート絶縁膜58を形成した 後も保存される。この結果、窪み100内にゲート電極材料が形成されると電界集中が発 生し、高電圧トランジスタのゲート絶縁膜58の絶縁耐圧の低下を引き起こすものと考え られる。 10

30

(13)

[0106]

低電圧トランジスタ及び中電圧トランジスタのゲート絶縁膜54,56では、高電圧ト ランジスタのゲート絶縁膜58で見られるような絶縁耐圧の低下は認められなかった。低 電圧トランジスタ形成領域及び中電圧トランジスタ形成領域では、シリコン酸化膜46を 除去した後に再酸化してゲート絶縁膜54,56を形成するため、窪み100の形状が緩 和されて電界集中が生じないものと考えられる。

【0107】

本実施形態のようにフルオロカーボン膜を除去する工程を行うことにより、ボトム酸化 膜のエッチングが局所的に進行することが防止され、ボトム酸化膜の除去後の窪みの最深 部に急峻な窪みが形成されるのを防止することができる。

【0108】

図30はフルオロカーボン膜を除去する工程を行っていない試料と行った試料とにおけ る素子分離膜端部の断面形状を示すTEM像である。図30(a)はフルオロカーボン膜 を除去する工程を行っていない試料の断面TEM像であり、図30(b)はフルオロカー ボン膜を除去する工程を行った試料の断面TEM像である。

[0109]

図示するように、フルオロカーボン膜を除去する工程を行った試料では、フルオロカー ボン膜を除去する工程を行っていない試料と比較して、窪みの深部(図中、点線で囲った 部分)における形状がなだらかになっている。

[0110]

図31は、高電圧トランジスタのゲート電極に逆バイアス(シリコン基板に対して負電 圧)を印加したときのゲート絶縁膜耐圧を累積確率分布に表したものである。図中、印 がフルオロカーボン膜を除去する工程を行っていない試料(比較例)、印が上述の第1 の方法によりフルオロカーボン膜を除去する工程を行った試料(実施例1)、印が上述 の第2の方法によりフルオロカーボン膜を除去する工程を行った試料(実施例2)である

[0111]

図示するように、フルオロカーボン膜を除去する工程を行っていない試料では、ゲート 絶縁膜耐圧のばらつきが大きいのに対し、フルオロカーボン膜を除去する工程を行った試 料では、第1の方法及び第2の方法のいずれを用いた場合にも、安定した高いゲート絶縁 膜耐圧を得ることができた。

[0112]

このように、本実施形態によれば、周辺回路領域のONO膜を除去する際に、トップ絶 縁膜及び中間層を除去した後、表面に付着したフルオロカーボン膜を除去する工程を行う ので、その後のボトム絶縁膜の除去過程において素子分離膜縁部の窪みの形状が変化する ことを防止することができる。これにより、素子分離膜端部における電界集中が防止され 、周辺トランジスタのゲート絶縁膜の絶縁耐圧劣化を防止することができる。

[0113]

[第2実施形態]

本発明の第2実施形態による半導体装置の製造方法について図32乃至図36を用いて 40 説明する。図1乃至図28に示す第1実施形態による半導体装置及びその製造方法と同様 の構成要素には同一の符号を付し説明を省略し又は簡潔にする。

【0114】

図32は本実施形態による半導体装置の構造を示す平面図及び概略断面図、図33乃至 図36は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0115】

はじめに、本実施形態による半導体装置の構造について図32を用いて説明する。図3 2(a)は本実施形態による半導体装置の平面図であり、図32(b)は図32(a)の A - A 線に沿った概略断面図であり、図32(c)は図32(a)のB - B 線に沿っ た概略断面図である。

[0116]

本実施形態による半導体装置は、ONO膜を電荷蓄積層とした単層ゲートの不揮発メモ リトランジスタを混載したロジック半導体装置である。本実施形態による半導体装置も、 第1実施形態による半導体装置と同様、不揮発メモリトランジスタ(Flash)がマト リクス状に形成されたメモリセル領域と、論理回路を構成するロジックトランジスタや不 揮発メモリトランジスタの駆動用の高耐圧トランジスタなどの種々の周辺トランジスタが 形成された周辺回路領域を有している。本実施形態による半導体装置、周辺トランジスタ として、例えば、高速ロジック回路を構成する低電圧トランジスタ(LV-Tr)と、入 出力回路を構成する中電圧トランジスタ(MV-Tr)と、不揮発メモリトランジスタを 制御するための高電圧トランジスタ(HV-Tr)を有している。

【0117】

図32(a)に示すように、メモリセル領域のシリコン基板10内には、不純物拡散層 よりなる複数のビット線108がストライプ状に形成されている。ビット線108が形成 されたシリコン基板10上には、ビット線108に交差する方向に延在する複数のコント ロールゲート70がストライプ状に形成されている。シリコン基板10とコントロールゲ ート70との間には、ONO膜42(シリコン酸化膜42c/シリコン窒化膜42b/シ リコン酸化膜42a)よりなる電荷蓄積層が形成されている(図32(b)及び図32(c)を参照)。

【0118】

これにより、隣接するビット線108線間の領域とコントロールゲート70との交差部 20 にそれぞれ、コントロールゲート70と、当該隣接するビット線108により構成される ソース/ドレイン領域とを有し、ONO膜42を電荷蓄積層とする不揮発メモリトランジ スタが構成されている。コントロールゲート70間の領域には、図32(c)に示すよう に、シリコン酸化膜80よりなるライナー膜と、シリコン窒化膜76が埋め込まれている 。なお、図32(b)及び図32(c)では説明の便宜上、両端に素子分離膜28を記載 しているが、実際には、素子分離膜28はメモリセル領域の周辺を囲うように形成される

[0119**]**

周辺回路領域に形成された低電圧トランジスタ(LV-Tr)、中電圧トランジスタ(MV-Tr)及び高電圧トランジスタ(HV-Tr)は、第1実施形態による半導体装置 3 の場合と同様であるので、ここでは説明を省略する。

【0120】

次に、本実施形態による半導体装置の製造方法について図33乃至図36を用いて説明 する。図33及び図34は図32のA-A 線に沿った工程断面図であり、図35及び図 36は図32(a)のB-B 線に沿った工程断面図である。

【0121】

なお、周辺トランジスタの製造プロセスは第1実施形態による半導体装置の製造方法と 基本的に同じであるため、ここでは不揮発メモリトランジスタの製造プロセスを中心に説 明する。周辺トランジスタの製造プロセスについては、必要に応じて第1実施形態の図面 を参照しながら説明する。

【0122】

まず、図3乃至図10に示す第1実施形態による半導体装置の製造方法と同様にして、 STI法により、活性領域を画定する素子分離膜28を形成する。

【0123】

次いで、素子分離膜28により画定されたシリコン基板10の活性領域上に、例えば熱酸化法により、シリコン酸化膜よりなる犠牲酸化膜32を形成する(図33(a))。 【0124】

次いで、フォトリソグラフィ及びイオン注入により、メモリセル領域及び高電圧トラン ジスタ形成領域に所定のウェル(図示せず)を形成する。例えば、メモリセル領域及び N 型高電圧トランジスタ形成領域には N 型ウェル内に P 型ウェルが形成された二重ウェルを 10

30

形成し、P型高電圧トランジスタ形成領域にはN型ウェルを形成する。 [0125]次いで、窒素雰囲気中で、例えば900~1200 の温度で1~15秒間の熱処理を 行い、注入した不純物を活性化する。 [0126] 次いで、例えば純水により10:1~200:1程度に希釈された弗酸水溶液によりウ ェットエッチングを行い、犠牲酸化膜32を除去する。 [0127]なお、素子分離膜28は、シリコン酸化膜12や犠牲酸化膜32の除去工程などにおい 10 て徐々に膜減りする。これにより、犠牲酸化膜32を除去した後には、素子分離膜28と 活性領域との境目に、活性領域表面より窪んだ窪みが形成されている。 次いで、シリコン基板10の表面に、熱酸化法により、例えば膜厚5~14nmのシリ コン酸化膜42aを形成する。 [0129]次いで、全面に、例えば熱CVD法により、例えば膜厚が5~14nmのシリコン窒化 膜42bを形成する(図33(b))。 [0130]次いで、シリコン窒化膜42b上に、フォトリソグラフィにより、周辺回路領域の全面 20 を覆い、メモリセル領域のビット線形成領域を露出するフォトレジスト膜40を形成する (図33(c))。 [0131]次いで、フォトレジスト膜40をマスクとしてイオン注入を行い、メモリセル領域内に ビット線108となる不純物拡散領域110と、不純物拡散領域110の縁部に設けら れたポケット領域としての不純物拡散領域112とを形成する(図34(a))。 [0132] 次いで、アッシング及びその後の後処理により、シリコン窒化膜42b上のフォトレジ スト膜40を除去する。 [0133] 30 次いで、シリコン窒化膜42b上に、シリコン酸化膜42cを形成する。シリコン酸化 膜42cは、例えば、熱酸化法によりシリコン窒化膜42bを熱酸化した後、熱CVD法 により高温酸化(HTO:High Temperature Oxide)膜を形成することにより、形成する [0134]こうして、シリコン酸化膜42c/シリコン窒化膜42b/シリコン酸化膜42bの積 層膜を形成し、ONO膜42よりなる電荷蓄積層とする(図34(b))。このように形 成したONO膜42は、第1実施形態の場合と同様、周辺回路領域にも形成される(図1 5 (a) 参照)。 [0135]40 次いで、フォトリソグラフィ及びイオン注入により、低電圧トランジスタ形成領域及び 中電圧トランジスタ形成領域に所定のウェル(図示せず)を形成する。例えば、N型低電 圧トランジスタ形成領域及びN型中電圧トランジスタ形成領域にP型ウェルを形成し、P 型低電圧トランジスタ形成領域及びP型中電圧トランジスタ形成領域にN型ウェルを形成 する。 [0136] 次いで、図15(a)~図16(a)に示す第1実施形態による半導体装置の製造方法

と同様にして、周辺回路領域のONO膜42を除去する。本実施形態の場合にも、ONO 膜42は、素子分離膜28と活性領域との境目の窪み内にも形成されている。そこで、シ リコン酸化膜42c及びシリコン窒化膜42bを除去した後には、第1実施形態と同様の フルオロカーボン膜の除去工程を行い、高電圧トランジスタの絶縁耐圧劣化を防止する。

[0137]

具体的には、周辺回路領域を露出しメモリセル領域を覆うフォトレジスト膜44を形成 後、このフォトレジスト膜44をマスクとして、例えばマグネトロン反応性イオンエッチ ング装置を用いたドライエッチングにより、シリコン酸化膜42c及びシリコン窒化膜4 2bをエッチングする。次いで、シリコン酸化膜42c及びシリコン窒化膜42bのエッ チングに伴い基板の表面に付着したフルオロカーボン膜を、第1実施形態に記載の第1の 方法又は第2の方法により、除去する。次いで、フォトレジスト膜44をマスクとして、 例えば純水により100:1~200:1程度に希釈された弗酸水溶液によりウェットエ ッチングを行い、シリコン酸化膜42aを除去する。次いで、アッシング及びその後の後 処理により、フォトレジスト膜44を除去する。

10

【0138】

このようにしてONO膜42を除去することにより、素子分離膜28と活性領域との境 目の窪みの形状が変化することを防止することができる。

【0139】

次いで、図17(a)~図21(a)に示す第1実施形態による半導体装置の製造方法 と同様にして、低電圧トランジスタ形成領域、中電圧トランジスタ形成領域及び高電圧ト ランジスタ形成領域に、互いに膜厚の異なる3種類のゲート絶縁膜52,54,56を形 成する(図21(a)参照)。

[0140**]**

次いで、全面に、例えばCVD法により、例えば膜厚50~200nmのポリシリコン ²⁰ 膜60を形成する。ポリシリコン膜60は、不揮発メモリトランジスタのコントロールゲ ート70及び周辺トランジスタのゲート電極84となる膜である。

[0141]

次いで、ポリシリコン膜60上に、例えばCVD法により、例えば膜厚15~40nm のシリコン酸化膜114を形成する(図34(c))。

【0142】

次いで、シリコン酸化膜114上に、スピンコート法により、 BARC膜64とフォト レジスト膜66とを形成する。

【0143】

次いで、フォトリソグラフィによりフォトレジスト膜66をパターニングし、周辺回路 ³⁰ 領域の全面及びメモリセル領域のコントロールゲート形成領域を覆うフォトレジスト膜6 6を形成する(図35(a))。

[0144]

次いで、フォトレジスト膜66をマスクとして、例えば誘導結合型プラズマエッチング 装置を用いた異方性エッチングにより、BARC膜64、シリコン酸化膜114及びポリ シリコン膜60をパターニングし、メモリセル領域に、ポリシリコン膜60よりなるコン トロールゲート70を形成する。

[0145]

次いで、アッシング及びその後の後処理により、ポリシリコン膜60上に残存するシリコン酸化膜114、BARC膜64及びフォトレジスト膜66を除去する(図35(b) 40)。なお、周辺回路領域は、ポリシリコン膜60によって全面が覆われたままの状態である(図25(a)参照)。

[0146]

次いで、全面に、例えば熱CVD法により、例えば膜厚1~20nmのシリコン酸化膜80と、例えば膜厚50~170nmのシリコン窒化膜76とを形成する(図36(a))。

【0147】

次いで、ドライエッチングにより、シリコン酸化膜80の上面が露出するまでシリコン 窒化膜76を異方性エッチングし、コントロールゲート70間の間隙を、シリコン酸化膜 116及びシリコン窒化膜76により埋め込む(図36(b))。こうして、本実施形態 の不揮発メモリトランジスタを完成する。

[0148]

次いで、図26乃至図28に示す第1実施形態による半導体装置の製造方法と同様にして、周辺回路領域のポリシリコン膜60をパターニングしてゲート電極84を形成後、ソース/ドレイン領域96を形成し、低電圧トランジスタ、中電圧トランジスタ及び高電圧トランジスタを完成する。

(17)

【0149】

この後、サリサイドプロセスや、多層配線プロセスなどの所定のバックエンドプロセス を経て、半導体装置を完成する。

【0150】

10

このように、本実施形態によれば、周辺回路領域のONO膜を除去する際に、トップ絶 縁膜及び中間層を除去した後、表面に付着したフルオロカーボン膜を除去する工程を行う ので、その後のボトム絶縁膜の除去過程において素子分離膜縁部の窪みの形状が変化する ことを防止することができる。これにより、素子分離膜端部における電界集中が防止され 、周辺トランジスタのゲート絶縁膜の絶縁耐圧劣化を防止することができる。

【0151】

[第3実施形態]

本発明の第3実施形態による半導体装置の製造方法について図37乃至図40を用いて 説明する。図1乃至図28に示す第1実施形態による半導体装置及びその製造方法、並び に図32乃至図36に示す第2実施形態による半導体装置及びその製造方法と同様の構成 20 要素には同一の符号を付し説明を省略し又は簡潔にする。

【0152】

図37は本実施形態による半導体装置の構造を示す平面図及び概略断面図、図38乃至 図40は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0153】

はじめに、本実施形態による半導体装置の構造について図37を用いて説明する。図3 7(a)は本実施形態による半導体装置の平面図であり、図37(b)は図37(a)の A - A 線に沿った概略断面図であり、図37(c)は図37(a)のB - B 線に沿っ た概略断面図である。

【0154】

本実施形態による半導体装置は、ONO膜を電荷蓄積層とした単層ゲートの不揮発メモ リトランジスタを混載したロジック半導体装置である。本実施形態による半導体装置も、 第1実施形態による半導体装置と同様、不揮発メモリトランジスタ(Flash)がマト リクス状に形成されたメモリセル領域と、論理回路を構成するロジックトランジスタや不 揮発メモリトランジスタの駆動用の高耐圧トランジスタなどの種々の周辺トランジスタが 形成された周辺回路領域を有している。本実施形態による半導体装置、周辺トランジスタ として、例えば、高速ロジック回路を構成する低電圧トランジスタ(LV-Tr)と、入 出力回路を構成する中電圧トランジスタ(MV-Tr)と、不揮発メモリトランジスタを 制御するための高電圧トランジスタ(HV-Tr)を有している。

[0155**]**

図37(a)に示すように、メモリセル領域のシリコン基板10内には、複数の素子分離膜28がストライプ状に形成されている。素子分離膜28が形成されたシリコン基板1 0上には、素子分離膜28に交差する方向に延在する複数のコントロールゲート70がス トライプ状に形成されている。シリコン基板10とコントロールゲート70との間には、 ONO膜42(シリコン酸化膜42c/シリコン窒化膜42b/シリコン酸化膜42a) よりなる電荷蓄積層が形成されている。コントロールゲート70間の領域のシリコン基板 10内には、ソース/ドレイン領域98が形成されている。(図37(b)及び図37(c)を参照)。

[0156**]**

これにより、隣接する素子分離膜28間の領域とコントロールゲート70との交差部に 50

30

それぞれ、コントロールゲート70と、コントロールゲート70の両側のシリコン基板1 0内に形成されたソース / ドレイン領域98とを有し、ONO膜42を電荷蓄積層とする 不揮発メモリトランジスタが構成されている。コントロールゲート70間の領域には、図 37(c)に示すように、シリコン酸化膜80よりなるライナー膜と、シリコン窒化膜7 6が埋め込まれている。

【 0 1 5 7 】

周辺回路領域に形成された低電圧トランジスタ(LV-Tr)、中電圧トランジスタ(MV-Tr)及び高電圧トランジスタ(HV-Tr)は、第1実施形態による半導体装置 の場合と同様であるので、ここでは説明を省略する。

【0158】

10

次に、本実施形態による半導体装置の製造方法について図38乃至図40を用いて説明 する。図38は図37のA-A 線に沿った工程断面図であり、図39及び図40は図3 7(a)のB-B 線に沿った工程断面図である。

【0159】

なお、周辺トランジスタの製造プロセスは第1実施形態による半導体装置の製造方法と 基本的に同じであるため、ここでは不揮発メモリトランジスタの製造プロセスを中心に説 明する。周辺トランジスタの製造プロセスについては、必要に応じて第1実施形態の図面 を参照しながら説明する。

【0160】

まず、図3乃至図10に示す第1実施形態による半導体装置の製造方法と同様にして、 20 STI法により、活性領域を画定する素子分離膜28を形成する。

【0161】

次いで、素子分離膜28により画定されたシリコン基板10の活性領域上に、例えば熱酸化法により、シリコン酸化膜よりなる犠牲酸化膜32を形成する(図38(a))。 【0162】

次いで、フォトリソグラフィ及びイオン注入により、メモリセル領域及び高電圧トラン ジスタ形成領域に所定のウェル(図示せず)を形成する。例えば、メモリセル領域及びN 型高電圧トランジスタ形成領域にはN型ウェル内にP型ウェルが形成された二重ウェルを 形成し、P型高電圧トランジスタ形成領域にはN型ウェルを形成する。

【0163】

次いで、窒素雰囲気中で、例えば900~1200 の温度で1~15秒間の熱処理を 行い、注入した不純物を活性化する。

[0164]

次いで、例えば純水により10:1~200:1程度に希釈された弗酸水溶液によりウェットエッチングを行い、犠牲酸化膜32を除去する。

【0165】

なお、素子分離膜28は、シリコン酸化膜12や犠牲酸化膜32の除去工程などにおいて徐々に膜減りする。これにより、犠牲酸化膜32を除去した後には、素子分離膜28と 活性領域との境目に、活性領域表面より窪んだ窪みが形成されている。

【0166】

40

30

次いで、シリコン基板10の表面に、熱酸化法により、例えば膜厚5~14nmのシリコン酸化膜42aを形成する。

【0167】

次いで、全面に、例えば熱CVD法により、例えば膜厚が5~14nmのシリコン窒化 膜42bを形成する(図33(b))。

【0168】

次いで、シリコン窒化膜42b上に、例えば熱酸化法により、例えば膜厚が3~15n mのシリコン酸化膜42cを形成する。

【0169】

こうして、シリコン酸化膜42c/シリコン窒化膜42b/シリコン酸化膜42bの積 50

(18)

層膜を形成し、ONO膜42よりなる電荷蓄積層とする(図38(b))。このように形 成したONO膜42は、第1実施形態の場合と同様、周辺回路領域にも形成される(図1 5 (a) 参照)。

[0170]

次いで、フォトリソグラフィ及びイオン注入により、低電圧トランジスタ形成領域及び 中電圧トランジスタ形成領域に所定のウェル(図示せず)を形成する。例えば、N型低電 圧トランジスタ形成領域及びN型中電圧トランジスタ形成領域にP型ウェルを形成し、P 型低電圧トランジスタ形成領域及びP型中電圧トランジスタ形成領域にN型ウェルを形成 する。

[0171]

次いで、図15(a)~図16(a)に示す第1実施形態による半導体装置の製造方法 と同様にして、周辺回路領域のONO膜42を除去する。本実施形態の場合にも、ONO 膜42は、素子分離膜28と活性領域との境目の窪み内にも形成されている。そこで、シ リコン酸化膜42 c及びシリコン窒化膜42 bを除去した後には、第1 実施形態と同様の フルオロカーボン膜の除去工程を行い、高電圧トランジスタの絶縁耐圧劣化を防止する。 [0172]

具体的には、周辺回路領域を露出しメモリセル領域を覆うフォトレジスト膜44を形成 後、このフォトレジスト膜44をマスクとして、例えばマグネトロン反応性イオンエッチ ング装置を用いたドライエッチングにより、シリコン酸化膜42c及びシリコン窒化膜4 2 bをエッチングする。次いで、シリコン酸化膜42 c及びシリコン窒化膜42 bのエッ チングに伴い基板の表面に付着したフルオロカーボン膜を、第1実施形態に記載の第1の 方法又は第2の方法により、除去する。次いで、フォトレジスト膜44をマスクとして、 例えば純水により100:1~200:1程度に希釈された弗酸水溶液によりウェットエ ッチングを行い、シリコン酸化膜42aを除去する。次いで、アッシング及びその後の後 処理により、フォトレジスト膜44を除去する。

[0173]

このようにしてONO膜42を除去することにより、素子分離膜28と活性領域との境 目の窪みの形状が変化することを防止することができる。

[0174]

30 次いで、図17(a)~図21(a)に示す第1実施形態による半導体装置の製造方法 と同様にして、低電圧トランジスタ形成領域、中電圧トランジスタ形成領域及び高電圧ト ランジスタ形成領域に、互いに膜厚の異なる3種類のゲート絶縁膜52,54,56を形 成する(図21(a)参照)。

[0175]

次いで、全面に、例えばCVD法により、例えば膜厚50~200nmのポリシリコン 膜60を形成する。ポリシリコン膜60は、不揮発メモリトランジスタのコントロールゲ ート70及び周辺トランジスタのゲート電極84となる膜である。

[0176]

次いで、ポリシリコン膜60上に、例えばCVD法により、例えば膜厚15~40nm のシリコン酸化膜114を形成する(図38(c))。

次いで、シリコン酸化膜114上に、スピンコート法により、BARC膜64とフォト レジスト膜66とを形成する。

[0178**]**

次いで、フォトリソグラフィによりフォトレジスト膜66をパターニングし、周辺回路 領域の全面及びメモリセル領域のコントロールゲート形成領域を覆うフォトレジスト膜6 6を形成する(図39(a))。

[0179]

次いで、フォトレジスト膜66をマスクとして、例えば誘導結合型プラズマエッチング 装置を用いた異方性エッチングにより、BARC膜64、シリコン酸化膜114及びポリ 50

10



シリコン膜60をパターニングし、メモリセル領域に、ポリシリコン膜60よりなるコン トロールゲート70を形成する。

[0180]

次いで、フォトレジスト膜66及びコントロールゲート70をマスクとしてイオン注入 を行い、コントロールゲート70間の領域に、ソース/ドレイン領域98となる不純物拡 散領域74を形成する。

次いで、アッシング及びその後の後処理により、ポリシリコン膜60上に残存するシリ コン酸化膜114、BARC膜64及びフォトレジスト膜66を除去する(図39(b))。なお、周辺回路領域は、ポリシリコン膜60によって全面が覆われたままの状態であ る(図25(a)参照)。

[0182]

次いで、全面に、例えば熱CVD法により、例えば膜厚1~20nmのシリコン酸化膜 80と、例えば膜厚50~170nmのシリコン窒化膜76とを形成する(図40(a)) 。

[0183]

次いで、ドライエッチングにより、シリコン酸化膜80の上面が露出するまでシリコン 窒化膜76を異方性エッチングし、コントロールゲート70間の間隙を、シリコン酸化膜 1 1 6 及びシリコン窒化膜 7 6 により埋め込む(図 4 0 (b))。こうして、本実施形態 の不揮発メモリトランジスタを完成する。

[0184]

次いで、図26乃至図28に示す第1実施形態による半導体装置の製造方法と同様にし て、周辺回路領域のポリシリコン膜60をパターニングしてゲート電極84を形成後、ソ ース / ドレイン領域96を形成し、低電圧トランジスタ、中電圧トランジスタ及び高電圧 トランジスタを完成する。

[0 1 8 5 **]**

この後、サリサイドプロセスや、多層配線プロセスなどの所定のバックエンドプロセス を経て、半導体装置を完成する。

[0186]

このように、本実施形態によれば、周辺回路領域のONO膜を除去する際に、トップ絶 縁膜及び中間層を除去した後、表面に付着したフルオロカーボン膜を除去する工程を行う ので、その後のボトム絶縁膜の除去過程において素子分離膜縁部の窪みの形状が変化する ことを防止することができる。これにより、素子分離膜端部における電界集中が防止され 、周辺トランジスタのゲート絶縁膜の絶縁耐圧劣化を防止することができる。

【 0 1 8 7 】

「変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

[0188]

例えば、上記実施形態では、ゲート間絶縁膜又は電荷蓄積層としてのONO膜を除去す る際に本発明を適用した場合を説明したが、本発明の適用対象はONO膜に限定されるも のではない。本発明は、素子分離領域とエッチング特性の同等な下層絶縁膜と、この下層 絶縁膜上に形成された上層絶縁膜を有し、上層絶縁膜のエッチングにフルオロカーボン系 のガスを用いる製造プロセスを用いた半導体装置の製造方法に広く適用することができる

[0189]

シリコン系の半導体デバイスでは、下層絶縁膜として、シリコン酸化物系の絶縁膜(シ リコン酸化膜やシリコン窒化酸化膜)を適用することができる。また、上層絶縁膜として は、シリコン窒化膜の単層、シリコン窒化膜とシリコン酸化膜との積層膜や、アルミナ(A 1 ,O ₃)膜やハフニア(H f O ₂)膜等の高誘電率絶縁膜を含む膜等を適用すること ができる。

20

10

【0190】

また、上層絶縁膜のエッチングに用いるフルオロカーボン系のガスとしては、上記実施 形態に記載のガスに限らず、ハイドロフルオロカーボン(HFC)やフルオロカーボン(FC)などのフロン類のガスを用いることができる。

(21)

【0191】

また、上記実施形態に記載の半導体装置の構造やプロセス条件は、一例を示したもので あり、必要に応じて適宜変更できるものである。

【0192】

また、上記実施形態では、不揮発メモリトランジスタを混載したロジック半導体装置の 製造プロセスに適用した例を示したが、本発明は、不揮発メモリトランジスタを混載した ¹⁰ ロジック半導体装置への適用に限定されるものではない。

【0193】

上述のように本発明は、素子分離領域とエッチング特性の同等な下層絶縁膜と、この下 層絶縁膜上に形成された上層絶縁膜を有し、上層絶縁膜のエッチングにフルオロカーボン 系のガスを用いる製造プロセスを用いた半導体装置の製造方法に広く適用できるものであ る。特に、下層絶縁膜の下地が段差を有する場合に、本発明を適用する効果がある。

【0194】

以上詳述したように、本発明の特徴をまとめると以下の通りとなる。

[0195**]**

(付記1) 半導体基板の表面に、活性領域を画定する素子分離領域を形成する工程と ²⁰

前記素子分離領域が形成された前記半導体基板上に、第1の絶縁膜を形成する工程と、 前記第1の絶縁膜が形成された前記半導体基板上に、前記第1の絶縁膜とはエッチング 特性の異なる第2の絶縁膜を形成する工程と、

少なくとも前記活性領域と前記素子分離領域との境界を含む第1の領域に形成された前 記第2の絶縁膜を、フルオロカーボン系のエッチングガスを用いたドライエッチングによ り除去する工程と、

酸素を含む雰囲気に曝すことにより、前記ドライエッチングの際に前記第1の絶縁膜上に付着したフルオロカーボン膜を除去する工程と、

前記第1の領域に形成された前記第1の絶縁膜を、ウェットエッチングにより除去する 30 工程と

を有することを特徴とする半導体装置の製造方法。

[0196]

(付記2) 付記1記載の半導体装置の製造方法において、

前記フルオロカーボン膜を除去する工程では、アルゴンガスと酸素ガスとを含む混合ガ スを用いた反応性イオンエッチングにより、前記フルオロカーボン膜を除去する

ことを特徴とする半導体装置の製造方法。

【0197】

(付記3) 付記2記載の半導体装置の製造方法において、

前記酸素ガスの流量は、プロセスガスの総流量に対して、0.5~25%である ⁴⁰ ことを特徴とする半導体装置の製造方法。

[0198]

(付記4)付記2又は3記載の半導体装置の製造方法において、

前記第2の絶縁膜を除去する工程と、前記フルオロカーボン膜を除去する工程は、同一の処理室内で連続して行う

ことを特徴とする半導体装置の製造方法。

【0199】

(付記5) 付記1記載の半導体装置の製造方法において、

前記フルオロカーボン膜を除去する工程では、CF₄ガスと酸素ガスとを含む混合ガス を用いたケミカルドライエッチングにより、前記フルオロカーボン膜を除去する ことを特徴とする半導体装置の製造方法。

[0200]

(付記6) 付記5記載の半導体装置の製造方法において、

前記混合ガスは、フォーミングガスを更に含む

ことを特徴とする半導体装置の製造方法。

[0201]

(付記7) 付記5又は6記載の半導体装置の製造方法において、

前記CF₄ガスの流量は、プロセスガスの総流量に対して、0.05~10%である ことを特徴とする半導体装置の製造方法。

(付記8) 付記1乃至7のいずれか1項に記載の半導体装置の製造方法において、

前記素子分離領域を形成する工程の後、前記第1の絶縁膜を形成する工程の前に、前記 素子分離領域を構成する第3の絶縁膜の上部をエッチングする工程を更に有し、

前記第1の絶縁膜の形成の際、前記活性領域と前記素子分離領域との前記境界近傍の前 記素子分離領域に、前記活性領域の表面よりも窪んだ窪みが形成されている

ことを特徴とする半導体装置の製造方法。

[0203]

(付記9) 付記8記載の半導体装置の製造方法において、

前記第3の絶縁膜は、前記第1の絶縁膜と同等のエッチング特性を有する

ことを特徴とする半導体装置の製造方法。

[0204]

(付記10) 付記1乃至9のいずれか1項に記載の半導体装置の製造方法において、 前記第1の絶縁膜を除去する工程の後に、前記第1の領域内の前記活性領域にゲート絶

縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを更に有し、 前記第1の領域内の前記活性領域に、前記ゲート絶縁膜及び前記ゲート電極を有するM

ISトランジスタを形成する

ことを特徴とする半導体装置の製造方法。

[0205]

(付記11) 付記10記載の半導体装置の製造方法において、

30 前記ゲート電極を形成する工程では、前記第1の絶縁膜を除去することにより露出した 前記半導体基板を熱酸化することにより形成した第4の絶縁膜を少なくとも含む前記ゲー ト電極を形成する

ことを特徴とする半導体装置の製造方法。

[0206]

(付記12) 付記1乃至11のいずれか1項に記載の半導体装置の製造方法において

前記第1の領域とは異なる第2の領域内の活性領域に、前記第1の絶縁膜及び前記第2 の絶縁膜を有する不揮発メモリトランジスタを形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

(付記13) 付記12記載の半導体装置の製造方法において、

前記素子分離領域を形成する工程の後、前記第1の絶縁膜を形成する工程の前に、前記 第2の領域内の前記活性領域上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜 上に、前記第2の領域にフローティングゲートを形成する工程とを、

前記第1の絶縁膜を除去する工程の後に、前記第1の絶縁膜及び前記第2の絶縁膜を介 して前記フローティングゲート上にコントロールゲートを形成する工程を、更に有し、

前記フローティングゲートと前記コントロールゲートとを有するスタックゲート構造の 前記不揮発メモリトランジスタを形成する

ことを特徴とする半導体装置の製造方法。

[0208]

40

10

	(<i>1</i> .+	·≐⊐	1	л	`	4-	+ ≐⊐	1	r	±⊐ =	計。	ጠ ነ	∠ï	/*	± <u>ڊ</u>	罢 /	てま	上生	÷	·± ۱-	- +	. 1 \	7												
	(計	ाग ≐⊐	じい	1	4 መ) 4年4	已建成	」 記	, I 《个	۲ ۲	記り	≢%, Z.	ゴモモ	- (与 2 の	淄谷	衣	L L L	の表	空口	刀 1	う (月) (月)	この	防	с тъ	۲×	it a i	≛⊐ :	¥ ·	ი <i>ო</i>	始	<u>4</u> ج	뻠	た	<u>ہ</u>		
	可		, 5 5 5 7	L	о П	#巴 #	淡 D3 UL 石	€′Œ °-	际	云	9 · П/ п	ວ. =†:	エ 13 オース	ΞIJ	1友	にた	、「	ijāl −≠	; ; ;	I	00 #	巴称	沃	X	0.	8IJ I	: טו	م	2 00	希巴	邻环	下	6	Л		
0	ر <u>يد</u>			1			고면	т.	75	<u>جر</u>	π> / ≐⊐ <	у,	96	> > 44	. 1王 4王	仓咄	史し	∟∩ ∎≠≝	U 要	、 1主		- +	. 7	ж	⋿	F		Lł	<u>#`</u> 生	س	- 1	÷=	<u> </u>	+=		
75	刊	aC T	,韦	1	0) =	新田 A へい	泳 旧 、、 一	e 仄	. U +	刊	記	お	2 U 7	ノ紀	称	脵	æ⊧	包 19.	目台	惧	l留 C	_ 9	ຈ	甼	眉	9	_	Γſ	冉 泹	0	ΗIJ	āΟ	ጥ:	押		
旡	2	t	ジチ	۲ ++	フ	2:	ンノ	('Y 	を	形	ル コナ 5	9	ବ ~ #		_	*+																				
	د	2	े के ब	特	倒	ε	9 6	> †	导	14	 뛵	直(のや	き這	. 万	法	0																			
L	0	2	0	9	1				-	_	_	_														_		÷	њ.,							
	(付	. 野	1	5)	17	記	, 1	15	幺	1	40	51	व	n	か	ļļ	15	記	載の	り半	導	体	装	置	<i>ເ</i>	製i	宣方	法	IC	ສ	11	τ		
`				_										_																						
	可	記	,素	子	分	離:	<u></u> 湞 垣	tを	形	成	ক -	3.	工札	ŧζ	は	•	前言	七半	導	体	基机	をに	形	成	さ	n	た	F !	ノン	チ	ſĊ	絶	縁	膜		10
を	埋	め	込	む	C	٤I	こよ	こり	`	前	記録	素·	子乡	う離	領	域	€₹	杉成	す	る																
	こ	لح	を	特	徴	۔ ع	する	5半	導	体	装置	置(の集	製造	方	法	D																			
ľ	0	2	1	0]																															
	(付	·記	1	6)	仚	記	, 1	乃	至	1	50) []	ず	れ	か	1項	に	記	載の	D半	導	体	装	置	ທ	製ì	き 方	法	に	お	11	τ		
`																																				
	前	記	第	1	Ø	絶約	縁 臈	しば		シ	IJ :		ン酢	贫化	膜	で	ある	3																		
	こ	と	を	特	徴	٤.	する	;半	導	体	装置	置(のり	製造	方	法	D																			
ľ	0	2	1	1]																															
	(付	·記	1	7)	仚	記	. 1	乃	至	1	60) []	ず	n	か	1項	iに	記	載の	り半	導	体	装	置	ກ ^ເ	製ì	造方	法	に	お	11	τ		
、																																				20
	前	記	第	2	Ø	絶約	縁 膊	しば		シ	IJ:		ン国	蟚化	膜	で	ある	3																		
	こ	と	を	特	徴	٤	する	5 半	導	体	装置	置(の集	製造	方	法	0																			
ľ	0	2	1	2]																															
	(付	·記	1	8)	尓	1記	1	љ	至	1	60	511	ず	n	か	1 頂	に	記	載の	D¥	道	体	装	罯	の	製i	告方	法	に	お	11	τ		
	`					,					_					•			•••					•••		_										
`	前	記	第	2	_ກ	絶	 縁	まは		シ	IJ:		ンゴ	蟚化	膜	٢	シリ	ב נ	יצו	酸	化胍	草と	_ວ	積	層	膜	Ċ	ある	3							
`	前一	記 と	¦第 を	2 特	の 徴	絶約	縁 膊 す そ	しまい	、道	シ体	リ: 装う	コご	ン S の 毎	፪化 製造	膜方	と 法	シリ	ב נ	レ	酸	化胍	莫と	_ວ	積	層	膜	で	ある	3							
` r	前こ図	記と面	¦第 ∶を	2 特 簡	の徴単	絶約 と な	縁 膊 す る 説 明	まは ら 半 目 】	、 導	シ 体	リ 装う	コご置	ン S の	፪化 製造	膜方	と 法	シリ。	ב ו	レ	酸	化胍	莫と	ທ	積	層	膜	で	ある	3							
` [r	前こ図の	記と面っ	¦第 ∶を iの 1	2 特 簡 3	の徴単】	絶約 と な	縁 膊 す る 説 明	模は 3 半 月】	、 導	シ 体	リ: 装i	コご置の	ン S の	፪化 製造	膜	と 法	シ ! 。	1 =	レ	酸	化服	莫と	ທ	積	層	膜	で	ある	3							
` [[[前こ図の	記と面21	第を の 1 】	2 特簡 3 木	の徴単】発	絶 と て 間	縁す説 の	しま しま しま して して して して して して して して して して	、 導 室	シ体 施	リ: 装: 形	コご置い	ン驽の患	፪化 製造	膜 方 半	と 法 道	シ」 。 休≧			酸構	化服造	莫と	ਂ ਹ	積 亚	層面	膜	で	あるある	3							30
` [[[前こ図の図図	記と面212	県 第 を の 1 】	2特簡3本木	の徴単】発発	絶とな 明明	縁す説 のの		、 導 実 宝	シ体 施施	リ 装 形形		ン 国家 しんしょう しょうしん こうしょう しょうしん しょうしん しょうしん しょうしん しょうしん いっぽう しんしょう しんしょ しんしょ	とし こう ぼうしょう しんしょう ぼうしん ぼうしん しんしょう しんしょ しんしょ	膜方 半半	と法 導道	シ。 体体			酸 構構	化胆 造海	莫と 三示示	のすす	積 平 概	層 面略	膜 図 断	でこで、面	あるあって	3 3 5	3						30
` [[[r	前こ図0図図◎	記と面2123	第をの1】】	2特簡3本本本	の徴単】発発発	絶とな 明明明	縁す説 ののの腹る明 第第第		、導実実	シ体 施施施	リ装 形形形		ン 第 に に に	尾沿 こころ	膜方 半半半	と法 導導道	シ。 体体体	し 麦麦 差	レ こ こ の し の	酸 構構制	化 造造造	莫 モデン	の すすを	積 平概云	層 面略す	膜 図断工	で 面 程	ある あ図 新	る こ こ あ で 同	5	• 7		1)	:	30
	前こ図0図図図あ	記と面2123~	第をの 1 】 】	2特簡3本本本	の徴単】発発発	絶とな 明明明	縁す説 のののりょう おうしょう ひんしょう しょうしょう しょうしょう	は 半 月 日 日 日 日 日 日 日 日 日 日 日 日 日 日 日 日	、 導 実 実 実	シ体 施施施	リ装 形形形		ンの ににし	11 化造 るるる	膜方 半半半	と 法 導 導 導	シ。 体体体	しまえま	レ こ の こ の	酸構構製	化 造造造	莫 ををう	の すすを	積 平概示	層面略す	膜 図断工	で で 面 程	あ あ図 新	る る。 あ 回 図	5 3 (。 そ	о О	1)	;	30
、 【【【【【【 で 【	前こ図0図図図あ図	記と面2123る~	第をの1】】】。 】	2特簡3本本本 ★	の徴単】発発発 発	絶とな 明明明 明	縁す説 ののの の勝る明 第第第 第		、導 実実 実	シ体 施施施 斑	リ装 形形形 お		ンの ににに	1121 こここ 1121 1121 1121 1121 1121 1121	膜方 半半半 半	と法 導導導 道		して、「「「「「」」をできます。		酸構構製制	化 造造造 法	莫と テティング ディング ディング しょうしん しょうしょうしょうしょうしょうしょうしょうしょうしょうしょうしょうしょうしょうし	の すすを ち	積 平概示 テ	層 面略す す	膜 図断工 丁	で で 面程 程	あある。この新いた	る る こ あ 図 図 図	53 (。そっ	0	1)	:	30
、 【【【【【【で【ず	前こ図0図図図あ図ち	記と面2123る4~	¦第をの1】】】。】	2特簡3本本本 本	の徴単】発発発 発	絶とな 明明明 明	椽す説 ののの の勝る明 第第第 第		、導実実実実	シ体 施施施 施	リ装 形形形 形		ンの ににに に	とうしょう そうしょう そうしょう 化造 しろうろう うろう	膜方 半半半 半	と 法 導 導 導 導	シ。 体体体 体	していたいです。そうないでは、このでは、このでは、このでは、このでは、このでは、このでは、このでは、この	ロン この	酸 構構製 製	化 造造造 造	奠 ををう う	の すすを を	積 平概示 示	層 面略す す	膜 図断工 工	で で 面程 程	ああるのがあるのある。あってもあるのである。あるのがある。	る 。 あ 図 図	る ((。そそ	0	1)	;	30
、 【【【【【で【で	前こ図0図図図あ図あ図	記と面2123る4る5	第をの1】】】。】。 】	2 特簡 3 本本本 本 🔹	の徴単】発発発 発 発	絶とな 明明明 明 明	縁す説 ののの の の勝る明 第第第 第 第	轅 は 半 】 り り り り り り り り り り り	、導 実実実 実 中	シ体 施施施 施 施	リ装 形形形 形 脳		ンの ににに に	とうしょう きょうしょう そうしょう くうしょう しんしょう しんしょ しんしょ	膜方 半半半 半 半	と法 導導導 導 道	シ。 体体体 体 体			酸構構製製制	化 造造造 造 洗	奠 きをう う ここ 一支	の すすを を ち	積 平概示 示 二	層 面略す す す	膜 図断工 工 工	で で面程 程 5	あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ	る ふで面 面 豆	ງີລີ ((。そそて	0 0	1)	;	30
、 【【【【【で【で【	前こ図0図図図あ図あ図を	記と面2123る4る5~	第をの1】】】。】。】	2特簡3本本本 本 本	の徴単】発発発 発 発	絶とな 明明明 明 明	縁す説 ののの の の勝る明 第第第 第 第		、導 実実実 実	シ体 施施施 施 施	リ装 形形形 形 形		ンの ににに に	11 12 12 12 12 12 12 12 12 12 12 12 12 1	膜方 半半半 半 半	と法 導導導 導 導	シ。 体体体 体 体			酸構構製製製	化 造造造 造 造	奠 きをう うう と 示示法 法 法	の すすを を を	積 平概示 示 示	層 面略す す す	膜 図断工 工 工	で で 面程 程 程	あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ	3 3 3 3 3 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5)る ((。そそそ	•	1 2 3))		30
、 【【【【【で【で【で、	前こ図0図図図あ図あ図あ	記と面2123る4る5る^	第をの1】】】。】。】。、	2 特簡 3 本本本 本 ★	の徴単】発発発 発 発 ジ	絶とな 明明明 明 明 昭	縁す説 ののの の の り腹る叩 第第第 第 第 第		、導、実実実、実、良	シ体 施施施 施 施 な	リ装 形形形 形 形 ビ		ンの ににに に に	「「「「「「」」」 とうしゅう こうしゅう こうしゅう こうしゅう こうしょう しんしょう しんしょう しんしょう しんしょう こうしょう しんしょう しんしょ しんしょ	膜方 半半半 半 半	と法 導導導 導 導 逆	シ。 体体体 体 体 (酸構構製製製製	化 造造造 造 造 れ	(莫 ををう う う 」 と 示示法 法 法 汁	の すすを を を	積 平概示 示 云	層 面略す す す す		で で 面程 程 程 2	ああって可可可見	3 3 3 C 国 国 国 国 国 国 国 国 国 国 国 国 国 国 国 国	5 3 ((。そそそっ	0000	1 2 3)))))	:	30
、 【【【【【で【で【で【	前こ図0図図図あ図あ図+	記と面2123る4る5る6~	第をの1】】】。】。】。】	2 特簡 3 本本本 本 本 本	の徴単】発発発 発 発 発	絶とな 明明明 明 明 明	縁す説 ののの ののの のりょう 第二字 第二字 第二字 第二字 第二字 第二字		、導 実実実 実 実	シ体 施施施 施 施 施	リ装 形形形 形 形 形		ンの ににに に に に	11 12 12 12 12 12 12 12 12 12 12 12 12 1	膜方 半半半 半 半	と法 導導導 導 導	シ。 体体体 体体体 体体 体 体 体			酸構構製製製製	化 造造造 造 造 造	莫 ひをひう う う う こう う う う う う う う う う う う う う う	の すすを を を	積 平概示 示 示	層 面略す す す す		で で面程 程 程 程	あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ 新 新 新	5 5 5 5 5 5 5 5 5 5 5 5 5 5	່ວ ((。そそそそそ	, , , , , , , , , , , , , , , , , , ,	1 2 3 4))))	:	30
、	前こ図0図図図あ図あ図あ図あ	記と面2123る4る5る6る7	第をの1】】】。】。】。】。	2 特簡 3 本本本 本 本 土	の徴単】発発発 発 発 発 乳	絶とな 明明明 明 明 明	縁す説 ののの の の の の りょう ううしょう 第一第一第一第一第一第一第一第一第一第一第一第一第一第一第一第一第一第一第一		、導 実実実 実 実 〔	シ体 施施施 施 施 施	リ装 形形形 形 形 形 い			1212 こここ こ こ こ こ こ こ こ こ こ こ こ こ こ こ こ こ	膜方 半半半 半 半 氷	と法 導導導 導 導 導	シ。 体体体 体 体 体	し、「「「「「「」」」」を表示していていています。		酸 構構製 製 製 製	化 造造造 造 造 洗 かんしん しんしょう しんしん しんしん しんしん しんしん しんしん しんしん	(莫と)ををううううう こうとう 一元示法 法 法 法	の すすを を を ・	積 平概示 示 示 一	層 面略す す す す		で で面程 程 程 程 1	あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ	5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5	5 3 1 (1 (1 (。そそそそそ	の の の の	1 2 3 4)))	:	30
、 【【【【【で【で【で【で【	前こ図0図図図あ図あ図あ図。	記と面2123る4る5る6る7	第をの1】】】。】。】。】。】	2 特簡 3 本本本 本 本 本 本	の徴単】発発発 発 発 発 発	絶とな 明明明 明 明 明 明 第	縁す説 ののの ののののの りんしょう ううしょう アイアンション あいしょう ううしょう ううしょう ほうぼう 第三日 第二日 ういしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しんしょう しんしんしょう しんしょう しんしょう しんしょう しんしょう しんしょう しんしんしょう しんしょう しんしょう しんしんしょう ひんしんしんしょう ひんしんしょう しんしんしんしん ひんしんしんしょう ひんしんしんしょう ひんしんしんしょう ひんしんしんしんしんしんしんしんしんしんしんしんしんしんしんしんしんしんしんし		、導、実実実、実、実、実	シ体 施施施 施 施 施	リ装 形形形 形 形 形 形		ンの ににに に に に に	医児 こここ こ こ こ こ い こ こ こ こ こ こ こ こ こ こ こ こ	膜方 半半半 半 半 半	と法 導導導 導 導 導	シ。 体体体 体 体 体 体			酸構構製製製製製	化 造造造 造 造 造 造	(莫と)ををうしていたい ううしょう ううしょう ううしょう うちょう うちょう うちょう うちょう う	の すすを を を を	積 平概示 示 示 示	層 面略す す す す		で で面程 程 程 程 程	あ あ あ あ あ あ 新 新 新 新 新 新 の 一 一 一 一 一 一 一 一 一 一 一 一 一	3 3で面面面面面	່ວ (((。そそそそそそ	 	1 2 3 4 5)))))	:	30
、	前こ図0図図図あ図あ図あ図あ回	記と面2123る4る5る6る7る	第をの1】】】。】。】。】。】。	2.特簡3本本本 本 本 本 .	の徴単】発発発 発 発 発	絶とな 明明明 明 明 明 明 明 明 明 明 明 明 日 日 日 二	縁す説 ののの ののののの のうりょう アンジェン アンジェン アイディング アイディング アイアンディング アイアン・ション しょう しんしょう しんしんしょう しんしんしょう しんしんしょう しんしんしょう ひんしんしょう しんしょう しんしょう しんしょう しんしょう ひんしんしょう ひんしんしょう ひんしんしょう ひんしんしょう ひんしんしょう ひんしんしょう ひんしんしんしょう ひんしんしょう ひんしんしんしょう ひんしんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしんしょう ひんしょう ひんしょう ひんしょう ひんしんしょう ひんしょう ひんしんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしょう ひんしいい ひんしんしょう ひんしょう ひんしょ ひんしょ ひんしょ ひんしょ ひんしょ ひんしょ ひんしょ ひんしょ	しまた した した した した した した した した した し	、導 実実実 実 実 実 、	シ体 施施施 施 施 施 :	リ装 形形形 形 形 形 デ		ンの ににに に に に .	医脾 こここ こ こ こ こ 化造 るるる る る る る る	膜方 半半半 半 半 半 半	と法 導導導 導 導 導 弾	シ。 体体体 体 体 体 ;			酸 構構製 製 製 製 製	化 造造造 造 造 造 調 きをす アーアーアープ	(莫) きょううううう ううとく 一元示法 法 法 法 法	の すすを を を を	積 平概示 示 示 示	層 面略す す す す す		で で 面程 程 程 程 程 2	ああ。 あるが 新新新 新	5 5で面面面面面	5 5 1 (1 (1 (。 そ そ そ そ そ そ		1 2 3 4 5)))))	:	30
、 【【【【【で【で【で【で【で【	前こ図0図図図あ図あ図あ図あ図	記と面2123る4る5る6る7る8	第をの1】】】。】。】。】。】。】	2、特簡3本本本 本 本 本 本 本	の徴単】発発発 発 発 発 発 発	絶とな 明明明 明 明 明 明 明 明 明 明 明 明 明 明 明 明 明 明 明	縁す説 ののの の の の の の りぼる叩 第第第 第 第 第 第 第 第 第 第	しまう しまう しまう しまう しまう しまう しまう しまう	、導 実実実 実 実 実 実	シ体 施施施 施 施 施 施	リ装 形形形 形 形 形 形 形			医児 こここ こ こ こ こ こ 化造 るるる る る る る る る る る る	膜方 半半半 半 半 半 半	と法 導導導 導 導 導 導	シ。 体体体 体 体 体 体			酸 構構製 製 製 製 製	化 造造造 造 造 造 造 造	(莫) ををううううううううく こうしょう ションデス 法 法 法 法 法	の すすを を を を を を	積 平概示 示 示 示 示	層 面略す す す す す す す す す		で で 面程 程 程 程 程 程	ああるの新新新新新新	3 3で面面面面面面	ະສ (((。 そ そ そ そ そ そ そ そ そ そ	~ の の の の	1 2 3 4 5 6))))	:	30
、 【【【【【で【で【で【で【で【で	前こ図0図図図あ図あ図あ図あ図あ	記と面2123る4る5る6る7る8る	第をの1】】】。】。】。】。】。】。	2特簡3本本本 本 本 本 本 本	の徴単】発発発 発 発 発 発 発	絶とな 明明明 明 明 明 明 明 明	縁す説 ののの ののののののりょう アンジェン アンジェン アンジェン うまう うまう うまう うまう うまう しょう しょう しょう しょう しょう しょう しょう しんしょう しんしんしょう しんしんしょう しんしんしんしょう しんしんしょう ひんしんしんしんしょう しんしょう しんしょう しんしんしょう しんしょう しんしんしんしんしょう しんしんしんしんしょう ひんしんしょう ひんしんしょう しんしんしょう しんしんしんしん ひんしんしんしょう ひんしんしんしょう ひんしんしょう ひんしんしょう ひんしんしょう ひんしんしょう ひんしんしょう ひんしんしょう ひんしんしんしょう ひんしんしんしんしょう ひんしんしんしんしんしんしんしんしんしんしんしょう ひんしんしんしんしょう ひんしんしんしんしんしょう ひんしんしんしんしんしんしんしんしんしんしんしんしんしんしんしんしんしんしんし	しまう しまう しまう しまう しまう しまう しまう しまう	、導 実実実 実 実 実 実 実	シ体 施施施 施 施 施 施	リ装 形形形 形 形 形 形 形			[1]	膜方 半半半 半 半 半 半	と法 導導導 導 導 導 導	シ。 体体体 体 体 体 体 体			酸 構構製 製 製 製 製 製	化 造造造 造 造 造 造 ・ ア・ア・ア・ア・ア・ア・ア・ア・ア・ア・ア・ア・ア	し しょう うう ううう うう うう ううしょう ううしょう うちょう うちょう	の すすを を を を を	積 平概示 示 示 示 示	層 面略す す す す す		で で 面程 程 程 程 程 程	あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ あ 新	3 3で面面面面面面	、る ((((((。そそそそそそそ	0 0 0 0 0 0 0 0	1 2 3 4 5 6)))))))		30
、	前こ図0図図図あ図あ図あ図あ図あ図あ図	記と面2123る4る5る6る7る8る9	第をの1】】】。】。】。】。】。】。】	2.特簡3本本本 本 本 本 本 本	の徴単】発発発 発 発 発 発 発 発	絶とな 明明明 明 明 明 明 明 明 明 明	縁す説 ののの の の の の の の りぼる叩 第第第 第 第 第 第 第 第 第 第 第	しまた。 第111111111111111111111111111111111111	、導 実実実 実 実 実 実 実	シ体 施施施 施 施 施 施 施	リ装 形形形 形 形 形 形 形 形			医型 こここ こ こ こ こ こ こ 化造 るるる る る る る る る る る	膜方 半半半 半 半 半 半 半	と法 導導導 導 導 導 導 導	シ。 体体体 体 体 体 体 体			酸	化 造造造 造 造 造 造 造 造	(莫) ちょううううううううううう うううう ううしょう しょうしょう ううしょう しゅうしょう しょうしょう しょう	の すすを を を を を を	積 平概示 示 示 示 示 示	層		で で 面程 程 程 程 程 程 程	あある。 あるのう あんしょう あいしょう あいしょう あいしょう あいしょう あいしょう あいしょう あいしょう しょう しょう しょう しょう しょう しょう しょう しょう しょう	5 5で面面面面面面面	。る (((((。そ そ そ そ そ そ そ	~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~	1 2 3 4 5 6 7)))))		30
、「「「」で」で」で」で」で」で」で	前こ図0図図図あ図あ図あ図あ図あ図あ	記と面2123る4る5る6る7る8る9る	第をの1】】】。】。】。】。】。】。】。	2 特簡 3 本本本 本 本 本 本 本	の徴単】発発発 発 発 発 発 発 発	絶とな 明明明 明 明 明 明 明 明 明	縁す説 ののの の の の の の の りぼう 第二第二第二第二第二第二第二第二第二第一第一第一第一第	しまう うううう ううう ううう ううしょう ううしょう ううしょう ううしょう ううしょう いっぽう いっぽう いっぽう いっぽう いっぽう しょうしょう しょう しょう しょう しょう しょう しょう しょう しょう	、導 実実実 実 実 実 実 実 実	シ体 施施施 施 施 施 施 施	リ装 形形形 形 形 形 形 形 形		ンの ににに に に に に に に	121 ビード こう	膜方 半半半 半 半 半 半 半	と法 導導導 導 導 導 導 導	シ。 体体体 体 体 体 体 体			酸 構構製 製 製 製 製 製 製	化 造造造 造 造 造 造 造)	(莫) ををううううううううういう とう 示示法 法 法 法 法 法 法 法 法	の すすを を を を を を を を	積 平概示 示 示 示 示 示	層 面略す す す す す す		で で 面程 程 程 程 程 程 程	あ あ あ あ 新 新 新 新 新 新 新 新 新 新 前 市 市 市 市 市 市 市 市 市	3 3で雨 雨 雨 雨 雨 雨	る ((((。そ そ そ そ そ そ そ	~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~	1 2 3 4 5 6 7)))))))))))))))))))))))))))))))))))))))	:	30
、「【【【【で【で【で【で【で】で】	前こ図0図図図あ図あ図あ図あ図あ図あ図	記と面2123る4る5る6る7る8る9る1	第をの1】】】。】。】。】。】。】。】。	2 特簡 3 本本本 本 本 本 本 入	の徴単】発発発 発 発 発 発 発 本	絶とな 明明明 明 明 明 明 明 明 発	縁す説 ののの の の の の の 明醇る明 第第第 第 第 第 第 第 第 第 第 第 第 第	し ううう ううう ううう ううう しょう ううしょう しょうしょう しょうしょう しょうしょう しょうしょう しょう	、導 実実実 実 実 実 実 実 実 1	シ体 施施施 施 施 施 施 実	リ装 形形形 形 形 形 形 形 施		シの ににに に に に に に 態	屋梨 こここ こ こ こ こ こ こ こ こ こ こ こ る る る る る る	膜方 半半半 半 半 半 半 る	と法 導導導 導 導 導 導 半	シ。 体体体 体 体 体 体 導	したまままます。そうますます。		酸 構構製 製 製 製 製 製 製 の	化 造造造 造 造 造 造 遺 製 懇 ををア ア・ア・ア・ア・ア・ア ジ	(莫) ちょうううううううう うちょう しょうしん ううしょう しょうしょう しんしょう しょう しょう しょう しょう しょう しょう しょう しょう しょう	の すすをををををを法	積 平概示 示 示 示 示 を	層 面略す す す す す す 示	膜 図断工 エ エ エ エ エ エ エ エ エ エ エ エ エ	で で 面程 程 程 程 程 程 工	あ あ あ あ 新 新 新 新 新 程 で す す す す す す す す す す す す す す す ま ま ま ま	5 5で面面面面面面面所。	。る (((((。 そ そ そ そ そ そ そ そ そ そ そ て そ て く て	ののののののそ	1 2 3 4 5 6 7 の))))) 8		30
、 【【【【【で【で【で【で【で【で【)	前こ図0図図図あ図あ図あ図あ図あ図あ図で	記と面2123る4る5る6る7る8る9る1あ	第をの1】】】。】。】。】。】。】。】。る	2.特簡 3 本本本 本 本 本 本 】。	の徴単】発発発 発 発 発 発 発 本	絶とな 明明明 明 明 明 明 明 明 発	縁す説 ののの の の の の の 明勝る明 第第第 第 第 第 第 第 第 第 第 第 第 第	しまい いっち いっかい いっかい いっかい いっかい いっかい いっかい いっかい	、導 実実実 実 実 実 実 実 実 1	シ体 施施施 施 施 施 施 実	リ装 形形形 形 形 形 形 形 施	コ音 態態態 態 態 態 態 態 形	ンの ににに に に に に に 態	1212 こここ こ こ こ こ こ 化造 るるる る る る る る る る る る よ	膜方 半半半 半 半 半 半 る	と法 導導導 導 導 導 導 導 半	シ。 体体体 体 体 体 体 体 導	したまたまたまたまたます。		酸 構構製 製 製 製 製 製 製 の	化 造造造 造 造 造 造 遺 製 懇 えるえ ア・ア・ア・ア・ア・ア・ア うん	(莫) ををうううううううううきょう とうぶうぶん 法法法法法 法法法法法法法法法法法法法法法法法法法法法法法	の すすを を を を を 法	積 平概示 示 示 示 示 示 を	層 面略す す す す す す 示		で で 面程 程 程 程 程 程 工	あ あ あ あ あ あ 新 新 新 新 新 程	3 3です す す す す す 折 ふあ図 図 図 図 図 図 図 図 面	。 る((((((((((((((((((。 そ そ そ そ そ そ そ そ そ そ そ く そ	ののののののそ	1 2 3 4 5 6 7 の)))) 8	:	30
、 【【【【【で【で【で【で【で【で【(】	前こ図0図図図あ図あ図あ図あ図あ図あ図で図	記と面2123る4る5る6る7る8る9る1あ1	第をの1】】】。】。】。】。】。】。】。る1	2.特簡 3 本本本本本本本本本人。入	の徴単】発発発 発 発 発 発 発 本 本	絶とな 明明明 明 明 明 明 明 明 発 発	縁す説 ののの の の の の の 明 明勝る明 第第第 第 第 第 第 第 第 第 第 の の	使ら月 啓 第二時 第二時 第二時 10 00 14半】 1111 1 1 1 1 1 第一第	、導 実実実 実 実 実 実 実 実 1 1	シ体 施施施 施 施 施 施 実 実	リ装 形形形 形 形 形 形 形 施 施		ンの ににに に に に に じ じ 態 態 31年 よよよ よ よ よ よ よ よ よ よ よ は に	尾梨 こここ こここ こここ こ 化造 るるる る る る る る る る る よ よ	膜方 半半半 半 半 半 半 そ る る	と法 導導導 導 導 導 導 導 半 半	シ。 体体体 体 体 体 体 導 導	したまままます。そうまたます。そうまでは、「「「」」では、「「」」では、「」では、「」」では、「」では、「」では、「		酸 構構製 製 製 製 製 製 製 の の	化 造造造 造 造 造 造 造 製 製 駆 あるをア ア ア ア ア ア ア ざ 道	(莫) ををうううううううううききょうとう 示示法 法法法法法法法法法法法法法法法法法法法法法法法法法法法法法 方方方	の すすを を を を を 法 法	積 平概示 示 示 示 示 示 を を	層 面略す す す す す す 示 示	膜 図断工 エ エ エ エ エ エ エ す す す	で で 面程 程 程 程 程 程 工 工	あ あ あ あ あ あ 新 新 新 新 新 野 程 程 る うってう す す す す す す め め め	5 5で瓦 瓦 瓦 瓦 瓦 瓦 所 所 。 あ図 図 図 図 図 図 面 面	る()()()()()()()()()()()()()()()()()()()	。 そ そ そ そ そ そ そ そ そ そ く (ののののののそそ	1 2 3 4 5 6 7 のの)))) 8 9		30
、	前こ図0図図図あ図あ図あ図あ図あ図あ図で図で	記と面2123る4る5る6る7る8る9る1あ1あ	第をの1】】】。】。】。】。】。】。】。のる1る	2.特簡3本本本本本本本本本本。)。)。	の徴単】発発発 発 発 発 発 発 本 本	絶とな 明明明 明 明 明 明 明 晩 発 発	縁す説 ののの の の の の の 明 明 勝る明 第第第 第 第 第 第 第 第 第 の の	し いっかい いっかい いっかい いっかい いっかい いっかい いっかい いっか	、導 実実実 実 実 実 実 実 実 実 1 1	シ体 施施施 施 施 施 施 実 実	リ装 形形形 形 形 形 形 施 施	コ音能能能能能能能能能能能能能能能能能能能能能能能能能能能能能能能能能能能能	ンの ににに に に に に 能 態 ぎぎ ううう う う う う う に に		膜方 半半半 半 半 半 半 半 る る	と法 導導導 導 導 導 導 導 半 半	シ。 体体体 体 体 体 体 体 導 導	したまたまたまた。そうたった本本		酸 構構製 製 製 製 製 製 製 の の	化 造造造 造 造 造 造 遺 製 製 駆 きるえ ア・ア・ア・ア・ア・ア・ア 道 道	(莫) きょうううううううう きききとう 示示法 法 法 法 法 法 法 法 方 方	の すすを を を を を 法 法	積 平概示 示 示 示 示 示 を を	層 面略す す す す す す 示 示	膜 図断工 工 工 工 工 工 工 工 す す	で で 面程 程 程 程 程 程 工 工	あ あ あ あ 新新新新新新新 程 程 るううろう うううう うううう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう しょうしょう あいしょう しょうしょう あいしょう しょうしょう しょうしょう しょうしょう しんしょう しょうしょう しょうしょう しょうしょう しょうしょう あいしょう しょう ひょう かいしょう ひょう ひょう ひょう ひょう ひょう ひょう ちょう ひょう あい あい ひょう	5 5で面面面面面面面折折	る () () () () () 図	。そそそそそそそく ()	ののののののそそ	1 2 3 4 5 6 7 の)))) 8 9		30

(24)

0)である。 【図13】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 1)である。 【図14】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 2)である。 【図15】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 3)である。 【図16】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 4)である。 10 【図17】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 5)である。 【図18】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 6)である。 【図19】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 7)である。 【図20】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 8)である。 【図21】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1 9)である。 20 【図22】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2 0)である。 【図23】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2 1)である。 【図24】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2 2)である。 【図25】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2 3)である。 【図26】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2 4)である。 30 【図27】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2 5)である。 【図28】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2 6)である。 【図29】ONO膜の除去過程におけるフルオロカーボン膜の影響を説明する図である。 【図30】フルオロカーボン膜を除去する工程を行っていない試料と行った試料とにおけ る素子分離膜端部の断面形状を示すTEM像である。 【図31】高電圧トランジスタのゲート電極に逆バイアスを印加したときのゲート絶縁膜 耐圧を示すグラフである。 【図32】本発明の第2実施形態による半導体装置の構造を示す平面図及び概略断面図で 40 ある。 【図33】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その1)である。 【図34】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その2)である。 【図35】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その3)である。 【図36】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その4)である。 【図37】本発明の第3実施形態による半導体装置の構造を示す平面図及び概略断面図で ある。

【図38】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その1)である。 【図39】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その2)である。 【図40】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その3)である。 【符号の説明】 [0214]10...シリコン基板 10 12,24,26,42a、42c,46,50,80,114…シリコン酸化膜 14,42b,62,76…シリコン窒化膜 16,36,60…ポリシリコン膜 18,38,64,82....BARC膜 20,30,40,44,48,52,66,84…フォトレジスト膜 22...トレンチ 28...素子分離膜 3 2 ... 犠牲酸化膜 34…トンネル絶縁膜 42...0NO膜 20 54,56,58…ゲート絶縁膜 68…フローティングゲート 70…コントロールゲート 72,78,90…側壁絶縁膜 74,88,92,94,110,112...不純物拡散領域 86…ゲート電極 96,98…ソース / ドレイン領域 100…窪み 102…フルオロカーボン膜 104…ボトム酸化膜 30 108...ビット線

























(b) 26 26 14 12 24 22 【図8】

































34



28





 $\begin{bmatrix} \boxtimes 2 & 0 \end{bmatrix}$

34



-10



(b)









28





























【図32】

(a)











【図33】















【図36】











(a)









(a)





42 42a 42b 42c

28

28

-114 -60

-10

【 🛛 3 9 】 (a)



(b)



(c)



(b)











フロントページの続き

(51) Int.CI. H 0 1 L 29/792 (2006.01) H 0 1 L 21/76 (2006.01)

(72)発明者 姉崎 徹

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

FΙ

- (72)発明者 小川 裕之
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
 (72)発明者 有吉 潤一
 - 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
 - 審査官 堀江 義隆
- (56)参考文献 特開2006-286788(JP,A) 特開2003-282743(JP,A) 特開平11-265882(JP,A)

(58)調査した分野(Int.CI., DB名)

 H 0 1 L
 2 1 / 8 2 4 7

 H 0 1 L
 2 1 / 3 3 6

 H 0 1 L
 2 1 / 7 6

 H 0 1 L
 2 7 / 1 0

 H 0 1 L
 2 7 / 1 8

 H 0 1 L
 2 7 / 1 8

 H 0 1 L
 2 7 / 1 8

 H 0 1 L
 2 9 / 7 8

 H 0 1 L
 2 9 / 7 9 2