

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7223828号  
(P7223828)

(45)発行日 令和5年2月16日(2023.2.16)

(24)登録日 令和5年2月8日(2023.2.8)

(51)国際特許分類	F I
H 0 1 L 21/301 (2006.01)	H 0 1 L 21/78 Q
H 0 1 L 21/02 (2006.01)	H 0 1 L 21/78 B
B 2 3 K 26/53 (2014.01)	H 0 1 L 21/78 V
	H 0 1 L 21/02 B
	B 2 3 K 26/53

請求項の数 7 (全22頁)

(21)出願番号	特願2021-187082(P2021-187082)	(73)特許権者	000236436 浜松ホトニクス株式会社
(22)出願日	令和3年11月17日(2021.11.17)		静岡県浜松市東区市野町 1 1 2 6 番地の
(62)分割の表示	特願2017-146859(P2017-146859) )の分割		1
原出願日	平成29年7月28日(2017.7.28)	(74)代理人	100088155 弁理士 長谷川 芳樹
(65)公開番号	特開2022-31745(P2022-31745A)	(74)代理人	100113435 弁理士 黒木 義樹
(43)公開日	令和4年2月22日(2022.2.22)	(74)代理人	100140442 弁理士 柴山 健一
審査請求日	令和3年11月26日(2021.11.26)	(72)発明者	坂本 剛志 静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内
		(72)発明者	杉浦 隆二 静岡県浜松市東区市野町 1 1 2 6 番地の 最終頁に続く

(54)【発明の名称】 積層型素子の製造方法

(57)【特許請求の範囲】

【請求項 1】

表面及び裏面を有する半導体基板と、前記表面に沿って2次元状に配列された複数の機能素子を含む回路層と、を備える半導体ウェハの積層体を構成する積層工程と、

前記積層工程の後に、前記積層体にレーザ光を照射することにより、前記積層体に改質領域及び亀裂を形成するレーザ光照射工程と、

を備え、

前記積層工程は、

前記半導体ウェハとして、第1ウェハ及び第2ウェハを用意すると共に、前記第1ウェハの前記機能素子のそれぞれと前記第2ウェハの前記機能素子のそれぞれとが互に対応するように、前記第1ウェハの前記回路層に前記第2ウェハの前記回路層を接合する第1接合工程と、

前記第1接合工程の後に、前記第2ウェハの前記半導体基板を研削する研削工程と、

前記研削工程の後に、前記半導体ウェハとして第3ウェハを用意すると共に、前記第2ウェハの前記機能素子のそれぞれと前記第3ウェハの前記機能素子のそれぞれとが互に対応するように、前記第2ウェハの前記半導体基板に前記第3ウェハの前記回路層を接合する第2接合工程と、

を有し、

前記レーザ光照射工程においては、前記第1ウェハの前記半導体基板に対して、前記機能素子の間を通るように設定された切断予定ラインに沿って前記レーザ光を照射すること

により、前記切断予定ラインに沿って前記改質領域を形成すると共に、前記積層体の積層方向に沿って前記積層体の積層方向の両端に至るように前記改質領域から前記亀裂を伸展させ、

前記レーザ光照射工程の後に、前記第1ウェハの前記半導体基板を研削する、  
積層型素子の製造方法。

【請求項2】

表面及び裏面を有する半導体基板と、前記表面に沿って2次元状に配列された複数の機能素子を含む回路層と、を備える半導体ウェハの積層体を構成する積層工程と、

前記積層工程の後に、前記積層体にレーザ光を照射することにより、前記積層体に改質領域及び亀裂を形成するレーザ光照射工程と、

を備え、

前記積層工程は、

前記半導体ウェハとして、第1ウェハ及び第2ウェハを用意すると共に、前記第1ウェハの前記機能素子のそれぞれと前記第2ウェハの前記機能素子のそれぞれとが互に対応するように、前記第1ウェハの前記半導体基板に前記第2ウェハの前記回路層を接合する第1接合工程と、

前記第1接合工程の後に、前記第2ウェハの前記半導体基板を研削する研削工程と、

前記研削工程の後に、前記半導体ウェハとして第3ウェハを用意すると共に、前記第2ウェハの前記機能素子のそれぞれと前記第3ウェハの前記機能素子のそれぞれとが互に対応するように、前記第2ウェハの前記半導体基板に前記第3ウェハの前記回路層を接合する第2接合工程と、

を有し、

前記レーザ光照射工程においては、前記第3ウェハの前記半導体基板に対して、前記機能素子の間を通るように設定された切断予定ラインに沿って前記レーザ光を照射することにより、前記切断予定ラインに沿って前記改質領域を形成すると共に、前記積層体の積層方向に沿って前記積層体の積層方向の両端に至るように前記改質領域から前記亀裂を伸展させ、

前記レーザ光照射工程の後に、前記第3ウェハの前記半導体基板を研削する、  
積層型素子の製造方法。

【請求項3】

前記積層工程は、前記第1接合工程の前に、サポート基板及び前記第1ウェハを用意すると共に、前記サポート基板に前記第1ウェハの前記回路層を接合する準備工程を有し、

前記第1接合工程においては、前記第2ウェハ、及び、前記サポート基板に接合された前記第1ウェハを用意する、

請求項2に記載の積層型素子の製造方法。

【請求項4】

前記積層工程の後であって前記レーザ光照射工程の前、または、前記レーザ光照射工程の後に、前記サポート基板を除去するサポート基板除去工程をさらに備える、

請求項3に記載の積層型素子の製造方法。

【請求項5】

前記レーザ光照射工程は、

前記半導体基板に対して、前記裏面側から前記レーザ光を照射して前記改質領域としての第1改質領域を形成する第1レーザ光照射工程と、

前記半導体基板に対して、前記裏面側から前記レーザ光を照射して前記第1改質領域と前記裏面との間に前記改質領域としての第2改質領域を形成することにより、前記両端に至るように前記亀裂を伸展させる第2レーザ光照射工程と、

を有する、

請求項1～4のいずれか一項に記載の積層型素子の製造方法。

【請求項6】

前記レーザ光照射工程の後に、前記改質領域が形成された前記半導体基板を研削するこ

10

20

30

40

50

とにより、前記改質領域を除去する改質領域除去工程をさらに備える、  
請求項 1 ~ 5 のいずれか一項に記載の積層型素子の製造方法。

【請求項 7】

前記レーザ光照射工程の後に、前記積層体に応力を印加することにより、前記切断予定ラインに沿って前記積層体を切断する切断工程をさらに備える、  
請求項 1 ~ 6 のいずれか一項に記載の積層型素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層型素子の製造方法に関する。

10

【背景技術】

【0002】

特許文献 1 には、半導体ウェハを切断する方法が記載されている。この方法では、半導体ウェハがチャックテーブルに吸着保持されている状態において、チャックテーブルを往復移動させつつ、高速回転する切削ブレードを下降させて半導体ウェハのストリートを切削する。半導体ウェハは、全てのストリートに対して上記の切削が行われることによりダイシングされ、個々の半導体チップに分割される。

【先行技術文献】

【特許文献】

【0003】

20

【文献】特開 2006 - 013312 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、現在、例えば DRAM (Dynamic Random Access Memory) といった半導体メモリの分野において、複数の素子を積層して構成される積層型素子の開発が進められつつあり、積層型素子の薄化及び歩留まりの向上の両立の実現が期待されている。

【0005】

そこで、本発明は、積層型素子の薄化及び歩留まりの向上の両立が可能な積層型素子の製造方法を提供することを目的とする。

30

【課題を解決するための手段】

【0006】

本発明者は、上記課題を解決するために鋭意検討を重ねた結果、次の知見を得るに至った。すなわち、半導体ウェハの積層体の切断に際して、積層体を構成する半導体ウェハの基板部分に対してレーザ光を照射し、改質領域を形成すると共に当該改質領域から亀裂を伸展させることにより、半導体ウェハの接合界面でのチップングを抑制しつつ積層体を切断可能となる。本発明は、このような知見に基づいてなされたものである。

【0007】

すなわち、本発明に係る積層型素子の製造方法は、表面及び裏面を有する半導体基板と、表面に沿って 2 次元状に配列された複数の機能素子を含む回路層と、を備える半導体ウェハの積層体を構成する積層工程と、積層工程の後に、積層体にレーザ光を照射することにより、積層体に改質領域及び亀裂を形成するレーザ光照射工程と、を備え、積層工程は、半導体ウェハとして、第 1 ウェハ及び第 2 ウェハを用意すると共に、第 1 ウェハの機能素子のそれぞれと第 2 ウェハの機能素子のそれぞれとが互いに対応するように、第 1 ウェハの回路層に第 2 ウェハの回路層を接合する第 1 接合工程と、第 1 接合工程の後に、第 2 ウェハの半導体基板を研削する研削工程と、研削工程の後に、半導体ウェハとして第 3 ウェハを用意すると共に、第 2 ウェハの機能素子のそれぞれと第 3 ウェハの機能素子のそれぞれとが互いに対応するように、第 2 ウェハの半導体基板に第 3 ウェハの回路層を接合する第 2 接合工程と、を有し、レーザ光照射工程においては、第 1 ウェハの半導体基板に対して、機能素子の間を通るように設定された切断予定ラインに沿ってレーザ光を照射する

40

50

ことにより、切断予定ラインに沿って改質領域を形成すると共に、積層体の積層方向に沿って改質領域から亀裂を伸展させる。

【0008】

或いは、本発明に係る積層型素子の製造方法は、表面及び裏面を有する半導体基板と、表面に沿って2次元状に配列された複数の機能素子を含む回路層と、を備える半導体ウェハの積層体を構成する積層工程と、積層工程の後に、積層体にレーザ光を照射することにより、積層体に改質領域及び亀裂を形成するレーザ光照射工程と、を備え、積層工程は、半導体ウェハとして、第1ウェハ及び第2ウェハを用意すると共に、第1ウェハの機能素子のそれぞれと第2ウェハの機能素子のそれぞれとが互に対応するように、第1ウェハの半導体基板に第2ウェハの回路層を接合する第1接合工程と、第1接合工程の後に、第2ウェハの半導体基板を研削する研削工程と、研削工程の後に、半導体ウェハとして第3ウェハを用意すると共に、第2ウェハの機能素子のそれぞれと第3ウェハの機能素子のそれぞれとが互に対応するように、第2ウェハの半導体基板に第3ウェハの回路層を接合する第2接合工程と、を有し、レーザ光照射工程においては、第3ウェハの半導体基板に対して、機能素子の間を通るように設定された切断予定ラインに沿ってレーザ光を照射することにより、切断予定ラインに沿って改質領域を形成すると共に、積層体の積層方向に沿って改質領域から亀裂を伸展させる。

10

【0009】

これらの方法においては、半導体ウェハの積層体の構成に際して、半導体ウェハ（ここでは第2ウェハ）の半導体基板を研削して薄化する研削工程を実施する。これにより、薄化された積層体を得ることができる。このような積層体の切断にブレードダイシングを利用すると、チップングにより歩留まりの低下が顕著となる。これに対して、この方法にあっては、半導体ウェハの半導体基板に対して、切断予定ラインに沿ってレーザ光を照射することにより、改質領域を形成すると共に改質領域から積層方向に亀裂を伸展させる。これにより、半導体ウェハの接合界面でのチップングを抑制しつつ積層体を切断することができる。よって、この方法によれば、積層型素子の薄化及び歩留まりの向上の両立が可能となる。

20

【0010】

なお、上記の方法のうち、第1接合工程において、第1ウェハの半導体基板に第2ウェハの回路層を接合する方法にあっては、積層工程は、第1接合工程の前に、サポート基板及び第1ウェハを用意すると共に、サポート基板に第1ウェハの回路層を接合する準備工程を有し、第1接合工程においては、第2ウェハ、及び、サポート基板に接合された第1ウェハを用意してもよい。この場合、第1接合工程における第1ウェハの取り扱いが容易となる。また、この場合には、積層工程の後であってレーザ光照射工程の前、または、レーザ光照射工程の後に、サポート基板を除去するサポート基板除去工程をさらに備えてもよい。なお、このサポート基板除去工程は、後述する切断工程の前に行うことができる。

30

【0011】

本発明に係る積層型素子の製造方法においては、レーザ光照射工程においては、積層体における積層方向の両端に亀裂が至るように改質領域を形成してもよい。この場合、積層体の反りを抑制可能となる。

40

【0012】

本発明に係る積層型素子の製造方法においては、レーザ光照射工程は、半導体基板に対して、裏面側からレーザ光を照射して改質領域としての第1改質領域を形成する第1レーザ光照射工程と、半導体基板に対して、裏面側からレーザ光を照射して第1改質領域と裏面との間に改質領域としての第2改質領域を形成することにより、両端に至るように亀裂を伸展させる第2レーザ光照射工程と、を有してもよい。この場合、積層体の両端に確実に至るように亀裂を伸展させることが可能となる。

【0013】

本発明に係る積層型素子の製造方法は、レーザ光照射工程の後に、改質領域が形成された半導体基板を研削することにより、改質領域を除去する改質領域除去工程をさらに備え

50

てもよい。この場合、抗折強度が向上する。

【0014】

本発明に係る積層型素子の製造方法は、レーザ光照射工程の後に、積層体に応力を印加することにより、切断予定ラインに沿って積層体を切断する切断工程をさらに備えてもよい。この場合、積層体を確実に切断可能となる。

【発明の効果】

【0015】

本発明によれば、歩留まりの低下を抑制可能な積層型素子の製造方法を提供できる。

【図面の簡単な説明】

【0016】

【図1】改質領域の形成に用いられるレーザ加工装置の概略構成図である。

【図2】改質領域の形成の対象となる加工対象物の平面図である。

【図3】図2の加工対象物のIII - III線に沿っての断面図である。

【図4】レーザ加工後の加工対象物の平面図である。

【図5】図4の加工対象物のV - V線に沿っての断面図である。

【図6】図4の加工対象物のVI - VI線に沿っての断面図である。

【図7】加工対象物としての積層体を示す平面図である。

【図8】図7に示された積層体の一部を拡大して示す概略平面図である。

【図9】図8のIX - IX線に沿っての概略断面図である。

【図10】図9に示された一部の領域の拡大図である。

【図11】積層型素子の製造方法の主要な工程を示す図である。

【図12】積層型素子の製造方法の主要な工程を示す図である。

【図13】積層型素子の製造方法の主要な工程を示す図である。

【図14】積層型素子の製造方法の主要な工程を示す図である。

【図15】積層型素子の製造方法の主要な工程を示す図である。

【図16】下端距離とスプラッシュダメージとの関係を示す表である。

【図17】積層型素子の製造方法の別の態様の主要な工程を示す図である。

【図18】積層型素子の製造方法の別の態様の主要な工程を示す図である。

【図19】積層型素子の製造方法の別の態様の主要な工程を示す図である。

【図20】積層型素子の製造方法の別の態様の主要な工程を示す図である。

【発明を実施するための形態】

【0017】

以下、本発明の一実施形態について、図面を参照して詳細に説明する。なお、各図において、同一の要素同士、又は相当する要素同士には同一の符号を付し、重複する説明を省略する場合がある。

【0018】

本実施形態に係る積層型素子の製造方法においては、加工対象物（一例として半導体ウェハの積層体）にレーザ光を集光することにより、切断予定ラインに沿って加工対象物に改質領域を形成する。そこで、まず、改質領域の形成について、図1～図6を参照して説明する。

【0019】

図1に示されるように、レーザ加工装置100は、レーザ光Lをパルス発振するレーザ光源101と、レーザ光Lの光軸（光路）の向きを90°変えるように配置されたダイクロミックミラー103と、レーザ光Lを集光するための集光用レンズ105と、を備えている。また、レーザ加工装置100は、集光用レンズ105で集光されたレーザ光Lが照射される加工対象物1を支持するための支持台107と、支持台107を移動させるためのステージ111と、レーザ光Lの出力やパルス幅、パルス波形等を調節するためにレーザ光源101を制御するレーザ光源制御部102と、ステージ111の移動を制御するステージ制御部115と、を備えている。

【0020】

10

20

30

40

50

レーザ加工装置 100 においては、レーザ光源 101 から出射されたレーザ光 L は、ダイクロミックミラー 103 によってその光軸の向きを 90° 変えられ、支持台 107 上に載置された加工対象物 1 の内部に集光用レンズ 105 によって集光される。これと共に、ステージ 111 が移動させられ、加工対象物 1 がレーザ光 L に対して切断予定ライン 5 に沿って相対移動させられる。これにより、切断予定ライン 5 に沿った改質領域が加工対象物 1 に形成される。なお、ここでは、レーザ光 L を相対的に移動させるためにステージ 111 を移動させたが、集光用レンズ 105 を移動させてもよいし、或いはこれらの両方を移動させてもよい。

#### 【0021】

加工対象物 1 としては、半導体材料で形成された半導体基板や圧電材料で形成された圧電基板等を含む板状の部材（例えば、基板、ウェハ等）が用いられる。図 2 に示されるように、加工対象物 1 には、加工対象物 1 を切断するための切断予定ライン 5 が設定されている。切断予定ライン 5 は、直線状に延びた仮想線である。加工対象物 1 の内部に改質領域を形成する場合、図 3 に示されるように、加工対象物 1 の内部に集光点（集光位置）P を合わせた状態で、レーザ光 L を切断予定ライン 5 に沿って（すなわち、図 2 の矢印 A 方向に）相対的に移動させる。これにより、図 4、図 5 及び図 6 に示されるように、改質領域 7 が切断予定ライン 5 に沿って加工対象物 1 に形成され、切断予定ライン 5 に沿って形成された改質領域 7 が切断起点領域 8 となる。

10

#### 【0022】

集光点 P とは、レーザ光 L が集光する箇所のことである。切断予定ライン 5 は、直線状に限らず曲線状であってもよいし、これらが組み合わされた 3 次元状であってもよいし、座標指定されたものであってもよい。切断予定ライン 5 は、仮想線に限らず加工対象物 1 の表面 3 に実際に引かれた線であってもよい。改質領域 7 は、連続的に形成される場合もあるし、断続的に形成される場合もある。改質領域 7 は列状でも点状でもよく、要は、改質領域 7 は少なくとも加工対象物 1 の内部に形成されていればよい。また、改質領域 7 を起点に亀裂が形成される場合があり、亀裂及び改質領域 7 は、加工対象物 1 の外表面（表面 3、裏面、若しくは外周面）に露出しているもよい。改質領域 7 を形成する際のレーザ光入射面は、加工対象物 1 の表面 3 に限定されるものではなく、加工対象物 1 の裏面であってもよい。

20

#### 【0023】

ちなみに、加工対象物 1 の内部に改質領域 7 を形成する場合には、レーザ光 L は、加工対象物 1 を透過すると共に、加工対象物 1 の内部に位置する集光点 P 近傍にて特に吸収される。これにより、加工対象物 1 に改質領域 7 が形成される（すなわち、内部吸収型レーザ加工）。この場合、加工対象物 1 の表面 3 ではレーザ光 L が殆ど吸収されないので、加工対象物 1 の表面 3 が溶融することはない。一方、加工対象物 1 の表面 3 に改質領域 7 を形成する場合には、レーザ光 L は、表面 3 に位置する集光点 P 近傍にて特に吸収され、表面 3 から溶融され除去されて、穴や溝等の除去部が形成される（表面吸収型レーザ加工）。

30

#### 【0024】

改質領域 7 は、密度、屈折率、機械的強度やその他の物理的特性が周囲とは異なる状態になった領域をいう。改質領域 7 としては、例えば、溶融処理領域（一旦溶融後再固化した領域、溶融状態中の領域及び溶融から再固化する状態中の領域のうち少なくとも何れか一つを意味する）、クラック領域、絶縁破壊領域、屈折率変化領域等があり、これらが混在した領域もある。更に、改質領域 7 としては、加工対象物 1 の材料において改質領域 7 の密度が非改質領域の密度と比較して変化した領域や、格子欠陥が形成された領域がある。加工対象物 1 の材料が単結晶シリコンである場合、改質領域 7 は、高転位密度領域ともいえる。

40

#### 【0025】

溶融処理領域、屈折率変化領域、改質領域 7 の密度が非改質領域の密度と比較して変化した領域、及び、格子欠陥が形成された領域は、更に、それら領域の内部や改質領域 7 と非改質領域との界面に亀裂（割れ、マイクロクラック）を内包している場合がある。内包

50

される亀裂は、改質領域 7 の全面に渡る場合や一部分のみや複数部分に形成される場合がある。加工対象物 1 は、結晶構造を有する結晶材料からなる基板を含む。例えば加工対象物 1 は、窒化ガリウム (GaN)、シリコン (Si)、シリコンカーバイド (SiC)、LiTaO<sub>3</sub>、及び、サファイア (Al<sub>2</sub>O<sub>3</sub>) の少なくとも何れかで形成された基板を含む。換言すると、加工対象物 1 は、例えば、窒化ガリウム基板、シリコン基板、SiC 基板、LiTaO<sub>3</sub> 基板、又はサファイア基板を含む。結晶材料は、異方性結晶及び等方性結晶の何れであってもよい。また、加工対象物 1 は、非結晶構造 (非晶質構造) を有する非結晶材料からなる基板を含んでいてもよく、例えばガラス基板を含んでいてもよい。

#### 【0026】

実施形態では、切断予定ライン 5 に沿って改質スポット (加工痕) を複数形成することにより、改質領域 7 を形成することができる。この場合、複数の改質スポットが集まることによって改質領域 7 となる。改質スポットとは、パルスレーザー光の 1 パルスのショット (つまり 1 パルスのレーザー照射: レーザショット) で形成される改質部分である。改質スポットとしては、クラックスポット、溶融処理スポット若しくは屈折率変化スポット、又はこれらの少なくとも 1 つが混在するもの等が挙げられる。改質スポットについては、要求される切断精度、要求される切断面の平坦性、加工対象物 1 の厚さ、種類、結晶方位等を考慮して、その大きさや発生する亀裂の長さを適宜制御することができる。また、実施形態では、切断予定ライン 5 に沿って、改質スポットを改質領域 7 として形成することができる。

#### [第1実施形態]

#### 【0027】

引き続き、第 1 実施形態に係る積層型素子の製造方法の一例について説明する。この製造方法は、半導体ウェハの積層体を構成する積層工程を含み、積層工程により構成された積層体を上記の加工対象物 1 としてレーザー加工を行う。そこで、まず、積層体の構成、及び、製造される積層型素子の一例について説明する。

#### 【0028】

図 7 は、加工対象物としての積層体を示す平面図である。図 8 は、図 7 に示された積層体の一部を拡大して示す概略平面図である。図 9 は、図 8 の IX - IX 線に沿っての概略断面図である。図 7 ~ 9 に示されるように、積層体 10 (加工対象物 1) は、アクティブ領域 11 と、切断領域 12 と、を含む。アクティブ領域 11 は、オリエンテーションフラット 6 に沿った第 1 方向 D1 と、第 1 方向 D1 に交差 (直交) する第 2 方向 D2 と、に沿って 2 次元状に配列されている。切断領域 12 は、第 1 方向 D1 及び第 2 方向 D2 に交差 (直交) する第 3 方向 D3 からみて、アクティブ領域 11 を囲うように格子状に形成されている。

#### 【0029】

積層体 10 は、第 3 方向 D3 に沿って互いに積層された複数 (ここでは 10 個) の半導体ウェハ 20 を含む。半導体ウェハ 20 は、それぞれ、半導体基板 21 と回路層 22 とを有する。半導体基板 21 は、表面 21s と裏面 21r とを含む。回路層 22 は、表面 21s 上に形成されており、表面 21s に沿って 2 次元状に配列された複数の機能素子 23 を含む。1 つのアクティブ領域 11 は、第 3 方向 D3 に沿って 1 列に積層された複数 (ここでは 10 個) の機能素子 23 を含むように、全ての半導体ウェハ 20 にわたって設定されている。この製造方法においては、積層体 10 を切断領域 12 において切断することにより、それぞれのアクティブ領域 11 が切り出される。

#### 【0030】

そのために、積層体 10 には、上述した切断予定ライン 5 として、第 1 方向 D1 に沿った切断予定ライン 5a と、第 2 方向 D2 に沿った切断予定ライン 5b と、が設定されている。切断予定ライン 5a、5b は、第 1 方向 D1 及び第 2 方向 D2 のそれぞれに沿って互いに隣り合う機能素子 23 の間を通るように切断領域 12 に設定されている。より具体的には、切断領域 12 には、回路層 22 において、機能素子 23 を囲うように環状のストリート部 25 が設けられており、且つ、機能素子 23 及びストリート部 25 を囲うように格

10

20

30

40

50

子状の金属配線部 2 6 が設けられている。金属配線部 2 6 は、例えば T E G 配線である。

#### 【 0 0 3 1 】

そして、切断予定ライン 5 a は、第 2 方向 D 2 に沿って互いに隣り合う機能素子 2 3 の間においてストリート部 2 5 を通りつつ、第 1 方向 D 1 に沿って互いに隣り合うストリート部 2 5 の間において金属配線部 2 6 を通るように、第 1 方向 D 1 に沿って設定されている。また、切断予定ライン 5 b は、第 1 方向 D 1 に沿って互いに隣り合う機能素子 2 3 の間においてストリート部 2 5 を通りつつ、第 2 方向 D 2 に沿って互いに隣り合うストリート部 2 5 の間において金属配線部 2 6 を通るように、第 2 方向 D 2 に沿って設定されている。なお、ここでは、回路層 2 2 においては、機能素子 2 3 とストリート部 2 5 との間に、金属製のガードリング 2 7 が設けられている。また、図 8 においては、積層体 1 0 の表層の半導体基板 2 1 の図示が省略されている。

10

#### 【 0 0 3 2 】

ここで、積層体 1 0 は、半導体ウェハ 2 0 として、後述する半導体メモリとしての機能素子 2 3 を含む半導体ウェハ 2 0 A と、半導体メモリのドライバ I C としての機能素子 2 3 を含む半導体ウェハ 2 0 B と、を有する。ここでは、積層体 1 0 は、その積層方向（第 3 方向 D 3 ）における一端 1 0 a 及び他端 1 0 b を有し、一端 1 0 a を構成する半導体ウェハ 2 0 のみが半導体ウェハ 2 0 B である。そして、他端 1 0 b を構成する半導体ウェハ 2 0 を含む他の半導体ウェハ 2 0 は、半導体ウェハ 2 0 A である。

#### 【 0 0 3 3 】

引き続き、積層型素子 1 5 について説明する。積層型素子 1 5 は、主に、上述した切断予定ライン 5 a , 5 b に沿った積層体 1 0 の切断によりアクティブ領域 1 1 が切り出されることにより製造される。したがって、積層型素子 1 5 は、それぞれ、互いに一列に積層された複数（積層体 1 0 における半導体ウェハ 2 0 の数と同数）の半導体基板 2 1 及び回路層 2 2 を含む。積層型素子 1 5 においては、1 つの回路層 2 2 が 1 つの機能素子 2 3 を含む。

20

#### 【 0 0 3 4 】

したがって、積層型素子 1 5 の全体にあっては、回路層 2 2 の数と同数の機能素子 2 3 が含まれる。機能素子 2 3 同士は、例えば、半導体基板 2 1 及び回路層 2 2 に形成された貫通電極（不図示）を介して電氣的に接続されている。機能素子 2 3 は、D R A M といった半導体メモリのための機能素子、及び、半導体メモリのドライバ I C のための機能素子を含む。貫通電極は、例えば T S V ( Through-Silicon Via ) 構造によって形成される。貫通電極は、各層の機能素子 2 3 等（例えば半導体メモリ及びドライバ I C ）に対する電源供給用いられる。なお、積層型素子 1 5 は、例えば、磁界伝送により高速無線通信を行うための回路（不図示）をさらに有しており、当該回路を用いて信号の送受信を行うことができる。

30

#### 【 0 0 3 5 】

図 1 0 の ( a ) は、図 9 の領域 A 1 の拡大図であって、半導体メモリのための機能素子 2 3 を有する回路層 2 2 、及び対応する半導体基板 2 1 を示す拡大断面図である。図 1 0 の ( b ) は、図 9 の領域 A 2 の拡大図であって、ストリート部 2 5 、及び対応する半導体基板 2 1 の拡大断面図である。図 1 0 の ( a ) に示されるように、機能素子 2 3 は、複数のメモリセル 2 2 a を含む。メモリセル 2 2 a とメモリセル 2 2 a の周囲の領域は、例えば、S i O <sub>2</sub> 膜等の層間絶縁膜、配線層等から構成されている。半導体基板 2 1 における機能素子 2 3 に対応する部分には、表面 2 1 s から裏面 2 2 r 側に広がる第 1 導電型領域（例えば、P - w e l l ） 2 1 a , 2 1 b 、及び、第 2 導電型領域（例えば、N - w e l l ） 2 1 c と、第 1 導電型領域 2 1 a を囲うように広がる第 2 導電型領域（例えば、D e e p N - w e l l ） 2 1 d と、が形成されている。第 1 導電型領域 2 1 a は、メモリセル 2 2 a に対応する位置に形成されている。半導体基板 2 1 は、例えばシリコン基板である。

40

#### 【 0 0 3 6 】

一方、図 1 0 の ( b ) に示されるように、ストリート部 2 5 においては、回路層 2 2 は

50

、半導体基板 21 の表面 21s 上に順に積層された絶縁層 28, 29 を含む。絶縁層 28 は、例えばシリコン酸化物 (例えば  $\text{SiO}_2$ ) からなる。絶縁層 29 は、例えばシリコン窒化物 (例えば  $\text{SiN}$ ) からなる。第 1 方向 D1 における積層型素子 15 の寸法は、例えば 10 mm 程度である。第 2 方向 D2 における積層型素子 15 の寸法は、例えば 10 mm 程度である。第 3 方向 D3 における積層型素子 15 の寸法は、例えば 300  $\mu\text{m}$  程度である。

#### 【0037】

引き続き、第 1 実施形態に係る積層型素子の製造方法の各工程について説明する。まず、上述した積層体 10 を構成する積層工程を行う。より具体的には、まず、図 11 の (a) に示されるように、半導体ウェハ 20B として、第 1 ウェハ 30 を用意する (第 1 接合工程)。第 1 ウェハ 30 の回路層 22 は、ドライバ IC としての機能素子 23 を含む。また、第 1 ウェハ 30 の回路層 22 は、ストリート部 25 において、表面 21f 上に順に積層された絶縁層 31, 32 を含む。

10

#### 【0038】

絶縁層 31 は、例えばシリコン酸化物 (例えば  $\text{SiO}_2$ ) からなる。絶縁層 32 は、例えば Black Diamond 系の Low-k 膜である。第 1 ウェハ 30 の半導体基板 21 の厚さは、一例として 600  $\mu\text{m}$  以上 800  $\mu\text{m}$  以下程度である。また、第 1 ウェハ 30 の回路層 22 の厚さは、例えば 3  $\mu\text{m}$  以上 13  $\mu\text{m}$  以下程度である。

#### 【0039】

続いて、図 11 の (b) に示されるように、半導体ウェハ 20A として、第 2 ウェハ 40 を用意する (第 1 接合工程)。ここでは、第 2 ウェハ 40 の回路層 22 は、半導体メモリとしての機能素子 23 を含む。また、第 2 ウェハ 40 の回路層 22 は、ストリート部 25 において、絶縁層 28, 29 を含む。第 2 ウェハ 40 の半導体基板 21 の厚さは、一例として 600  $\mu\text{m}$  以上 800  $\mu\text{m}$  以下程度である。また、第 2 ウェハ 40 の回路層 22 の厚さは、例えば 3  $\mu\text{m}$  以上 13  $\mu\text{m}$  以下程度である。

20

#### 【0040】

続いて、第 2 ウェハ 40 を第 1 ウェハ 30 に積層して接合する (第 1 接合工程)。ここでは、第 1 ウェハ 30 の回路層 22 に、第 2 ウェハ 40 の回路層 22 を直接接合する。また、このとき、第 1 ウェハ 30 の機能素子 23 のそれぞれと第 2 ウェハ 40 の機能素子 23 のそれぞれとが、表面 21s 及び裏面 21r に交差する第 3 方向 D3 に沿って互いに対応するようにする。すなわち、第 1 ウェハ 30 の機能素子 23 のそれぞれと第 2 ウェハ 40 の機能素子 23 のそれぞれとが、第 3 方向 D3 に沿って並ぶようにする (換言すれば、第 3 方向 D3 に沿って互いに対向するようにする)。なお、直接接合の一例としては、常温接合等が挙げられる。

30

#### 【0041】

続いて、図 12 の (a) に示されるように、第 2 ウェハ 40 の半導体基板 21 を研削する (研削工程)。ここでは、裏面 21r 側から半導体基板 21 を研削し、半導体基板 21 (すなわち第 2 ウェハ 40) を薄化する。ここでは、例えば半導体基板 21 の厚さが 3  $\mu\text{m}$  以上 13  $\mu\text{m}$  以下程度となるように (一例として回路層 22 の厚さと同程度となるように)、半導体基板 21 を研削する。これにより、第 2 ウェハ 40 の全体の厚さを、例えば 6  $\mu\text{m}$  以上 26  $\mu\text{m}$  以下程度とする。この研削により形成される新たな裏面 21r は、直接接合が可能な程度の平面度とされる (一例として鏡面化される)。

40

#### 【0042】

続いて、図 12 の (b) に示されるように、半導体ウェハ 20A として、第 3 ウェハ 50 を用意する (第 2 接合工程)。続いて、第 3 ウェハ 50 を第 2 ウェハ 40 に接合する (第 2 接合工程)。ここでは、第 2 ウェハ 40 の半導体基板 21 に、第 3 ウェハ 50 の回路層 22 を直接接合する。また、このとき、第 2 ウェハ 40 の機能素子 23 のそれぞれと第 3 ウェハ 50 の機能素子 23 のそれぞれとが、第 3 方向 D3 に沿って互いに対応するようにする。

#### 【0043】

50

続いて、図13の(a)に示されるように、第3ウェハ50の半導体基板21を、その裏面21r側から研削し、半導体基板21(すなわち第3ウェハ50)を薄化する。ここでは、第2ウェハ40の場合と同様に、例えば半導体基板21の厚さが3 $\mu$ m以上13 $\mu$ m以下程度となるように(一例として回路層22の厚さと同程度となるように)、半導体基板21を研削する。これにより、第3ウェハ50の全体の厚さを、例えば6 $\mu$ m以上26 $\mu$ m以下程度とする。この研削により形成される新たな裏面21rは、直接接合が可能な程度の平面度とされる(一例として鏡面化される)。

【0044】

その後、図13の(b)に示されるように、第2接合工程と同様に、複数(例えば7つ)の半導体ウェハ20Aを順次積層、接合、及び研削し、積層体10を構成する。これにより、例えば、ドライバICとしての機能素子23を含む1つの半導体ウェハ20A(第1ウェハ30)と、半導体メモリとしての機能素子23を含む複数(ここでは9つ)の半導体ウェハ20B(第2ウェハ40、第3ウェハ50、及び、それ以降のウェハ)と、が積層され、複数(ここでは10個)の半導体ウェハ20からなる積層体10が得られる。

10

【0045】

図13の(b)においては、後のレーザ光照射工程に備えて、上記のように得られた積層体10を反転した状態において保持具Hにより保持している。すなわち、ここでは、積層体10の他端10bが保持具H側に向けられると共に、一端10aを含む第1ウェハ30が最も保持具Hと反対側に望み、その半導体基板21の裏面21rが露出されている。なお、以降の工程の説明においては、積層体10の積層構造を省略し、アクティブ領域11と切断領域12とを代表的に図示する。

20

【0046】

引き続き、積層体10にレーザ光Lを照射することにより、積層体10に改質領域7及び亀裂9を形成するレーザ光照射工程を行う。すなわち、図14に示されるように、第1ウェハ30の半導体基板21に対して、機能素子23の間を通るように設定された切断予定ライン5a, 5bに沿ってレーザ光Lを照射することにより、切断予定ライン5a, 5bに沿って改質領域7を形成すると共に、積層体10の積層方向(第3方向D3)に沿って改質領域7から亀裂9を伸展させる。この工程について、より具体的に説明する。

【0047】

この工程では、まず、図14の(a)に示されるように、第1ウェハ30の半導体基板21の裏面21rをレーザ光入射面としつつ、第1ウェハ30の半導体基板21の内部にレーザ光Lの集光点Pを位置させる。その状態において、レーザ光Lを照射しながらレーザ光の集光点Pを切断予定ライン5a, 5bのそれぞれに沿って相対移動させる(スキャンする)。これにより、第1ウェハ30の半導体基板21の内部に、改質領域7としての第1改質領域71が切断予定ライン5a, 5bに沿って形成される。これと共に、第1改質領域71から生じた亀裂9が第3方向D3に沿って部分的に伸展する。

30

【0048】

続いて、図14の(b)に示されるように、第1ウェハ30の半導体基板21の裏面21rをレーザ光入射面としつつ、第1ウェハ30の半導体基板21の内部にレーザ光Lの集光点Pを位置させる。このとき、集光点Pの位置を、第1改質領域71を形成するときの集光点Pの位置よりも裏面21r側(レーザ光入射面側)とする。その状態において、レーザ光Lを照射しながらレーザ光Lの集光点Pを切断予定ライン5a, 5bのそれぞれに沿って相対移動させる(スキャンする)。

40

【0049】

これにより、第1ウェハ30の半導体基板21の内部に、改質領域7としての第2改質領域72が切断予定ライン5a, 5bに沿って形成される。ここでは、第2改質領域72は、集光点Pの位置の違いに対応して、第1改質領域71と裏面21rとの間に形成される。第2改質領域72の形成により、第3方向D3に沿って亀裂9をさらに伸展させ、亀裂9が積層体10の両端(一端10a及び他端10b)に至るようにする(すなわち、所謂フルカットの状態とする)。このときのレーザ光Lの照射条件については、後に詳述す

50

る。

#### 【0050】

このように、ここでは、積層体10における積層方向(第3方向D3)の両端に亀裂9が至るように改質領域7を形成する。すなわち、レーザ光照射工程においては、第1ウェハ30の半導体基板21に対して、裏面21r側からレーザ光Lを照射して改質領域7としての第1改質領域71を形成する(第1レーザ光照射工程)。そして、第1ウェハ30の半導体基板21に対して、裏面21r側からレーザ光Lを照射して第1改質領域71と裏面21rとの間に改質領域7としての第2改質領域72を形成することにより、積層体10の両端に至るように亀裂9を伸展させる(第2レーザ光照射工程)。

#### 【0051】

続いて、図15の(a)に示されるように、第1ウェハ30の半導体基板21を裏面21r側から研削することにより、改質領域7(第1改質領域71及び第2改質領域72)を除去する(改質領域除去工程)。ここでは、例えば半導体基板21の厚さが200μm程度となるように、半導体基板21を研削する。第1ウェハ30の半導体基板21の厚さを他の半導体基板21よりも厚く残すのは、第1ウェハ30の半導体基板21が積層型素子15においてサポート基板となるためである。

#### 【0052】

その後、図15の(b)に示されるように、積層体10をエキスパンドテープ等の拡張可能な支持部材Sにより支持した状態とする。このとき、第1ウェハ30の半導体基板21の裏面21rを支持部材S側に配置する。その状態において、支持部材Sを拡張することにより積層体10に対して亀裂9が開く方向に応力を印加し、切断予定ライン5a, 5bに沿って積層体10を切断する(切断工程)。これにより、積層体10からアクティブ領域11が切り出され、複数の積層型素子15が得られる。そして、各切断予定ライン5a, 5bに沿って積層体10が切断されることにより得られた複数の積層型素子15を互いに離間させ、各積層型素子15をピックアップする(ピックアップ工程)。

#### 【0053】

以上説明したように、第1実施形態に係る積層型素子15の製造方法においては、半導体ウェハ20の積層体10の構成に際して、半導体ウェハ20の半導体基板を研削して薄化する研削工程を実施する。これにより、薄化された積層体10を得ることができる。上述したように、このような積層体10の切断にブレードダイシングを利用すると、チップングにより歩留まりの低下が顕著となる。これに対して、この方法にあっては、半導体ウェハ20の半導体基板21に対して、切断予定ライン5に沿ってレーザ光Lを照射することにより、改質領域7を形成すると共に改質領域7から積層方向に亀裂9を伸展させる。これにより、半導体ウェハ20の接合界面でのチップングを抑制しつつ積層体10を切断することができる。よって、この方法によれば、積層型素子15の薄化及び歩留まりの向上の両立が可能となる。

#### 【0054】

また、第1実施形態に係る積層型素子15の製造方法は、レーザ光照射工程の後に、改質領域7が形成された半導体基板21を研削することにより、改質領域7を除去する改質領域除去工程をさらに備えている。このため、抗折強度が向上する。さらに、本実施形態に係る積層型素子15の製造方法は、レーザ光照射工程及び改質領域除去工程の後に、積層体10に応力を印加することにより、切断予定ライン5に沿って積層体10を切断する切断工程をさらに備えるので、積層体10を確実に切断できる。

#### 【0055】

ここで、第1実施形態に係る積層型素子15の製造方法においては、レーザ光照射工程において、積層体10における積層方向の両端(一端10a及び他端10b)に亀裂9が至るように(すなわち、積層体10のフルカットを生じさせように)改質領域7を形成する。そのために、レーザ光照射工程は、半導体基板21に対して、裏面21r側からレーザ光Lを照射して改質領域7としての第1改質領域71を形成する第1レーザ光照射工程と、半導体基板21に対して、裏面21r側からレーザ光Lを照射して第1改質領域71

10

20

30

40

50

と裏面 2 1 r との間に改質領域 7 としての第 2 改質領域 7 2 を形成することにより、積層体 1 0 の両端に至るように亀裂 9 を伸展させる第 2 レーザ光照射工程と、を有している。

【 0 0 5 6 】

この点について詳細に説明する。図 1 4 に示されるレーザ光照射工程においては、積層体 1 0 にフルカットを生じさせるためのレーザ光 L の照射条件を制御することができる。ここでは、半導体基板 2 1 がシリコンからなる場合について説明する。積層体 1 0 にフルカットを生じさせるためには、まず、半導体基板 2 1 におけるレーザ光入射面である裏面 2 1 r の反対の表面 2 1 s から第 1 改質領域 7 1 の表面 2 1 s 側の端部の距離（以下、「下端距離 B L」という）を、ある程度大きくした状態において、尚且つ、第 2 改質領域 7 2 を形成したときに第 1 改質領域 7 1 から表面 2 1 s 側に延びる亀裂 9（初亀裂）が、表面 2 1 s に至るようにする。

10

【 0 0 5 7 】

ここでは、一例として、厚さが 7 7 5  $\mu\text{m}$  の半導体基板 2 1 に対して下端距離 B L を 2 0 0  $\mu\text{m}$  以上とした状態において、初亀裂が表面 2 1 s に至るようにする。これにより、2 0 0  $\mu\text{m}$  以上伸展して表面 2 1 s に至った初亀裂の影響により、亀裂 9 が積層体 1 0 の端部までさらに伸展し、フルカットが生じる。そのためには、レーザ光 L の波長を 1 1 7 0 nm 以上 1 8 0 0 nm 以下の範囲とすることができる。

【 0 0 5 8 】

レーザ光 L の波長が 1 1 7 0 nm 以上であれば、ノンドープ且つ欠陥無しの理想的なシリコンにおいて、レーザ光 L の内部透過率が理論上 1 0 0 % となる。一方、レーザ光 L の波長が 1 8 0 0 nm 以下であれば、半導体基板 2 1 において確実に 2 光子吸収を生じさせて改質領域 7 を形成可能である。さらに、レーザ光 L のパルス幅を 3 5 0 n s e c 以上とし、パルスエネルギーを 2 5  $\mu\text{J}$  以上とし、パルスピッチを 6 . 5  $\mu\text{m}$  以上 4 5  $\mu\text{m}$  以下とすることにより、より確実にフルカットを生じさせ得る。

20

【 0 0 5 9 】

下端距離 B L が 2 0 0  $\mu\text{m}$  以上である第 1 改質領域 7 1 から延びる初亀裂が表面 2 1 s に至ったレーザ光 L の照射条件の例（すなわち、積層体 1 0 にフルカットを生じさせ得る条件の例）を示す。

【 0 0 6 0 】

[ 第 1 例 ]

レーザ光 L の波長： 1 5 0 0 nm。

パルス幅： 5 0 0 n s e c。

パルス周波数： 4 0 k H。

集光用レンズ 1 0 5 下の出力値： 1 . 4 8 w。

パルスエネルギー： 3 7 . 0  $\mu\text{J}$ 。

パルスピッチ： 1 5  $\mu\text{m}$ 。

半導体基板 2 1 の厚さ： 7 7 9  $\mu\text{m}$ 。

第 1 改質領域 7 1 の表面 2 1 s からの距離（下端距離 B L）： 2 6 2  $\mu\text{m}$ 。

第 2 改質領域 7 2 の表面 2 1 s からの距離： 3 7 0  $\mu\text{m}$ 。

第 1 改質領域 7 1 の形成時の集光用レンズ 1 0 5 の移動距離 D z 1： 1 4 2  $\mu\text{m}$ 。

第 2 改質領域 7 2 の形成時の集光用レンズ 1 0 5 の移動距離 D z 2： 1 1 2  $\mu\text{m}$ 。

40

[ 第 2 例 ]

レーザ光 L の波長： 1 3 4 2 nm。

パルス幅： 3 5 0 n s e c。

パルス周波数： 6 0 k H。

集光用レンズ 1 0 5 下の出力値： 2 . 6 0 w。

パルスエネルギー： 4 3 . 3  $\mu\text{J}$ 。

パルスピッチ： 8 . 3 0  $\mu\text{m}$ 。

半導体基板 2 1 の厚さ： 6 2 5  $\mu\text{m}$ 。

第 1 改質領域 7 1 の表面 2 1 s からの距離（下端距離 B L）： 2 1 8  $\mu\text{m}$ 。

50

第2改質領域72の表面21sからの距離：346  $\mu\text{m}$ 。

第1改質領域71の形成時の集光用レンズ105の移動距離Dz1：92  $\mu\text{m}$ 。

第2改質領域72の形成時の集光用レンズ105の移動距離Dz2：60  $\mu\text{m}$ 。

【0061】

なお、移動距離Dz1は、半導体基板21の裏面21r（レーザ光入射面）に集光点Pを形成するような集光用レンズ105の初期位置から、第1改質領域71を形成するための位置に集光点Pを形成するように集光用レンズ105を第3方向D3に沿って移動させた距離である（図14の（a）参照）。同様に、移動距離Dz2は、集光用レンズ105を、初期位置から第2改質領域72を形成するための位置に集光点を形成するように第3方向D3に沿って移動させた距離である（図14の（b）参照）。

10

【0062】

以上のように積層体10にフルカットを生じさせることにより、積層体10を確実に切断可能として歩留まりをさらに向上可能である。また、積層体10の反りを抑制することができる。積層体10の反りを抑制することにより、上述したように、改質領域7を除去するように半導体基板21を研削することが可能となる。これにより、抗折強度が向上する。

【0063】

ここで、上記の観点とは別の観点からも、下端距離BLを200  $\mu\text{m}$ 以上とすることができる。すなわち、下端距離BLを小さくすると、半導体基板21のレーザ光入射面である裏面21rの反対の表面21s側への漏れ光によって、表面21s側にダメージが生じるおそれがある。このように、レーザ光入射面とは反対側の面に生じるダメージを「スプラッシュダメージ」と称する。図16は、下端距離とスプラッシュダメージとの関係を示す表である。図16の例では、半導体基板21のレーザ光入射面と反対側の端面（表面21s）にSn膜を形成してスプラッシュダメージを観察した。

20

【0064】

図16の表の「ダメージ」の欄の「あり」及び「なし」は、レーザ光Lの集光点Pの直下の位置（切断予定ライン5に対応する位置）にダメージがあるか否かを示しており、「距離」の欄は、当該位置からスプラッシュダメージが生じた位置までの最大の距離である。図16に示されるように、下端距離BLが107  $\mu\text{m}$ 以上では、集光点Pの直下の位置でのダメージが生じなくなる。一方、スプラッシュダメージが生じるか否かの下端距離BLの閾値は、189  $\mu\text{m}$ と220  $\mu\text{m}$ との間に存在する。このように、スプラッシュダメージの低減の観点からも、下端距離BLを200  $\mu\text{m}$ 以上とすることができる。これにより、デバイス特性の劣化を抑制できる。

30

[第2実施形態]

【0065】

引き続き、第2実施形態に係る積層型素子の製造方法の一例について説明する。この製造方法においては、半導体ウェハ20の積層体を構成する積層工程の前に、準備工程が行われる。すなわち、ここでは、まず、図17の（a）に示されるように、サポート基板60を用意する（準備工程）。サポート基板60は、ガラス基板又は半導体基板等の任意の基板である。サポート基板60は、例えば、研削前の半導体基板21の厚さと同程度の厚さ（例えば600  $\mu\text{m}$ 以上800  $\mu\text{m}$ 以下程度の厚さ）を有する。続いて、図17の（b）に示されるように、半導体ウェハ20Aとして、第1ウェハ70を用意する（準備工程）。続いて、第1ウェハ70の回路層22をサポート基板60の表面50aに接合する（準備工程）。この接合には、例えば樹脂接合を用いることができる。

40

【0066】

続いて、図18の（a）に示されるように、第1ウェハ70の半導体基板21を研削する。ここでは、裏面21r側から半導体基板21を研削し、半導体基板21（すなわち第1ウェハ70）を薄化する。ここでは、例えば半導体基板21の厚さが3  $\mu\text{m}$ 以上13  $\mu\text{m}$ 以下程度となるように（一例として回路層22の厚さと同程度となるように）、半導体基板21を研削する。これにより、第1ウェハ70の全体の厚さを、例えば6  $\mu\text{m}$ 以上2

50

6  $\mu\text{m}$ 以下程度とする。この研削により形成される新たな裏面 2 1 r は、直接接合が可能な程度の平面度とされる（一例として鏡面化される）。

【 0 0 6 7 】

続いて、積層工程が行われる。すなわち、図 1 8 の ( b ) に示されるように、半導体ウェハ 2 0 A として、第 2 ウェハ 8 0 を用意する（第 1 接合工程）。これと共に、上述したように、サポート基板 6 0 に接合された第 1 ウェハ 7 0 を用意する（第 1 接合工程）。続いて、第 2 ウェハ 8 0 を第 1 ウェハ 7 0 に接合する（第 1 接合工程）。ここでは、第 1 ウェハ 7 0 の半導体基板 2 1 に、第 2 ウェハ 8 0 の回路層 2 2 を直接接合する。また、このとき、第 1 ウェハ 7 0 の機能素子 2 3 のそれぞれと第 2 ウェハ 8 0 の機能素子 2 3 のそれぞれとが、第 3 方向 D 3 に沿って互いに対応するようにする。

10

【 0 0 6 8 】

続いて、図 1 9 の ( a ) に示されるように、第 2 ウェハ 8 0 の半導体基板 2 1 を研削する（研削工程）。ここでは、裏面 2 1 r 側から半導体基板 2 1 を研削し、半導体基板 2 1（すなわち第 2 ウェハ 8 0）を薄化する。ここでは、第 1 ウェハ 7 0 の場合と同様に、例えば半導体基板 2 1 の厚さが 3  $\mu\text{m}$ 以上 1 3  $\mu\text{m}$ 以下程度となるように（一例として回路層 2 2 の厚さと同程度となるように）、半導体基板 2 1 を研削する。これにより、第 2 ウェハ 8 0 の全体の厚さを、例えば 6  $\mu\text{m}$ 以上 2 6  $\mu\text{m}$ 以下程度とする。この研削により形成される新たな裏面 2 1 r は、直接接合が可能な程度の平面度とされる（一例として鏡面化される）。

【 0 0 6 9 】

20

続いて、図 1 9 の ( b ) 及び図 2 0 の ( a ) に示されるように、半導体ウェハ 2 0 A としての第 2 ウェハ 8 0 の積層、接合、及び、研削を、上記の第 1 接合工程及び研削工程と同様にして繰り返し行うことにより、サポート基板 6 0 上に積層された複数（ここでは 9 つ）の半導体ウェハ 2 0 A を含む積層体を構成する。

【 0 0 7 0 】

続いて、図 2 0 の ( b ) に示されるように、半導体ウェハ 2 0 B として、第 3 ウェハ 9 0 を用意すると共に、第 2 ウェハ 8 0 の機能素子 2 3 のそれぞれと第 3 ウェハ 9 0 の機能素子 2 3 のそれぞれとが互いに対応するように、第 2 ウェハ 8 0 の半導体基板 2 1 に第 3 ウェハ 9 0 の回路層 2 2 を直接接合する（第 2 接合工程）。これにより、本実施形態に係る積層体 1 0 が得られる。ここでの積層体 1 0 は、第 1 実施形態に係る積層体 1 0 と比較して、半導体基板 2 1 と回路層 2 2 とが積層体 1 0 の全体にわたって交互に積層されている点で相違している。

30

【 0 0 7 1 】

その後、図 1 4 に示されるように、第 1 実施形態に係るレーザ光照射工程と同様に、積層体 1 0 にレーザ光 L を照射することにより、積層体 1 0 に改質領域 7（第 1 改質領域 7 1 及び第 2 改質領域 7 2）及び亀裂 9 を形成するレーザ光照射工程を行う。ただし、本実施形態においては、第 3 ウェハ 9 0 の半導体基板 2 1 に対して、機能素子 2 3 の間を通るように設定された切断予定ライン 5 a , 5 b に沿ってレーザ光 L を照射することにより、切断予定ライン 5 a , 5 b に沿って改質領域 7 を形成すると共に、積層体 1 0 の積層方向（第 3 方向 D 3）に沿って改質領域 7 から亀裂 9 を伸展させる。

40

【 0 0 7 2 】

ここでも、積層体 1 0 における積層方向の両端（一端 1 0 a 及び他端 1 0 b）に亀裂 9 が至るように改質領域 7 を形成する。そして、図 1 5 に示されるように、第 1 実施形態に係る切断工程と同様に、亀裂 9 が開く方向に積層体 1 0 に応力を印加することにより、切断予定ライン 5 a , 5 b に沿って積層体 1 0 を切断する切断工程を行う。これにより、積層体 1 0 から複数の積層型素子 1 5 が切り出される。また、第 1 実施形態と同様に、ピックアップ工程を行う。なお、本実施形態に係る積層型素子の製造方法は、積層工程の後であってレーザ光照射工程の前、または、レーザ光照射工程の後に、積層体 1 0 からサポート基板 6 0 を除去するサポート基板除去工程をさらに備えてもよい。ただし、サポート基板除去工程は、切断工程の前に行われる。以上の第 2 実施形態に係る積層型素子の製造方

50

法によっても、第1実施形態に係る効果と同様の効果を奏することが可能である。

【0073】

以上の実施形態は、本発明に係る積層型素子の製造方法の一実施形態について説明したものである。したがって、本発明に係る積層型素子の製造方法は、上記の実施形態に限定されず、各請求項の要旨を変更しない範囲において、任意の変形が可能である。

【0074】

例えば、半導体基板21において機能素子23に対応する部分（より詳細には、当該部分のうち、第2導電型領域21dに対して裏面21r側の領域）には、裏面21rに露出するようにゲッターリング領域4を形成してもよい。ゲッターリング領域は、半導体基板21の内部において、重金属等の不純物を集めて捕獲するゲッターリング効果を発揮する領域である。ゲッターリング領域は、レーザ光の照射によって半導体基板21が改質された領域（密度、屈折率、機械的強度やその他の物理的特性が周囲とは異なる状態になった領域）であり、例えば溶融処理領域である。ゲッターリング領域4は、機能素子23（より詳細には、メモリセル22a）に対向していれば、連続的に形成されていてもよいし、或いは、断続的に形成されていてもよい。

10

【0075】

ゲッターリング領域を形成する場合には、レーザ光のパルス幅を、改質領域7を形成するためのレーザ光Lのパルス幅よりも短くすることができる。これにより、改質領域7よりもサイズが小さく且つ改質領域7よりも亀裂を発生させ難いゲッターリング領域を形成することができる。

20

【0076】

ゲッターリング領域は、例えば次のような手順によって形成され得る。すなわち、図11の(b)に示されるように、第2ウェハ40を第1ウェハ30に積層して接合した後に、第2ウェハ40の半導体基板21の裏面21rをレーザ光入射面として半導体基板21にレーザ光を照射することによりゲッターリング領域を形成する。その後、図12の(a)に示されるように半導体基板21を研削することにより、ゲッターリング領域を残存させつつ半導体基板21を薄化する。このとき、ゲッターリング領域を裏面21rに露出させる。これにより、半導体基板21において機能素子23に対応する部分には、裏面21rに露出するようにゲッターリング領域が形成される。このようなゲッターリング形成工程を、各半導体ウェハ20の積層後であって研削前に行うことができる。

30

【0077】

なお、上記実施形態において、2つの半導体ウェハ20の接合に際し、それぞれの機能素子23が互いに対応するように積層している。一方の半導体ウェハ20の各機能素子23と他方の半導体ウェハ20の各機能素子とが互いに対応するとは、1つのアクティブ領域11において、一方の半導体ウェハ20の少なくとも1つの機能素子23と、他方の半導体ウェハ20の少なくとも1つの機能素子23と、が所定の位置関係を有することを意味する。したがって、例えば、機能素子23のメモリセル22a同士が一对一に対応する場合に限定されず、一对多に対応する場合もある。また、メモリセル22a同士が一对一に対応する場合であっても、第3方向D3に沿って並ぶ場合に限らず、第1方向D1及び第2方向D2における位置が互いに異なる場合もある。

40

【0078】

また、上記実施形態においては、回路層22を半導体基板21や別の回路層22に直接接合する一例について説明した。回路層22を直接接合する場合には、回路層22の表面に対して平坦化処理を施し得るが、この平坦化処理としては、回路層22の表面の絶縁膜等を平坦化処理する場合に加えて、回路層22の表面に樹脂等からなる平坦化膜を形成する場合等がある。すなわち、回路層22は、膜状の他の層が存在する状態において、半導体基板21や回路層22に接合される場合もある。したがって、回路層22の接合は、上記の直接接合の例に限定されない。

【符号の説明】

【0079】

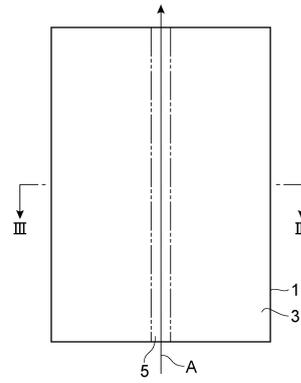
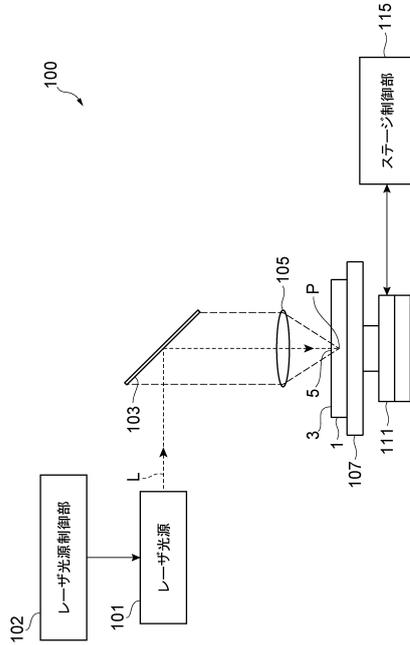
50

5, 5a, 5b...切断予定ライン、7...改質領域、9...亀裂、10...積層体、15...積層型素子、20, 20A, 20B...半導体ウェハ、21...半導体基板、21s...表面、21r...裏面、22...回路層、23...機能素子、30, 70...第1ウェハ、40, 80...第2ウェハ、50, 90...第3ウェハ、60...サポート基板、71...第1改質領域、72...第2改質領域、L...レーザ光。

【図面】

【図1】

【図2】



10

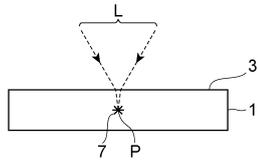
20

30

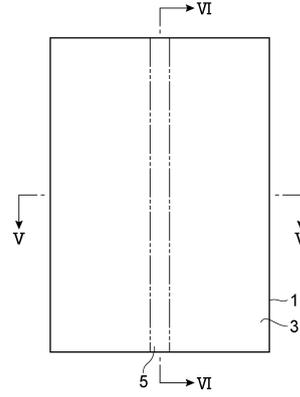
40

50

【 図 3 】



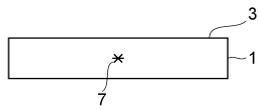
【 図 4 】



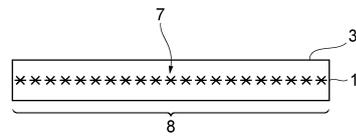
10

20

【 図 5 】



【 図 6 】

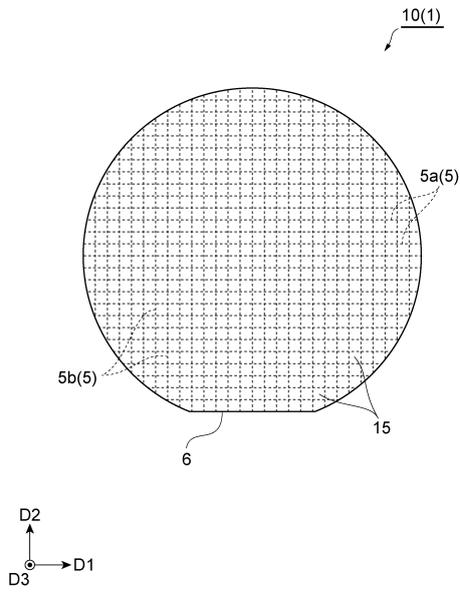


30

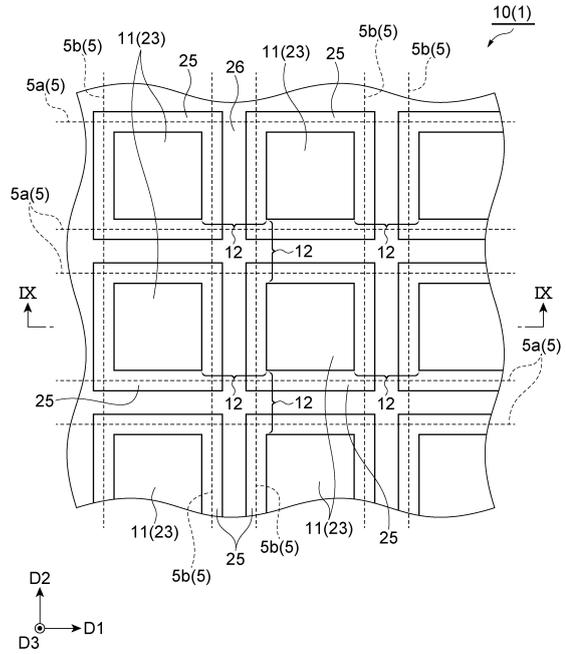
40

50

【 図 7 】



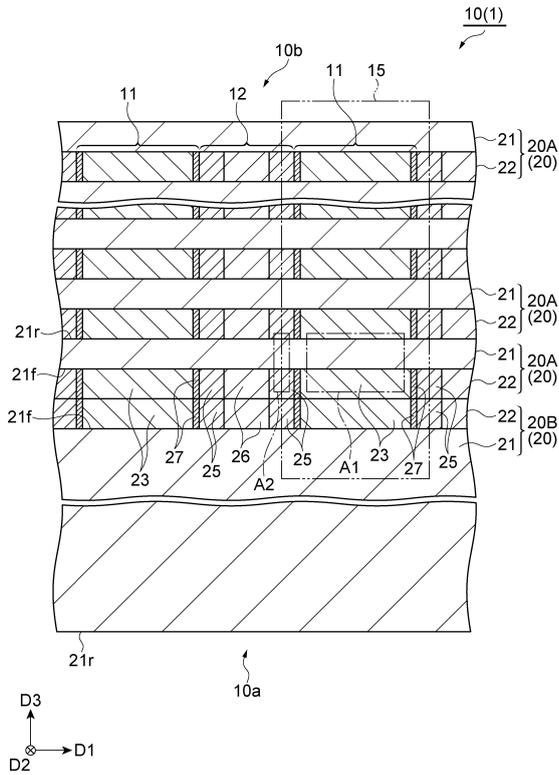
【 図 8 】



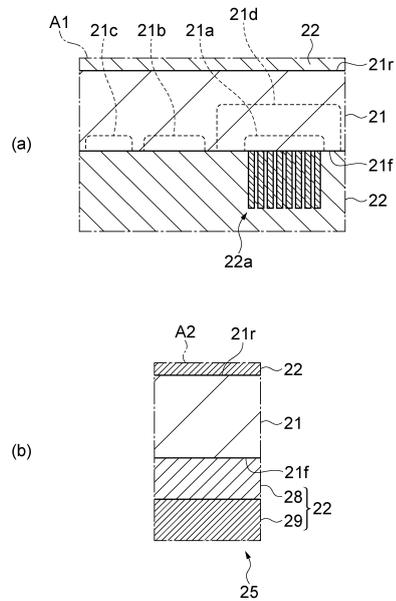
10

20

【 図 9 】



【 図 10 】

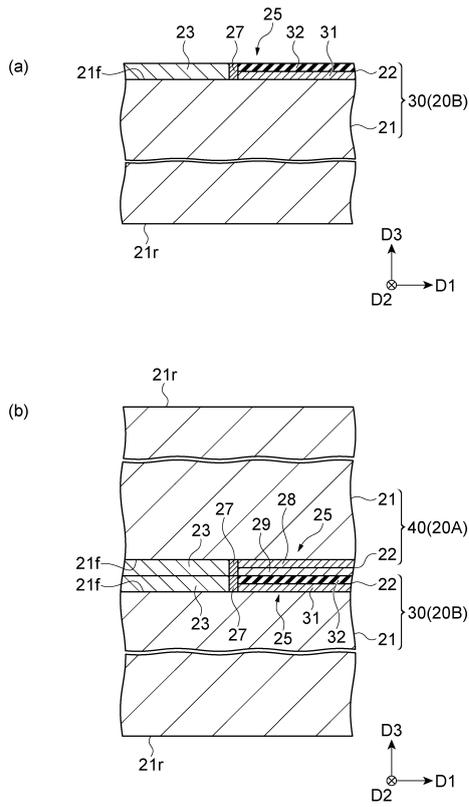


30

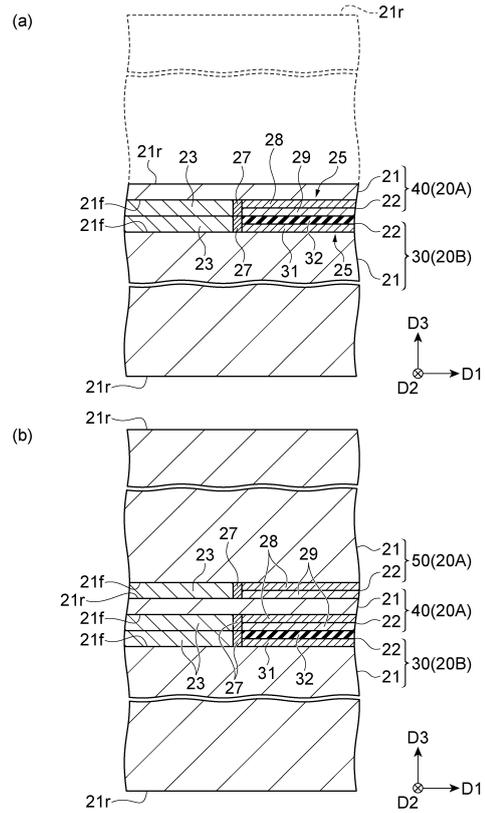
40

50

【図 1 1】



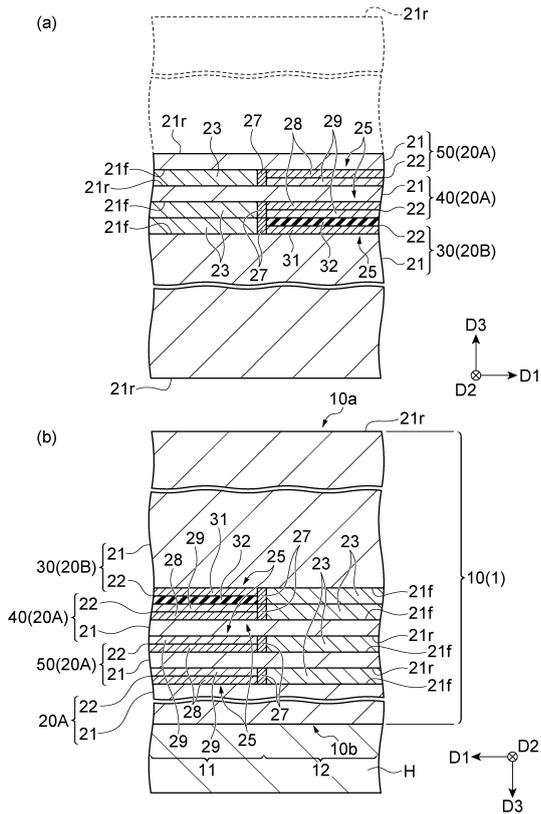
【図 1 2】



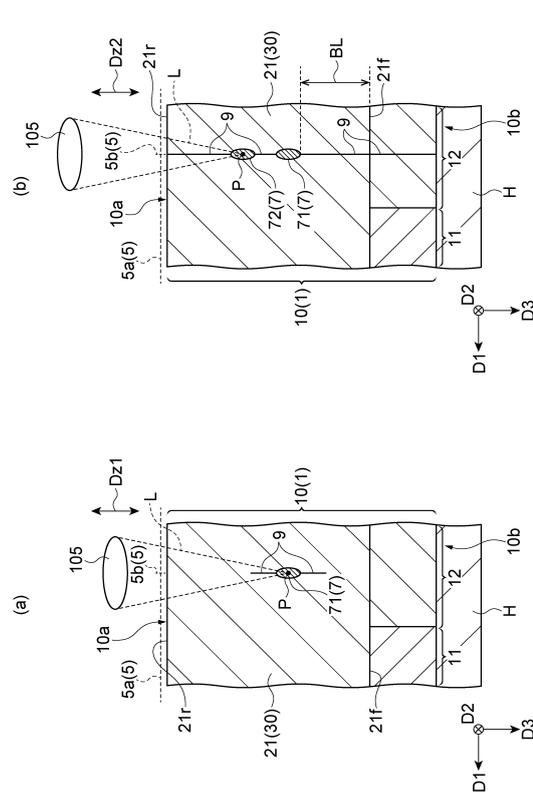
10

20

【図 1 3】



【図 1 4】

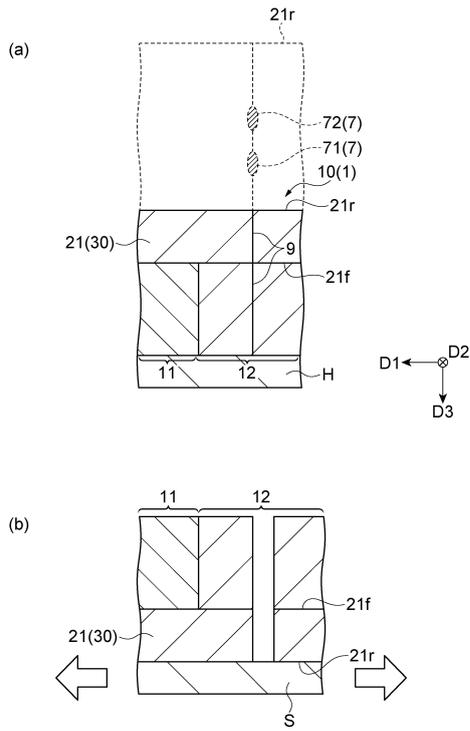


30

40

50

【図 15】



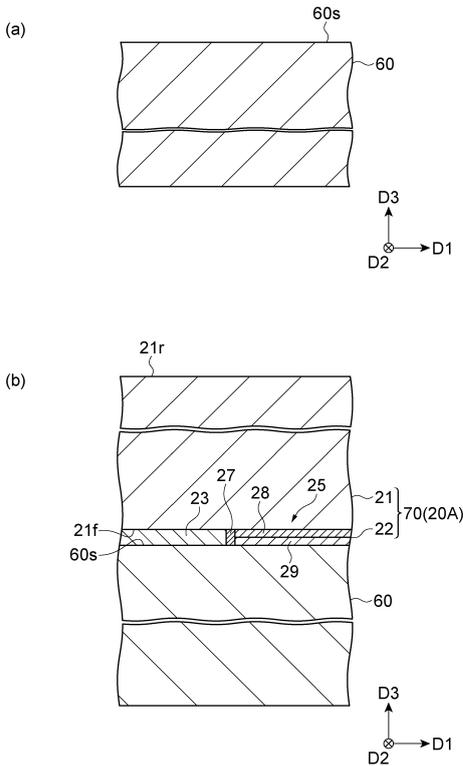
【図 16】

252 μm			なし
220 μm			なし
189 μm			なし 片側29 μm
146 μm			なし 片側61 μm
107 μm			なし 片側64 μm
69 μm			あり 片側134 μm
31 μm			あり 片側72 μm
下端距離	断面	端面	ダメージ距離

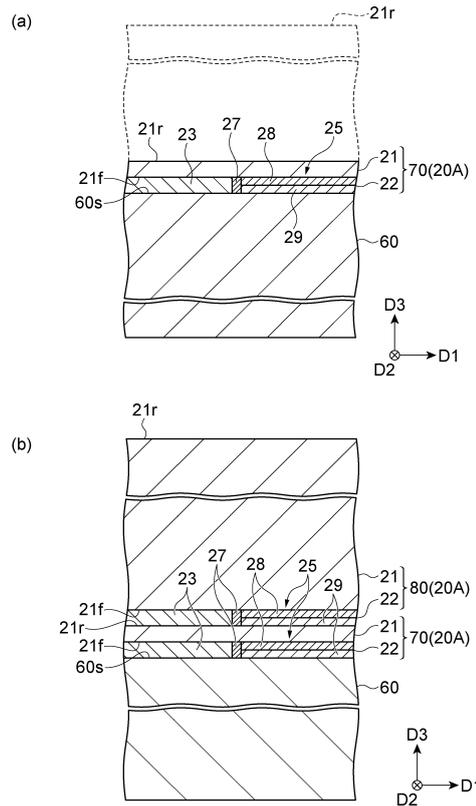
10

20

【図 17】



【図 18】

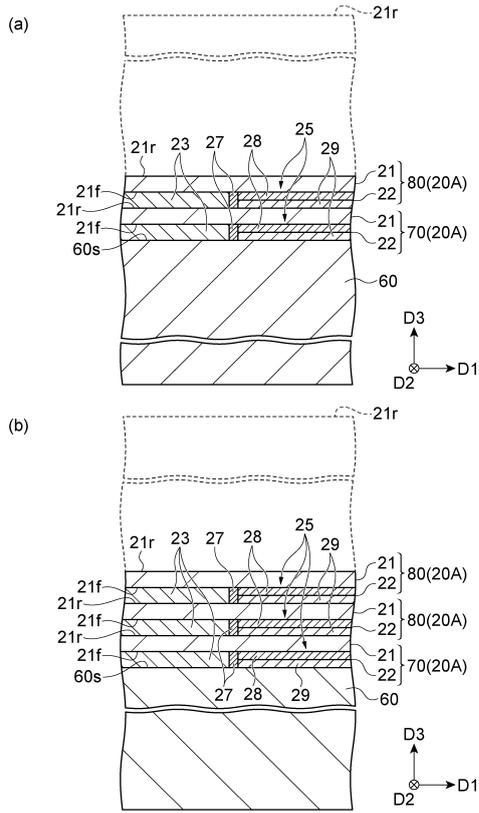


30

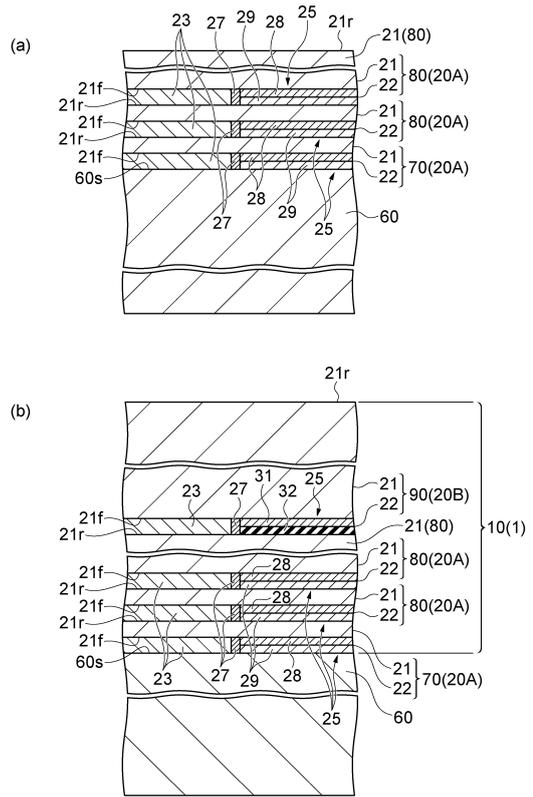
40

50

【 図 1 9 】



【 図 2 0 】



10

20

30

40

50

## フロントページの続き

1 浜松ホトニクス株式会社内

(72)発明者 近藤 裕太

静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

(72)発明者 内山 直己

静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

審査官 境 周一

(56)参考文献 特開2010-103245(JP,A)

特開2007-142001(JP,A)

特開2014-028388(JP,A)

特開2013-157449(JP,A)

特開2013-042119(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/301

H01L 21/02

B23K 26/53