

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6546293号
(P6546293)

(45) 発行日 令和1年7月17日(2019.7.17)

(24) 登録日 令和1年6月28日(2019.6.28)

(51) Int. Cl. F I
H O 4 L 12/437 (2006.01) H O 4 L 12/437 R

請求項の数 10 (全 26 頁)

(21) 出願番号	特願2017-561485 (P2017-561485)	(73) 特許権者	501137636 東芝三菱電機産業システム株式会社 東京都中央区京橋三丁目1番1号
(86) (22) 出願日	平成28年1月15日(2016.1.15)	(74) 代理人	110001195 特許業務法人深見特許事務所
(86) 国際出願番号	PCT/JP2016/051134	(72) 発明者	林 健太 東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内
(87) 国際公開番号	W02017/122347	審査官	大石 博見
(87) 国際公開日	平成29年7月20日(2017.7.20)	(56) 参考文献	特開2013-55399 (JP, A) 特開平9-307576 (JP, A)
審査請求日	平成30年6月12日(2018.6.12)		最終頁に続く

(54) 【発明の名称】 制御システム

(57) 【特許請求の範囲】

【請求項1】

それぞれ第1～第Nの電気機器を制御する第1～第Nの制御回路と、
各々が第1および第2の通信線を含む第1～第Nの通信ケーブルとを備え、Nは2以上の整数であり、

前記第1～第(N-1)の制御回路は前記第1～第(N-1)の通信ケーブルを介して後段の前記第2～第Nの制御回路にそれぞれ接続され、前記第Nの制御回路は前記第Nの通信ケーブルを介して後段の前記第1の制御回路に接続され、

前記第1の制御回路は、前記第1～第Nの電気機器を制御するための第1のデータ信号を生成し、前記第1のデータ信号に基づいて前記第1の電気機器を制御し、前記第1のデータ信号を前記第1の通信ケーブルの第1の通信線を介して後段の前記第2の制御回路に送信するとともに、前記第1のデータ信号を前記第Nの通信ケーブルの第2の通信線を介して前段の前記第Nの制御回路に送信し、

2以上でN以下の整数をnとすると、第nの制御回路の前段の制御回路は第(n-1)の制御回路であり、前記第nの制御回路の後段の制御回路は第(n+1)の制御回路または第1の制御回路であり、

前記第nの制御回路は、

前記第1のデータ信号に基づいて第nの電気機器を制御するとともに、第nの電気機器の制御結果を示す第nのデータ信号を生成し、

前段の制御回路および後段の制御回路の各々とのデータ信号の通信が正常に行なわれて

10

20

いる場合は、前記第 n のデータ信号と前段の制御回路からのデータ信号とを第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信するとともに、前記第 n のデータ信号と後段の制御回路からのデータ信号とを第 $(n - 1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信し、

前段の制御回路とのデータ信号の通信が正常に行なわれなくなった場合は、前段の制御回路とのデータ信号の通信を停止するとともに、前記第 n のデータ信号と後段の制御回路からのデータ信号とを前記第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信し、

後段の制御回路とのデータ信号の通信が正常に行なわれなくなった場合は、後段の制御回路とのデータ信号の通信を停止するとともに、前記第 n のデータ信号と前段の制御回路からのデータ信号とを前記第 $(n - 1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信する、制御システム。

【請求項 2】

前記第 n の制御回路は、

前段の制御回路からのデータ信号が正常であるか否かを判定する第 1 の判定器と、

後段の制御回路からのデータ信号が正常であるか否かを判定する第 2 の判定器と、

前記第 1 の判定器によって連続して予め定められた回数、データ信号が異常であると判定された場合に第 1 の異常検出信号を出力する第 1 の異常検出器と、

前記第 2 の判定器によって連続して前記予め定められた回数、データ信号が異常であると判定された場合に第 2 の異常検出信号を出力する第 2 の異常検出器と、

前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御するとともに、前記第 n の電気機器の制御結果を示す第 n のデータ信号を生成し、さらに、前記第 1 および第 2 の異常検出信号に従ってデータ信号を送信する内部回路とを含み、

前記内部回路は、

前記第 1 および第 2 の異常検出器から前記第 1 および第 2 の異常検出信号が出力されていない場合は、前記第 n のデータ信号と前段の制御回路からのデータ信号とを第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信するとともに、前記第 n のデータ信号と後段の制御回路からのデータ信号とを前記第 $(n - 1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信し、

前記第 1 の異常検出器から前記第 1 の異常検出信号が出力された場合は、前段の制御回路からのデータ信号の受信を停止するとともに、前記第 n のデータ信号と後段の制御回路からのデータ信号とを前記第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信し、

前記第 2 の異常検出器から前記第 2 の異常検出信号が出力された場合は、後段の制御回路からのデータ信号の受信を停止するとともに、前記第 n のデータ信号と前段の制御回路からのデータ信号とを前記第 $(n - 1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信する、請求項 1 に記載の制御システム。

【請求項 3】

前記内部回路は、前記第 1 または第 2 の異常検出器から前記第 1 または第 2 の異常検出信号が出力された場合は、データ信号の通信に異常が発生したことを報知するための警報信号を出力する、請求項 2 に記載の制御システム。

【請求項 4】

前記内部回路は、

前記第 1 および第 2 の判定器によってデータ信号が正常であると判定された第 1 の場合は、前段の制御回路および後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御し、

前記第 1 の判定器によって前段の制御回路からのデータ信号が正常であると判定され、かつ前記第 2 の判定器によって後段の制御回路からのデータ信号が異常であると判定された第 2 の場合は、前段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御し、

10

20

30

40

50

前記第 1 の判定器によって前段の制御回路からのデータ信号が異常である判定され、かつ前記第 2 の判定器によって後段の制御回路からのデータ信号が正常であると判定された第 3 の場合は、後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御する、請求項 2 に記載の制御システム。

【請求項 5】

前記第 1 の場合は、

さらに、前段の制御回路および後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号が互いに一致している第 4 の場合と、

前段の制御回路および後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号が互いに一致していない第 5 の場合とに分けられ、

前記内部回路は、

前記第 4 の場合は、前段の制御回路および後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御するとともに、前記第 n の電気機器を制御するために使用した最新の前記第 1 のデータ信号を記憶し、

前記第 5 の場合は、前記第 4 の場合に記憶した最新の前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御する、請求項 4 に記載の制御システム。

【請求項 6】

前記内部回路は、前記第 5 の場合が予め定められた回数、連続して発生したときは、前記第 n のデータ信号と後段の制御回路からのデータ信号とを第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信するか、前記第 n のデータ信号と前段の制御回路からのデータ信号とを第 (n - 1) の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信する、請求項 5 に記載の制御システム。

【請求項 7】

前記内部回路は、前記第 5 の場合が予め定められた回数、連続して発生したときは、データ信号の通信に異常が発生したことを報知するための警報信号を出力する、請求項 6 に記載の制御システム。

【請求項 8】

前記第 1 の制御回路は、

前記第 N の制御回路からのデータ信号が正常であるか否かを判定する第 1 の判定器と、

前記第 2 の制御回路からのデータ信号が正常であるか否かを判定する第 2 の判定器と、

前記第 1 および第 2 の判定器の判定結果と、前記第 N および第 2 の制御回路からのデータ信号とに基づいて前記第 1 のデータ信号を生成し、生成した第 1 のデータ信号に基づいて前記第 1 の電気機器を制御するとともに、生成した第 1 のデータ信号を前記第 2 および第 N の制御回路に送信する内部回路とを含み、

前記内部回路は、

前記第 1 および第 2 の判定器によってデータ信号が正常であると判定された第 1 の場合は、前記第 N および第 2 の制御回路からのデータ信号に含まれる前記第 2 ~ 第 N の制御回路からの第 2 ~ 第 N のデータ信号に基づいて前記第 1 のデータ信号を生成し、

前記第 1 の判定器によってデータ信号が正常であると判定され、かつ前記第 2 の判定器によってデータ信号が異常であると判定された第 2 の場合は、前記第 N の制御回路からのデータ信号に含まれる前記第 2 ~ 第 N の制御回路からの第 2 ~ 第 N のデータ信号に基づいて前記第 1 のデータ信号を生成し、

前記第 1 の判定器によってデータ信号が異常であると判定され、かつ前記第 2 の判定器によってデータ信号が正常であると判定された第 3 の場合は、前記第 2 の制御回路からのデータ信号に含まれる前記第 2 ~ 第 N の制御回路からの第 2 ~ 第 N のデータ信号に基づいて前記第 1 のデータ信号を生成する、請求項 1 に記載の制御システム。

【請求項 9】

前記第 1 の場合は、

さらに、前記第 N の制御回路からのデータ信号に含まれる前記第 2 ~ 第 N の制御回路からの第 2 ~ 第 N のデータ信号と、前記第 2 の制御回路からのデータ信号に含まれる前記第

10

20

30

40

50

2 ~ 第 N の制御回路からの第 2 ~ 第 N のデータ信号とが互いに一致している第 4 の場合と、

前記第 N の制御回路からのデータ信号に含まれる前記第 2 ~ 第 N の制御回路からの第 2 ~ 第 N のデータ信号と、前記第 2 の制御回路からのデータ信号に含まれる前記第 2 ~ 第 N の制御回路からの第 2 ~ 第 N のデータ信号とが互いに一致していない第 5 の場合とに分けられ、

前記内部回路は、

前記第 4 の場合は、前記第 N および第 2 の制御回路からのデータ信号に含まれる前記第 2 ~ 第 N の制御回路からの第 2 ~ 第 N のデータ信号に基づいて前記第 1 のデータ信号を生成するとともに、前記第 1 のデータ信号を生成するために使用した最新の第 2 ~ 第 N のデータ信号を記憶し、

前記第 5 の場合は、前記第 4 の場合に記憶した最新の第 2 ~ 第 N のデータ信号に基づいて前記第 1 のデータ信号を生成する、請求項 8 に記載の制御システム。

【請求項 10】

前記第 1 ~ 第 N の電気機器はそれぞれ第 1 ~ 第 N のインバータであり、

前記第 1 ~ 第 N のインバータは負荷に対して並列接続され、

前記第 1 ~ 第 N のインバータの各々は直流電圧を交流電圧に変換して前記負荷に供給し

、前記第 1 のデータ信号は前記第 1 ~ 第 N のインバータの各々の分担電流を示し、

前記第 n のデータ信号は第 n のインバータの負荷電流を示し、

前記第 1 の制御回路は、前記第 1 のインバータの負荷電流と分担電流の差である横流が 0 A になるように前記第 1 のインバータを制御し、

前記第 n の制御回路は、前記第 n のインバータの負荷電流と分担電流の差である横流が 0 A になるように前記第 n のインバータを制御する、請求項 1 に記載の制御システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は制御システムに関し、特に、それぞれ複数の電気機器を制御する複数の制御回路を備えた制御システムに関する。

【背景技術】

【0002】

WO2011/039865号(特許文献1)には、負荷に対して並列接続されたm台の電力変換装置と、m台の電力変換装置に接続された通信回線とを備えた電力変換システムが開示されている。mは2以上の整数である。各電力変換装置は、直流電力を交流電力に変換して負荷に供給するインバータと、負荷電流値を検出する電流センサと、電流センサによって検出された負荷電流値を通信回線を介して他の(m-1)台の電力変換装置の各々に送信するとともに、他の(m-1)台の電力変換装置から通信回線を介して送信された(m-1)個の負荷電流値を受信する通信回路と、対応の電流センサによって検出された負荷電流値と、通信回路によって受信された(m-1)個の負荷電流値とに基づいて、対応の電力変換装置の分担電流および横流を求める演算回路と、対応の電力変換装置から負荷に分担電流が供給され、かつ横流が無くなるようにインバータを制御する制御回路とを含む。

【0003】

特開2006-340082号公報(特許文献2)には、伝送するデータ信号を構成する各データビット信号および変調信号の各排他的論理和と上記変調信号との組合せを上位ビット信号とし、上記各データビット信号および上記変調信号の反転信号の各排他的論理和と上記変調信号の反転信号との組合せを下位ビット信号としたシリアル信号を伝送するシリアル信号伝送方法が開示されている。特許文献2では、受信装置側において、上記シリアル信号の上位ビット信号と下位ビット信号の対応するデータビット信号の和が所定の論理値でないとき、上記データビット信号が異常と判定され、その使用が停止される。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】WO2011/039865号

【特許文献2】特開2006-340082号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、特許文献1では、各電力変換装置が他の($m-1$)台の電力変換装置から負荷電流値を受信して分担電流および横流を求めるので、データ通信量が大きくなり、通信速度が遅くなるという問題があった。

10

【0006】

特許文献2では、異常であると判定されたデータビット信号の使用が停止されるので、データビット信号に異常が発生した場合には制御対象の制御を停止する必要がある。

【0007】

それゆえに、この発明の主たる目的は、データ通信量が小さく、通信速度が速く、データ信号の通信に異常が発生した場合でも複数の電気機器を制御することが可能な制御システムを提供することである。

【課題を解決するための手段】

【0008】

20

この発明に係る制御システムは、それぞれ第1～第Nの電気機器を制御する第1～第Nの制御回路と、各々が第1および第2の通信線を含む第1～第Nの通信ケーブルとを備えたものである。Nは2以上の整数である。第1～第($N-1$)の制御回路は第1～第($N-1$)の通信ケーブルを介して後段の第2～第Nの制御回路にそれぞれ接続され、第Nの制御回路は第Nの通信ケーブルを介して後段の第1の制御回路に接続される。第1の制御回路は、第1～第Nの電気機器を制御するための第1のデータ信号を生成し、第1のデータ信号に基づいて第1の電気機器を制御し、第1のデータ信号を第1の通信ケーブルの第1の通信線を介して後段の第2の制御回路に送信するとともに、第1のデータ信号を第Nの通信ケーブルの第2の通信線を介して前段の第Nの制御回路に送信する。2以上でN以下の整数をnとすると、第nの制御回路の前段の制御回路は第($n-1$)の制御回路であり、第nの制御回路の後段の制御回路は第($n+1$)の制御回路または第1の制御回路である。第nの制御回路は、第1のデータ信号に基づいて第nの電気機器を制御するとともに、第nの電気機器の制御結果を示す第nのデータ信号を生成する。第nの制御回路は、前段の制御回路および後段の制御回路の各々のデータ信号の通信が正常に行なわれている場合は、第nのデータ信号と前段の制御回路からのデータ信号とを第nの通信ケーブルの第1の通信線を介して後段の制御回路に送信するとともに、第nのデータ信号と後段の制御回路からのデータ信号とを第($n-1$)の通信ケーブルの第2の通信線を介して前段の制御回路に送信する。第nの制御回路は、前段の制御回路とのデータ信号の通信が正常に行なわれなくなった場合は、前段の制御回路とのデータ信号の通信を停止するとともに、第nのデータ信号と後段の制御回路からのデータ信号とを第nの通信ケーブルの第1の通信線を介して後段の制御回路に送信する。第nの制御回路は、後段の制御回路とのデータ信号の通信が正常に行なわれなくなった場合は、後段の制御回路とのデータ信号の通信を停止するとともに、第nのデータ信号と前段の制御回路からのデータ信号とを第($n-1$)の通信ケーブルの第2の通信線を介して前段の制御回路に送信する。

30

40

【発明の効果】

【0009】

この発明に係る制御システムでは、第1～第Nの制御回路を第1～第Nの通信ケーブルによって環状に接続し、第1の制御回路をマスターとし、第2～第Nの制御回路の各々をスレーブとしたので、データ通信量の低減化、通信速度の高速化を図ることができる。

【0010】

50

さらに、第 n の制御回路とその前段および後段の制御回路とのデータ通信が正常である場合は、第 1 ~ 第 N の制御回路および第 1 ~ 第 N の通信ケーブルの第 1 の通信線によって環状の第 1 の通信経路が形成されるとともに、第 1 ~ 第 N の制御回路および第 1 ~ 第 N の通信ケーブルの第 2 の通信線によって環状の第 2 の通信経路が形成される。第 n の制御回路とその前段の制御回路とのデータ通信が正常でない場合は、第 $(n - 1)$ の通信ケーブル以外の $(N - 1)$ 本の通信ケーブルの第 1 および第 2 の通信線と第 1 ~ 第 N の制御回路とによって環状の第 3 の通信経路が形成される。第 n の制御回路とその後段の制御回路とのデータ通信が正常に行なわれない場合は、第 n の通信ケーブル以外の $(N - 1)$ 本の通信ケーブルの第 1 および第 2 の通信線と第 1 ~ 第 N の制御回路とによって環状の第 4 の通信経路が形成される。したがって、2 つの制御回路間のデータ通信に異常が発生した場合でも第 1 ~ 第 N の電気機器を制御することができる。

10

【図面の簡単な説明】

【0011】

【図1】この発明の一実施の形態による電力変換システムの構成を示す回路ブロック図である。

【図2】図1に示した制御回路3.1の構成を示すブロック図である。

【図3】図2に示した内部回路の動作を示すフローチャートである。

【図4】図1に示した制御回路3.2の構成を示すブロック図である。

【図5】図4に示した内部回路の動作を示すフローチャートである。

【図6】図1に示した制御回路3.3の構成を示すブロック図である。

20

【図7】図6に示した内部回路の動作を示すフローチャートである。

【図8】図1に示した制御回路3.1~3.3における通信経路を示す回路ブロック図である。

【図9】図1に示した制御回路3.1~3.3における他の通信経路を示す回路ブロック図である。

【図10】図1に示した制御回路3.1~3.3におけるさらに他の通信経路を示す回路ブロック図である。

【図11】図1に示した制御回路3.1~3.3におけるさらに他の通信経路を示す回路ブロック図である。

【発明を実施するための形態】

30

【0012】

図1は、この発明の一実施の形態による電力変換システムの構成を示す回路ブロック図である。図1において、この電力変換システムは、複数台(図では3台)のインバータ1.1~1.3と、複数(この場合は3つ)の電流検出器2.1~2.3と、複数(この場合は3つ)の制御回路3.1~3.3と、複数(この場合は3つ)の通信ケーブル4.1~4.3とを備える。インバータ1.1~1.3の各々は電気機器を構成し、制御回路3.1~3.3および通信ケーブル4.1~4.3は制御システムを構成する。

【0013】

インバータ1.1~1.3は、それぞれ制御回路3.1~3.3からの制御信号CNT1~CNT3に基づいて動作し、それぞれ直流電源5.1~5.3から供給される直流電圧を一定周波数(たとえば商用周波数)の交流電圧に変換する。インバータ1.1~1.3の出力電圧は、負荷6に対して並列に印加される。直流電源5.1~5.3の各々は、バッテリーでもよいし、コンデンサでもよいし、交流電力を直流電力に変換するコンバータでも構わない。

40

【0014】

電流検出器2.1~2.3は、それぞれインバータ1.1~1.3から負荷6に流れる電流IL1~IL3の瞬時値を検出し、検出値を示す信号1~3をそれぞれ出力する。信号1~3は、それぞれ制御回路3.1~3.3に与えられる。

【0015】

制御回路3.1, 3.2は通信ケーブル4.1, 4.2を介して後段の制御回路3.2

50

、3.3にそれぞれ接続され、制御回路3.3は通信ケーブル4.3を介して後段の制御回路3.1に接続されている。制御回路3.1の前段は制御回路3.3であり、制御回路3.1の後段は制御回路3.2である。制御回路3.2の前段は制御回路3.1であり、制御回路3.2の後段は制御回路3.3である。制御回路3.3の前段は制御回路3.2であり、制御回路3.3の後段は制御回路3.1である。制御回路3.1～3.3は、通信ケーブル4.1～4.3によって環状に接続されており、通信ケーブル4.1～4.3を介して互いにデータ信号を授受する。制御回路3.1はマスターであり、制御回路3.2, 3.3の各々はスレーブである。

【0016】

制御回路3.1は、電流検出器2.1の出力信号1によって示される負荷電流値 I_{L1} と、制御回路3.2, 3.3からのデータ信号 $D2$, $D3$ によって示される負荷電流値 I_{L2} , I_{L3} との総和値 $I_{L1} + I_{L2} + I_{L3}$ を求め、その総和値をインバータ1.1～1.3の台数(すなわち3)で除算して分担電流 $I_S = (I_{L1} + I_{L2} + I_{L3}) / 3$ を求める。

10

【0017】

制御回路3.1は、負荷電流値 I_{L1} から分担電流 I_S を減算して横流 $I_{C1} = I_{L1} - I_S$ を求め、求めた横流 I_{C1} が0Aになるように制御信号 $CNT1$ を生成してインバータ1.1を制御する。たとえば、制御回路3.1は、横流 I_{C1} が正の値である場合はインバータ1.1の出力電圧の値を徐々に減少させ、横流 I_{C1} が負の値である場合はインバータ1.1の出力電圧の値を徐々に増大させる。あるいは、制御回路3.1は、横流 I_{C1} が正の値である場合はインバータ1.1の出力電圧の位相を徐々に遅らせ、横流 I_{C1} が負の値である場合はインバータ1.1の出力電圧の位相を徐々に進ませる。

20

【0018】

制御回路3.1は、求めた分担電流 I_S を示すデータ信号 $D1$ を制御回路3.2, 3.3に送信する。データ信号 $D1$ は、インバータ1.1～1.3を制御するための信号となる。

【0019】

制御回路3.2は、電流検出器2.2によって検出された負荷電流値 I_{L2} から、制御回路3.1からのデータ信号 $D1$ によって示される分担電流 I_S を減算して横流 $I_{C2} = I_{L2} - I_S$ を求め、求めた横流 I_{C2} が0Aになるように制御信号 $CNT2$ を生成してインバータ1.2を制御する。

30

【0020】

制御回路3.2は、電流検出器2.2によって検出された負荷電流値 I_{L2} を示すデータ信号 $D2$ を制御回路3.1に送信する。データ信号 $D2$ は、インバータ1.2の制御結果を示す信号となる。制御回路3.2は、データ信号の通信に異常が発生した場合は、その旨を報知する警報信号 $AL2$ を出力する。警報信号 $AL2$ に应答して、光、音、画像などによってデータ信号の通信に異常が発生した旨を報知する光源、音源、ディスプレイなどを設けてもよい。

【0021】

制御回路3.3は、電流検出器2.3によって検出された負荷電流値 I_{L3} から、制御回路3.1からのデータ信号 $D1$ によって示される分担電流 I_S を減算して横流 $I_{C3} = I_{L3} - I_S$ を求め、求めた横流 I_{C3} が0Aになるように制御信号 $CNT3$ を生成してインバータ1.3を制御する。

40

【0022】

制御回路3.3は、電流検出器2.3によって検出された負荷電流値 I_{L3} を示すデータ信号 $D3$ を制御回路3.1に送信する。データ信号 $D3$ は、インバータ1.3の制御結果を示す信号となる。制御回路3.3は、データ信号の通信に異常が発生した場合は、その旨を報知する警報信号 $AL3$ を出力する。警報信号 $AL3$ に应答して、光、音、画像などによってデータ信号の通信に異常が発生した旨を報知する光源、音源、ディスプレイなどを設けてもよい。

50

【 0 0 2 3 】

通信ケーブル 4 . 1 は、制御回路 3 . 1 , 3 . 2 間に接続され、前段の制御回路 3 . 1 から後段の制御回路 3 . 2 にデータ信号を伝達させるための通信線 L 1 と、後段の制御回路 3 . 2 から前段の制御回路 3 . 1 にデータ信号を伝達させるための通信線 L 2 とを含む。

【 0 0 2 4 】

通信ケーブル 4 . 2 は、制御回路 3 . 2 , 3 . 3 間に接続され、前段の制御回路 3 . 2 から後段の制御回路 3 . 3 にデータ信号を伝達させるための通信線 L 1 と、後段の制御回路 3 . 3 から前段の制御回路 3 . 2 にデータ信号を伝達させるための通信線 L 2 とを含む。

【 0 0 2 5 】

通信ケーブル 4 . 3 は、制御回路 3 . 3 , 3 . 1 間に接続され、前段の制御回路 3 . 3 から後段の制御回路 3 . 1 にデータ信号を伝達させるための通信線 L 1 と、後段の制御回路 3 . 1 から前段の制御回路 3 . 3 にデータ信号を伝達させるための通信線 L 2 とを含む。

【 0 0 2 6 】

なお、通信ケーブル 4 . 1 は、多芯ケーブルである。通信線 L 1 ~ L 3 の各々は、複数の信号線を含む。通信ケーブル 4 . 1 の一方端および他方端の各々にはコネクタ(図示せず)が設けられている。通信ケーブル 4 . 2 , 4 . 3 の各々は、通信ケーブル 4 . 1 と同じ構成である。通信ケーブル 4 . 1 の一方端のコネクタは制御回路 3 . 1 のコネクタに接続され、通信ケーブル 4 . 1 の他方端のコネクタは制御回路 3 . 2 のコネクタに接続される。通信ケーブル 4 . 2 の一方端のコネクタは制御回路 3 . 2 のコネクタに接続され、通信ケーブル 4 . 2 の他方端のコネクタは制御回路 3 . 3 のコネクタに接続される。通信ケーブル 4 . 3 の一方端のコネクタは制御回路 3 . 3 のコネクタに接続され、通信ケーブル 4 . 3 の他方端のコネクタは制御回路 3 . 1 のコネクタに接続される。

【 0 0 2 7 】

制御回路 3 . 1 と 3 . 2 , 3 . 2 と 3 . 3 , 3 . 3 と 3 . 1 のそれぞれの間でデータ信号の通信が正常に行なわれている場合は、制御回路 3 . 1 ~ 3 . 3 および通信ケーブル 4 . 1 ~ 4 . 3 の通信線 L 1 によって環状の第 1 の通信経路が形成されるとともに、制御回路 3 . 1 ~ 3 . 3 および通信ケーブル 4 . 1 ~ 4 . 3 の通信線 L 2 によって環状の第 2 の通信経路が形成される。

【 0 0 2 8 】

第 1 の通信経路では、制御回路 3 . 1 から通信ケーブル 4 . 1 の通信線 L 1 を介して制御回路 3 . 2 にデータ信号 D 1 が送信され、制御回路 3 . 2 から通信ケーブル 4 . 2 の通信線 L 1 を介して制御回路 3 . 3 にデータ信号 D 1 , D 2 が送信され、制御回路 3 . 3 から通信ケーブル 4 . 3 の通信線 L 1 を介して制御回路 3 . 1 にデータ信号 D 1 ~ D 3 が送信される。

【 0 0 2 9 】

第 2 の通信経路では、制御回路 3 . 1 から通信ケーブル 4 . 3 の通信線 L 2 を介して制御回路 3 . 3 にデータ信号 D 1 が送信され、制御回路 3 . 3 から通信ケーブル 4 . 2 の通信線 L 2 を介して制御回路 3 . 2 にデータ信号 D 1 , D 3 が送信され、制御回路 3 . 2 から通信ケーブル 4 . 1 の通信線 L 2 を介して制御回路 3 . 1 にデータ信号 D 1 ~ D 3 が送信される。

【 0 0 3 0 】

制御回路 3 . 1 と制御回路 3 . 2 の間でデータ信号の通信が正常に行なわれなくなった場合は、制御回路 3 . 1 ~ 3 . 3 および通信ケーブル 4 . 2 , 4 . 3 によって環状の第 3 の通信経路が形成される。

【 0 0 3 1 】

第 3 の通信経路では、制御回路 3 . 1 から通信ケーブル 4 . 3 の通信線 L 2 を介して制御回路 3 . 3 にデータ信号 D 1 が送信され、制御回路 3 . 3 から通信ケーブル 4 . 2 の通

10

20

30

40

50

信線 L 2 を介して制御回路 3 . 2 にデータ信号 D 1 , D 3 が送信され、制御回路 3 . 2 から通信ケーブル 4 . 2 の通信線 L 1 を介して制御回路 3 . 3 にデータ信号 D 1 ~ D 3 が送信され、制御回路 3 . 3 から通信ケーブル 4 . 3 の通信線 L 1 を介して制御回路 3 . 1 にデータ信号 D 1 ~ D 3 が送信される。

【 0 0 3 2 】

制御回路 3 . 2 と制御回路 3 . 3 の間でデータ信号が正常に伝達されなくなった場合は、制御回路 3 . 1 ~ 3 . 3 および通信ケーブル 4 . 1 , 4 . 3 によって環状の第 4 の通信経路が形成される。

【 0 0 3 3 】

第 4 の通信経路では、制御回路 3 . 1 から通信ケーブル 4 . 3 の通信線 L 2 を介して制御回路 3 . 3 にデータ信号 D 1 が送信され、制御回路 3 . 3 から通信ケーブル 4 . 3 の通信線 L 1 を介して制御回路 3 . 1 にデータ信号 D 1 , D 3 が送信され、制御回路 3 . 1 から通信ケーブル 4 . 1 の通信線 L 1 を介して制御回路 3 . 2 にデータ信号 D 1 , D 3 が送信され、制御回路 3 . 2 から通信ケーブル 4 . 1 の通信線 L 2 を介して制御回路 3 . 1 にデータ信号 D 1 ~ D 3 が送信される。

【 0 0 3 4 】

制御回路 3 . 3 と制御回路 3 . 1 の間でデータ信号が正常に伝達されなくなった場合は、制御回路 3 . 1 ~ 3 . 3 および通信ケーブル 4 . 1 , 4 . 2 によって環状の第 5 の通信経路が形成される。

【 0 0 3 5 】

第 5 の通信経路では、制御回路 3 . 1 から通信ケーブル 4 . 1 の通信線 L 1 を介して制御回路 3 . 2 にデータ信号 D 1 が送信され、制御回路 3 . 2 から通信ケーブル 4 . 2 の通信線 L 1 を介して制御回路 3 . 3 にデータ信号 D 1 , D 2 が送信され、制御回路 3 . 3 から通信ケーブル 4 . 2 の通信線 L 2 を介して制御回路 3 . 2 にデータ信号 D 1 ~ D 3 が送信され、制御回路 3 . 2 から通信ケーブル 4 . 1 の通信線 L 2 を介して制御回路 3 . 1 にデータ信号 D 1 ~ D 3 が送信される。

【 0 0 3 6 】

図 2 は、制御回路 3 . 1 の構成を示すブロック図である。図 2 において、制御回路 3 . 1 は、受信機 1 1 , 1 2、送信機 1 3 , 1 4、判定器 1 5 , 1 6、および内部回路 1 7 を含む。

【 0 0 3 7 】

受信機 1 1 は、制御回路 3 . 3 から通信ケーブル 4 . 3 の通信線 L 1 を介して送信されたデータ信号 D 1 ~ D 3 を受信し、受信したデータ信号 D 1 ~ D 3 を判定器 1 5 および内部回路 1 7 に与える。判定器 1 5 は、受信機 1 1 からのデータ信号 D 1 ~ D 3 が正常であるか否かを判定し、そのデータ信号 D 1 ~ D 3 が正常である場合は信号 1 5 を「 L 」レベルにし、そのデータ信号 D 1 ~ D 3 が異常である場合は信号 1 5 を「 H 」レベルにする。信号 1 5 は、内部回路 1 7 に与えられる。

【 0 0 3 8 】

受信機 1 2 は、制御回路 3 . 2 から通信ケーブル 4 . 1 の通信線 L 2 を介して送信されたデータ信号 D 1 ~ D 3 を受信し、受信したデータ信号 D 1 ~ D 3 を判定器 1 6 および内部回路 1 7 に与える。判定器 1 6 は、受信機 1 2 からのデータ信号 D 1 ~ D 3 が正常であるか否かを判定し、そのデータ信号 D 1 ~ D 3 が正常である場合は信号 1 6 を「 L 」レベルにし、そのデータ信号 D 1 ~ D 3 が異常である場合は信号 1 6 を「 H 」レベルにする。信号 1 6 は、内部回路 1 7 に与えられる。

【 0 0 3 9 】

なお、判定器 1 5 , 1 6 におけるデータ信号 D 1 ~ D 3 が正常であるか否かの判定は、たとえばパリティチェック方式によって行なわれる。パリティチェック方式では、データ信号を構成するビット列が一定の単位毎に区切られ、各単位に含まれる、値が「 1 」であるビットの数が奇数であるか偶数であるかを示すパリティビットが各単位に添付される。受信側では各単位毎に「 1 」の個数とパリティビットとを比較し、データ伝送中に誤りが

10

20

30

40

50

生じたか否かを検出する。さらに、データサイズが正常であるか否かを判別したり、特開 2006-340082号公報(特許文献2)に記載されている方法を採用しても構わない。

【0040】

内部回路17は、判定器15, 16によってデータ信号D1~D3が正常であると判定されて信号15, 16がともに「L」レベルにされ、かつ受信機11からのデータ信号D2, D3と受信機12からのデータ信号D2, D3とが互いに一致している場合は、受信したデータ信号D2, D3(すなわち負荷電流値IL2, IL3)と電流検出器2.1の出力信号1(すなわち負荷電流値IL1)とに基づいて、インバータ1.1~1.3を制御するための新たなデータ信号D1(すなわち分担電流値IS)を生成する。内部回路17は、このようにデータ通信が正常に行なわれた場合において、データ信号D1を生成するために使用した最新のデータ信号D2, D3を記憶する。

10

【0041】

内部回路17は、判定器15, 16によってデータ信号D1~D3が正常であると判定され、かつ受信機11からのデータ信号D1~D3と受信機12からのデータ信号D1~D3とが互いに一致していない場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D2, D3(すなわち負荷電流値IL2, IL3)と電流検出器2.1の出力信号1(すなわち負荷電流値IL1)とに基づいて、インバータ1.1~1.3を制御するための新たなデータ信号D1(すなわち分担電流値IS)を生成する。

20

【0042】

内部回路17は、判定器15によって受信機11からのデータ信号D1~D3が正常であると判定されて信号15が「L」レベルにされ、かつ判定器16によって受信機12からのデータ信号D1~D3が異常であると判定されて信号16が「H」レベルにされた場合は、受信機11からのデータ信号D2, D3(すなわち負荷電流値IL2, IL3)と電流検出器2.1の出力信号1(すなわち負荷電流値IL1)とに基づいて、インバータ1.1~1.3を制御するための新たなデータ信号D1(すなわち分担電流値IS)を生成する。

【0043】

内部回路17は、判定器15によって受信機11からのデータ信号D1~D3が異常であると判定されて信号15が「H」レベルにされ、かつ判定器16によって受信機12からのデータ信号D1~D3が正常であると判定されて信号16が「L」レベルにされた場合は、受信機12からのデータ信号D2, D3(すなわち負荷電流値IL2, IL3)と電流検出器2.1の出力信号1(すなわち負荷電流値IL1)とに基づいて、インバータ1.1~1.3を制御するための新たなデータ信号D1(すなわち分担電流値IS)を生成する。

30

【0044】

内部回路17は、判定器15, 16によってデータ信号D1~D3が異常であると判定された場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D2, D3(すなわち負荷電流値IL2, IL3)と電流検出器2.1の出力信号1(すなわち負荷電流値IL1)とに基づいて、インバータ1.1~1.3を制御するための新たなデータ信号D1(すなわち分担電流値IS)を生成する。

40

【0045】

内部回路17は、生成した新たなデータ信号D1(すなわち分担電流値IS)と電流検出器2.1の出力信号1(すなわち負荷電流値IL1)とに基づいて横流IC=IL1-ISを求め、その横流ICが0Aになるように制御信号CNT1を生成してインバータ1.1を制御する。

【0046】

送信機13は、内部回路17によって生成された新たなデータ信号D1を通信ケーブル4.1の通信線L1を介して制御回路3.2に送信する。送信機14は、内部回路17によって生成された新たなデータ信号D1を通信ケーブル4.3の通信線L2を介して制御

50

回路 3 . 3 に送信する。

【 0 0 4 7 】

図 3 は、内部回路 1 7 の動作を示すフローチャートである。ステップ S 1 において内部回路 1 7 は、受信機 1 1 , 1 2 を介してデータ信号 D 1 ~ D 3 を受信する。ステップ S 2 において内部回路 1 7 は、判定器 1 5 , 1 6 の出力信号 1 5 , 1 6 がともに「 L 」レベルであるか否かを判別する。

【 0 0 4 8 】

ステップ S 2 において信号 1 5 , 1 6 がともに「 L 」レベルである場合、ステップ S 3 において内部回路 1 7 は、受信機 1 1 からのデータ信号 D 2 , D 3 と受信機 1 2 からのデータ信号 D 2 , D 3 とが一致しているか否かを判別する。

10

【 0 0 4 9 】

ステップ S 3 において受信機 1 1 , 1 2 からのデータ信号 D 2 , D 3 が一致していると判別した場合、ステップ S 4 において内部回路 1 7 は、受信機 1 1 , 1 2 からのデータ信号 D 2 , D 3 を用いて処理する。すなわち、内部回路 1 7 は、受信したデータ信号 D 2 , D 3 と電流検出器 2 . 1 の出力信号 1 とに基づいて新たなデータ信号 D 1 を生成し、新たなデータ信号 D 1 を制御回路 3 . 2 , 3 . 3 に送信し、データ信号 D 1 を生成するために使用した最新のデータ信号 D 2 , D 3 を記憶するとともに、新たなデータ信号 D 1 を用いてインバータ 1 . 1 を制御し、ステップ S 1 に戻る。

【 0 0 5 0 】

ステップ S 3 において受信機 1 1 , 1 2 からのデータ信号 D 2 , D 3 が一致していないと判別した場合、ステップ S 5 において内部回路 1 7 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 2 , D 3 を用いて処理する。すなわち、内部回路 1 7 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 2 , D 3 と電流検出器 2 . 1 の出力信号 1 とに基づいて新たなデータ信号 D 1 を生成し、新たなデータ信号 D 1 を制御回路 3 . 2 , 3 . 3 に送信するとともに、新たなデータ信号 D 1 を用いてインバータ 1 . 1 を制御し、ステップ S 1 に戻る。

20

【 0 0 5 1 】

ステップ S 2 において信号 1 5 , 1 6 がともに「 L 」レベルであるという条件が否定された場合、ステップ S 6 において内部回路 1 7 は、信号 1 5 または信号 1 6 が「 L 」レベルであるか否かを判別する。

30

【 0 0 5 2 】

ステップ S 6 において信号 1 5 または信号 1 6 が「 L 」レベルであると判別した場合、ステップ S 7 において内部回路 1 7 は、受信機 1 1 , 1 2 からのデータ信号 D 1 ~ D 3 のうちの正常な方のデータ信号 D 1 ~ D 3 に含まれるデータ信号 D 2 , D 3 を用いて処理する。すなわち、内部回路 1 7 は、正常な方のデータ信号 D 2 , D 3 と電流検出器 2 . 1 の出力信号 1 とに基づいて新たなデータ信号 D 1 を生成し、新たなデータ信号 D 1 を制御回路 3 . 2 , 3 . 3 に送信するとともに、新たなデータ信号 D 1 を用いてインバータ 1 . 1 を制御し、ステップ S 1 に戻る。

【 0 0 5 3 】

ステップ S 6 において信号 1 5 または信号 1 6 が「 L 」レベルであるという条件が否定された場合、ステップ S 8 において内部回路 1 7 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 2 , D 3 を用いて処理する。すなわち、内部回路 1 7 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 2 , D 3 と電流検出器 2 . 1 の出力信号 1 とに基づいて新たなデータ信号 D 1 を生成し、新たなデータ信号 D 1 を制御回路 3 . 2 , 3 . 3 に送信するとともに、新たなデータ信号 D 1 を用いてインバータ 1 . 1 を制御し、ステップ S 1 に戻る。

40

【 0 0 5 4 】

図 4 は、制御回路 3 . 2 の構成を示すブロック図であって、図 2 と対比される図である。図 4 を参照して、制御回路 3 . 2 が制御回路 3 . 1 と異なる点は、異常検出器 2 1 , 2 2 が追加され、内部回路 1 7 が内部回路 2 3 によって置換されている点である。

50

【 0 0 5 5 】

受信機 1 1 は、制御回路 3 . 1 から通信ケーブル 4 . 1 の通信線 L 1 を介して送信されたデータ信号 D 1 を受信し、受信したデータ信号 D 1 を判定器 1 5 および内部回路 2 3 に与える。判定器 1 5 は、受信機 1 1 からのデータ信号 D 1 が正常であるか否かを判定し、そのデータ信号 D 1 が正常である場合は信号 1 5 を「L」レベルにし、そのデータ信号 D 1 が異常である場合は信号 1 5 を「H」レベルにする。信号 1 5 は、内部回路 2 3 に与えられる。

【 0 0 5 6 】

受信機 1 2 は、制御回路 3 . 3 から通信ケーブル 4 . 2 の通信線 L 2 を介して送信されたデータ信号 D 1 , D 3 を受信し、受信したデータ信号 D 1 , D 3 を判定器 1 6 および内部回路 2 3 に与える。判定器 1 6 は、受信機 1 2 からのデータ信号 D 1 , D 3 が正常であるか否かを判定し、そのデータ信号 D 1 , D 3 が正常である場合は信号 1 6 を「L」レベルにし、そのデータ信号 D 1 , D 3 が異常である場合は信号 1 6 を「H」レベルにする。信号 1 6 は、内部回路 2 3 に与えられる。

10

【 0 0 5 7 】

異常検出器 2 1 は、判定器 1 5 の出力信号 1 5 が連続して 3 回（予め定められた回数）、「H」レベルにされた場合に、異常検出信号 2 1 を非活性化レベルの「L」レベルから活性化レベルの「H」レベルに立ち上げる。異常検出器 2 2 は、判定器 1 6 の出力信号 1 6 が連続して 3 回（予め定められた回数）、「H」レベルにされた場合に、異常検出信号 2 2 を非活性化レベルの「L」レベルから活性化レベルの「H」レベルに立ち上げる。

20

【 0 0 5 8 】

内部回路 2 3 は、判定器 1 5 , 1 6 によってデータ信号 D 1 およびデータ信号 D 1 , D 3 が正常であると判定されて信号 1 5 , 1 6 がともに「L」レベルにされ、かつ受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが互いに一致している場合は、そのデータ信号 D 1（すなわち分担電流値 I S）と電流検出器 2 . 2 の出力信号 2（すなわち負荷電流値 I L 2）とに基づいて横流 I C 2 を求め、その横流 I C 2 が 0 A になるように制御信号 C N T 2 を生成してインバータ 1 . 2 を制御する。さらに内部回路 2 3 は、電流検出器 2 . 2 の出力信号 2 に基づいてデータ信号 D 2（すなわち負荷電流値 I L 2）を生成する。内部回路 2 3 は、このようにデータ通信が正常に行なわれた場合において、インバータ 1 . 2 を制御するために使用した最新のデータ信号 D 1 を記憶する。

30

【 0 0 5 9 】

内部回路 2 3 は、判定器 1 5 , 1 6 によってデータ信号 D 1 およびデータ信号 D 1 , D 3 が正常であると判定され、かつ受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが互いに一致していない場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 1（すなわち分担電流値 I S）と電流検出器 2 . 2 の出力信号 2（すなわち負荷電流値 I L 2）とに基づいて横流 I C 2 を求め、その横流 I C 2 が 0 A になるように制御信号 C N T 2 を生成してインバータ 1 . 2 を制御する。さらに内部回路 2 3 は、電流検出器 2 . 2 の出力信号 2 に基づいてデータ信号 D 2（すなわち負荷電流値 I L 2）を生成する。

40

【 0 0 6 0 】

内部回路 2 3 は、判定器 1 5 によって受信機 1 1 からのデータ信号 D 1 が正常であると判定されて信号 1 5 が「L」レベルにされ、かつ判定器 1 6 によって受信機 1 2 からのデータ信号 D 1 , D 3 が異常であると判定されて信号 1 6 が「H」レベルにされた場合は、受信機 1 1 からのデータ信号 D 1（すなわち分担電流値 I S）と電流検出器 2 . 2 の出力信号 2（すなわち負荷電流値 I L 2）とに基づいて横流 I C 2 を求め、その横流 I C 2 が 0 A になるように制御信号 C N T 2 を生成してインバータ 1 . 2 を制御する。さらに内部回路 2 3 は、電流検出器 2 . 2 の出力信号 2 に基づいてデータ信号 D 2（すなわち負荷電流値 I L 2）を生成する。

50

【 0 0 6 1 】

内部回路 2 3 は、判定器 1 5 によって受信機 1 1 からのデータ信号 D 1 が異常であると判定されて信号 1 5 が「H」レベルにされ、かつ判定器 1 6 によって受信機 1 2 からのデータ信号 D 1 , D 3 が正常であると判定されて信号 1 6 が「L」レベルにされた場合は、受信機 1 2 からのデータ信号 D 1 (すなわち分担電流値 I S) と電流検出器 2 . 2 の出力信号 2 (すなわち負荷電流値 I L 2) とに基づいて横流 I C 2 を求め、その横流 I C 2 が 0 A になるように制御信号 C N T 2 を生成してインバータ 1 . 2 を制御する。さらに内部回路 2 3 は、電流検出器 2 . 2 の出力信号 2 に基づいてデータ信号 D 2 (すなわち負荷電流値 I L 2) を生成する。

【 0 0 6 2 】

内部回路 2 3 は、判定器 1 5 , 1 6 の両方によってデータ信号 D 1 が異常であると判定された場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 1 (すなわち分担電流 I S) と電流検出器 2 . 2 の出力信号 2 (すなわち負荷電流値 I L 2) とに基づいて横流 I C 2 を求め、その横流 I C 2 が 0 A になるように制御信号 C N T 2 を生成してインバータ 1 . 2 を制御する。さらに内部回路 2 3 は、電流検出器 2 . 2 の出力信号 2 に基づいてデータ信号 D 2 (すなわち負荷電流値 I L 2) を生成する。

【 0 0 6 3 】

さらに、内部回路 2 3 は、スイッチ S W 1 ~ S W 4 を含む。スイッチ S W 1 は、受信機 1 1 と送信機 1 3 の間に接続される。スイッチ S W 2 は、受信機 1 2 と送信機 1 4 の間に接続される。スイッチ S W 3 は、受信機 1 1 と送信機 1 4 の間に接続される。スイッチ S W 4 は、受信機 1 2 と送信機 1 3 の間に接続される。

【 0 0 6 4 】

異常検出信号 2 1 , 2 2 がともに非活性化レベルの「L」レベルである場合は、スイッチ S W 1 , S W 2 がオンされるとともにスイッチ S W 3 , S W 4 がオフされる。内部回路 2 3 は、受信機 1 1 からのデータ信号 D 1 と新たなデータ信号 D 2 とをスイッチ S W 1 を介して送信機 1 3 に与えるとともに、受信機 1 2 からのデータ信号 D 1 , D 3 と新たなデータ信号 D 2 とをスイッチ S W 2 を介して送信機 1 4 に与える。送信機 1 3 は、内部回路 2 3 からのデータ信号 D 1 , D 2 を通信ケーブル 4 . 2 の通信線 L 1 を介して制御回路 3 . 3 に送信する。送信機 1 4 は、内部回路 2 3 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 1 の通信線 L 2 を介して制御回路 3 . 1 に送信する。

【 0 0 6 5 】

異常検出信号 2 1 , 2 2 がそれぞれ「H」レベルおよび「L」レベルになった場合は、スイッチ S W 4 がオンされるとともにスイッチ S W 1 ~ S W 3 がオフされる。内部回路 2 3 は、受信機 1 1 からのデータ信号 D 1 の受信を停止するとともに、受信機 1 2 からのデータ信号 D 1 , D 3 と新たなデータ信号 D 2 とをスイッチ S W 4 を介して送信機 1 3 に与える。送信機 1 3 は、内部回路 2 3 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 2 の通信線 L 1 を介して制御回路 3 . 3 に送信する。送信機 1 4 からのデータ信号の送信は停止される。

【 0 0 6 6 】

異常検出信号 2 1 , 2 2 がそれぞれ「L」レベルおよび「H」レベルになった場合は、スイッチ S W 3 がオンされるとともにスイッチ S W 1 , S W 2 , S W 4 がオフされる。内部回路 2 3 は、受信機 1 2 からのデータ信号 D 1 , D 3 の受信を停止するとともに、受信機 1 1 からのデータ信号 D 1 と新たなデータ信号 D 2 とをスイッチ S W 3 を介して送信機 1 4 に与える。送信機 1 4 は、内部回路 2 3 からのデータ信号 D 1 , D 2 を通信ケーブル 4 . 1 の通信線 L 2 を介して制御回路 3 . 1 に送信する。送信機 1 3 からのデータ信号の送信は停止される。

【 0 0 6 7 】

判定器 1 5 , 1 6 の出力信号 1 5 , 1 6 がともに「L」レベルであるが、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しないことが連続して 3 回発生した場合は、スイッチ S W 3 がオンされるとともにスイッチ S W 1 , S W 2 ,

10

20

30

40

50

SW4がオフされる。内部回路23は、受信機12からのデータ信号D1, D3の受信を停止するとともに、受信機11からのデータ信号D1と新たなデータ信号D2とをスイッチSW3を介して送信機14に与える。送信機14は、内部回路23からのデータ信号D1, D2を通信ケーブル4.1の通信線L2を介して制御回路3.1に送信する。送信機13からのデータ信号の送信は停止される。内部回路23は、データ信号の通信に異常が発生したことを報知する警報信号AL2を出力する。

【0068】

なお、判定器15, 16の出力信号15, 16がともに「L」レベルであるが、受信機11からのデータ信号D1と受信機12からのデータ信号D1とが一致しないことが連続して3回発生した場合には、スイッチSW4をオンさせるとともにスイッチSW1~SW3をオフさせても構わない。内部回路23は、受信機11からのデータ信号D1の受信を停止するとともに、受信機12からのデータ信号D1, D3と新たなデータ信号D2とをスイッチSW4を介して送信機13に与える。送信機13は、内部回路23からのデータ信号D1~D3を通信ケーブル4.2の通信線L1を介して制御回路3.3に送信する。送信機14からのデータ信号の送信は停止される。

【0069】

図5は、内部回路23の動作を示すフローチャートである。ステップS11において内部回路23は、受信機11, 12を介してデータ信号D1, D3を受信する。ステップS12において内部回路23は、判定器15, 16の出力信号15, 16がともに「L」レベルであるか否かを判別する。

【0070】

ステップS12において信号15, 16がともに「L」レベルである場合、ステップS13において内部回路23は、受信機11からのデータ信号D1と受信機12からのデータ信号D1とが一致しているか否かを判別する。

【0071】

ステップS13において受信機11, 12からのデータ信号D1が一致していると判別した場合、ステップS14において内部回路23は、受信機11, 12からのデータ信号D1を用いて処理する。すなわち、内部回路23は、受信したデータ信号D1と電流検出器2.2の出力信号2とに基づいてインバータ1.2を制御し、最新のデータ信号D1を記憶するとともに、信号2に基づいて新たなデータ信号D2を生成して制御回路3.1, 3.3に送信し、ステップS11に戻る。

【0072】

ステップS13において受信機11, 12からのデータ信号D1が一致していないと判別した場合、ステップS15において内部回路23は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1を用いて処理する。すなわち、内部回路23は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1と電流検出器2.2の出力信号2とに基づいてインバータ1.2を制御するとともに、信号2に基づいて新たなデータ信号D2を生成して制御回路3.1, 3.3に送信する。

【0073】

ステップS16において内部回路23は、データ通信が正常に行なわれたときのデータ信号D1が3回連続して使用されたか否かを判別する。ステップS16においてデータ通信が正常に行なわれたときのデータ信号D1が3回連続して使用されたと判別された場合、ステップS17において内部回路23は、スイッチSW1~SW4を切替えるとともに、警報信号AL2を出力し、ステップS11に戻る。その際、スイッチSW3がオンされるとともにスイッチSW1, SW2, SW4がオフされる。ステップS16において通信が正常に行なわれたときのデータ信号D1が3回連続して使用されたという条件が否定された場合、内部回路23による処理はステップS11に戻る。

【0074】

ステップS12において信号15, 16がともに「L」レベルであるという条件が否定された場合、ステップS18において内部回路23は、信号15または信号16

10

20

30

40

50

が「L」レベルであるか否かを判別する。

【0075】

ステップS18において信号15または信号16が「L」レベルであると判別した場合、ステップS19において内部回路23は、受信機11,12からのデータ信号D1のうちの正常な方のデータ信号D1を用いて処理する。すなわち、内部回路23は、正常な方のデータ信号D1と電流検出器2.2の出力信号2とに基づいてインバータ1.2を制御するとともに、信号2に基づいて新たなデータ信号D2を生成して制御回路3.1,3.3に送信し、ステップS21に進む。

【0076】

ステップS18において信号15または信号16が「L」レベルであるという条件が否定された場合、ステップS20において内部回路23は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1を用いて処理する。すなわち、内部回路23は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1と電流検出器2.2の出力信号2とに基づいてインバータ1.2を制御するとともに、信号2に基づいて新たなデータ信号D2を生成して制御回路3.1,3.3に送信し、ステップS21に進む。

【0077】

ステップS21において内部回路23は、異常検出信号21または22が「H」レベルであるか否かを判別し、異常検出信号21または22が「H」レベルである場合はステップS22においてスイッチSW1~SW4を切換えると同時に、警報信号AL2を出力し、ステップS11に戻る。その際、異常検出信号21が「H」レベルである場合は、スイッチSW1~SW3がオフされるとともにスイッチSW4がオンされ、異常検出信号22が「H」レベルである場合は、スイッチSW1,SW2,SW4がオフされるとともにスイッチSW3がオンされる。ステップS21において異常検出信号21または22が「H」レベルであるという条件が否定された場合、内部回路23による処理はステップS11に戻る。

【0078】

図6は、制御回路3.3の構成を示すブロック図であって、図4と対比される図である。図6を参照して、制御回路3.3が制御回路3.2と異なる点は、内部回路23が内部回路24によって置換されている点である。

【0079】

受信機11は、制御回路3.2から通信ケーブル4.2の通信線L1を介して送信されたデータ信号D1,D2を受信し、受信したデータ信号D1,D2を判定器15および内部回路24に与える。判定器15は、受信機11からのデータ信号D1,D2が正常であるか否かを判定し、そのデータ信号D1,D2が正常である場合は信号15を「L」レベルにし、そのデータ信号D1,D2が異常である場合は信号15を「H」レベルにする。信号15は、内部回路24に与えられる。

【0080】

受信機12は、制御回路3.1から通信ケーブル4.3の通信線L2を介して送信されたデータ信号D1を受信し、受信したデータ信号D1を判定器16および内部回路24に与える。判定器16は、受信機12からのデータ信号D1が正常であるか否かを判定し、そのデータ信号D1が正常である場合は信号16を「L」レベルにし、そのデータ信号D1が異常である場合は信号16を「H」レベルにする。信号16は、内部回路24に与えられる。異常検出器21,22の動作は、図4を用いて説明した通りである。

【0081】

内部回路24は、判定器15,16によってデータ信号D1,D2およびデータ信号D1が正常であると判定されて信号15,16がともに「L」レベルにされ、かつ受信機11からのデータ信号D1と受信機12からのデータ信号D1とが互いに一致している場合は、そのデータ信号D1(すなわち分担電流値IS)と電流検出器2.3の出力信号3(すなわち負荷電流値IL3)とに基づいて横流IC3を求め、その横流IC3が0

10

20

30

40

50

Aになるように制御信号CNT3を生成してインバータ1.3を制御する。さらに内部回路24は、電流検出器2.3の出力信号3に基づいてデータ信号D3(すなわち負荷電流値IL3)を生成する。内部回路24は、このようにデータ通信が正常に行なわれた場合において、インバータ1.3を制御するために使用した最新のデータ信号D1を記憶する。

【0082】

内部回路24は、判定器15,16によってデータ信号D1,D2およびデータ信号D1が正常であると判定され、かつ受信機11からのデータ信号D1と受信機12からのデータ信号D1とが互いに一致していない場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1(すなわち分担電流値IS)と電流検出器2.3の出力信号3(すなわち負荷電流値IL3)とに基づいて横流IC3を求め、その横流IC3が0Aになるように制御信号CNT3を生成してインバータ1.3を制御する。さらに内部回路24は、電流検出器2.3の出力信号3に基づいてデータ信号D3(すなわち負荷電流値IL3)を生成する。

10

【0083】

内部回路24は、判定器15によって受信機11からのデータ信号D1,D2が正常であると判定されて信号15が「L」レベルにされ、かつ判定器16によって受信機12からのデータ信号D1が異常であると判定されて信号16が「H」レベルにされた場合は、受信機11からのデータ信号D1(すなわち分担電流値IS)と電流検出器2.3の出力信号3(すなわち負荷電流値IL3)とに基づいて横流IC3を求め、その横流IC3が0Aになるように制御信号CNT3を生成してインバータ1.3を制御する。さらに内部回路24は、電流検出器2.3の出力信号3に基づいてデータ信号D3(すなわち負荷電流値IL3)を生成する。

20

【0084】

内部回路24は、判定器15によって受信機11からのデータ信号D1,D2が異常であると判定されて信号15が「H」レベルにされ、かつ判定器16によって受信機12からのデータ信号D1が正常であると判定されて信号16が「L」レベルにされた場合は、受信機12からのデータ信号D1(すなわち分担電流値IS)と電流検出器2.3の出力信号3(すなわち負荷電流値IL3)とに基づいて横流IC3を求め、その横流IC3が0Aになるように制御信号CNT3を生成してインバータ1.3を制御する。さらに内部回路24は、電流検出器2.3の出力信号3に基づいてデータ信号D3(すなわち負荷電流値IL3)を生成する。

30

【0085】

内部回路24は、判定器15,16の両方によってデータ信号D1が異常であると判定された場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1(すなわち分担電流IS)と電流検出器2.3の出力信号3(すなわち負荷電流値IL3)とに基づいて横流IC3を求め、その横流IC3が0Aになるように制御信号CNT3を生成してインバータ1.3を制御する。さらに内部回路24は、電流検出器2.3の出力信号3に基づいてデータ信号D3(すなわち負荷電流値IL3)を生成する。

40

【0086】

さらに、内部回路24は、スイッチSW1~SW4を含む。スイッチSW1は、受信機11と送信機13の間に接続される。スイッチSW2は、受信機12と送信機14の間に接続される。スイッチSW3は、受信機11と送信機14の間に接続される。スイッチSW4は、受信機12と送信機13の間に接続される。

【0087】

異常検出信号21,22がともに非活性化レベルの「L」レベルである場合は、スイッチSW1,SW2がオンされるとともにスイッチSW3,SW4がオフされる。内部回路24は、受信機11からのデータ信号D1,D2と新たなデータ信号D3とをスイッチSW1を介して送信機13に与えるとともに、受信機12からのデータ信号D1と新たなデータ信号D3とをスイッチSW2を介して送信機14に与える。送信機13は、内部

50

回路 2 4 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 3 の通信線 L 1 を介して制御回路 3 . 1 に送信する。送信機 1 4 は、内部回路 2 4 からのデータ信号 D 1 , D 3 を通信ケーブル 4 . 2 の通信線 L 2 を介して制御回路 3 . 2 に送信する。

【 0 0 8 8 】

異常検出信号 2 1 , 2 2 がそれぞれ「 H 」レベルおよび「 L 」レベルになった場合は、スイッチ S W 4 がオンされるとともにスイッチ S W 1 ~ S W 3 がオフされる。内部回路 2 4 は、受信機 1 1 からのデータ信号 D 1 , D 2 の受信を停止するとともに、受信機 1 2 からのデータ信号 D 1 , D 3 と新たなデータ信号 D 2 とをスイッチ S W 4 を介して送信機 1 3 に与える。送信機 1 3 は、内部回路 2 4 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 3 の通信線 L 1 を介して制御回路 3 . 1 に送信する。送信機 1 4 からのデータ信号の送信は停止される。

10

【 0 0 8 9 】

異常検出信号 2 1 , 2 2 がそれぞれ「 L 」レベルおよび「 H 」レベルになった場合は、スイッチ S W 3 がオンされるとともにスイッチ S W 1 , S W 2 , S W 4 がオフされる。内部回路 2 4 は、受信機 1 2 からのデータ信号 D 1 の受信を停止するとともに、受信機 1 1 からのデータ信号 D 1 , D 2 と新たなデータ信号 D 3 とをスイッチ S W 3 を介して送信機 1 4 に与える。送信機 1 4 は、内部回路 2 4 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 2 の通信線 L 2 を介して制御回路 3 . 2 に送信する。送信機 1 3 からのデータ信号の送信は停止される。

【 0 0 9 0 】

20

判定器 1 5 , 1 6 の出力信号 1 5 , 1 6 がともに「 L 」レベルであるが、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しないことが連続して 3 回発生した場合は、スイッチ S W 3 がオンされるとともにスイッチ S W 1 , S W 2 , S W 4 がオフされる。内部回路 2 4 は、受信機 1 2 からのデータ信号 D 1 の受信を停止するとともに、受信機 1 1 からのデータ信号 D 1 , D 2 と新たなデータ信号 D 3 とをスイッチ S W 3 を介して送信機 1 4 に与える。送信機 1 4 は、内部回路 2 4 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 2 の通信線 L 2 を介して制御回路 3 . 2 に送信する。送信機 1 3 からのデータ信号の送信は停止される。内部回路 2 4 は、データ信号に異常が発生したことを報知する警報信号 A L 3 を出力する。

【 0 0 9 1 】

30

なお、判定器 1 5 , 1 6 の出力信号 1 5 , 1 6 がともに「 L 」レベルであるが、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しないことが連続して 3 回発生した場合には、スイッチ S W 4 をオンさせるとともにスイッチ S W 1 ~ S W 3 をオフさせても構わない。内部回路 2 4 は、受信機 1 1 からのデータ信号 D 1 , D 2 の受信を停止するとともに、受信機 1 2 からのデータ信号 D 1 と新たなデータ信号 D 3 とをスイッチ S W 4 を介して送信機 1 3 に与える。送信機 1 3 は、内部回路 2 4 からのデータ信号 D 1 , D 3 を通信ケーブル 4 . 3 の通信線 L 1 を介して制御回路 3 . 1 に送信する。送信機 1 4 からのデータ信号の送信は停止される。

【 0 0 9 2 】

図 7 は、内部回路 2 4 の動作を示すフローチャートである。ステップ S 3 1 において内部回路 2 4 は、受信機 1 1 , 1 2 を介してデータ信号 D 1 , D 2 を受信する。ステップ S 3 2 において内部回路 2 4 は、判定器 1 5 , 1 6 の出力信号 1 5 , 1 6 がともに「 L 」レベルであるか否かを判別する。

40

【 0 0 9 3 】

ステップ S 3 2 において信号 1 5 , 1 6 がともに「 L 」レベルである場合、ステップ S 3 3 において内部回路 2 4 は、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しているか否かを判別する。

【 0 0 9 4 】

ステップ S 3 3 において受信機 1 1 , 1 2 からのデータ信号 D 1 が一致していると判別した場合、ステップ S 3 4 において内部回路 2 4 は、受信機 1 1 , 1 2 からのデータ信号

50

D 1 を用いて処理する。すなわち、内部回路 2 4 は、受信したデータ信号 D 1 と電流検出器 2 . 3 の出力信号 3 とに基づいてインバータ 1 . 3 を制御し、最新のデータ信号 D 1 を記憶するとともに、信号 3 に基づいて新たなデータ信号 D 3 を生成して制御回路 3 . 1 , 3 . 2 に送信し、ステップ S 3 1 に戻る。

【 0 0 9 5 】

ステップ S 3 3 において受信機 1 1 , 1 2 からのデータ信号 D 1 が一致していないと判別した場合、ステップ S 3 5 において内部回路 2 4 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 1 を用いて処理する。すなわち、内部回路 2 4 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 1 と電流検出器 2 . 3 の出力信号 3 とに基づいてインバータ 1 . 3 を制御するとともに、信号 3 に基づいて新たなデータ信号 D 3 を生成して制御回路 3 . 1 , 3 . 2 に送信する。

10

【 0 0 9 6 】

ステップ S 3 6 において内部回路 2 4 は、データ通信が正常に行なわれたときのデータ信号 D 1 が 3 回連続して使用されたか否かを判別する。ステップ S 3 6 においてデータ通信が正常に行なわれたときのデータ信号 D 1 が 3 回連続して使用されたと判別された場合、ステップ S 3 7 において内部回路 2 4 は、スイッチ S W 1 ~ S W 4 を切換えるとともに、警報信号 A L 3 を出力し、ステップ S 3 1 に戻る。その際、スイッチ S W 3 がオンされるとともにスイッチ S W 1 , S W 2 , S W 4 がオフされる。ステップ S 3 6 において通信が正常に行なわれたときのデータ信号 D 1 が 3 回連続して使用されたという条件が否定された場合、内部回路 2 4 による処理はステップ S 3 1 に戻る。

20

【 0 0 9 7 】

ステップ S 3 2 において信号 1 5 , 1 6 がともに「 L 」レベルであるという条件が否定された場合、ステップ S 3 8 において内部回路 2 4 は、信号 1 5 または信号 1 6 が「 L 」レベルであるか否かを判別する。

【 0 0 9 8 】

ステップ S 3 8 において信号 1 5 または信号 1 6 が「 L 」レベルであると判別した場合、ステップ S 3 9 において内部回路 2 4 は、受信機 1 1 , 1 2 からのデータ信号 D 1 のうちの正常な方のデータ信号 D 1 を用いて処理する。すなわち、内部回路 2 4 は、正常な方のデータ信号 D 1 と電流検出器 2 . 3 の出力信号 3 とに基づいてインバータ 1 . 3 を制御するとともに、信号 3 に基づいて新たなデータ信号 D 3 を生成して制御回路 3 . 1 , 3 . 2 に送信し、ステップ S 4 1 に進む。

30

【 0 0 9 9 】

ステップ S 3 8 において信号 1 5 または信号 1 6 が「 L 」レベルであるという条件が否定された場合、ステップ S 4 0 において内部回路 2 4 は、通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 1 を用いて処理する。すなわち、内部回路 2 4 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 1 と電流検出器 2 . 3 の出力信号 3 とに基づいてインバータ 1 . 3 を制御するとともに、信号 3 に基づいて新たなデータ信号 D 3 を生成して制御回路 3 . 1 , 3 . 2 に送信し、ステップ S 4 1 に進む。

【 0 1 0 0 】

ステップ S 4 1 において内部回路 2 4 は、異常検出信号 2 1 または 2 2 が「 H 」レベルであるか否かを判別し、異常検出信号 2 1 または 2 2 が「 H 」レベルである場合はステップ S 4 2 においてスイッチ S W 1 ~ S W 4 を切換えるとともに、警報信号 A L 3 を出力し、ステップ S 3 1 に戻る。その際、異常検出信号 2 1 が「 H 」レベルである場合は、スイッチ S W 1 ~ S W 3 がオフされるとともにスイッチ S W 4 がオンされ、異常検出信号 2 2 が「 H 」レベルである場合は、スイッチ S W 1 , S W 2 , S W 4 がオフされるとともにスイッチ S W 3 がオンされる。ステップ S 4 1 において異常検出信号 2 1 または 2 2 が「 H 」レベルであるという条件が否定された場合、内部回路 2 4 による処理はステップ S 3 1 に戻る。

40

【 0 1 0 1 】

50

図 8 は、制御回路 3 . 1 と 3 . 2 , 3 . 2 と 3 . 3 , 3 . 3 と 3 . 1 のそれぞれの間においてデータ通信が正常に行なわれている場合における通信経路を示す回路ブロック図である。図 8 において、制御回路 3 . 2 , 3 . 3 の各々において、スイッチ S W 1 , S W 2 がオンされるとともに、スイッチ S W 3 , S W 4 がオフされる。制御回路 3 . 1 ~ 3 . 3 と通信ケーブル 4 . 1 ~ 4 . 3 の通信線 L 1 によって第 1 の通信経路 P 1 が形成されるとともに、制御回路 3 . 1 ~ 3 . 3 と通信ケーブル 4 . 1 ~ 4 . 3 の通信線 L 2 によって第 2 の通信経路 P 2 が形成される。

【 0 1 0 2 】

第 1 の通信経路 P 1 においては、制御回路 3 . 1 内で生成されたデータ信号 D 1 が送信機 1 3 と通信ケーブル 4 . 1 の通信線 L 1 とを介して制御回路 3 . 2 の受信機 1 1 に送信される。制御回路 3 . 2 の受信機 1 1 によって受信されたデータ信号 D 1 と制御回路 3 . 2 内で生成されたデータ信号 D 2 とが、スイッチ S W 1 と送信機 1 3 と通信ケーブル 4 . 2 の通信線 L 1 を介して制御回路 3 . 3 の受信機 1 1 に送信される。制御回路 3 . 3 の受信機 1 1 によって受信されたデータ信号 D 1 , D 2 と制御回路 3 . 3 内で生成されたデータ信号 D 3 とが、スイッチ S W 1 と送信機 1 3 と通信ケーブル 4 . 3 の通信線 L 1 とを介して制御回路 3 . 1 の受信機 1 1 に送信される。

10

【 0 1 0 3 】

第 2 の通信経路 P 2 においては、制御回路 3 . 1 内で生成されたデータ信号 D 1 が送信機 1 4 と通信ケーブル 4 . 3 の通信線 L 2 とを介して制御回路 3 . 3 の受信機 1 2 に送信される。制御回路 3 . 3 の受信機 1 2 によって受信されたデータ信号 D 1 と制御回路 3 . 3 内で生成されたデータ信号 D 3 とが、スイッチ S W 2 と送信機 1 4 と通信ケーブル 4 . 2 の通信線 L 2 を介して制御回路 3 . 2 の受信機 1 2 に送信される。制御回路 3 . 2 の受信機 1 2 によって受信されたデータ信号 D 1 , D 3 と制御回路 3 . 2 内で生成されたデータ信号 D 2 とが、スイッチ S W 2 と送信機 1 4 と通信ケーブル 4 . 1 の通信線 L 2 とを介して制御回路 3 . 1 の受信機 1 2 に送信される。制御回路 3 . 1 は、受信機 1 1 , 1 2 によって受信されたデータ信号 D 2 , D 3 に基づいて新たなデータ信号 D 1 を生成する。

20

【 0 1 0 4 】

図 9 は、制御回路 3 . 1 と 3 . 2 の間においてデータ通信が異常になった場合の通信経路を示す回路ブロック図である。このような状態は、たとえば、通信ケーブル 4 . 1 の一方側のコネクタと制御回路 3 . 1 のコネクタとの接触不良が発生した場合、通信ケーブル 4 . 1 の他方側のコネクタと制御回路 3 . 2 のコネクタとの接触不良が発生した場合、制御回路 3 . 1 の受信機 1 2 および送信機 1 3 が故障した場合、制御回路 3 . 2 の受信機 1 1 および送信機 1 4 が故障した場合などに発生する。

30

【 0 1 0 5 】

図 9 において、制御回路 3 . 2 において、スイッチ S W 1 ~ S W 3 がオフされるとともに、スイッチ S W 4 がオンされる。制御回路 3 . 3 において、スイッチ S W 1 , S W 2 がオンされるとともに、スイッチ S W 3 , S W 4 がオフされる。制御回路 3 . 1 ~ 3 . 3 と通信ケーブル 4 . 2 , 4 . 3 の通信線 L 1 , L 2 によって第 3 の通信経路 P 3 が形成される。

【 0 1 0 6 】

第 3 の通信経路 P 3 においては、制御回路 3 . 1 内で生成されたデータ信号 D 1 が送信機 1 4 と通信ケーブル 4 . 3 の通信線 L 2 とを介して制御回路 3 . 3 の受信機 1 2 に送信される。制御回路 3 . 3 の受信機 1 2 によって受信されたデータ信号 D 1 と制御回路 3 . 3 内で生成されたデータ信号 D 3 とが、スイッチ S W 2 と送信機 1 4 と通信ケーブル 4 . 2 の通信線 L 2 とを介して制御回路 3 . 2 の受信機 1 2 に送信される。

40

【 0 1 0 7 】

制御回路 3 . 2 の受信機 1 2 によって受信されたデータ信号 D 1 , D 3 と制御回路 3 . 2 内で生成されたデータ信号 D 2 とが、スイッチ S W 4 と送信機 1 3 と通信ケーブル 4 . 2 の通信線 L 1 とを介して制御回路 3 . 3 の受信機 1 1 に送信される。制御回路 3 . 3 の受信機 1 1 によって受信されたデータ信号 D 1 , D 2 と制御回路 3 . 3 内で生成されたデ

50

ータ信号D3とが、スイッチSW1と送信機13と通信ケーブル4.3の通信線L1とを介して制御回路3.1の受信機11に送信される。制御回路3.1は、受信機11によって受信されたデータ信号D2, D3に基づいて新たなデータ信号D1を生成する。

【0108】

この場合は、制御回路3.2から警報信号AL2が出力され、制御回路3.3から警報信号AL3が出力されないため、制御回路3.1と3.2の間でデータ通信が異常になったことが分かる。したがって、たとえば、通信ケーブル4.1のコネクタと制御回路3.1または3.2のコネクタとの接触不良を解消することにより、制御回路3.1と3.2の間のデータ通信を正常な状態に戻すことができる。

【0109】

図10は、制御回路3.2と3.3の間においてデータ通信が異常になった場合の通信経路を示す回路ブロック図である。このような状態は、たとえば、通信ケーブル4.2の一方側のコネクタと制御回路3.2のコネクタとの接触不良が発生した場合、通信ケーブル4.2の他方側のコネクタと制御回路3.3のコネクタとの接触不良が発生した場合、制御回路3.2の受信機12および送信機13が故障した場合、制御回路3.3の受信機11および送信機14が故障した場合などに発生する。

【0110】

図10において、制御回路3.2において、スイッチSW1, SW2, SW4がオフされるとともに、スイッチSW3がオンされる。制御回路3.3において、スイッチSW1~SW3がオフされるとともに、スイッチSW4がオンされる。制御回路3.1~3.3と通信ケーブル4.1, 4.3の通信線L1, L2によって第4の通信経路P4が形成される。

【0111】

第4の通信経路P4においては、制御回路3.1内で生成されたデータ信号D1が送信機14と通信ケーブル4.3の通信線L2とを介して制御回路3.3の受信機12に送信される。制御回路3.3の受信機12によって受信されたデータ信号D1と制御回路3.3内で生成されたデータ信号D3とが、スイッチSW4と送信機13と通信ケーブル4.3の通信線L1を介して制御回路3.1の受信機11に送信される。

【0112】

制御回路3.1の受信機11によって受信されたデータ信号D1, D3が、送信機13と通信ケーブル4.1の通信線L1を介して制御回路3.2の受信機11に送信される。制御回路3.2の受信機11によって受信されたデータ信号D1, D3と制御回路3.2内で生成されたデータ信号D2とが、スイッチSW3と送信機14と通信ケーブル4.1の通信線L2を介して制御回路3.1の受信機12に送信される。制御回路3.1は、受信機12によって受信されたデータ信号D2, D3に基づいて新たなデータ信号D1を生成する。

【0113】

この場合は、制御回路3.2, 3.3から警報信号AL2, AL3が出力されるので、制御回路3.2と3.3の間でデータ通信が異常になっていることが分かる。したがって、たとえば、通信ケーブル4.2のコネクタと制御回路3.2または3.3のコネクタとの接触不良を解消することにより、制御回路3.2と3.3の間のデータ通信を正常な状態に戻すことができる。

【0114】

図11は、制御回路3.3と3.1の間においてデータ通信が異常になった場合の通信経路を示す回路ブロック図である。このような状態は、たとえば、通信ケーブル4.3の一方側のコネクタと制御回路3.3のコネクタとの接触不良が発生した場合、通信ケーブル4.3の他方側のコネクタと制御回路3.1のコネクタとの接触不良が発生した場合、制御回路3.3の受信機12および送信機13が故障した場合、制御回路3.1の受信機11および送信機14が故障した場合などに発生する。

【0115】

10

20

30

40

50

図 1 1 において、制御回路 3 . 2 において、スイッチ S W 3 , S W 4 がオフされるとともに、スイッチ S W 1 , S W 2 がオンされる。制御回路 3 . 3 において、スイッチ S W 1 , S W 2 , S W 4 がオフされるとともに、スイッチ S W 3 がオンされる。制御回路 3 . 1 ~ 3 . 3 と通信ケーブル 4 . 1 , 4 . 2 の通信線 L 1 , L 2 によって第 5 の通信経路 P 5 が形成される。

【 0 1 1 6 】

第 5 の通信経路 P 5 においては、制御回路 3 . 1 内で生成されたデータ信号 D 1 が送信機 1 3 と通信ケーブル 4 . 1 の通信線 L 1 とを介して制御回路 3 . 2 の受信機 1 1 に送信される。制御回路 3 . 2 の受信機 1 1 によって受信されたデータ信号 D 1 と制御回路 3 . 2 内で生成されたデータ信号 D 2 とが、スイッチ S W 1 と送信機 1 3 と通信ケーブル 4 . 2 の通信線 L 1 とを介して制御回路 3 . 3 の受信機 1 1 に送信される。

10

【 0 1 1 7 】

制御回路 3 . 3 の受信機 1 1 によって受信されたデータ信号 D 1 , D 2 と制御回路 3 . 3 内で生成されたデータ信号 D 3 とが、スイッチ S W 3 と送信機 1 4 と通信ケーブル 4 . 2 の通信線 L 2 とを介して制御回路 3 . 2 の受信機 1 2 に送信される。制御回路 3 . 2 の受信機 1 2 によって受信されたデータ信号 D 1 , D 3 と制御回路 3 . 2 内で生成されたデータ信号 D 2 とが、スイッチ S W 2 と送信機 1 4 と通信ケーブル 4 . 1 の通信線 L 2 とを介して制御回路 3 . 1 の受信機 1 2 に送信される。制御回路 3 . 1 は、受信機 1 2 によって受信されたデータ信号 D 2 , D 3 に基づいて新たなデータ信号 D 1 を生成する。

【 0 1 1 8 】

20

この場合は、制御回路 3 . 2 から警報信号 A L 2 が出力されず、制御回路 3 . 3 から警報信号 A L 3 が出力されるので、制御回路 3 . 3 と 3 . 1 の間でデータ通信が異常になっていることが分かる。したがって、たとえば、通信ケーブル 4 . 3 のコネクタと制御回路 3 . 3 または 3 . 1 のコネクタとの接触不良を解消することにより、制御回路 3 . 3 と 3 . 1 の間のデータ通信を正常な状態に戻すことができる。

【 0 1 1 9 】

以上のように、本実施の形態では、制御回路 3 . 1 ~ 3 . 3 を通信ケーブル 4 . 1 ~ 4 . 3 によって環状に接続し、制御回路 3 . 1 をマスターとし、制御回路 3 . 2 , 3 . 3 の各々をスレーブとしたので、データ通信量の低減化、通信速度の高速化を図ることができる。

30

【 0 1 2 0 】

さらに、制御回路 3 . 1 ~ 3 . 3 間のデータ通信が正常である場合は、制御回路 3 . 1 ~ 3 . 3 および通信ケーブル 4 . 1 ~ 4 . 3 の通信線 L 1 によって環状の第 1 の通信経路 P 1 が形成されるとともに、制御回路 3 . 1 ~ 3 . 3 および通信ケーブル 4 . 1 ~ 4 . 3 の通信線 L 2 によって環状の第 2 の通信経路 P 2 が形成される。たとえば、制御回路 3 . 1 , 3 . 2 間のデータ通信が異常になった場合は、通信ケーブル 4 . 2 , 4 . 3 の通信線 L 1 , L 2 と制御回路 3 . 1 ~ 3 . 3 とによって環状の第 3 の通信経路 P 3 が形成される。したがって、2 つの制御回路間のデータ通信に異常が発生した場合でもインバータ 1 . 1 ~ 1 . 3 を制御することができる。

【 0 1 2 1 】

40

なお、本実施の形態では、本願発明が 3 つの制御回路 3 . 1 ~ 3 . 3 を備えた電力変換システムに適用された場合について説明したが、これに限るものではなく、本願発明は N 個の制御回路を備えた電力変換システムに適用可能である。N は 2 以上の整数である。上記実施の形態では、N = 3 の場合が説明されている。

【 0 1 2 2 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明でなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 符号の説明 】

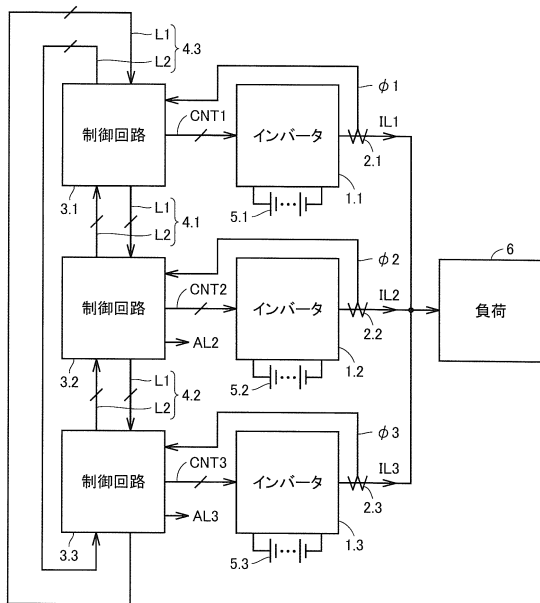
【 0 1 2 3 】

50

1.1 ~ 1.3 インバータ、2.1 ~ 2.3 電流検出器、3.1 ~ 3.3 制御回路、4.1 ~ 4.3 通信ケーブル、L1, L2 通信線、5.1 ~ 5.3 直流電源、6 負荷、11, 12 受信機、13, 14 送信機、15, 16 判定器、17, 23, 24 内部回路、SW1 ~ SW4 スイッチ、21, 22 異常検出器。

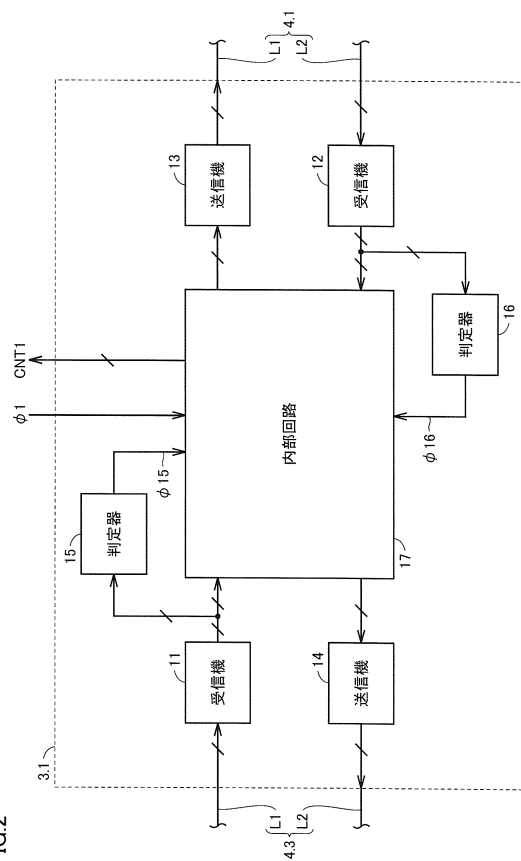
【図1】

FIG.1



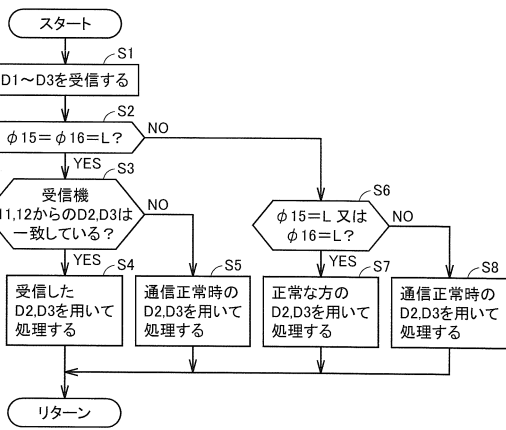
【図2】

FIG.2



【 図 3 】

FIG.3



【 図 4 】

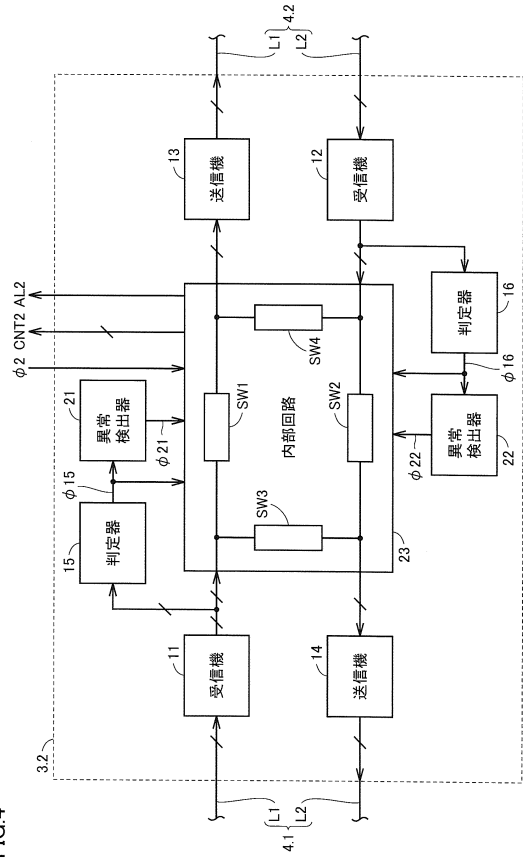
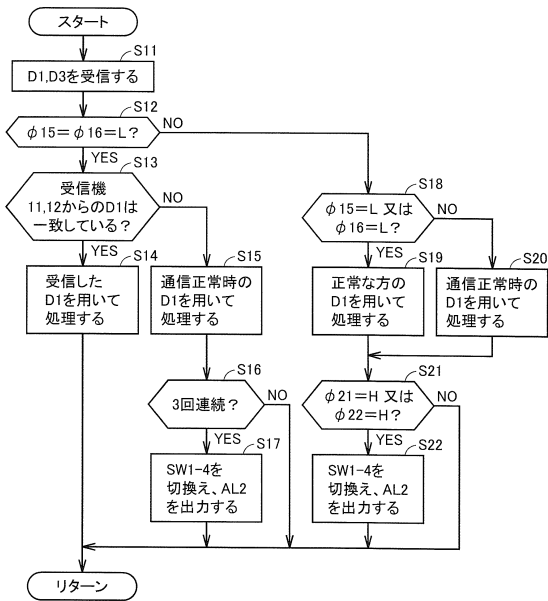


FIG.4

【 図 5 】

FIG.5



【 図 6 】

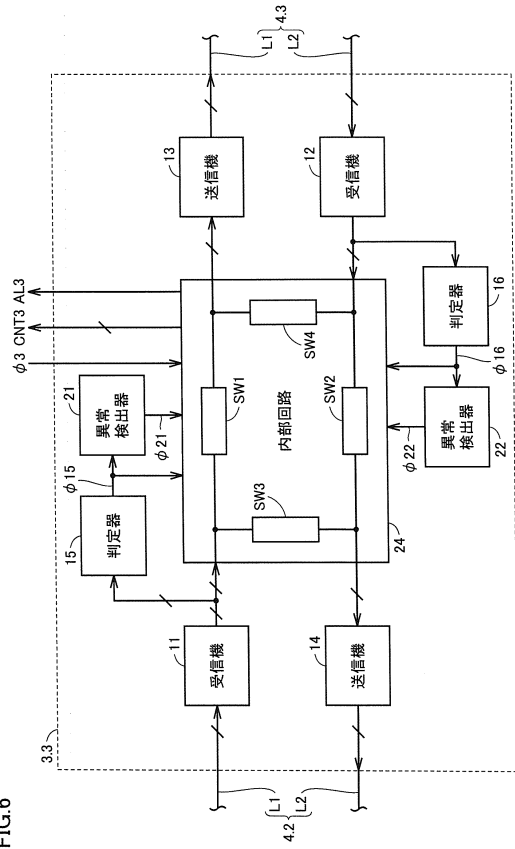
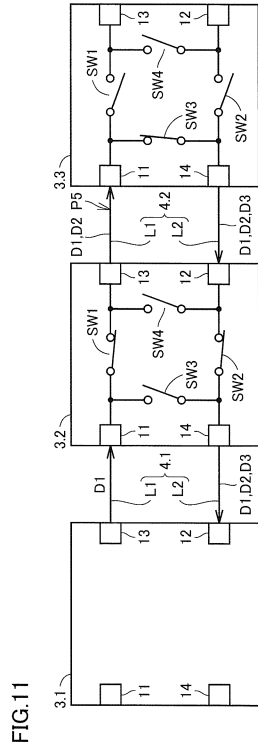


FIG.6

【 図 1 1 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H04L 12/437