

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4753895号
(P4753895)

(45) 発行日 平成23年8月24日(2011.8.24)

(24) 登録日 平成23年6月3日(2011.6.3)

(51) Int.Cl. F I
G06F 15/80 (2006.01) G O 6 F 15/80
G06F 1/10 (2006.01) G O 6 F 1/04 3 3 0 A

請求項の数 4 (全 22 頁)

<p>(21) 出願番号 特願2007-39624 (P2007-39624) (22) 出願日 平成19年2月20日(2007.2.20) (65) 公開番号 特開2008-204177 (P2008-204177A) (43) 公開日 平成20年9月4日(2008.9.4) 審査請求日 平成22年1月14日(2010.1.14)</p>	<p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地 (74) 代理人 100080816 弁理士 加藤 朝道 (72) 発明者 矢部 義一 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内 審査官 井上 宏一</p>
---	--

最終頁に続く

(54) 【発明の名称】 遅延調整回路を有するアレイ型プロセッサ

(57) 【特許請求の範囲】

【請求項1】

データパス部と、状態遷移管理部と、を備えたアレイ型プロセッサであって、
 遅延調整回路をさらに備え、
 前記状態遷移管理部は、駆動クロック信号に同期して、状態番号を格納するメモリから状態番号を読み出し、読み出した前記状態番号を前記データパス部及び前記遅延調整回路に供給し、
 前記データパス部は、
 2次元アレイ状に配置された複数のプロセッサエレメントを備え、
 前記各プロセッサエレメントは、
 前記プロセッサエレメントの構成情報を状態番号に対応して格納しており、駆動クロック信号に同期して、前記状態遷移管理部から出力される前記状態番号を入力し、前記状態番号に対応した前記構成情報を入力する構成情報メモリと、
 機能ユニットと、
 配線接続回路と、
 を備え、
 前記機能ユニットは、
 少なくとも第1、第2のレジスタと、
 第1、第2のマルチプレクサと、
 前記第1、第2のマルチプレクサの出力を受け、命令コードに応じた演算を行い、出力

を前記配線接続回路に入力する演算器と、
を備え、

前記第 1 のマルチプレクサは、前記第 1 のレジスタの出力と前記配線接続回路の出力のいずれかを、前記構成情報メモリからの構成情報に従って選択し、

前記第 2 のマルチプレクサは、前記第 2 のレジスタの出力と前記配線接続回路の出力のいずれかを、前記構成情報メモリからの構成情報に従って選択し、

前記配線接続回路は、前記構成情報メモリから読み出される構成情報に従って、前記第 1、第 2 のレジスタの入力、前記第 1、第 2 のマルチプレクサの入力、及び、前記演算器の出力と、自プロセッサエレメントに隣接する1 つ又は複数の他のプロセッサエレメントの配線接続回路との間の接続を行い、接続した前記プロセッサエレメントの配線接続回路間でのデータの転送を行い、

前記第 1、第 2 のレジスタには、前記命令コードから、あるいは、前記配線接続回路を通じて他のプロセッサエレメントから、書き込みアドレス又は読み出しアドレスが入力され、

前記配線接続回路は、前記構成情報メモリからの構成情報に従って、前記配線接続回路における、前記第 1、第 2 のレジスタの入力、前記第 1、第 2 のマルチプレクサの入力、及び、前記演算器の出力と、自プロセッサエレメントに隣接する 1 つ又は複数の他のプロセッサエレメントの配線接続回路間の接続を決定し、

前記遅延調整回路は、

遅延制御情報メモリと、

プログラブルディレイと、

を備え、

前記遅延制御情報メモリは、複数の遅延制御情報を記憶しており、前記駆動クロック信号に同期して前記状態遷移管理部から読み出された前記状態番号をアドレスとして遅延制御情報を読み出し、読み出した前記遅延制御情報を前記プログラブルディレイに与え、

前記プログラブルディレイは、前記遅延制御情報メモリからの前記遅延制御情報によってその遅延を設定し、

前記プログラブルディレイは、入力された第 1 のクロック信号を、前記遅延制御情報により指定された遅延だけ遅らせた第 2 のクロック信号を生成し、前記第 2 のクロック信号を、前記遅延制御情報メモリ、前記状態遷移管理部、及び前記データパス部の前記駆動クロック信号として共通に供給する、アレイ型プロセッサ。

【請求項 2】

前記遅延調整回路の前記遅延制御情報メモリ、前記状態遷移管理部内の前記状態情報を格納するメモリ、及び、第 1、第 2 のプロセッサエレメント内の構成情報メモリは、外部から前記アレイ型プロセッサに供給される書き込み制御信号を共通に入力し、

前記プログラブルディレイは、外部から前記アレイ型プロセッサに供給されるクロック切り替え信号を入力し、前記プログラブルディレイから出力される前記第 2 のクロック信号の遅延を、前記状態情報を格納するメモリ、及び、第 1、第 2 のプロセッサエレメント内の構成情報メモリへの書き込み時と、前記メモリのデータを演算器で演算処理する時とで切り替える制御を行う、請求項 1 記載のアレイ型プロセッサ。

【請求項 3】

前記遅延制御情報メモリが、前記遅延制御情報に加え、データ入出力制御情報をさらに記憶保持し、

前記遅延制御情報メモリは、前記状態番号に応じて前記データ入出力制御情報をデータ入出力制御信号に出力し、前記データ入出力制御信号は、前記データパス部との間でデータ転送を行う外部回路に供給され、

前記外部回路は、前記データ入出力制御信号の値が所定値のとき、データ入出力を行う請求項 1 記載のアレイ型プロセッサ。

【請求項 4】

前記遅延調整回路が、入力された前記第 1 のクロック信号と、前記プログラブルディ

10

20

30

40

50

レイから出力された前記第2のクロック信号とを受け、入力されたクロック選択信号の値に基づき、一方を選択し、前記プログラマブルディレイに入力するクロック選択回路を備えている、請求項1記載のレイ型プロセッサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プログラムすることで所望の演算処理を実現できるプロセッサに関し、特に、プロセッサエレメントをレイ状に並べたレイ型プロセッサに関する。

【背景技術】

【0002】

プログラム可能なデバイスとして、様々なマイクロプロセッサが知られている。マイクロプロセッサは、メモリに記憶されている命令を順に読み出し、逐次的に処理する。マイクロプロセッサは、非常にシンプルな処理を指示する1つの命令を、処理する順番に従い組み合わせ実行することで、目的とする一連の処理を実現している。

【0003】

マイクロプロセッサは、1つのプロセッサで同時に実行できる命令が高だか数個であるため、処理性能を向上させる上で限界がある。具体的には、大量のデータに対して同一の処理を行う場合に、1つ1つのデータに対して、逐次処理を繰り返す必要があり、処理能力を向上させることができない。

【0004】

一方、実行するデータ処理が1つに限定されている場合には、そのデータ処理を実行するように、論理回路をハードウェアで形成すれば、メモリから命令を順番に読み出し、演算処理を順番に逐次実行するような必要はない。このため、複雑なデータ処理を高速に実行することが可能であるが、当然ながら1つのデータ処理しか実行することができない。

【0005】

つまり、アプリケーションプログラムを切り替え自在としたデータ処理システムでは、各種のデータ処理を実行できるが、逐次的に処理を行う必要があるため、データ処理を高速に実行することが困難である。

【0006】

一方、ハードウェアからなる論理回路では、データ処理を高速に実行することが可能であるが、アプリケーションプログラムを変更できないので1つのデータ処理しか実行できない。

【0007】

このようなトレードオフを解決するため、ソフトウェアに対応してハードウェアの構成が変化するデータ処理装置として、レイ型プロセッサが提案されている（特許文献1-3等）。

【0008】

特許文献1に記載されたレイ型プロセッサは、プロセッサエレメントをレイ状に並べたものをプログラマブルなスイッチで電氣的に接続した構成からなる、演算器を主体として行うデータパス部と、状態遷移手段の実現を容易とした構成からなる、制御を行う状態遷移管理部を独立して具備し、それぞれを処理目的に応じて特化した構成で実現することで、小型化、高性能化の可能なレイ型プロセッサの提供するものである。

【0009】

図10に、特許文献1の図1に開示されたレイ型プロセッサの構成を示す。図10を参照すると、データパス部102とそれを制御する状態遷移管理部（または単に状態管理部）101で構成され、データパス部102は2次元レイ状に配置された複数のプロセッサエレメント（PE）105で構成される。

【0010】

特許文献1および2に記されたレイ型プロセッサは、プロセッサの動作の「状態」を例えば番号（状態番号）で管理する。そしてプロセッサの動作の管理を、ある動作状態か

10

20

30

40

50

ら別の動作状態へ遷移するものとして、状態遷移管理部の状態管理情報メモリ121に格納された状態番号を読みだしては、読み出された状態番号に意味づけされた動作を行う。なお、「状態」とは、プロセッサエレメント105およびプログラマブルスイッチエレメント106の状態を指す。

【0011】

この状態番号は、状態遷移管理部101から出力される、命令コードを記憶する命令コードメモリのアドレス、および、プログラマブルスイッチエレメント106相互間の接続構成を指示する接続構成情報メモリのアドレス（これら二つのアドレスを命令コードアドレスと略称される場合もある）に対応付けられる。この、演算制御バス103を通じデータパス部に与えられた命令コードアドレスによってプロセッサエレメント105の動作およびプログラマブルスイッチエレメント106の電氣的接続関係が決定される。具体的には、各プロセッサエレメント105は、入力した命令コードアドレスにしたがって演算を行い、また、各プログラマブルスイッチエレメント106は、データパス部102の内部および外部との電氣的接続を行うものである。なお、ここでは、状態番号がそのまま命令コードアドレスになっているものとして以下説明する。

10

【0012】

状態遷移管理部102は状態遷移テーブルメモリ（不図示）を有する。この状態遷移テーブルメモリには次サイクルの状態番号が格納されており、状態遷移管理部102の現在の内部状態や外部からのイベント信号の条件に従い順次読み出される。ここでは、状態番号がそのまま命令コードアドレスになっているとされているので読み出された状態番号は演算制御バス103を通してデータパス部102に入力される。

20

【0013】

図11に、図10のプロセッサエレメント105の構成の典型例を示す。プロセッサエレメントは、構成情報メモリ201、機能ユニット202、配線接続回路203から構成される。なお、ここでは、スイッチエレメントである配線接続回路203、構成情報メモリ111をプロセッサエレメント105に組み込んでいるが、これらがプロセッサエレメントの外部にあってもよい。

【0014】

構成情報メモリ201は、複数個の構成情報を格納するメモリであり、その構成情報は、図10の状態制御管理部102からの状態番号210をアドレスとして読み出される。同様にデータパス部にある不図示の命令コードメモリから実質の命令コードが読み出され、デコードされた命令コード115がプロセッサエレメント11に与えられる。

30

【0015】

構成情報209は、機能ユニット202及び配線接続回路203の接続関係、すなわちプロセッサエレメントの内部構成を設定する信号であり、構成情報メモリ201から機能ユニット202及び配線接続回路203に入力される。

【0016】

機能ユニット202は、演算器、メモリ、レジスタ等の機能を1つ以上有し、配線接続回路203は、各プロセッサエレメント内の機能ユニットの接続及びプロセッサエレメント間の接続を切り替える機能を有する。

40

【0017】

また、たとえば、機能ユニット202は、2つのレジスタファイルユニット（RFU1、RFU2）、2つのマルチプレクサ（MUX1、MUX2）及び演算器（ALU）から構成される。

【0018】

各プロセッサエレメントでは、状態番号に対応した構成情報が、構成情報メモリ201から読み出され、機能ユニット202の機能と配線接続回路203の接続が決定される。

【0019】

このようにアレイ全体に構成されるデータパスは、構成情報により決定されるため、構成情報メモリ201に格納できる構成情報の数のデータパスを構成できる。

50

【 0 0 2 0 】

構成情報 2 0 9 は、状態番号 2 1 0 によって読み出されるため、状態番号を制御することによってデータパスの構成を変更できる。ここでは状態番号によって指し示された構成情報メモリの構成情報に従って、この接続関係が構築されることをマッピングと呼ぶ。

【 0 0 2 1 】

そして、このマッピングを行ったのち、命令コードメモリからの命令コード 1 1 5 に応じてデータパス部は処理を実行する。

【 0 0 2 2 】

この際、データパス部 1 0 2 の演算資源、配線資源は、全て利用してマッピングする。当然、分割した処理同士を同時にデータパス部 1 0 2 で実行することはできないが、状態遷移管理部 1 0 1 は、サイクルごとにデータパスのマッピングを切り替え、分割した処理を順次実行する。

【 0 0 2 3 】

つまり上述の従来型のプロセッサは、状態番号を遷移させ、状態番号に対応する命令を、状態番号に対応した回路構成で逐次処理を行うことによって、アプリケーションを実行するものである。

【 0 0 2 4 】

なお、この従来型のアレイ型プロセッサでは、処理すべきアプリケーションプログラムをコンパイルする時点で、このアプリケーションプログラムの解析を行い、前述のプロセッサエレメントやスイッチエレメントの状態遷移の形に落とし込む。アプリケーションプログラムを実行する上で、プロセッサエレメントやスイッチエレメントがどのような回路構成（データパス部の接続情報）にするか、そしてその状態のときにどのような命令を実行するかを、状態番号、回路の構成情報、命令コードに変換するとともに、その状態遷移過程を示す遷移情報を構築する。そして状態番号、遷移情報を状態遷移管理部に、回路の構成情報、命令コードをデータパス部に、それぞれアプリケーションプログラムの実行に先立って格納される。遷移情報は遷移テーブルに格納される。

【 0 0 2 5 】

より具体的な構成例を示して、従来例の動作を説明する。

【 0 0 2 6 】

特許文献状態 1 および 2 に開示された従来のアレイ型プロセッサは、アプリケーションの実行として、状態遷移管理部 1 0 1 の状態遷移テーブルメモリ（不図示）からシーケンサ（不図示）によって順次、状態番号 2 1 0 を、演算制御バス 1 0 3 を通じてデータパス部 1 0 2 のプロセッサエレメント 1 0 5（およびスイッチエレメント 1 0 6）に出力する。ここではプロセッサエレメント 1 0 5 にスイッチエレメント 1 0 6 が配線接続回路 2 0 3 として組み込まれており、状態番号を受けたプロセッサでは状態番号 2 1 0 で指定された構成情報を、機能ユニット 2 0 2 及び配線接続回路 2 0 3 に出力する。

【 0 0 2 7 】

また、状態番号 2 1 0 は命令コードメモリ（不図示）に送られ、状態番号 2 1 0 に対応する命令コードメモリのアドレスから命令コードが読み出されデコードされた命令コード 2 1 1 がプロセッサエレメント 1 0 5 に送られる。命令コード 2 1 1 はプロセッサエレメント 1 0 5 内の A L U 2 0 8 やレジスタ R F U 1（2 0 4）、R F U 2（2 0 5）に送られる。

【 0 0 2 8 】

上述のように構成情報は、予め構成情報メモリ 2 0 1 に格納される。

【 0 0 2 9 】

構成ユニット 2 0 2 では、こうして送られてきた構成情報が、M U X 1、M U X 2 に入力選択信号として入力されこの部分回路構成を構築する。

【 0 0 3 0 】

同様に、配線接続回路 2 0 3 は、構成情報メモリ 2 0 1 から読み出される構成情報に従い、R F U 1、R F U 2、M U X 1、M U X 2、及び、自 P E の上下左右にある、P E の

10

20

30

40

50

配線接続回路間の回路構成を構築し、構築された回路構成にしたがって、PEの配線接続回路間のデータ転送を行う。

【0031】

こうして回路構築を行って、RFU1、RFU2には、命令コードメモリから読み出された命令コードをデコードした命令コード211から、あるいは配線接続回路203を通じて他のプロセッサエレメントから、例えば、書き込みアドレス、読み出しアドレスが入力される。

【0032】

MUX1、MUX2は、この入力選択信号に従い、レジスタファイルユニット(RFU1、RFU2)からの入力か、配線接続回路203からの入力かを選択して、ALU208へデータとして出力する。

10

【0033】

構成情報による回路構築とともに、ALU208には命令コード211が送られ、ALU208は構築された回路に従って入力されたデータを命令コードに従った処理を実施し、その結果を配線接続回路203へ出力する。配線接続回路203は同様に動作する後段のプロセッサエレメントへ渡される。

【0034】

この一連の動作をアレイ型プロセッサの状態遷移に応じて繰り返しアプリケーションが実行される。なお、アレイ型プロセッサの状態遷移はクロックに同期して行われる。

【0035】

20

このプロセッサエレメントを用いたデータパス部のデータパス構成例(マッピング例)を、図12及び図13に示す。

【0036】

ここでは、プロセッサエレメント(PE)を4×4の2次元アレイ状に並べている。なお、便宜上、図12、図13では、図11のRFU1を「R1」、図11のRFU2を「R2」、図11のALUを「A」として示している。また、アレイ内のプロセッサエレメントを区別するために、図に示すように各プロセッサエレメントにPE(i,j)といった番号を振っている。

【0037】

図12(構成例1)のように、順序回路であるレジスタ間に複数のALUが存在するパスが構成された場合の一例であり、図13(構成例2)は逆にレジスタ間にALUを1つも持たないパスのみで構成された場合の一例を示している。つまり、図12(構成例1)は、クリティカルパス遅延が大きい場合の例であり、図13(構成例2)は小さい場合の例である。

30

【0038】

ここで、仮に、プロセッサエレメント間のデータ転送遅延、及び、ALUの遅延を1T(遅延単位)とすると、図12の構成例1のクリティカルパスは、PE(0,0)からPE(3,3)へのパスであり、遅延時間は、6T(3つのALU遅延と3つのプロセッサエレメント間データ転送遅延)である。

【0039】

40

また、図13の構成例2では、PE(0,0)からPE(0,1)、PE(0,1)からPE(0,2)、PE(0,2)からPE(0,3)への3つのパスがあるが、遅延時間は全て1Tであり、クリティカルパス遅延も1Tである。

【0040】

上述の文献1および2に記載の従来のアレイ型プロセッサでは、アプリケーションプログラムのコンパイル結果によって、実際の動作時のデータパス部の状態の推移が決められる。つまりどのような回路構成の変化の推移をとるかが決められる。

【0041】

このような従来のアレイ型プロセッサでは、構成例1と構成例2のように、クリティカルパス遅延が大きく異なる(6Tと1T)構成が、アレイ型プロセッサのクロックサイク

50

ルごとに切り替わることが頻繁に起こる。

【0042】

このような従来のアレイ型プロセッサでは、全構成のクリティカルパス遅延の最大値によつての最大動作周波数は決定され、この場合は、 $1/6T$ が最大動作周波数となる。

【0043】

図14は、図10に示した従来技術の課題について説明するためのタイミングチャートである。なお、図14は、従来技術の課題を説明するために、本願発明者によつて作成されたものであり、特許文献1から引用したものではない。

【0044】

図14において、 T_1 、 T_2 、 T_3 、 T_4 、 T_5 は、クロックが立ち上がる時刻（タイミング）を示しており、 C_1 、 C_2 、 C_3 、 C_4 はそれらの間の期間を示している。

10

【0045】

データパスの網掛け部分は、データパスの状態が確定していないことを示しており、 d_1 、 d_2 、 d_3 、 d_4 はクリティカルパス遅延を示している。このうち d_4 が最大であり、サイクルタイムは d_4 以上でなければならない。

【0046】

T_3 サイクルのクリティカルパス遅延 d_3 は、 d_4 に比べ小さく、その差分に相当する時間は処理が行われておらず、処理効率を考えると無駄な時間になっている。

【0047】

図10乃至図13を参照して説明した従来技術では、構成情報により複数のデータパスを切り替えることが可能であるが、データパスごとのクリティカルパス遅延が大きく異なる場合、最大の遅延に動作周波数を合わせる必要があり、それ以上高速に動作させることができない。

20

【0048】

特に、クリティカルパス遅延のばらつきが大きい場合、クリティカルパスの小さい構成はサイクル期間の多くの時間何も処理を行わない。

【0049】

また、処理をデータパスに分割する際（上述のコンパイル時）に遅延時間が均等になるように分割すれば問題は解決するが、実際、そのような割り付けは、現在のところ技術的に困難である。

30

【0050】

上述したようにアプリケーションをコンパイルして処理をデータパスに分割する際クリティカルパス遅延を均等にするのではなく、サイクル時間をクリティカルパス遅延に合わせて調整することでも処理効率を上げることはできる。しかし、一般に、並列処理プロセッサは一定間隔のクロックサイクルを前提とし、プロセッサ間通信が必要な場合は同期を行うが、それ以外は独立に動作している。

【0051】

このため、一般的には、並列処理プロセッサのサイクル時間を調整し動作の効率化を図ることは困難である。

【0052】

40

ただし、特定の条件下の従来例として、特許文献3の構成がある。これは、プロセッサエレメント間のデータ転送において、そのデータ転送時間に応じてサイクル時間を調整することを特徴としている。特許文献3は、データ転送に対する技術であり、プロセッサアレーの構成についての具体的な記載はない。加えて、前述した理由によりプロセッサエレメントの演算遅延を考慮したサイクル時間の調整を従来技術で実現することは困難である。さらに、特許文献3では、クロックのダブルエッジを使用してプロセッサを動作させる必要がある。また、クロック生成に演算時間（ALU遅延時間）を半周期としたクロックを使用する必要がある。このため、サイクル時間に比べ高速なクロックが必要となるなどの問題がある。

【0053】

50

【特許文献1】特許第3674515号

【特許文献2】特開2004-133781号公報

【特許文献3】特開昭64-7252号公報

【発明の開示】

【発明が解決しようとする課題】

【0054】

上述したように、従来のアレイ型プロセッサでは、クロックサイクルごとのクリティカルパスに応じて、並列処理プロセッサのサイクル時間を調整し動作の効率化を図ることは困難であった。また、特許文献1および2のような、同一半導体素子の中にアレイ状に並べられた複数のプロセッサエレメント(PE)と、プロセッサエレメント間の接続関係をハードで切り替えるスイッチエレメントを備え、実行されるアプリケーションプログラムに応じて、各プロセッサエレメント間の接続をスイッチエレメントにより切り替え、アレイ型プロセッサが有する順序回路(フリップフロップ、ラッチ、メモリなど)間パス(データパス)に有する演算器(ALU)の接続関係あるいは個数を可変にして動的に回路構造が変わるプロセッサにおいては、アプリケーションをコンパイルして処理をデータパスに分割する際にクリティカルパス遅延を均等にして処理を向上させることが困難であった。

10

【課題を解決するための手段】

【0055】

本願で開示される発明は、前記課題を解決するため、概略以下の構成とされる。

【0056】

本発明のアレイ型プロセッサは、データパスの構成がクロックサイクルに対応して変更自在とされるアレイ型プロセッサであって、入力されたクロック信号の遅延を調整する手段を備え、構成されるデータパスに応じて、クロックサイクルの長さを可変自在としている。

20

【0057】

より詳細には、本発明のアレイ型プロセッサは、複数のプロセッサエレメントがアレイ状に配置されたデータパス部と、データパスの切り替え制御を行うための情報を格納している状態遷移管理部と、前記状態遷移管理部から出力される情報に基づき、入力されたクロック信号の遅延を調整し、前記データパス部に出力する遅延調整回路と、を備え、構成されるデータパスに応じて、クロックサイクルの長さを可変自在としている。

30

【0058】

本発明において、前記遅延調整回路は、遅延制御情報メモリとプログラマブルディレイとを備え、前記遅延制御情報メモリは、複数の遅延制御情報を記憶しており、前記状態遷移管理部からの状態番号をアドレスとして遅延制御情報を読み出し、前記遅延制御情報を前記プログラマブルディレイに与え、前記プログラマブルディレイは、入力されたクロック信号を前記遅延制御情報により指定された遅延だけ遅らせて前記データパス部に出力する。

【0059】

本発明において、前記プロセッサエレメントは、複数個の構成情報を保持し、前記状態制御管理部から供給される状態番号をアドレスとして構成情報が読み出される構成情報メモリと、演算器、メモリ、レジスタの機能を少なくとも1つ有する機能ユニットと、前記プロセッサエレメント内の前記機能ユニットにおける接続形態と他のプロセッサエレメント間の接続形態を切り替える配線接続回路と、を備え、前記機能ユニットと前記配線接続回路は、前記構成情報メモリからの構成情報によって接続形態と動作が決定される構成とされる。

40

【0060】

本発明において、前記プログラマブルディレイの出力を、プログラム動作時と、データ処理時とで切り替える制御を行うためのクロック切替信号を備え、プログラム動作時のデータを含む書き込み制御信号を入力し、前記クロック切替信号に基づき、プログラム動作時には、前記プログラマブルディレイを調整し、前記書き込み制御信号の出力先と、前記

50

遅延調整回路の前記遅延制御情報メモリ、前記状態遷移管理部の状態管理情報メモリ、及び、前記プロセッサエレメント内の構成情報メモリのうちのデータの書き込み先との間のデータ転送が同期して行えるようにし、データ処理時には、前記遅延制御情報に従い、入力クロック信号を前記プログラマブルディレイで遅延させたクロック信号が出力される。

【0061】

本発明において、前記遅延調整回路の前記遅延制御情報メモリが、前記遅延制御情報に加え、データ入出力制御情報を備え、前記状態番号に応じて前記データ入出力制御情報を、データ入出力制御信号に出力し、前記データ入出力制御信号は、前記データパス部との間でデータ転送を行う外部回路に供給され、前記外部回路は、前記データ入出力制御信号を観察することで、データ入出力を制御し、前記外部回路とのデータ転送時に、前記データパス部と前記外部回路間の同期がとられるように、前記プログラマブルディレイによりクロック信号の遅延が調整される。

10

【0062】

本発明において、前記遅延調整回路が、入力されたクロック信号と、前記プログラマブルディレイから出力されたクロック信号とを受け、入力されたクロック選択信号の値に基づき一方を選択し、プログラマブルディレイに入力するクロック選択回路を備えている。

【発明の効果】

【0063】

本発明によれば、遅延調整回路を具備したことにより、各構成のサイクル時間を予めプログラムされた値に調整することができる。本発明によれば、前後のサイクル時間を短くできる場合、その分、クリティカルパス遅延が大きい構成のサイクル時間を長くすることができ、最大動作周波数を高めることができ、処理効率を向上することができる。

20

【発明を実施するための最良の形態】

【0064】

上記した本発明についてさらに詳細に説述すべく添付図面を参照して以下に説明する。

<実施形態1>

本発明の第1の実施の形態について説明する。図1は、本発明の第1の実施形態のレイ型プロセッサの構成を示す図である。図2は、図1のプロセッサエレメント(PE)11の構成を示す図である。以下、図1及び2を用い本発明の構成について説明する。

【0065】

30

図1を参照すると、このレイ型プロセッサは、データパス部10、状態遷移管理部12、及び、遅延調整回路13を備えている。ここでデータパス部10ならびに状態遷移管理部12の構成は、従来のレイ型プロセッサを示す図10および図11に記された構成と同様である。

【0066】

状態遷移管理部12はシーケンス部、状態遷移テーブルメモリ(いずれも不図示)を備える。状態遷移管理部12のシーケンス部は状態遷移テーブルメモリから状態番号19を読み出して出力し、本レイ型プロセッサの状態を遷移させる。

【0067】

データパス部10は2次元レイ状に配置された複数のプロセッサエレメント(PE)11を備え、不図示の命令コードメモリを備える。

40

【0068】

プロセッサエレメント(PE)11は、構成情報メモリ111、機能ユニット112、配線接続回路113を備えており、スイッチエレメントである配線接続回路113を内蔵したものである。

【0069】

機能ユニット112及び配線接続回路113は、それぞれ機能ユニット202及び配線接続回路203に対応し、構成情報メモリ111からの構成情報に従って回路の接続関係が決定され、その回路構成が決定される。

【0070】

50

機能ユニット 112 は、不図示の演算器、メモリ、レジスタ等の機能（演算器および順序回路）を 1 つ以上有し、それらの回路構成を可変とする MUX 等を有する。

【0071】

配線接続回路 113 は、各プロセッサエレメント 11 内の機能ユニット 112 及びプロセッサエレメント 11 間の接続を切り替える機能を有する。

【0072】

構成情報メモリ 111 は、複数個の構成情報を格納するメモリであり、図 1 の状態制御管理部 12 からの状態番号 19 が指し示す構成情報メモリ 111 のアドレスから構成情報 114 が読み出される。

【0073】

また、データパス部に有する命令コードメモリから状態番号 19 をアドレスとして読み出された命令コードがデコードされ、デコードされた命令コード 115 を機能ユニット 112 内の不図示の演算器および順序回路にあたる構成となっている。

【0074】

遅延調整回路 13 は、遅延制御情報メモリ 14 と、プログラマブルディレイ 15 とを備えている。

【0075】

遅延制御情報メモリ 14 は、上述した複数の遅延制御情報を記憶しており、状態遷移管理部 12 からの状態番号 19 をアドレスとして遅延制御情報 17 を読み出し、遅延制御情報 17 をプログラマブルディレイ 15 に出力して、プログラマブルディレイ 15 の遅延を可変制御する。

【0076】

プログラマブルディレイ 15 は、入力されたグローバルクロック (GCLK) 16 を遅延制御情報 17 により指定された遅延だけ遅らせ、ローカルクロック (LCLK) 18 として出力する。なお、GCLK はアレイ型プロセッサの外部または内蔵されたクロックジェネレータから与えられる。

【0077】

なお、図 1 において状態遷移管理部 12 からデータパス部 10、遅延調整回路 10 に分配される状態番号 19 は、たとえば演算制御バスとして構成される。また、データパス部 10 からの信号（例えば従来例のイベント通知バス）は省略している。

【0078】

本発明のアレイ型プロセッサにおいては、動作の基本となる状態番号 19 は、この状態番号を参照番号として、それぞれ、構成情報メモリ 111、命令コードメモリ(不図示)に格納された構成情報、命令コードに対応づけられていることに加え、さらに状態番号 19 が遅延制御情報メモリ 13 に格納された遅延制御情報に対応付けられている。

【0079】

具体的には、状態番号を、それぞれ構成情報メモリ 111、命令コードメモリ、遅延制御情報メモリ 14 のアドレスとして扱えばよい。

【0080】

これらの情報はアプリケーションのコンパイル時にそれぞれ作成され、アプリケーション実行前に各々対応するメモリに格納される。

【0081】

このように構成された本発明のアレイ型プロセッサの動作について以下説明する。

【0082】

まず、状態遷移管理部 12 からは状態番号 19 が出力される。つまり状態管理部 12 のシーケンサ部が状態遷移テーブルメモリから状態番号を読み出して出力される。

【0083】

データパス部 10 内の各プロセッサエレメント 11 は、状態遷移管理部 12 から状態番号 19 を受け取る。各プロセッサエレメント 11 内の構成情報メモリ 111 (図 2 参照)

10

20

30

40

50

に状態番号 19 が入力され、状態番号 19 をアドレスとして、構成情報が読み出される。

【0084】

構成情報は、プロセッサエレメント 11 内の機能ユニット 112 及び配線接続回路 113 に入力される。

【0085】

配線接続回路 113 は、構成情報に従ってプロセッサエレメント 11 内部の接続及びプロセッサエレメント 11 間の接続を行う。

【0086】

一方、状態番号 19 は、データパス部内の命令コードメモリに送られ、状態番号に対応する命令コードが読み出される。なお、ここでも状態番号 19 を命令コードメモリのアドレス対応付けられている。読み出された命令コードはデコードされデコードされた命令コード 115 が買入プロセッサエレメント 11 の機能ユニット 112 に与えられる。

【0087】

機能ユニット 112 は、こうして入力された構成情報に従い、回路構成を変えるとともに、命令コード 115 に従った処理を実行する。

【0088】

これにより、データパス部 10 全体では、1 サイクルで動作するデータパスが構成され、処理が実行される。

【0089】

また、遅延調整回路 13 は、状態遷移管理部 12 から状態番号 19 を受け取る。遅延調整回路 13 内の遅延制御情報メモリ 14 に状態番号は入力され、それをアドレスとして遅延調整情報が読み出される。

【0090】

読み出された遅延制御情報 17 はプログラマブルディレイ 15 に入力される。

【0091】

プログラマブルディレイ 15 は、グローバルクロック (GCLK) 16 を、遅延制御情報 17 により決められた遅延分遅らせ、ローカルクロック (LCLK) 18 として出力する。つまり遅延制御情報 17 は、対応する状態番号 19 の状態にアレイ型プロセッサにあるときの、データパス部の構成、命令コードの内容に応じて、各プロセッサエレメントのクロックのタイミングを調整するための情報である。

【0092】

このようにしてある状態で処理された結果は、データパス部の構成により、配線接続回路 113 やプロセッサエレメント内のパスを通じ、他のプロセッサエレメントや自身のプロセッサエレメントに渡され、状態遷移管理部 12 が出力する次の状態番号 (状態) に合わせた同様の遷移が行われ、次の処理が実行される。

【0093】

図 3 を参照して、本発明の第 1 の実施の形態におけるクロックのタイミング調整の動作を説明する。図 3 において、T1、T2、T3、T4、T5 はローカルクロックが立ち上がる時刻を示しており、C1、C2、C3、C4 はそれらの間の期間を示している。図中、基準クロックは、説明をし易くするために便宜上図示したものであり、グローバルクロック (GCLK) 16 を一定遅延遅らせ、遅延制御によりサイクル時間を変化させない場合にローカルクロック (LCLK) 18 として出力されるクロックである。

【0094】

また、d1、d2、d3、d4 は各サイクルに構成されるデータパスのクリティカル (最大遅延) パスの遅延値である。

【0095】

構成されるデータパスにより遅延値は異なり、ここでは d3 が最も大きく、グローバルクロックのサイクル時間より大きくなっている。

【0096】

プロセッサエレメント 11 の基本動作は、1 サイクルの動作を例にして説明される。

10

20

30

40

50

【0097】

ローカルクロック（LCLK）が立ち上がる時刻T1では、構成情報メモリ111及び遅延制御情報メモリ14には、その時点での状態番号19が保持され、状態番号19をアドレスとして、構成情報114及び遅延制御情報17が読み出される。

【0098】

プロセッサエレメント11内にデータ用のメモリ及びFFがあり、構成情報により読み出し動作が指定されている場合には、そのデータが読み出される。

【0099】

各プロセッサエレメント11内では、構成情報に従った機能が構成され、データパス部10全体として、データパスが構成される。

10

【0100】

構成されたデータパスでは演算が行われ、その演算はd1遅延後に終了する。

【0101】

時刻T2では、プロセッサエレメント内にデータ用のメモリ及びFFのうち、構成情報により書き込み動作が指定されているものは、データパスの演算結果が書き込まれる。

【0102】

また、プログラマブルディレイ回路15は、遅延制御情報27に従ってグローバルクロック（GCLK）16を遅延させ、次サイクルのローカルクロック（LCLK）の立ち上がり時刻を決める。

【0103】

20

時刻T3では、ローカルクロック（LCLK）の立ち上がりを、基準クロックよりも早くし、時刻T4では遅くしている。これにより、期間C3のサイクル時間は基準クロックのサイクル時間よりも長くなっている。

【0104】

従来技術では、サイクル時間は固定とされている。また、構成されるデータパスには、それぞれクリティカルパスがあり、サイクル時間はそれらの遅延の最大値以上にする必要があった。

【0105】

これに対して、本発明は、遅延調整回路を具備したことにより、各構成のサイクル時間を予めプログラムされた値に調整できる。

30

【0106】

前後のサイクル時間を短くできる場合、その分クリティカルパス遅延が大きい構成のサイクル時間を長くする。このため、最大動作周波数を高めることができ、処理効率を向上することができる。

【0107】

なお、本実施例においては、プロセッサエレメント11にスイッチエレメントである配線接続回路113、構成情報メモリ111を別々のブロックとして構成してよいことはもちろんである。逆に遅延調整回路13や命令コードメモリ（不図示）をプロセッサエレメント11に組み込む構成としてもよい。

【0108】

40

状態番号19はこのようにアドレスとする構成でもよいが、この状態番号19に対応付けられたアドレスとし、このアドレスを構成情報メモリ111、命令コードメモリ（不図示）、遅延制御情報メモリ14に分配する構成も可能である。

【0109】

次に、図5を用いて、本願発明のレイ型プロセッサの状態番号、構成情報、命令コードならびに遅延制御情報の生成方法について説明する。本明細書では、これらの生成をコンパイルと称している。図5は、本発明のすべての実施の形態における本願発明のレイ型プロセッサの状態番号、構成情報、命令コードならびに遅延制御情報の生成方法を示す流れ図である。これらは、上述のとおり、アプリケーションプログラムをコンパイルすることによって生成され、本レイ型プロセッサが実際に動作する前に、状態番号は状態遷

50

移テーブルメモリに、構成情報は構成情報メモリ 1 1 1 に、命令コードは命令コードメモリに、遅延制御情報は遅延制御情報メモリ 1 4 にそれぞれ格納される。

【 0 1 1 0 】

対象であるデータ処理（アプリケーションプログラム）を、先ずデータパス部で行う処理と状態遷移管理部で行う処理とに分割する（ステップ S 1）。具体的には、対象であるデータ処理を複数に分割し、分割された処理をデータパス部 1 0 に、分割した処理の処理順序の制御を状態遷移管理部 1 2 に割り当てる。分割した処理の処理順序は、状態遷移テーブルメモリに格納される状態番号の格納順番として示される。

【 0 1 1 1 】

次に、データパス部 1 0 で行う処理をデータパス部にマッピングする（ステップ S 2）。すなわち、プロセッサエレメント 1 1 の割り当て及びスイッチ接続を行う。ここでのマッピングは、コンパイル処理であるため、仮想的に行われ、実際のデータパス部の回路構成を変えるものではない。データパス部 1 0 へのマッピング後、各構成面のクリティカルパス遅延の計算を行い、さらにその最大値を求める（ステップ S 3）。クリティカルパスは、マッピングにより生成された順序回路に挟まれる組み合わせ回路のデータパスのデータの最大伝播遅延時間であり、この最大遅延の逆数を仮の最大動作周波数とする。

【 0 1 1 2 】

次に、プログラマブルディレイ 1 5 の機構により、実際の最大動作周波数を、仮の最大動作周波数よりも早くできるか否かを探る。

【 0 1 1 3 】

具体的には、クリティカルパス遅延が最大である構成に着目し、その前後の構成では余裕（タイミング余裕）があるか否かを調べる。余裕がある場合、その余裕を使って、クリティカルパス遅延が最大である構成のサイクル時間を長く設定する。つまりこのクロックサイクル時間を長くできる余裕分を状態番号に対応づけて遅延制御情報 1 7 として生成する。

【 0 1 1 4 】

以上のように、マッピング情報、遅延制御情報を計算し（ステップ S 4）、最終的にはメモリに書き込む形式のデータにコード化する（ステップ S 5）。

【 0 1 1 5 】

<実施形態 2 >

次に本発明の第 2 の実施の形態について説明する。図 4 は、本発明の遅延調整回路を有するアレイ型プロセッサの第 2 の実施の形態における概略ブロック図を示している。第 1 の実施の形態に対して、さらに、書き込み制御信号 2 0、クロック切り替え信号 2 1 を有している。

【 0 1 1 6 】

書き込み制御信号 2 0 ならびにクロック切り替え信号 2 1 は、本願アレイ型プロセッサの外部から入力され、それぞれ、本アレイ型プロセッサの外部からの、状態番号、構成情報、命令コード、遅延制御情報（本実施例では以降各データと称す）のアレイ型プロセッサへの書き込み（読み込み）制御、ならびに、アレイ型プロセッサの外部との入出力信号の同期タイミング制御のために利用される。

【 0 1 1 7 】

書き込み制御信号 2 0 は、遅延調整回路 1 3 の遅延制御情報メモリ 1 4、状態遷移管理部 1 2 内の状態管理情報メモリ 1 2 1、及び、各プロセッサエレメント 1 1 内の構成情報メモリ 1 1 1 に入力され、それらのメモリのデータ書き込みを制御する。これらのメモリへ書き込まれるデータは、図 5 のフローで作成されたものである。

【 0 1 1 8 】

一方、クロック切り替え信号 2 1 は、プログラマブルディレイ 1 5 に入力される。

【 0 1 1 9 】

書き込み制御信号 2 0、クロック切り替え信号 2 1 を使用した本実施例のアレイ型プロセッサの動作の説明を以下に行う。

10

20

30

40

50

【 0 1 2 0 】

図 5 に示すアレイ型プロセッサへの各データの生成は、状態遷移管理部 1 2 とデータパス部 1 0 を使用したデータ処理を開始する前に実行する。

【 0 1 2 1 】

クロック切り替え信号 2 1 は、プログラマブルディレイ 1 5 の出力を、各データ書き込み時と、データ処理時とで切り替える制御を行うための信号である。各データ書き込み時には、書き込み制御信号 2 0 の出力先と、データの書き込み先（遅延制御用構成情報メモリ 1 4、状態管理情報メモリ 1 2 1、及びプロセッサエレメント 1 1 内の構成情報メモリ 1 1 1）との間のデータ転送が同期して行えるように、プログラマブルディレイ 1 5 は、調整される。例えば、各データ書き込み時には、プログラマブルディレイ 1 5 の遅延がゼロとなるようにされる。

10

【 0 1 2 2 】

また、データ処理時には、第 1 の実施形態と同様に、遅延制御情報 1 7 に従いグローバルクロック（GCLK）1 6 を遅延させたローカルクロック（LCLK）1 8 を出力する。

【 0 1 2 3 】

書き込み制御信号 2 0 は、データ、書き込み先を指定するアドレス、書き込みイネーブル信号から構成される。

【 0 1 2 4 】

各データ書き込み時には、まず、プログラムディレイ 1 5 をクロック切り替え信号 2 1 により切り替え、書き込みが同期して行えるようにする。

20

【 0 1 2 5 】

次に、書き込み制御信号 2 0 のデータ、アドレス、イネーブルを制御して書き込みを行う。プログラム動作終了後、クロック切り替え信号によりクロックを切り替えデータ処理を開始する。

【 0 1 2 6 】

クロック切り替え信号 2 1 により、各データ書き込み時とデータ処理時のクロック出力を切り替えることで、各データ書き込み時には、外部の書き込み元との同期をとることができ、データ処理時には、プログラムディレイ 1 5 を使用してサイクル時間を可変とすることができる。

30

【 0 1 2 7 】

<実施形態 3 >

本発明の第 3 の実施の形態について説明する。図 6 は、本発明の第 3 の実施の形態の構成を示す図である。第 3 の実施の形態では、前記第 1 の実施の形態に加え、データ入出力制御信号 2 2 を有している。データ入出力制御信号 2 2 は、外部回路 2 3 内のレジスタやメモリとデータパス部 1 0 との転送を行うか否かを制御する。

【 0 1 2 8 】

遅延制御情報メモリ 1 4 は、遅延制御情報に加えデータ入出力制御情報を有している。また、データ入出力制御情報も状態番号 1 9 に対応付けられている。遅延調整回路 1 3 は、遅延制御情報メモリ 1 4 から状態番号 1 9 に応じた構成情報に加え、データ入出力制御情報をデータ入出力制御信号 2 2 として出力する。

40

【 0 1 2 9 】

図 7 は、本発明の第 3 の実施の形態の動作を説明するためのタイミング図である。図 7 において、T 1、T 2、T 3、T 4、T 5 は、ローカルクロック（LCLK）が立ち上がる時刻を示しており、C 1、C 2、C 3、C 4 はそれらの間の期間を示している。図 7 において、基準クロックは説明をし易くするために便宜上図示したものであり、グローバルクロック（GCLK）を一定遅延遅らせ、遅延制御によりサイクル時間を変化させない場合にローカルクロック（LCLK）として出力されるクロックである。また、d 1、d 2、d 3、d 4 は各サイクルに構成されるデータパスのクリティカル（最大遅延）パスの遅延値である。構成されるデータパスにより遅延値は異なり、ここでは、d 3 が最も大きく、

50

グローバルクロックのサイクル時間より大きくなっている。

【0130】

図6に示す例では、データ入出力制御情報22は1ビットであり、クロックの立ち上がりでレベルがHighの場合、外部回路23のレジスタ及びメモリはデータを取り込む。ここでは外部回路23へのデータの出力を例に挙げたが同じタイミングでデータパス部へのデータの入力も可能である。

【0131】

データパス部10に供給されるクロックのサイクル時間は、プログラマブルディレイ15により可変である。

【0132】

しかし、データパス部10とのデータ転送を行う外部回路23は、通常、一定のクロックサイクルで動作している。図7に示す例では、時刻T5で、外部回路23とのデータ転送を行っている。

【0133】

C4サイクルで読み出される遅延制御情報17によりローカルクロック(LCLK)が立ち上がる時刻T5は決められる。この遅延情報は、予め基準クロックと同期するように設定されている。

【0134】

また、データ入出力制御情報22も1に設定されており、時刻T5ではデータ入出力制御信号には1が出力される。

【0135】

これにより、時刻T5では、データパス部10は外部回路23と同期して動作する。

【0136】

外部回路23では、データ入出力信号22が1の場合に、データの入出力を行えばよい。

【0137】

外部回路23とのデータ転送時に、プログラマブルディレイ15によりローカルクロック(LCLK)を調整することで、データパス部10と外部回路23とが同期できる。さらに、データ入出力制御信号22を外部回路23に出力することにより、外部回路23では、この信号を観察することでデータ入出力を制御できる。

【0138】

<実施形態4>

本発明の第4の実施の形態について説明する。図8は、本発明の第4の実施の形態の構成を示す図である。第4の実施の形態は、前記第1の実施形態に加え、クロック選択回路(MUX)24とクロック選択信号25を有している。

【0139】

クロック選択回路24には、グローバルクロック(GCLK)16、ローカルクロック(LCLK)18及びクロック選択信号25が入力されており、クロック選択信号25によりグローバルクロック(GCLK)もしくはローカルクロック(LCLK)が選択され出力される。クロック選択回路24の出力は、プログラマブルディレイ15に入力される。

【0140】

図9は、第4の実施の形態の動作を説明するためのタイミングチャートである。図9において、T1、T2、T3、T4、T5はローカルクロック(LCLK)が立ち上がる時刻を示しており、C1、C2、C3、C4はそれらの間の期間を示している。図9において、基準クロックは説明をし易くするために便宜上図示したものであり、グローバルクロックを一定遅延遅らせ、遅延制御によりサイクル時間を変化させない場合にローカルクロックとして出力されるクロックである。また、d1、d2、d3、d4は各サイクルに構成されるデータパスのクリティカル(最大遅延)パスの遅延値である。

【0141】

10

20

30

40

50

構成されるデータパスにより遅延値は異なり、ここではd 3が最も大きく、グローバルクロック(GCLK)のサイクル時間より大きくなっている。

【0142】

クロック選択回路24は、クロック選択信号25がHighレベルの時、グローバルクロック(GCLK)を、Lowレベルの時に、ローカルクロック(LCLK)を出力する。

【0143】

時刻T1とT5では、クロック選択信号25は、Highレベルであるため、クロック選択回路24は、グローバルクロック(GCLK)を選択する。

【0144】

一方、時刻T2、T3、T4では、クロック選択信号25はLowレベルであるため、クロック選択回路24は、ローカルクロック(LCLK)を選択する。

【0145】

遅延制御情報メモリ14は、ローカルクロック(LCLK)が立ち上がる際に、状態番号19をアドレスとして遅延制御情報17が読み出される。

【0146】

プログラマブルディレイ15は、遅延制御情報17に従い、クロック選択回路24の出力クロックを遅延させる。

【0147】

データパスのクリティカルパス遅延時間より大きく、最も小さい遅延値を選択するよう予め遅延制御情報メモリ14を設定しておく。

【0148】

つまり、本実施形態では、1つ前のLCLKに対し、遅延制御情報17に示される遅延分を遅らせて、LCLKの次のクロックサイクルを出力させることができる。それゆえ、前記第1の実施の形態では、前後のサイクルに余裕がない場合、サイクル時間を長くすることができながったが、第4の実施の形態では、前後のサイクルとは関係なく、サイクル時間を決めることができる。このため、調整が可能な場合が多くなり、より動作周波数を向上させることができる。

【0149】

なお、図9のT1、T5のタイミングは、外部との同期を取るために強制的に基準クロックにあわせるようにするものである。

【0150】

なお、上記に挙げた実施例はいずれも、状態番号に対応付けられた構成情報と命令コードが構成情報メモリ、命令コードそれぞれに格納されるアレイ型プロセッサの例を示した。

【0151】

しかしながら、構成情報と命令コードをひとまとめにし、構成情報メモリに格納し、構成情報メモリから構成情報、命令コードをそれぞれデータパス部へ出力する構成をとってもよいことはもちろんである。この場合、この種のアレイ型プロセッサでは、状態番号を構成番号と称する場合もある。したがって、本願発明のアレイ型プロセッサは、構成番号が状態遷移管理部101に格納され、この構成番号に対応付けられた、構成情報、命令コード、遅延制御情報17によって、データパス部の回路構成と実行される命令を変え、同時に、遅延制御情報17によってどの動作をタイミングを決めるクロックサイクルを変更してアプリケーションを実行する構成とすることも可能である。

【0152】

従来技術では、サイクル時間は固定であり、構成されるデータパスにはそれぞれクリティカルパスがあり、サイクル時間はそれらの遅延の最大値以上にする必要があった。

【0153】

これに対して、本発明によれば、遅延調整回路を備え、各構成のサイクル時間を予めプログラムされた値に調整自在としている。

10

20

30

40

50

【 0 1 5 4 】

前後のサイクル時間を短くできる場合、その分クリティカルパス遅延が大きい構成のサイクル時間を長くする。

【 0 1 5 5 】

これにより、最大動作周波数を高めることができ、処理効率を向上することができる。以上、本発明を上記実施例に即して説明したが、本発明は上記実施例の構成にのみ制限されるものでなく、本発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【 図面の簡単な説明 】

【 0 1 5 6 】

【 図 1 】 本発明の第 1 の実施形態の構成を示す図である。

【 図 2 】 本発明の実施形態におけるプロセッサエレメントの構成を示す図である。

【 図 3 】 本発明の第 1 の実施形態の動作を説明するためのタイミングチャートである。

【 図 4 】 本発明の第 2 の実施形態の構成を示す図である。

【 図 5 】 本発明の第 2 の実施形態の手順を説明するための流れ図である。

【 図 6 】 本発明の第 3 の実施形態の構成を示す図である。

【 図 7 】 本発明の第 3 の実施形態の動作を説明するためのタイミングチャートである。

【 図 8 】 本発明の第 4 の実施形態の構成を示す図である。

【 図 9 】 本発明の第 4 の実施形態の動作を説明するためのタイミングチャートである。

【 図 1 0 】 従来技術の構成を示す図である。

【 図 1 1 】 プロセッサエレメントの典型的な構成の一例を示す図である。

【 図 1 2 】 データパス部の動作を模式的に説明する図である。

【 図 1 3 】 データパス部の動作を模式的に説明する図である。

【 図 1 4 】 図 1 0 の動作を説明するためのタイミングチャートである。

【 符号の説明 】

【 0 1 5 7 】

1 0 データパス部

1 1 プロセッサエレメント (P E)

1 2 状態遷移管理部

1 3 遅延調整回路

1 4 遅延制御情報メモリ

1 5 プログラマブルディレイ

1 6 グローバルクロック (G C L K)

1 7 遅延制御情報

1 8 ローカルクロック (L C L K)

1 9 状態番号

2 0 書き込み制御信号

2 1 クロック切替信号

2 2 データ入出力制御信号

2 3 外部回路

2 4 クロック選択回路

2 5 クロック選択信号

1 1 1 構成情報メモリ

1 1 2 機能ユニット

1 1 3 配線接続回路

1 1 4 構成情報

1 0 1 状態遷移管理部

1 0 2 データパス部

1 0 3 演算制御パス

1 0 4 イベント通知パス

10

20

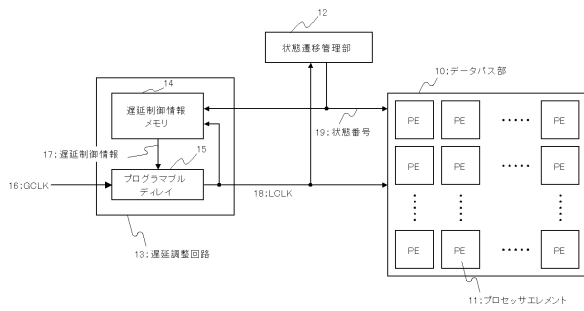
30

40

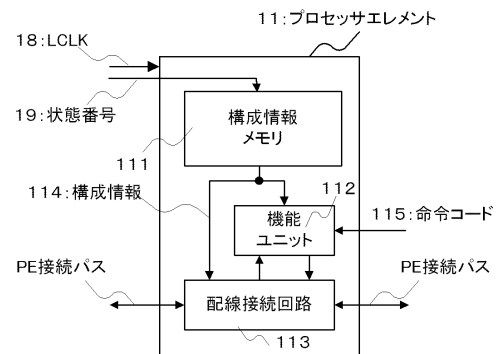
50

- 1 0 5 プロセッサエレメント
- 1 0 6 プログラブルスイッチエレメント
- 2 0 1 構成情報メモリ
- 2 0 2 機能ユニット
- 2 0 3 配線接続回路
- 2 0 4 レジスタファイル (R F U 1)
- 2 0 5 レジスタファイル (R F U 2)
- 2 0 6 マルチプレクサ (M U X 1)
- 2 0 7 マルチプレクサ (M U X 2)
- 2 0 8 演算器 (A L U)
- 2 0 9 構成情報
- 2 1 0 状態番号
- 2 1 1 命令コード

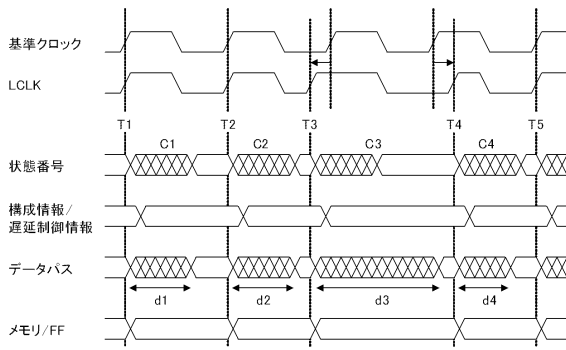
【 図 1 】



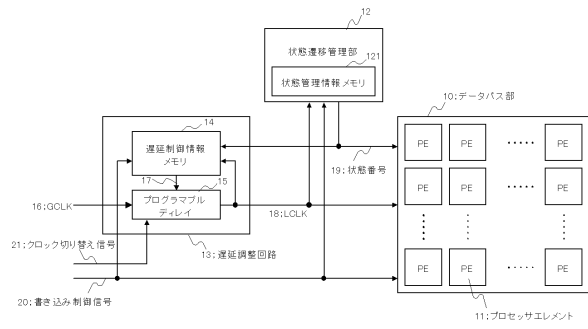
【 図 2 】



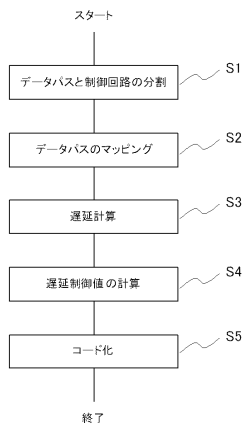
【図3】



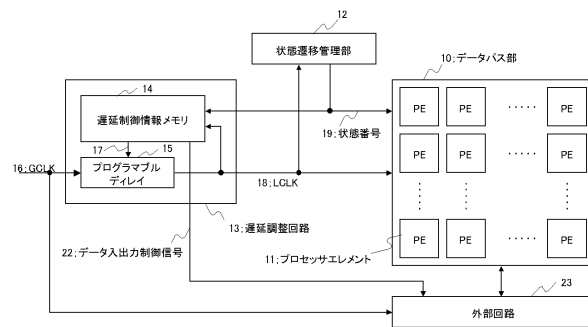
【図4】



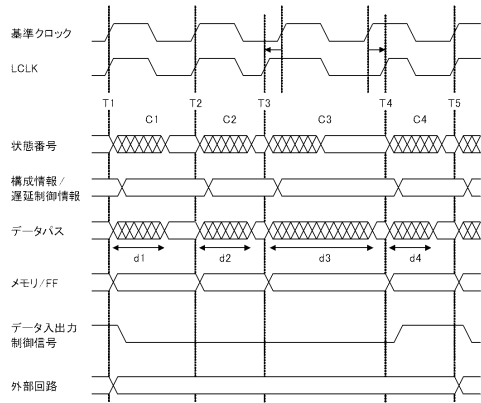
【図5】



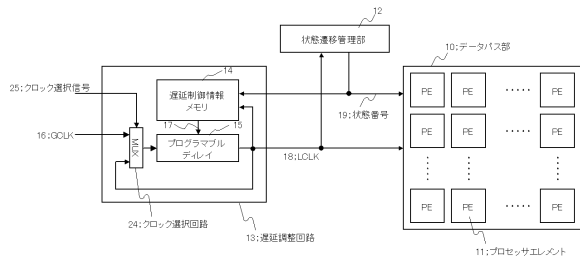
【図6】



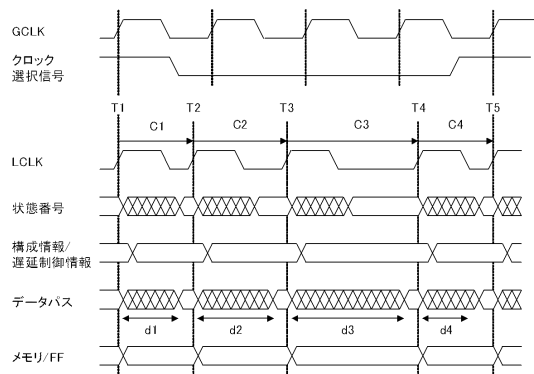
【図7】



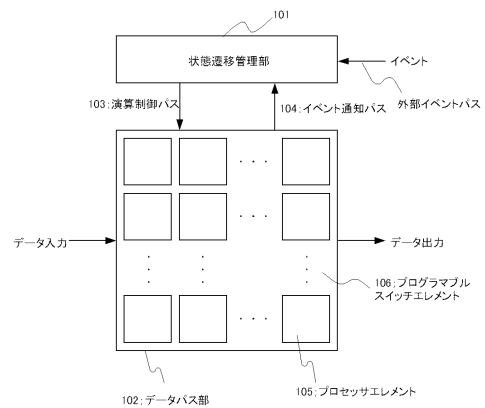
【図8】



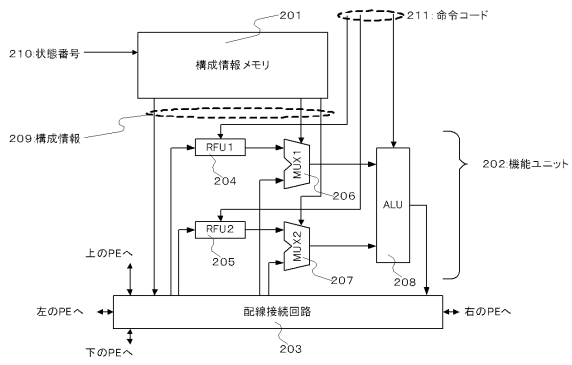
【図9】



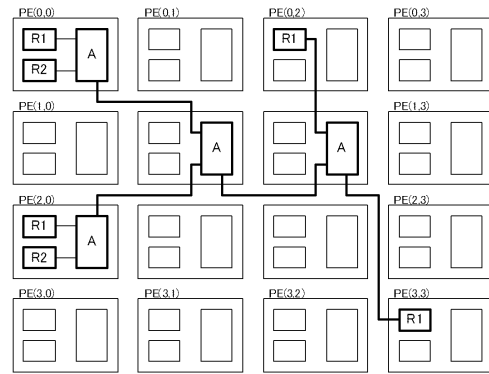
【図10】



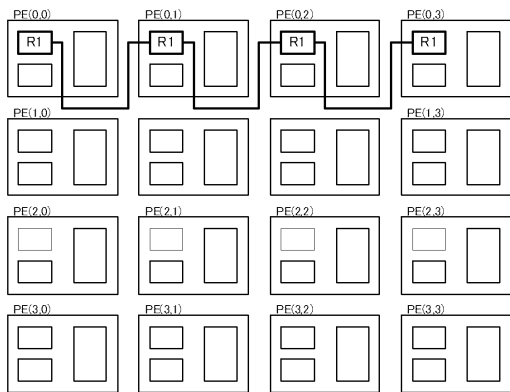
【図11】



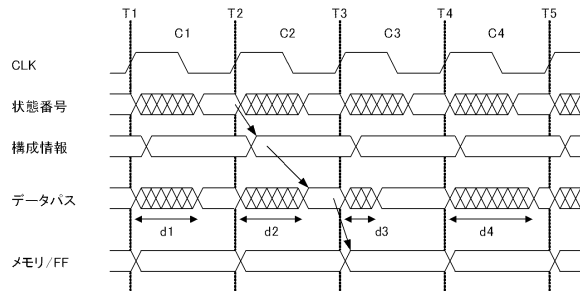
【図12】



【図13】



【図14】



フロントページの続き

(56)参考文献 特開2003-076668(JP,A)
特開平04-074207(JP,A)
特開2000-181566(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 15/80
G06F 1/10
G06F 15/16 - 15/177