



# [12] 发明专利申请公开说明书

[21] 申请号 200410083339.9

[43] 公开日 2005年4月6日

[11] 公开号 CN 1604318A

[22] 申请日 2004.9.30  
 [21] 申请号 200410083339.9  
 [30] 优先权  
     [32] 2003.9.30 [33] JP [31] 340849/2003  
 [71] 申请人 恩益禧电子股份有限公司  
     地址 日本神奈川  
 [72] 发明人 田中浩治

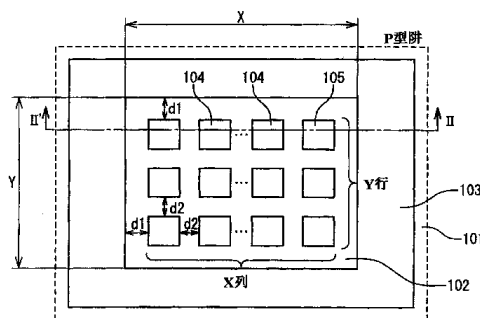
[74] 专利代理机构 中原信达知识产权代理有限责  
 任公司  
 代理人 穆德骏 陆 弋

权利要求书3页 说明书6页 附图8页

[54] 发明名称 半导体器件

[57] 摘要

在半导体器件中，多个第一导电型第一扩散区域形成于第一导电型扩散层阱上。多个第二导电型第二扩散区域形成于第一导电型扩散层阱上。多个第一和第二扩散区域中的每一个的杂质浓度最好要高于扩散层阱的杂质浓度。多个第一扩散区域作为阳极连接到第一共用节点，并且多个第二扩散区域作为阴极连接到第二共用节点。



1. 一种半导体器件，包含：  
在第一导电型扩散层阱上形成的多个第一导电型第一扩散区域；  
5 以及  
在所述第一导电型扩散层阱上形成的多个第二导电型第二扩散区域。
2. 如权利要求 1 所述的半导体器件，其中所述多个第一和第二  
10 扩散区域中的每一个的杂质浓度高于所述扩散层阱的浓度。
3. 如权利要求 1 所述的半导体器件，其中所述多个第一扩散区域作为阳极连接到第一共用节点，并且所述多个第二扩散区域作为阴极连接到第二共用节点。  
15
4. 如权利要求 1 所述的半导体器件，进一步包含：  
在环中的所述扩散层阱上形成的第一导电型第三扩散层，以包围  
所述多个第一扩散区域和所述多个第二扩散区域。
- 20 5. 如权利要求 4 所述的半导体器件，其中所述第三扩散层中的杂质浓度高于所述扩散层阱的浓度。
6. 如权利要求 3 所述的半导体器件，进一步包含：  
在环中的所述扩散层阱上形成的第一导电型第三扩散层，以包围  
25 所述多个第一扩散区域和所述多个第二扩散区域，  
其中所述第三扩散层与所述第一共用节点相连。
7. 如权利要求 1 至 6 中的任何一个所述的半导体器件，进一步包含：  
30 在所述多个第一扩散区域和所述多个第二扩散区域的每一个的周

围形成的绝缘区域。

8. 如权利要求 1 至 6 中的任何一个所述的半导体器件，其中所述第一扩散区域和所述第二扩散区域交替分布在行和列方向上。

5

9. 如权利要求 1 至 6 中的任何一个所述的半导体器件，其中所述第一扩散区域和所述第二扩散区域的每一个都是矩形的。

10. 如权利要求 1 至 6 中的任何一个所述的半导体器件，其中所述第一扩散区域和所述第二扩散区域的每一个都是圆形的。

10

11. 如权利要求 1 至 6 中的任何一个所述的半导体器件，其中所述第一扩散区域和所述第二扩散区域的每一个都是三角形的。

12. 如权利要求 1 至 6 中的任何一个所述的半导体器件，其中所述第一扩散区域和所述第二扩散区域的每一个都是六边形的。

15

13. 一种保护器件，包含：

第一导电型半导体区域；

形成于所述半导体区域上的所述第一导电型第一区域，以包围所述半导体区域上的面积；

20

形成在所述半导体区域上的所述面积中的所述第一导电型的多个第二区域；以及

形成在所述半导体区域上的所述面积中的第二导电型的多个第三区域。

25

14. 如权利要求 13 所述的保护器件，进一步包含：

形成于所述半导体区域上的元件隔离区域，以包围所述第一区域。

15. 如权利要求 13 所述的保护器件，进一步包含：

形成于所述半导体区域上除了形成所述第二和第三区域的部分的所述面积中的绝缘区域。

5           16. 如权利要求 13 所述的保护器件，其中所述第一区域以锯齿形布局分布。

## 半导体器件

## 5 技术领域

本发明涉及半导体器件，更为确切地说，涉及用于保护半导体器件内部电路的保护元件。

## 背景技术

10 近年，为了保护 IC 的内部电路免受静电电涌的攻击，为输入引脚提供了保护元件。一般使用具有高击穿电压的二极管来作为这种保护元件。图 1A 和 1B 示出了这种现有的高击穿电压二极管。参考图 1A 和 1B，在现有的二极管中，P 型阱 801 形成于 P 型半导体衬底 800 中，并且 P+型扩散层 803 形成于沿着 P 型阱 801 外围的环中，并且比 P  
15 型阱 801 具有更高的杂质浓度。N+型扩散层 804 形成于被 P+型扩散层 803 所包围的 P 型阱 801 的区域中。需要注意的是，被元件隔离区（绝缘区）802 所分开的 P+型扩散层 803 和 N+型扩散层 804，以及接触部 805 形成于各个扩散层上，以形成阳极和阴极。这样，在现有的高击穿电压二极管中，通过形成大型 N+型扩散层 804，提高了击穿电  
20 压。例如，这种现有的实例在日本公开专利申请（JP-A-Heisei 1-214055）中被公开。

不过，在上述现有高击穿电压二极管的结构中，为了有一个较大区域以提高击穿电压，因此难以实现高集成度。

25

## 发明内容

因此，本发明的目标是提出一种适合于集成的高击穿电压二极管。

30

根据本发明的一个方面，半导体器件包括在第一导电型扩散层阱

上形成的多个第一导电型第一扩散区域；以及在第一导电型扩散层阱上形成的多个第二导电型第二扩散区域。多个第一和第二扩散区域中的每一个的杂质浓度最好要高于扩散层阱的浓度。多个第一扩散区域作为阳极连接到第一共用节点，并且多个第二扩散区域作为阴极连接到第二共用节点。

#### 附图说明

图 1A 为现有二极管的平面图，并且图 1B 为现有二极管沿着图 1A 的 I-I' 线的截面图；

图 2A 为根据本发明第一实施例的二极管的平面图，并且图 2B 为根据本发明第一实施例的二极管的沿着图 2A 的 II-II' 线的截面图；

图 3 为平面图，示出了第一实施例中二极管的周长；

图 4A 是一张表，示出了现有的二极管结构中的面积、周长和 ESD 击穿电压值；

图 4B 是一张表，示出了根据本发明的第一实施例的二极管结构中的面积、周长和 ESD 击穿电压值；

图 4C 为现有的二极管结构和第一实施例中的二极管结构之间的 ESD 击穿电压和布局面积关系图；

图 5 为现有的二极管结构和第一实施例中的二极管结构之间的击穿电压和电流关系图；

图 6 为根据本发明第二实施例的二极管平面图；

图 7 为根据本发明第三实施例的二极管平面图；

图 8 为根据本发明第四实施例的二极管平面图。

#### 具体实施方式

现在参考附图来详细讲述本发明的半导体器件。

在本发明的半导体器件中，多个 N+ 型扩散区域和多个 P+ 型扩散区域位于 P 型阱中。这样，通过多个 N+ 型扩散区域（阴极）和多个 P+ 型扩散区域（阳极）就可以提高二极管的击穿电压。

如图 2A 所示, 在本发明的第一实施例中, P 型阱 101 作为 P 型嵌入式扩散层形成于 P 型半导体衬底 100 中, 并且杂质浓度比 P 型半导体衬底 100 的更高。P+型扩散层 103 形成于沿着 P 型阱 101 的外围的环中的 P 型阱 101 中。多个 N+型矩形扩散区域 105 和多个 P+型矩形扩散区域 104 位于被 P+型扩散层 106 所包围的 P 型阱 101 的区域中。P+型扩散区域 104 与 P 型阱 101 相比具有较高的杂质浓度。器件隔离区域 (绝缘区域) 102 形成于 P 型阱 101 的外围, 并与 P 型半导体衬底 100 和 P 型阱 101 相接触。其他的器件隔离区域形成于各扩散区域之间, 以便将它们相互绝缘, 但是到不了 P 型阱 101 的底部。假定 P+型扩散层 103 和多个 P+或 N+型扩散区域 104 和 105 中的一个的末端部分之间的距离为  $d_1$ , 并且多个 P+或 N+型扩散区域 104 和 105 中的每两个之间的距离为  $d_2$ 。距离  $d_1$  大于距离  $d_2$ , 例如,  $d_1$  是  $4\mu\text{m}$ ,  $d_2$  是  $0.5\mu\text{m}$ 。另外, 尽管图中未示出, 多个 N+型扩散区域 105 相互连接起来, 起到作为二极管阴极的作用, 并且多个 P+型扩散区域 104 相互连接起来, 起到作为二极管阳极的作用。

如图 3 所示, 多个 N+型扩散区域 105 和多个 P+型扩散区域 104 以矩阵形式分布, 方式是将 N+型扩散区域 105 和 P+型扩散区域 104 交替分布在列方向和行方向上。因此, N+型扩散区域 105 被 P+型扩散区域 104 所包围, 并且 P+型扩散区域 104 被 N+型扩散区域 105 所包围。因此, 可以把周长, 也就是与另一个 P+型扩散区域相对的 N+型扩散区域的边的总长度, 做得长一些。相对的边如图 3 中的点线所示。这里, 在图 3 中, 扩散区域被分布在例如三行和五列上。当扩散区域的一边为  $1\mu\text{m}$ , 则 N+型扩散区域的 22 个边与 P+型扩散区域的那些边相对。这样, 相对的边的周长是  $22\mu\text{m}$ 。

接下来, 讲述扩散区域的 ESD 击穿、面积和周长。

在如图 1A 所示的现有二极管结构中, 用三个例子确定了扩散区

域 804 的面积和周长，其中在垂直方向上的长度 B 为  $a \mu\text{m}$  的情况下，水平方向上的长度 A 变为为  $1/2a$ 、 $a$  和  $2a \mu\text{m}$ ，并且为每一个不同的水平长度 A，模拟了 ESD 击穿。在这种情况下，计算是按照  $X=A+d1*2$  和  $Y=B+d1*2$  来进行的，并且  $d1=4\mu\text{m}$ 。这样，对于图 1A 的现有二极管结构，就得到了如图 4A 所示的结果。此时，作为模拟结果的 ESD 击穿，就可以用直线  $(4/5)*(用 X*Y 来表示的面积)+500$  来表达。

另一方面，在本发明第一实施例的二极管结构中，用三个例子确定了扩散区域 105 或 104 的面积和周长，其中扩散区域分布的行数 X 为 3、7 或 15，并且列数 Y 为 9，并且每一个扩散区域为平方数  $a \mu\text{m} * a \mu\text{m}$ 。每一个例子都模拟了 ESD 击穿。在这种情况下，计算是按照  $X=(行数)*a+d1*2+d2*(行数-1)$  和  $Y=(列数)*a+d1*2+d2*(列数-1)$  来进行的。这样，对于本发明的二极管结构，就得到了如图 4B 所示的结果。此时，作为模拟结果的 ESD 击穿，就可以用直线  $2*(用 X*Y 来表示的面积)-400$  来表达。

这些结果如图 4C 中所示，其中水平轴为布局面积，并且垂直轴为 ESD 耐压值。从结果看就可以明白，当根据军事 (MIL) 标准需要 1000V 或更高的 ESD 击穿电压时，作为保护器件的二极管可以在更小的区域上形成。另外，如果在约 2000V 的相同的 ESD 击穿电压的情况下对现有例子情况下所需的面积和在本发明的情况下所需的面积进行比较，因为 2000V 对于击穿电压的静电释放而言是必要的，则在本发明的情况下面积需要为约  $1150\mu\text{m}^2$ ，而在现有例子的情况下面积需要为约  $2000\mu\text{m}^2$ 。

需要注意的是，在 3 行 9 列的二极管结构这一实施例中，ESD 击穿电压下降。这是因为扩散区域之间的距离  $d2$  短到  $0.5\mu\text{m}$ 。不过，当使用 15 行 9 列时，ESD 击穿电压增加，即使距离  $d2$  为  $0.5\mu\text{m}$ 。因此，如果扩散区域的个数增加，则流经每一个扩散区域的电流受到抑制，这样 ESD 击穿电压就能够得到提高。另外，将距离  $d1$  设为  $4 \mu\text{m}$ ，以



便采用与现有实例相同的条件。在这种情况下，如果距离  $d_1$  被设为  $0.5 \mu\text{m}$ ，这与扩散区域之间的距离相同，则扩散区域的个数就增加或改变，而不会改变面积。通过扩散区域的增加，也增加了周长和提高了 ESD 击穿电压。因此与现有实例相比，可以在较小面积上提高 ESD 击穿电压。

图 5 示出了在现有二极管结构中和在该实施例的二极管结构中的电压和电流关系的模拟结果。这里，水平轴表示电压  $V$  (V)，垂直轴表示电流  $I$  (A)。在面积相同的条件下对周长为  $Z \mu\text{m}$  的现有实例和周长为  $4*Z \mu\text{m}$  的本发明进行比较。如图 5 所示，与现有实例相比较，本发明中二极管发生击穿的工作电阻很小。因此，二极管的击穿电流增加，并且 ESD 击穿电压变大。

在上述第一实施例中，分布有矩形扩散区域。不过，在根据本发明第二实施例的二极管中，每一个 P+型扩散区域 504 和 N+型扩散区域 505 的形状是圆形的，如图 6 所示。距离  $d_1$  和  $d_2$  的定义与上述实施例中的相同。当每一个扩散区域的尺寸较小时，该实施例是有效的。

另外，在根据本发明第三实施例的二极管中，每一个 P+扩散区域 604 和 N+型扩散区域 605 的形状为三角形，如图 7 所示。这种情况与每一个扩散区域都是矩形的情况相比，周长可以更大些。因此，可以进一步提高 ESD 击穿电压。距离  $d_1$  和  $d_2$  的定义与上述实施例中的相同。

而且，在根据本发明第四实施例的二极管中，每一个 P+型扩散区域和 N+型扩散区域的形状是六边形，如图 8 所示。在这种情况下，在环中被 P+型扩散层 103 所包围的区域可以得到有效利用。在这种情况下，分布在所包围区域的最外部分中的扩散区域最好是具有六边形部分，如图 8 所示。另外，P+型扩散区域和 N+型扩散区域可以交替分布在垂直方向或水平和垂直方向上。无论哪一种情况，周长是一样

的。

5 如上所述，根据本发明的半导体器件，在不同导电型扩散区域之间的相对的面积可以做得更大一些，以便能够提高耐压值，即使是在与现有结构相比具有相同面积的情况下。

图1A 现有技术

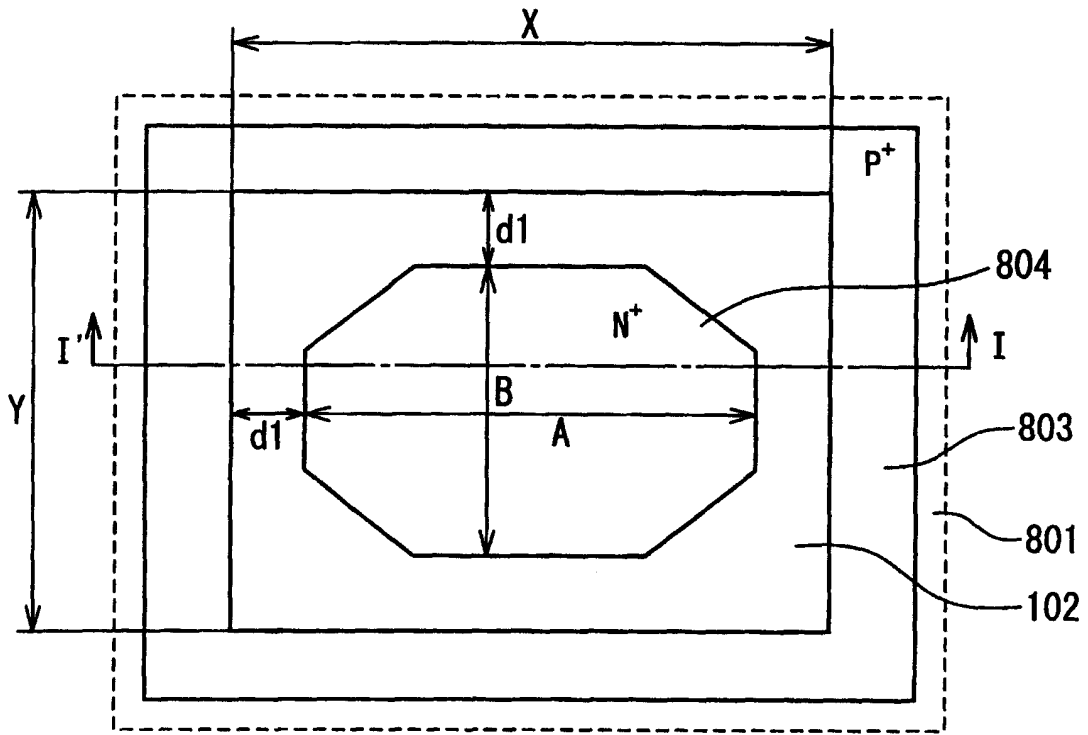


图1B 现有技术

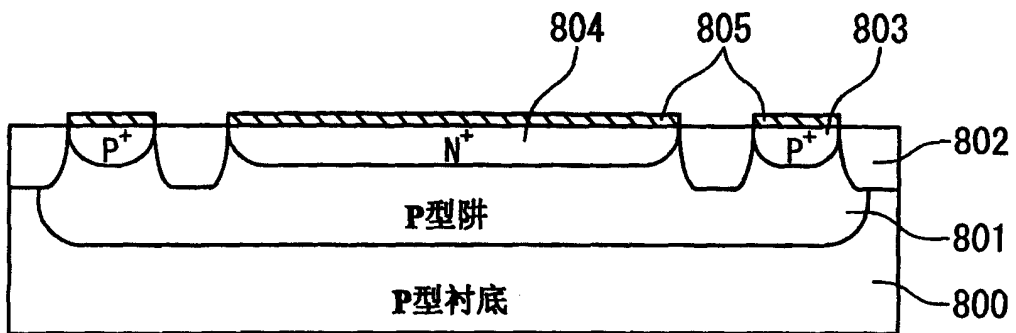


图2A

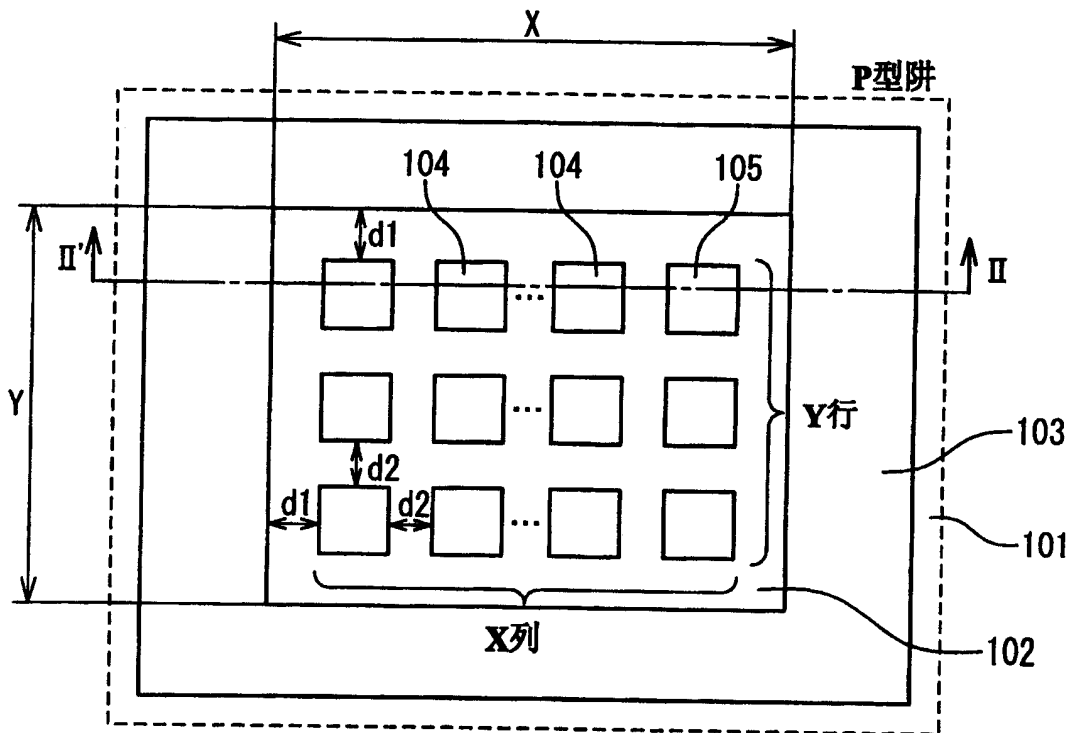


图2B

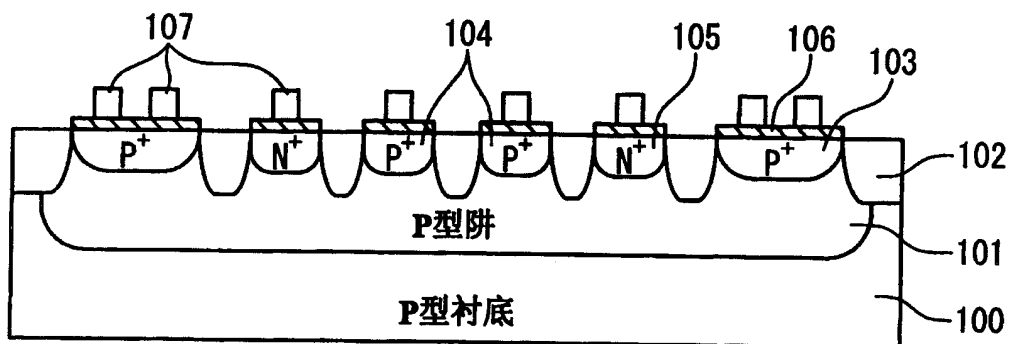


图3

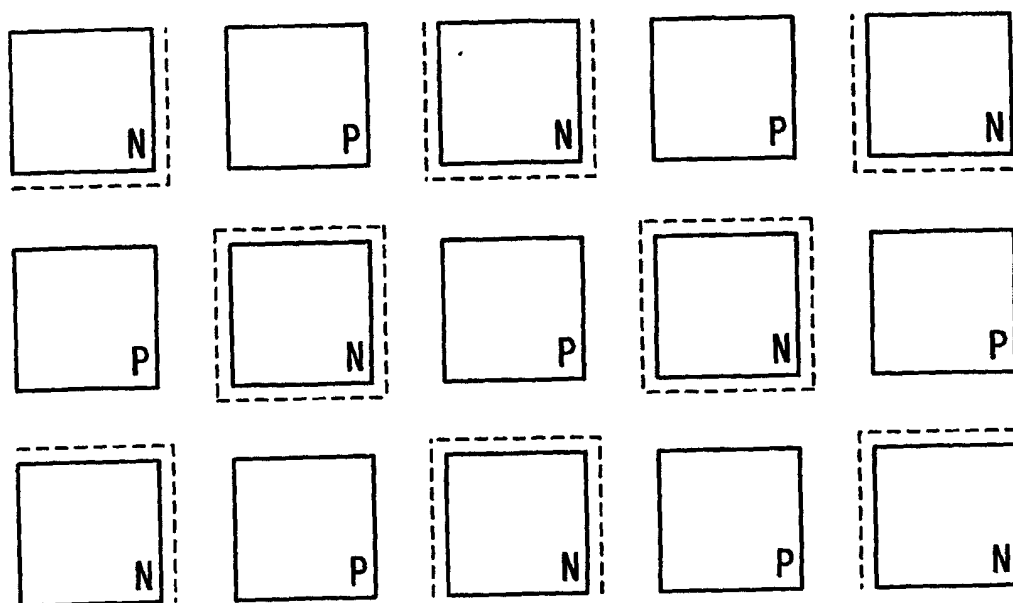


图4A

现有结构

例子	A [ $\mu\text{m}$ ]	B [ $\mu\text{m}$ ]	X [ $\mu\text{m}$ ]	Y [ $\mu\text{m}$ ]	布局面积 [ $\mu\text{m}^2$ ]	周长 [ $\mu\text{m}$ ]	ESD (HBM) 击穿电压 [V]
1	$1/2a$	$a$	$1/2*a+2*d1$	$a+2*d1$	$(1/2a+2d1)Xa+2d1$	$2*1/2a+2*a$	ESD=4/5 (面积)+500
2	$a$	$a$	$a+2*d1$	$a+2*d1$	$(a+2d1)Xa+2d1$	$2*a+2*a$	
3	$2a$	$a$	$2*a+2*d1$	$a+2*d1$	$(2a+2d1)Xa+2d1$	$2*2a+2*a$	

图4B

本发明的结构

例子	X [列]	Y [行]	X [ $\mu\text{m}$ ]	Y [ $\mu\text{m}$ ]	布局面积 [ $\mu\text{m}^2$ ]	周长 [ $\mu\text{m}$ ]	ESD (HBM) 击穿电压 [V]
1	3	9	$3*a+2*d1+2*d2$	$9*a+2*d1+8*d2$	$(3a+2d1+2d2)(9a+2d1+8d2)$	$42*a$	ESD=2 (面积)-400
2	7	9	$7*a+2*d1+6*d2$	$9*a+2*d1+8*d2$	$(7a+2d1+6d2)(9a+2d1+8d2)$	$144*a$	
3	15	9	$15*a+2*d1+14*d2$	$9*a+2*d1+8*d2$	$(15a+2d1+14d2)(9a+2d1+8d2)$	$264*a$	

图4C

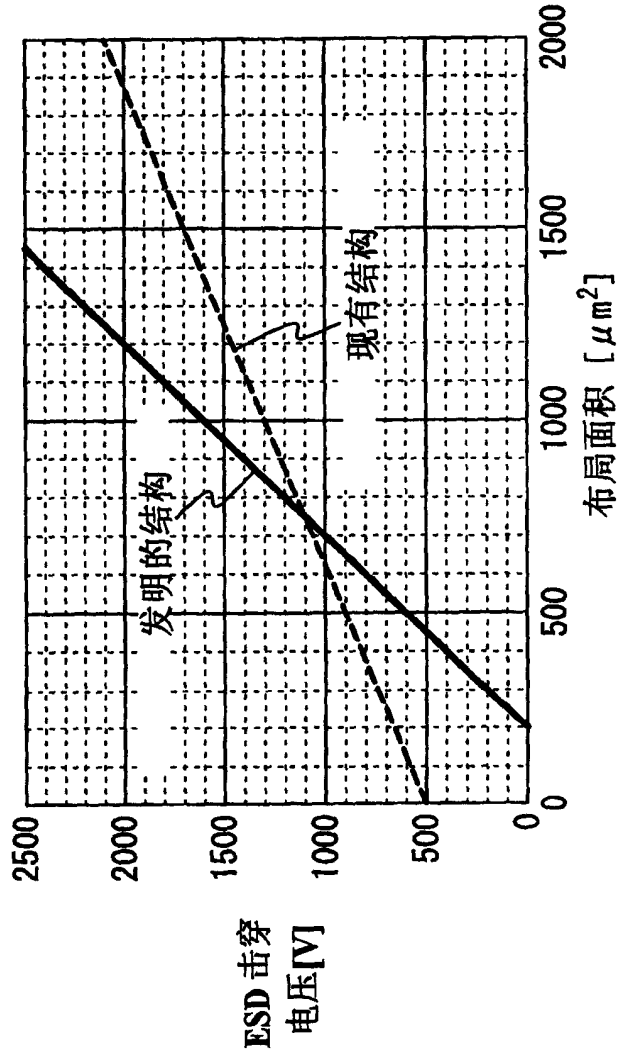


图5

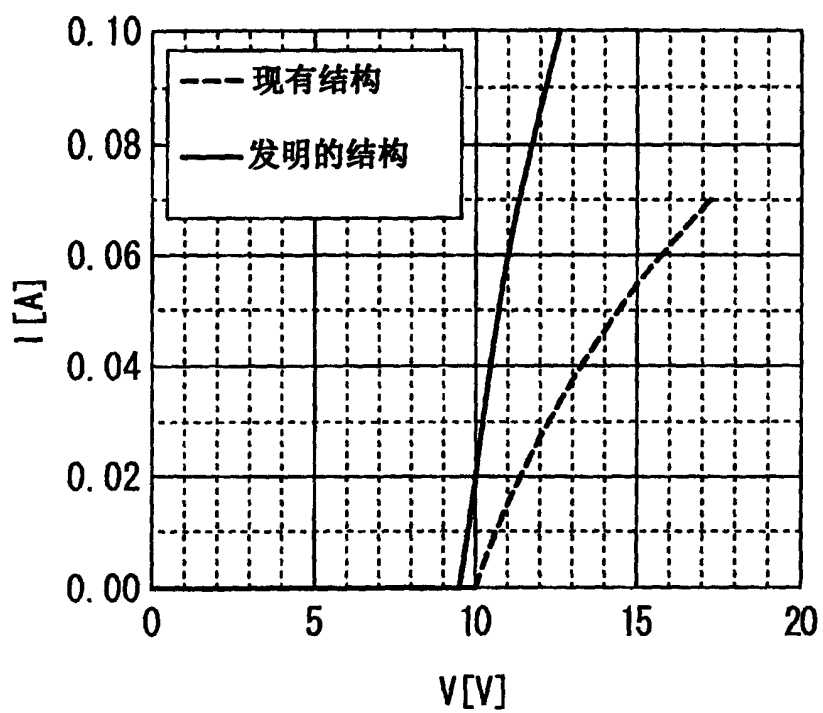


图6

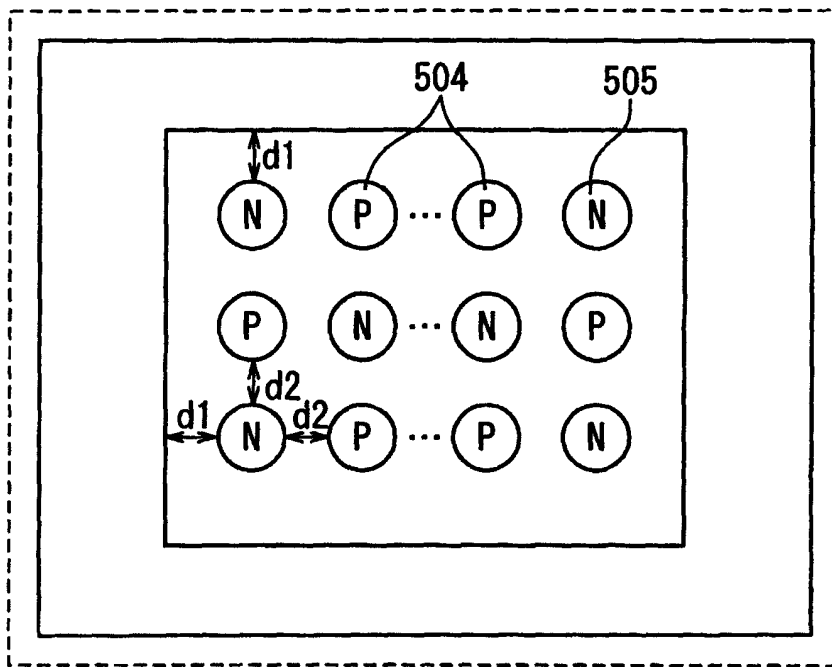




图7

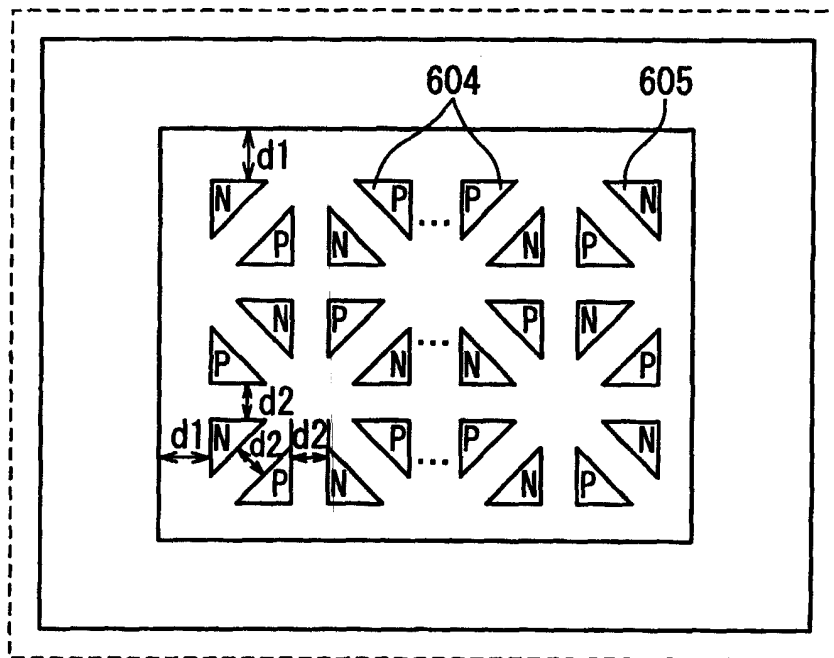


图8

